

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第3787713号**  
**(P3787713)**

(45) 発行日 平成18年6月21日(2006.6.21)

(24) 登録日 平成18年4月7日(2006.4.7)

(51) Int. Cl.		F I			
<b>G09G</b>	<b>3/28</b>	<b>(2006.01)</b>	G09G	3/28	H
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/28	K
			G09G	3/20	641E
			G09G	3/20	621F

請求項の数 3 (全 11 頁)

<p>(21) 出願番号 特願平9-133276</p> <p>(22) 出願日 平成9年5月23日(1997.5.23)</p> <p>(65) 公開番号 特開平10-319900</p> <p>(43) 公開日 平成10年12月4日(1998.12.4)</p> <p>審査請求日 平成15年12月18日(2003.12.18)</p> <p>前置審査</p>	<p>(73) 特許権者 505348027 株式会社日立プラズマパテントライセンシング 東京都千代田区大手町二丁目2番1号</p> <p>(74) 代理人 100094525 弁理士 土井 健二</p> <p>(74) 代理人 100094514 弁理士 林 恒徳</p> <p>(72) 発明者 金澤 義一 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内</p> <p>(72) 発明者 長岡 慶真 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内</p> <p style="text-align: right;">最終頁に続く</p>
--	--

(54) 【発明の名称】 プラズマディスプレイ装置

(57) 【特許請求の範囲】

【請求項1】

少なくとも輝度の異なる二つのサブフィールドを含む複数のサブフィールドによりフレームを構成するプラズマディスプレイ装置において、

前記複数のサブフィールドの各々は壁電荷を調整するリセット期間を有し、

前記リセット期間に印加されるパルスは、全面書込パルスを含む第1リセットパルスと、第2リセットパルスとを含み、

前記複数のサブフィールドのうちの高輝度側の少なくとも最も高輝度なサブフィールドのリセット期間では、前記第1リセットパルスと前記第2リセットパルスとを印加し、

前記複数のサブフィールドのうち低輝度側のサブフィールドのリセット期間では、前記第1リセットパルスを印加し前記第2リセットパルスを印加しないように構成したことを特徴とするプラズマディスプレイ装置。

【請求項2】

前記第2リセットパルスは余剰点灯防止のための補助パルスを含んで構成されることを特徴とする請求項1に記載のプラズマディスプレイ装置。

【請求項3】

少なくとも輝度の異なる二つのサブフィールドを含む複数のサブフィールドによりフレームを構成するプラズマディスプレイ装置において、

前記複数のサブフィールドのうち低輝度側のサブフィールドでは高輝度側の少なくとも最も高輝度なサブフィールドに比べて、アドレス期間内のパルス幅が短くされてなるこ

10

20

とを特徴とするプラズマディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プラズマディスプレイ装置に関し、特に多階調表示のプラズマディスプレイ装置に関する。

昨今、通信用などの特殊な用途を除き、あらゆる電子装置の中で真空管を使用しているのは表示装置（CRT：cathode ray tube）だけになった。CRTの欠点は、電子銃の収納筒が後ろに大きく突き出しているため、奥行きが大きいということである。また、ヒータを必要とするため、電力消費が大きいということである。

10

【0002】

液晶ディスプレイ装置は、薄型でしかも電力消費も少なく、CRTに置き代わるものとして期待されているが、置き換えは遅々として進んでいない。その大きな理由は、製造歩留まりの悪さからくる価格の高さである。

プラズマディスプレイ装置（略称：PDP）もまた、薄型で電力消費が少ないという特長を持つが、さらに、液晶ディスプレイ装置に比べて歩留まりがよいという有利な長所も持っている。液晶ディスプレイ装置、とりわけ高精細表示のものは、TFT（thin film transistor）と呼ばれる能動的なスイッチング素子を画素単位に作り込むため、半導体集積回路並みの複雑な製造プロセスを必要とし、それが歩留まり悪化の要因になっていたが、PDPの構造（詳細は後述）はきわめて単純で、ほぼ印刷主体のプロセスだけで済むから

20

【0003】

しかしながら、プラズマディスプレイの基本原理は、ガス放電による点灯と非点灯の2階調表示であるため、そのままでは近時の多階調表示要求（注）に応えることができない。

注：ここで言う多階調表示はモノクロであってもカラーであってもよい。

【0004】

【従来の技術】

多階調化に対応した従来のプラズマディスプレイ装置としては、「3電極・面放電・AC型」と呼ばれる構造と「サブフィールド方式」と呼ばれる駆動方式とを組み合わせたものが知られている（例えば、特開平7-160218号公報）。

30

（1）PDPのセル構造

PDPの基本的なセル構造は、電極が放電セルに露出している直流型と、絶縁層で覆われている交流型の二つのタイプがある。輝度の点で、現在の主流は後者の交流型（AC型）である。さらに、交流型PDPも、2枚の基板のそれぞれに陽極と陰極を設けた2電極型と、一方の基板に陽極と陰極を設けるとともに他方の基板に第三の電極（いわゆるアドレス電極；A電極と略すこともある）を設けた3電極型に分かれるが、特にカラーPDPでは、蛍光体の劣化を防止できるメリットから、3電極型が用いられる。なお、交流型PDPの陽極及び陰極の“陽/陰”は印加電圧の極性で決まり、駆動方法によっては極性反転もあるから、慣行に従い、パネルの座標軸（X、Y）を付けてX電極及びY電極と呼ぶことにする。

40

【0005】

図6は3電極型PDPの2画素分（j行目のi列目とi+1行目の画素）の断面構造図である。1、2はガラス基板、 $3_{i-1}$ 、 $3_i$ 、 $3_{i+1}$ 、 $3_{i+2}$ はA電極、 $4_j$ はX電極、 $5_j$ はY電極、 $6_j$ 、 $7_j$ は透明電極、 $8_{i-1}$ 、 $8_i$ 、 $8_{i+1}$ 、 $8_{i+2}$ は蛍光体、9は絶縁膜、10、11は誘電体層、12は隔壁である。隔壁12に仕切られた空間にガスが封入され、この図ではi列目の放電空間13とi+1列目の放電空間14を画成している。放電空間13、14とX電極 $4_j$ 及びY電極 $5_j$ の交差部分が、それぞれj行目のi列目の画素とi+1行目の画素になる。なお、画素をセルということもある。

（2）サブフィールド方式

サブフィールド方式は、1フレームまたは1フィールドをk個（例えば256階調の場合

50

は  $k = 8$  ; 以下、便宜上この数値で説明する) のサブフィールドに分割し、各サブフィールドの維持放電期間を  $1 : 2 : 4 : 8 : 16 : 32 : 64 : 128$  の比率に設定するとともに、これらのサブフィールドを組み合わせると多階調表示を実現するというものである。

【0006】

図7はサブフィールド方式のフレーム構造概念図であり、1フレームは8個のサブフィールド  $SF_1 \sim SF_8$  と若干の中断期間(いわゆる帰線期間に相当するもの)で構成されている。各サブフィールドは三つの期間、すなわち「リセット期間」、「アドレス期間」及び「維持放電期間」からなり、最初の二つの期間の長さは同一であるが、維持放電期間  $t_1 \sim t_8$  は、上記比率のとおり異なっている。なお、 $L_1$ 、 $L_2$ 、...、 $L_n$  は行番号(水平走査線の番号)である。また、各サブフィールドのアドレス期間内の太斜線は、 $L_1$ 、 $L_2$ 、...、 $L_n$  を線順次で選択している様子を模式的に表している。

10

【0007】

図8は1サブフィールド期間におけるアドレス電極、X電極及びY電極の駆動波形図である。なお、以下の説明で使用する電圧値は便宜値であり、これに限定されない。リセット期間では、まず、すべてのY電極に0Vを与えながら、放電に必要な十分な電位差を与えるために、アドレス電極に+110V程度の正パルス20を与えた状態で、X電極に+330V程度の正パルス21(全面書き込みパルスとも言う)を与える。これにより、すべてのセルで放電が生じる。次に、アドレス電極とX電極に0Vを与えて再びすべてのセルで放電を生じさせると、この放電は、電極間の電位差がゼロのため、壁電荷が形成されずに自己中和して終息し、いわゆる自己消去放電が行われる。自己消去放電後の四つのパルス22~26は、上記公報に記載されたものであり、いわゆる余剰点灯防止のための対策パルスである。すなわち、正常なセルは、自己消去放電までの過程により、壁電荷を完全(または多少残ってもミス表示の原因にならない程度)に中和することができるが、製造上の要因等によって希に発生する異常セル(自己消去が不十分なセルや自己消去が全く起こらないセル)は、アドレス放電をさせなくても維持放電期間で不本意に発光し、表示品質を損なう余剰点灯セルになってしまう。そこで、上記公報に記載のものでは、自己消去放電後にアドレス電極に+110V程度の正パルス22を与えた状態で、すべてのY電極に+180V程度の正パルス23を与え、その後、アドレス電極に0Vを与えた状態で、すべてのY電極に-150~-160V程度の負パルス24を与え、その後、すべてのY電極に+180V程度まで緩やかに立ち上がる消去パルス25(以下、全面消去パルスと区別するために“余点消去パルス”と言う)を与えると同時にアドレス電極に余点消去パルス26と同じ幅の+110V程度の正パルス26を与えている。

20

30

【0008】

正パルス22、23に回答して放電するセルは、Y電極側に対してX電極側に相対的に“負”の電荷が残留し、しかもその残留量が維持放電可能なレベルに達してしまったセルである。また、負パルス24に回答して放電するセルは、Y電極側に対してX電極側に相対的に“正”の電荷が残留し、しかもその残留量が維持放電可能なレベルに達してしまったセルである。これら異常セルの残留壁電荷は、最終的に余点パルス25によって大部分消去される。少量残った壁電荷は正電荷であり、次のアドレス期間におけるパルスと逆極性になるため、不本意な放電を生じにくく、余剰点灯を防止できる。

40

【0009】

次のアドレス期間では、X電極に+50V程度の正電圧27を与えながら、Y電極に線順次で-150~-160V程度の負パルス28(以下「スキャンパルス」)を印加し、且つ、アドレス電極に選択的に+60V程度の正パルス29(以下「アドレスパルス」)を印加する。なお、スキャンパルスを印加しないY電極には-50~-60V程度の負電圧を印加しておいてもよい。アドレスパルス29を印加したアドレス電極とスキャンパルス28を印加したY電極との間には、放電に必要な十分な電位差(210~220V程度)があるため、両電極間に放電(アドレス放電)が生じる。一方、X電極とY電極の間のスキャンパルス部分の電位差は200~210V程度で、アドレス電極との間よりも10V程度低く、この電位差だけでは自主放電が生じないが、アドレス放電を引き金(トリガ)

50

にしてX電極とY電極の間でも放電が生じるため、その交点に位置する誘電体層に壁電荷が形成される。

#### 【0010】

最後の維持放電期間（サステイン期間とも言う）では、アドレス電極に+110V程度の正パルス30'を与え続けながらX電極とY電極に+180V程度の正パルス30（サステインパルス）を交互に印加し、壁電荷を利用して、X、Y電極間に放電（維持放電）を発生させる。サステインパルス30の周期はすべてのサブフィールドにおいて同じである。したがって、各サブフィールドにおけるサステインパルス30の数は、1n個：2n個：4n個：………：64n個：128n個の比関係となり、表示階調に応じてサブフィールドを選択し又は組み合わせることにより、 $2^k$ 階調、すなわち“0”から“256”（上記比率の場合）までの多階調表示を実現できるのである。但し“n”はサステインパルス30の周波数（以下「サステイン周波数」）によって決まる整数である。

10

#### （3）パネルの構成とそのパネルを含むPDPの全体構成

図9はPDPのパネル平面図である。図示のパネル31は、便宜的に640×480の解像度を持つモノクロパネルを例にしている。すなわち、アドレス電極は画面の列毎にA<sub>1</sub>からA<sub>640</sub>まで、Y電極とY電極は画面の行毎にそれぞれY<sub>1</sub>からY<sub>480</sub>までとX<sub>1</sub>からX<sub>480</sub>まで設けられている。アドレス電極に並行する二重線は障壁であり、アドレス電極とY電極及びX電極との交差点を含む、二つの障壁に囲まれた領域（破線参照）が一つのセルになる。

#### 【0011】

図10は、交流型PDP及びその駆動装置の構成図である。31は図9で示したパネル、32はアドレスドライバ、33はYスキヤンドライバ、34はY共通ドライバ、35はX共通ドライバ、36は制御回路である。

20

制御回路36は、表示データ制御部36aやパネル駆動制御部36bなどを含み、表示データ制御部36aは、外部から与えられた表示データ（DATA）をフレームメモリ36cに一時的に記憶するとともに、このフレームメモリ36c内のデータに対して所定の信号操作とタイミング処理を施してアドレスドライバ32に出力する。パネル駆動制御部36bは、スキヤンドライバ制御部36dや共通ドライバ制御部36eなどを含み、外部から与えられた垂直同期信号（V<sub>SYNC</sub>）及び水平同期信号（H<sub>SYNC</sub>）に基づいて各種タイミング信号を発生し、表示データ制御部36a、Yスキヤンドライバ33、Y共通ドライバ34及びX共通ドライバ35などに供給する。

30

#### 【0012】

アドレスドライバ32は、表示選択用高電圧電源V<sub>a</sub>を用いてアドレスパルスを発生し、このアドレスパルスをパネル31のアドレス電極（A<sub>1</sub>、A<sub>2</sub>、……、A<sub>640</sub>）に選択的に印加するもの、また、Yスキヤンドライバ33は、表示維持用高電圧電源V<sub>s</sub>を用いてスキヤンパルスを発生し、このスキヤンパルスをパネル31のY電極（Y<sub>1</sub>、Y<sub>2</sub>、Y<sub>3</sub>、……、Y<sub>480</sub>）に線順次で印加するものであり、これらのアドレスパルス及びスキヤンパルスは、1サブフィールド中の「アドレス期間」において発生する。

#### 【0013】

Y共通ドライバ34は、表示維持用高電圧電源V<sub>s</sub>を用いてサステインパルスを発生し、1サブフィールド中の「維持放電期間」において、このサステインパルスをパネル31のすべてのY電極に同時に印加し、X共通ドライバ35は、同じく表示維持用高電圧電源V<sub>s</sub>を用いてサステインパルス及び全面書込みパルスを発生し、1サブフィールド中の「リセット期間」において、この全面書込みパルスをパネル30のすべてのX電極に同時に印加するとともに、1サブフィールド中の「維持放電期間」において、このサステインパルスを同X電極に同時に印加するものである。

40

#### 【0014】

##### 【発明が解決しようとする課題】

かかる従来のプラズマディスプレイ装置の不都合な点は、表示行の大幅な増大要求（例えば、480行 768行）に応じることができないことである。

50

今、妥当な値で、1サスティン時間を $6\ \mu\text{s}$ 、1フレームあたりの全サスティン数を510サイクル、1アドレス時間を $3\ \mu\text{s}$ とし、1フレームの時間を $16.6\ \text{ms}$  ( $1/60$ フィールド)とすると、1フレーム内の全サスティン期間の割当時間は $6\ \mu\text{s} \times 510$ サイクル $= 3.06\ \text{ms}$ となるから、1フレーム内の全リセット期間と全アドレス期間の割当時間は $16.6\ \text{ms} - 3.06\ \text{ms} = 13.54\ \text{ms}$ となる。この時間 ( $13.54\ \text{ms}$ ) 内で、8回 (但し、図7のサブフィールド構成の場合) のリセット期間とアドレス期間を無事に終わらせなければならない。すなわち、1回のリセット期間とアドレス期間を $13.54\ \text{ms} \div 8 = 1.7\ \text{ms}$ で終わらせなければならない。

#### 【0015】

表示行に関係するのはアドレス期間である。例えば、480行の場合は1サブフィールドあたり $3\ \mu\text{s} \times 480$ 行  $1.5\ \text{ms}$ である。したがって、1回のリセット期間の割当時間は $1.7\ \text{ms} - 1.5\ \text{ms} = 200\ \mu\text{s}$ となり、この時間は妥当な値であるから、480本程度の表示行の場合は何ら支障ない。

10

しかしながら、例えば、768本に増加した場合は、1回あたりのアドレス期間が $3\ \mu\text{s} \times 768$ 行  $2.3\ \text{ms}$ となってしまう、1回のリセット期間とアドレス期間の割当時間を超過してしまうから、正常な表示を行うことができない。

#### 【0016】

なお、768本の表示行はパソコンのXGA規格に相当し、近時のCRT方式の表示装置のほとんどがサポートしている規格である。また、ハイビジョン等のようにXGA以上の表示行を要求するものもある。したがって、これらの置き換えを狙うためにも、是非ともクリアしておかなければならない技術課題である。

20

そこで、本発明は、サブフィールド長を実質的に短縮し、その短縮分を利用して表示行数の増大要求に対応することを目的とする。

#### 【0017】

##### 【課題を解決するための手段】

請求項1に係る発明は、少なくとも輝度の異なる二つのサブフィールドを含む複数のサブフィールドにより一フレームを構成するプラズマディスプレイ装置において、前記複数のサブフィールドの各々は壁電荷を調整するリセット期間を有し、前記リセット期間に印加されるパルスは、全面書込パルスを含む第1リセットパルスと、第2リセットパルスとを含み、前記複数のサブフィールドのうちの高輝度側の少なくとも最も高輝度なサブフィールドのリセット期間では、前記第1リセットパルスと前記第2リセットパルスとを印加し、前記複数のサブフィールドのうちの低輝度側のサブフィールドのリセット期間では、前記第1リセットパルスを印加し前記第2リセットパルスを印加しないように構成したことを特徴とする。

30

#### 【0018】

請求項2に係る発明は、請求項1において、前記第2リセットパルスは余剰点灯防止のための補助パルスを含んで構成されることを特徴とする。

#### 【0019】

請求項3に係る発明は、少なくとも輝度の異なる二つのサブフィールドを含む複数のサブフィールドにより一フレームを構成するプラズマディスプレイ装置において、前記複数のサブフィールドのうちの低輝度側のサブフィールドでは高輝度側の少なくとも最も高輝度なサブフィールドに比べて、アドレス期間内のパルス幅が短くされてなることを特徴とする。

40

#### 【0020】

##### 【発明の実施の形態】

以下、本発明の実施例を図面に基づいて説明する。なお、以下の説明においては、便宜的に、図6のセル構造と図9のパネルレイアウト ( $640$ 列 $\times$  $480$ 行)を有し、図10のシステム構成で用いられるプラズマディスプレイ装置を例にする。

#### 【0021】

図1は本発明に係るプラズマディスプレイ装置の第1実施例を示す、各電極の駆動波形図

50

である。図 1 において、代表的に示す二つのサブフィールド（A 番目のサブフィールドと B 番目のサブフィールド）は、図示の都合上、連続して描かれているが、これに特段の意味はない。図示の意図は、二つのサブフィールド A、B の維持放電パルス 30 A、30 B の数の違いにある。なお、図中の各パルスの符号は図 8 の符号に対応し、且つ符号末尾のアルファベット（A、B）はサブフィールド番号に対応している。

#### 【0022】

B 番目のサブフィールドの維持パルス 30 B の数は、A 番目のサブフィールドの維持パルスの数よりも少ない。これは、B 番目のサブフィールドに図 7 のサブフィールド  $S F_1 \sim S F_8$  のうちの時間（ $t_1 \sim t_8$ ）の短いものを割当てるとともに、A 番目のサブフィールドに時間の長いものを割当てたからであり、要するに、B 番目のサブフィールドの輝度

10

#### 【0023】

ここで、高輝度と低輝度の二つのサブフィールド A、B のリセット期間及びアドレス期間の動作は、冒頭の従来例の場合、まったく同じであった。しかしながら、本願発明者等の検討によれば、低輝度のサブフィールドにおいては、高輝度の場合ほどシビアな動作管理を必要としないことが判明した。すなわち、従来例の場合は、最も高い輝度のサブフィールドに適合したリセット期間及びアドレス期間を設定し、このリセット期間及びアドレス期間を他の輝度のサブフィールドにも適用していたのであるが、上記“適合”したリセット期間及びアドレス期間は、アドレスミスや余剰点灯の防止に最適なものであって、これらのミス点灯や余剰点灯は、高輝度のものほど発生頻度が高くなる傾向にあるから、たと

20

#### 【0024】

そこで、本実施例は、輝度に応じてリセット期間及びアドレス期間の長さまたは両期間の一方の長さを変更、詳細には低輝度になるほど短縮方向に変更して、低輝度側のオーバスペックを回避し、以て 1 フィールド内の各サブフィールドの長さを短縮することにより、その短縮分を利用して表示行の増大要求（例えば、480 本から 768 本へ）に余裕を持って応えることのできる有益な技術を提供するというものである。

#### 【0025】

図 2 は、比較のために示す高輝度サブフィールドの駆動波形図であり、図 1 の A 番目のサブフィールドに対応するものである。図において、 $T_1 \sim T_4$  はリセット期間、 $T_5$  はアドレス期間、 $T_6$  は維持放電期間である。図示の維持放電パルス 30 A の数は極端に多くはないが、これは図示の都合上であり、実際には最大輝度に対応した数である。アドレスミスや余剰点灯の防止には、上述のとおり、最も高い輝度のサブフィールドに適合したリセット期間及びアドレス期間にしなければならないからである。図示の全面書き込みパルス 20 A や余剰消去パルス 23 A ~ 25 A などは、最高輝度のサブフィールドに適合した電圧及びパルス幅に設定されている。また、パルス間隔も同様に最高輝度のサブフィールドに適合した値に設定されている。したがって、図 2 の駆動波形は、従来の駆動波形（図 8）に対応する。

30

#### 【0026】

これに対して、図 3 の駆動波形は、低輝度のサブフィールドのものであり、本実施例に特有の駆動波形、すなわち、図 1 の B 番目のサブフィールドに対応する駆動波形である。図 2 と対比すると、低輝度であるから維持放電パルス 30 B の数が少ないのは言うまでもないが、リセット期間から  $T_4$  が削除されている点、及びリセット期間の  $T_3$  が短くなっている点に特徴的な差異がある。リセット期間の  $T_4$  は余剰点灯防止用の五つの補助パルス（図 1 のパルス 22 ~ 26 参照）の発生期間である。低輝度サブフィールドの場合、これらの補助パルスをなくしても表示品質上の影響はほとんどない。仮に余剰点灯セルが生じても、低輝度であるがゆえに視認されにくいからである。また、 $T_3$  は全面書き込みパルス 21 B による放電電荷の中和期間である。この中和期間の長さは、直前のサブフィールドの維持放電パルスの数が多いほど、すなわち直前のサブフィールドの輝度が高いほど

40

50

長めにしなければならない。直前の維持放電期間で蓄積された壁電荷の量が多いため、次サブフィールドの全面書き込みパルス 2 1 B による放電電荷の量も多くなるからである。

【0027】

ここで、実際の値を当てはめて、図2と図3を対比する。妥当なところで、図2の $T_1$ （中断期間）を $50\mu s$ 、 $T_2$ を $10\mu s$ 、 $T_3$ を $50\mu s$ 、 $T_4$ を $70\mu s$ とする。なお、その他の値は、冒頭の「発明が解決しようとする課題」で使用した値と同じとする。一方、図3の場合は、 $T_1$ と $T_5$ は図2と同じであるが、 $T_4$ が無い（ $-70\mu s$ ）ことにより、サブフィールド全体で少なくとも $70\mu s$ の短縮効果を得ている。さらに、低輝度では多少のアドレスミスが発生しても目立たないから、アドレス期間のアドレスパルス 2 9 B のパルス幅も短縮することができる。例えば、高輝度の場合のパルス幅 $3\mu s$ を $2.5\mu s$ に短縮すれば、1パルスあたり $-0.5\mu s$ 短縮できる。したがって、 $T_5$ 全体では $-0.5\mu s \times$ 行数となるから、例えば、480行とすれば $-240\mu s$ もの短縮となり、リセット期間の $-90\mu s$ と合算して1サブフィールドあたり $-330\mu s$ もの短縮効果を得ることができる。

10

【0028】

ちなみに、アドレスパルスを短縮できる理由は、1 低輝度のサブフィールドでは多少の表示ミスがあっても低輝度ゆえに目立たない、2 直前のサブフィールドの維持放電パルスが少ない場合は、直前のサブフィールドの全面書き込みパルスの放電によるプライミング効果が残存しており、この残存効果に自サブフィールドの全面書き込みパルスの放電によるプライミング効果が加わるため、短いアドレスパルスであっても支障のない書き込みアドレス放電が可能になる、ことによる。

20

【0029】

または、直前のサブフィールドの維持放電の回数、すなわち輝度に応じて全面書き込みを行う前の中断期間の長さを制御してもよい。

図4はその駆動波形図であり、添え字に“-1”を付したパルスは直前のサブフィールドのものである。この図において、直前のサブフィールドの維持パルス $30B_{-1}$ は1個であるので、この維持放電パルス $30B_{-1}$ による壁電荷は十分に形成されていない。このため、中断期間（ $T_1$ ）をゼロにして全面書き込みパルス 2 2 B を直ちに発生させても、不都合を生じるほどの強放電を生じることはない。または、図5に示すように、中断期間（ $T_1$ ）をゼロにせず、短くするだけでも相応の効果が得られる。

30

【0030】

【発明の効果】

本発明によれば、サブフィールド長を実質的に短縮でき、その短縮分を利用して表示行数の増大要求に対応することができる。

【図面の簡単な説明】

【図1】一実施例の高輝度と低輝度の二つのサブフィールドの駆動波形図である。

【図2】一実施例の高輝度サブフィールドの駆動波形図である。

【図3】一実施例の低輝度サブフィールドの駆動波形図（リセット及びアドレス期間の制御）である。

【図4】一実施例の低輝度サブフィールドの駆動波形図（中断期間の制御）である。

40

【図5】一実施例の低輝度サブフィールドの駆動波形図（全面書き込みパルスの幅を制御）である。

【図6】プラズマディスプレイパネルの画素構造図である。

【図7】サブフィールド方式のフレーム構造図である。

【図8】従来の駆動波形図である。

【図9】プラズマディスプレイパネルのレイアウト図である。

【図10】プラズマディスプレイ装置のシステム構成図である。

【符号の説明】

30、30A、30B：維持放電パルス

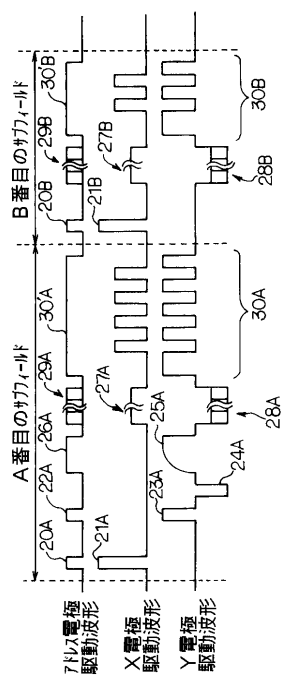
SF<sub>1</sub>～SF<sub>8</sub>：サブフィールド

50

$T_1 \sim T_4$  : リセット期間  
 $T_5$  : アドレス期間  
 $T_6$  : 維持放電期間

【 図 1 】

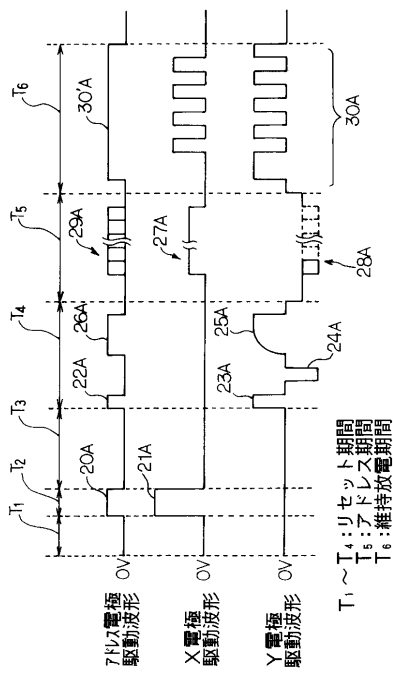
—実施例の高輝度と低輝度の二つのサブフィールドの駆動波形図



30A、30B：維持放電パルス

【 図 2 】

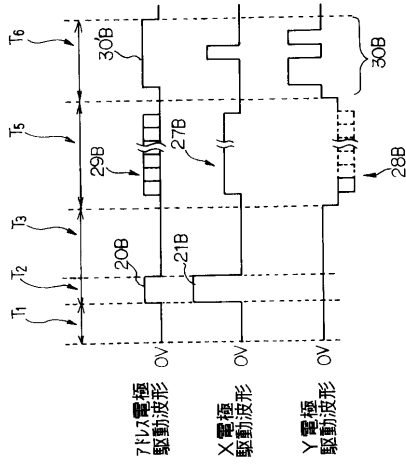
—実施例の高輝度サブフィールドの駆動波形図



$T_1 \sim T_4$  : リセット期間  
 $T_5$  : アドレス期間  
 $T_6$  : 維持放電期間

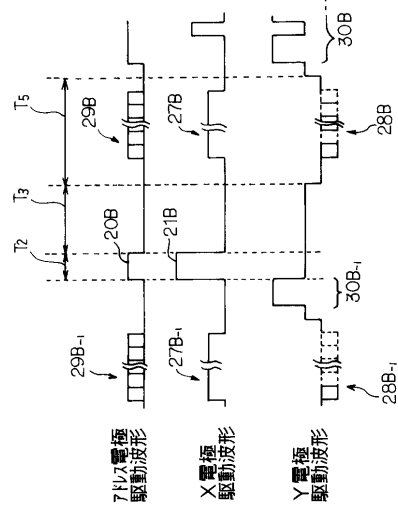
【 図 3 】

一実施例の低輝度サブフィールドの駆動波形図  
(リセット及びアドレッシング期間の制御)



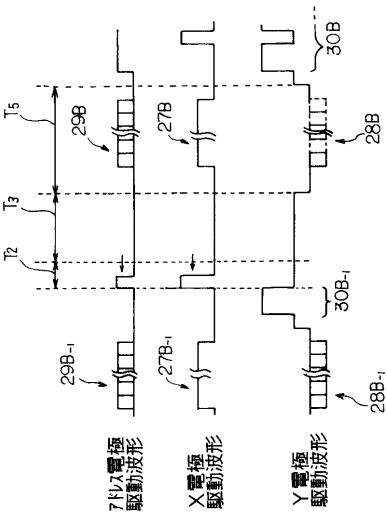
【 図 4 】

一実施例の低輝度サブフィールドの駆動波形図  
(中断期間の制御)



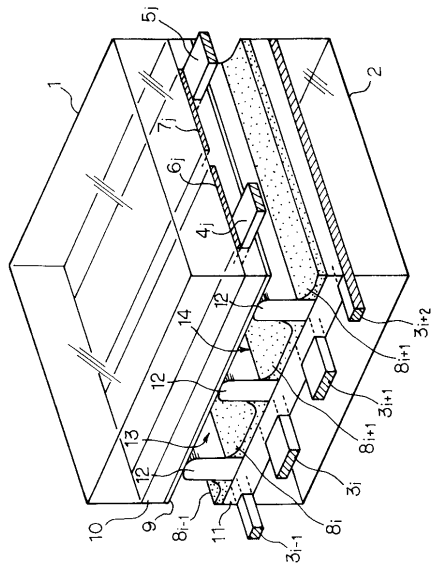
【 図 5 】

一実施例の低輝度サブフィールドの駆動波形図  
(全面書き込みパルスの幅を制御)



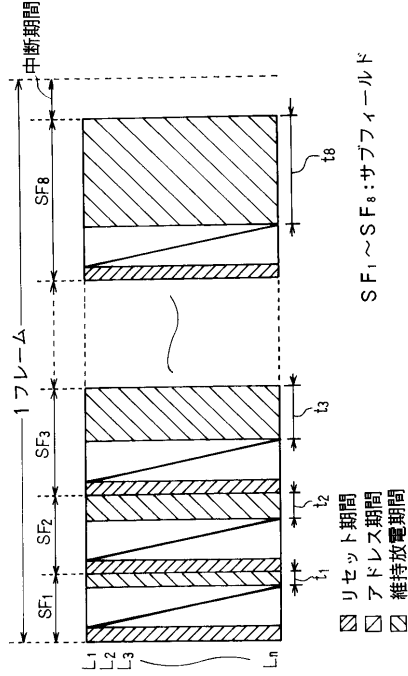
【 図 6 】

プラズマディスプレイパネルの要素構造図



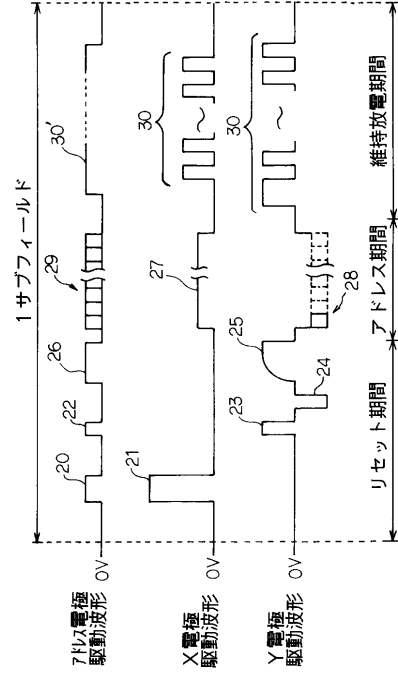
【 図 7 】

サブフィールド方式のフレーム構造図



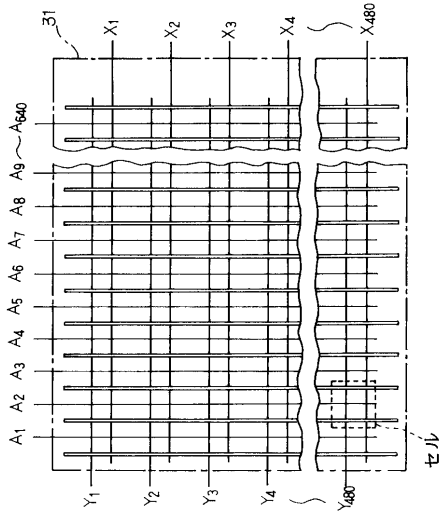
【 図 8 】

従来の駆動波形図



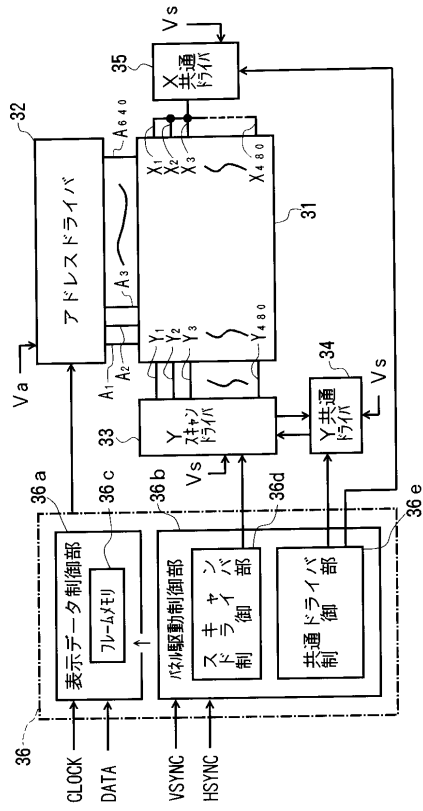
【 図 9 】

プラズマディスプレイパネルのレイアウト図



【 図 10 】

プラズマディスプレイ装置のシステム構成図



---

フロントページの続き

審査官 西島 篤宏

- (56)参考文献 特開平05 - 313598 (JP, A)  
特開平10 - 105112 (JP, A)  
特開平09 - 319330 (JP, A)  
特開平08 - 320668 (JP, A)  
特開平03 - 219286 (JP, A)  
特開平10 - 003281 (JP, A)

- (58)調査した分野(Int.Cl., DB名)  
G09G 3/00- 3/38