



Patent dodatkowy
do patentu nr 74222

Zgłoszono: 21.12.72 (P. 159719)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 01.03.74

Opis patentowy opublikowano: 01.03.1977

MKP H01f 7/18
H03k 5/00

Int. Cl.⁸ H01F 7/18
H03K 5/00

CZYTELNIA

Urzędu Patentowego
Polski Związek Inżynierów i Techników Elektrycznych

Twórcy wynalazku: Jan Broda, Marian Gronek, Zbigniew Naotyński, Jan Solarz, Mieczysław Ziółkowski

Uprawniony z patentu: Zakłady Mechaniczno-Precyzyjne „Mera-Błonie”,
Błonie (Polska)

Urządzenie zabezpieczające tyrystorowy układ forsowania prądu w elektromagnesach

1

Dziedzina techniki. Wynalazek dotyczy urządzenia zabezpieczającego tyrystorowy układ forsowania prądu w elektromagnesach o dużej szybkości działania.

Stan techniki. Znany jest tyrystorowy układ forsowania prądu w elektromagnesach według patentu nr 74222, który ma tyrystor, którego katoda połączona jest z jednym zaciskiem elektromagnesu oraz z kondensatorem. Anoda tyrystora jest połączona ze źródłem napięcia zasilającego, zaś bramka poprzez dzielnik napięcia złożony z dwóch oporników oraz poprzez diodę jest połączona z drugim zaciskiem elektromagnesu. W obwód zasilania elektromagnesu włączony jest tranzystor kluczujący.

Układ ten działa prawidłowo przy stosunkowo długich impulsach sterujących oraz gdy przerwa między impulsami jest odpowiednio długa.

Natomiast, gdy impuls sterujący jest krótki, na przykład impuls pochodzący z zakłóceń, albo, gdy jest zbyt krótka przerwa między impulsami, przez elementy układu forsującego przepływa prąd tak duży, że może spowodować uszkodzenie któregoś z tych elementów. Poza tym praca układu może być nieprawidłowa w wyniku zmiany jego parametrów dynamicznych.

Istota wynalazku. Celem wynalazku jest urządzenie zabezpieczające prawidłową pracę układu forsującego w przypadku zbyt krótkich impulsów sterujących lub zbyt krótkich przerw między impulsami.

2

Według wynalazku impulsy sterujące układem forsowania prądu w elektromagnesie przekazuje się za pośrednictwem układu opóźniającego na jedno z wejść przerzutnika z wyjściem na tranzystor kluczujący, sterujący układem forsującym według patentu nr 74222. Na drugie z wejść przerzutnika podawane są sygnały z wyjścia przerzutnika za pośrednictwem drugiego układu opóźniającego.

Dzięki przekazywaniu impulsów sterujących poprzez urządzenie według wynalazku osiągnięto, że impulsy, których czas trwania jest krótki, nie są przekazywane na wejście układu forsowania prądu w elektromagnesie. Urządzenie powoduje również poszerzenie zbyt krótkich przerw między impulsami sterującymi. Dzięki temu uniknięto uszkodzeń oraz nieprawidłowych zjawisk układu forsującego prąd w elektromagnesie.

Przykład wykonania. Wynalazek został szczegółowo pokazany, zaś jego działanie szczegółowo objaśnione w przykładzie wykonania na rysunku, w którym fig. 1 przedstawia schemat logiczny urządzenia, a fig. 2 przedstawia przebiegi czasowe na wejściu i wyjściu urządzenia.

Urządzenie ma układ 3 logiczny „i”, którego jedno wejście jest połączone bezpośrednio z zaciskiem We urządzenia. Drugie wejście układu 3 logicznego jest połączone z zaciskiem We wejściowym urządzenia za pośrednictwem diody 1 oraz z masą urządzenia za pośrednictwem kondensatora 2. Wyjście układu 3 logicznego połączone jest z wejściem układu 4 logicznego „i”, którego dru-

gie wejście jest połączone z wyjściem układu 5 logicznego „i”. Wyjście układu 4 logicznego „i” jest połączone bezpośrednio z zaciskiem Wy wyjściowym urządzenia oraz z wejściami układów 5 i 6 logicznych „i”. Drugie wejście układu 5 logicznego jest połączone z wyjściem układu 6 logicznego.

Drugie wejście układu 6 logicznego jest połączone z zaciskiem Wy wyjściowym urządzenia za pośrednictwem diody 7 oraz z masą urządzenia za pośrednictwem kondensatora 8. Wyjście Wy jest połączone z wejściem układu 9 forsowania prądu w elektromagnesach. Analiza pracy urządzenia dla stanu „1” (pojawienia się impulsu sterującego) zostanie przeprowadzona po przyjściu stanu „0” (przerwy impulsu sterującego) o odpowiednim czasie trwania, tak, że nastąpiło zadziałanie układu forsującego, a zarówno układ forsujący jak i układ zabezpieczający oczekują przyjścia następnego impulsu. Przy stanie $t(-0)$ na wejściach a i b układu 3 logicznego „i” istnieje stan „0”, co daje na wyjściu Wy urządzenia również stan „0”.

Przy stanie $t(+0)$ na wejściu a układu 3 logicznego „i” istnieje stan „1”, ale na wejściu b układu 3 logicznego „i” napięcie wzrasta do stanu „1” z opóźnieniem o stałą czasową T_1 zależną od pojemności kondensatora 2 i oporności diody 1, co pokazano na fig. 2. Jeżeli długość impulsu będzie krótsza niż stała czasowa T_1 , to stan „0” na wyjściu Wy urządzenia nie ulegnie żadnej zmianie. Jeżeli długość impulsu będzie dłuższa od stałej czasowej T_1 to po tym czasie na wejściach a i b układu logicznego 3 „i” będzie stan „1”, co w konsekwencji doprowadzi do stanu „1” na wyjściu Wy.

Stan „1” jest wtedy również na wejściu a układu 6 logicznego „i”, ale na wejściu b układu 6 napięcie wzrosło do stanu „1” z opóźnieniem o stałą czasową T_2 zależną od pojemności kondensatora 8 i oporności diody 7, co pokazano na fig. 2.

Daje to stan „1” na wyjściu układu 6 logicznego i stan „0” na wyjściu układu 5 logicznego oraz na wejściu a układu 4 logicznego, czyli podtrzymuje stan „1” na wyjściu Wy określając minimalny czas trwania impulsu wyjściowego.

Analiza pracy urządzenia dla stanu „0” zostanie przeprowadzona po przyjściu impulsu sterującego o odpowiednim czasie trwania, tak że nastąpiło zadziałanie układu forsującego a zarówno układ forsujący jak i urządzenie zabezpieczające oczekują na przyjście stanu „0”. Przy stanie $t(-0)$ na wejściach a i b układu 3 logicznego jest stan „0”, co daje stan „0” na wyjściu Wy urządzenia. Stan „1” na wyjściu Wy urządzenia a tym samym na obydwu wejściach układu 6 logicznego daje stan „1” na wyjściu b układu 4 logicznego.

Przy stanie $t(+0)$ na obydwu wejściach układu 3 logicznego jest stan „0”, co daje na wyjściu Wy urządzenia stan „0”. Przy stanie $t(+0)$ na wejściu a układu 3 logicznego jest stan „1”, ale na wejściu b układu 3 logicznego napięcie narasta do stanu „1” z opóźnieniem o stałą czasową T_1 i tym samym

opóźnia również osiągnięcie stanu „1” na wyjściu Wy urządzenia.

W efekcie uzyskuje się poszerzenie przerwy (stanu „0”) między impulsami na wyjściu Wy urządzenia w stosunku do przerwy na wejściu We urządzenia o wartości stałej czasowej T_1 .

Zastrzeżenia patentowe

1. Urządzenie zabezpieczające tyrystorowy układ forsowania prądu w elektromagnesach zawierający tyrystor z katodą połączoną z zaciskiem elektromagnesu i kondensatorem, z anodą połączoną ze źródłem napięcia zasilającego większego kilkakrotnie od napięcia zasilającego elektromagnes w stanie ustalonym, oraz z bramką połączoną poprzez dzielnik napięcia składający się z oporników oraz poprzez diodę z drugim zaciskiem elektromagnesu, w którego obwód zasilania włączony jest tranzystor kluczujący, według patentu nr 74222, **znamiennie tym**, że wejście tranzystora układu (9) forsowania prądu w elektromagnesie stanowiącego wyjście (Wy) urządzenia ma połączone z wyjściem przerzutnika, (4, 5), który jedno wejście ma połączone z układem opóźniającym (3) z wejściem stanowiącym jednocześnie wejście (We) urządzenia, zaś drugie wejście przerzutnika ma połączone z drugim układem opóźniającym (6) z wejściem stanowiącym jednocześnie wyjście (Wy) urządzenia.

3. Urządzenie według zastrz. 1 **znamiennie tym**, że układem opóźniającym z wejściem połączonym z wejściem (We) urządzenia jest układ (3) logiczny „i” z wejściami, z których jedno ma połączone z wejściem (We) urządzenia bezpośrednio, zaś drugie wejście układ (3) logiczny „i” ma połączone z wejściem (We) urządzenia za pośrednictwem diody (1) oraz z masą urządzenia za pośrednictwem kondensatora (2).

3. Urządzenie według zastrz. 1 **znamiennie tym**, że układem opóźniającym z wejściem połączonym z wejściem (We) urządzenia jest układ (6) logiczny „i” z wejściami, z których jedno ma połączone z wejściem (We) urządzenia, zaś drugie wejście układ (6) logiczny „i” ma połączone z wyjściem (Wy) urządzenia za pośrednictwem diody (7) oraz z masą urządzenia za pośrednictwem kondensatora (8).

4. Urządzenie według zastrz. 1 **znamiennie tym**, że przerzutnikami są dwa układy (4, 5) logiczne „i”, z których jeden układ (4) logiczny ma wyjście stanowiące wyjście przerzutnika, oraz jedno z wejść stanowiące wejście przerzutnika połączone za pośrednictwem jednego z układów opóźniających z wejściem (We) urządzenia, zaś drugi układ (5) logiczny ma jedno z wejść stanowiące wejście przerzutnika połączone za pośrednictwem drugiego z układów opóźniających z wyjściem (Wy) urządzenia, przy czym drugie wejście układ (4) logiczny ma połączone z wyjściem układu (5) logicznego, zaś układ (5) logiczny ma drugie wejście połączone z wyjściem układu (4) logicznego.

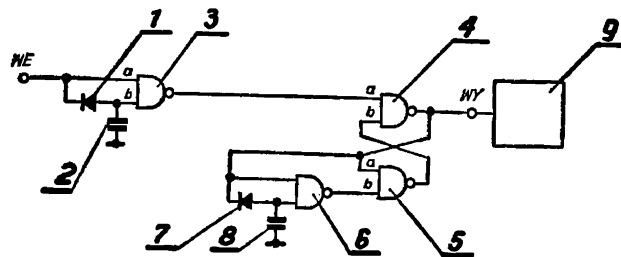


Fig. 1

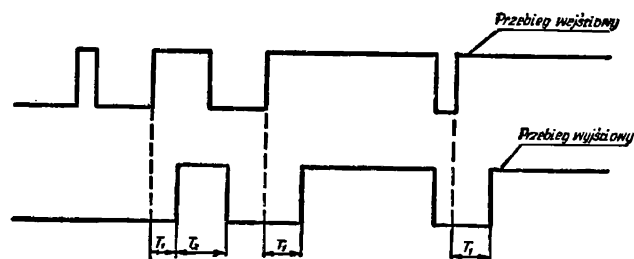


Fig. 2.