



(12) 发明专利

(10) 授权公告号 CN 101246883 B

(45) 授权公告日 2013.04.10

(21) 申请号 200810088115.5

段, 第 11 页第 0194-0195 段、附图 1A-1H, 8A-8G.

(22) 申请日 2008.02.13

审查员 刘晓燕

(30) 优先权数据

11/706,586 2007.02.13 US

(73) 专利权人 英飞凌科技股份有限公司

地址 德国新比贝格

(72) 发明人 J·马勒 L·费福尔特

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 张雪梅 王忠忠

(51) Int. Cl.

H01L 27/02(2006.01)

H01L 23/28(2006.01)

H01L 21/82(2006.01)

H01L 21/56(2006.01)

(56) 对比文件

CN 1717156 A, 2006.01.04, 全文.

US 6515355 B1, 2003.02.04, 全文.

US 6548912 B1, 2003.04.15, 全文.

US 2005/0200028 A1, 2005.09.15, 说明书第 5 页第 0118 段, 第 7 页第 0140 段, 第 10 页第 0183

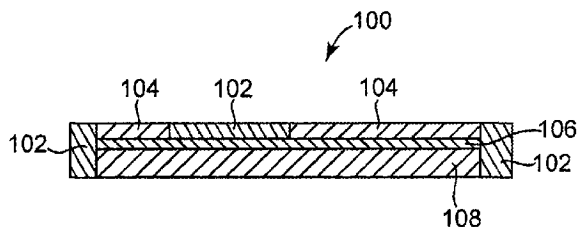
权利要求书 2 页 说明书 5 页 附图 4 页

(54) 发明名称

集成电路封装

(57) 摘要

本发明涉及集成电路封装。一种集成电路包括衬底以及汽相沉积的封装材料,该衬底包括有源区域,该汽相沉积的封装材料封装该有源区域。



1. 一种集成电路,包括衬底,其包括有源区域;背面金属,其与有源区域的背面电接触;以及汽相沉积的封装材料,其封装该有源区域,其中该封装材料具有小于 100 μm 的厚度。
2. 权利要求 1 的集成电路,进一步包括:与该有源区域接触并且延伸通过该封装材料的接触。
3. 权利要求 1 的集成电路,其中该衬底包括减薄的衬底。
4. 权利要求 1 的集成电路,其中该封装材料包括等离子体聚合物。
5. 权利要求 1 的集成电路,其中该封装材料包括非晶无机或陶瓷碳。
6. 一种半导体晶片,包括:包括多个管芯的衬底,每个管芯包括有源区域;背面金属,其与每个管芯的有源区域的背面电接触;以及汽相沉积的封装材料,其封装每个管芯的有源区域并且在管芯间提供锯切沟槽,其中该封装材料具有小于 100 μm 的厚度。
7. 权利要求 6 的半导体晶片,其中该衬底包括减薄的衬底。
8. 权利要求 6 的半导体晶片,其中该封装材料包括等离子体聚合物和非晶无机或陶瓷碳中的一个。
9. 权利要求 6 的半导体晶片,其中该封装材料具有约 2-3ppm/K 之间的热膨胀系数。
10. 权利要求 6 的半导体晶片,其中该封装材料具有 370 $^{\circ}\text{C}$ 以上的熔化温度。
11. 一种制造半导体装置的方法,该方法包括:提供包括有源区域的衬底;在该衬底上汽相沉积封装材料以封装该有源区域;以及沉积与有源区域的背面电接触的背面金属,其中沉积封装材料包括沉积该封装材料至小于 100 μm 的厚度。
12. 权利要求 11 的方法,进一步包括:形成与该有源区域接触并且延伸通过该封装材料的接触。
13. 权利要求 11 的方法,进一步包括:减薄该衬底。
14. 权利要求 11 的方法,其中沉积该封装材料包括沉积等离子体聚合物。
15. 权利要求 11 的方法,其中沉积该封装材料包括沉积非晶无机或陶瓷碳。
16. 权利要求 11 的方法,其中沉积该封装材料包括沉积具有约 2-3ppm/K 之间的热膨胀系数的封装材料。
17. 权利要求 11 的方法,其中沉积该封装材料包括在室温下沉积该封装材料。
18. 一种制造半导体晶片的方法,该方法包括:提供包括多个管芯的衬底,每个管芯包括有源区域;刻蚀衬底以在管芯间提供沟槽;在衬底上汽相沉积封装材料以封装每个管芯的有源区域并且在管芯间提供锯切沟槽;以及

沉积与每个管芯的有源区域的背面电接触的背面金属，其中沉积封装材料包括沉积该封装材料至小于 100 μm 的厚度。

19. 权利要求 18 的方法，进一步包括：

形成与每个有源区域接触并且延伸通过该封装材料的接触。

20. 权利要求 18 的方法，进一步包括：

减薄该衬底。

21. 权利要求 18 的方法，其中沉积该封装材料包括沉积等离子体聚合物和非晶无机或陶瓷碳中的一个。

22. 权利要求 21 的方法，其中沉积该封装材料包括沉积聚对亚苯基二甲基。

23. 权利要求 18 的方法，其中沉积该封装材料包括沉积具有约 2-3ppm/K 之间的热膨胀系数的封装材料。

24. 权利要求 18 的方法，其中沉积该封装材料包括沉积具有 370°C 以上的熔化温度的封装材料。

25. 权利要求 18 的方法，其中沉积该封装材料包括沉积非晶无机或陶瓷碳。

26. 权利要求 18 的方法，其中沉积该封装材料包括在室温下沉积该封装材料。

集成电路封装

技术领域

[0001] 本发明涉及集成电路封装。

背景技术

[0002] 通常,集成电路或半导体芯片封装在保护性绝缘封装材料中。封装材料应该在物理性能、化学性能以及成本间提供良好的平衡。对于常规半导体芯片,通过需要液压机的铸模工艺制造封装。液压机与汽相沉积所用的前端集束型机台不兼容。封装制造工艺未集成在半导体芯片的其他功能层的制造工艺中。因此,铸模工艺不会从前端工艺提供的成本按比例降低中受益。

[0003] 对于前端工艺,每个半导体芯片的成本与芯片表面面积近似成线性关系。然而,成本的线性近似值对于铸模工艺不适用。例如,相同封装中较小芯片需要较高质量的封装材料,或者每个晶片较小芯片需要较多的封装,并且因此需要更多铸模材料和生产能力。用于铸模材料和铸模工艺的成本一般很高,对于功率半导体更是如此。

[0004] 另外,对于非常小的半导体芯片,铸模材料的流体力学与半导体芯片的绝缘、防潮性能或抗温性能需求是不兼容的。实际上,会在铸模材料中出现空洞和/或会导致在半导体芯片的有源层和半导体芯片封装层之间粘附不理想。

[0005] 进一步,铸模工艺生产量相对低。由于铸模工艺以及后续离开原处,半导体芯片的制造工艺流程被打断。因为制造工艺流程被打断以及随后离开原处,所以半导体芯片受污染的风险高。随着半导体芯片变得更小,污染风险增大。

[0006] 另外,铸模工艺在半导体芯片上产生热机械应力。通常,铸模工艺具有约 175°C 的铸模温度。由于铸模温度,在室温下,在半导体芯片上存在显著的热机械应力,并且随着半导体芯片温度降低,半导体芯片上的热机械应力增加。

[0007] 因为这些以及其他的原因,需要本发明。

发明内容

[0008] 一个实施例提供一种集成电路。该集成电路包括包含有源区域的衬底和封装(encapsulating) 该有源区域的汽相沉积的封装材料。

附图说明

[0009] 附图被包括用以提供对本发明的进一步的理解并且被并入和构成该说明书的一部分。这些图示出本发明的实施例并且与描述一起用来解释本发明的原理。将容易领会本发明的其它实施例和本发明的多个预期的优点,同时参考以下详细描述它们将变得更好理解。这些图的元件不一定相对于彼此按比例绘制。相似的参考数字表示相应的相似部分。

[0010] 图 1 示出半导体装置一实施例的截面图;

[0011] 图 2 示出半导体装置另一实施例的截面图;

[0012] 图 3 示出半导体装置另一实施例的截面图;

- [0013] 图 4 示出半导体装置另一实施例的截面图；
- [0014] 图 5A 示出半导体晶片一实施例的截面图；
- [0015] 图 5B 示出在锯割半导体晶片后半导体装置一实施例的截面图；
- [0016] 图 6 示出半导体晶片一实施例的截面图；
- [0017] 图 7 示出沉积正面金属层后半导体晶片一实施例的截面图；
- [0018] 图 8 示出刻蚀正面金属层后半导体晶片一实施例的截面图；
- [0019] 图 9 示出刻蚀半导体晶片中的沟槽后半导体晶片一实施例的截面图；
- [0020] 图 10 示出沉积封装材料层后半导体晶片一实施例的截面图；
- [0021] 图 11 示出减薄晶片背面后半导体晶片一实施例的截面图；
- [0022] 图 12 示出沉积背面金属层后半导体晶片一实施例的截面图；
- [0023] 图 13 示出减薄封装材料层后半导体晶片一实施例的截面图；

具体实施方式

[0024] 在下面的详细描述中,参考附图,这些附图构成了说明书的一部分,在这些图中借助图示示出了可以实施本发明的特定实施例。在这方面,方向性的术语,例如:“顶部”、“底部”、“前”、“后”、“超前 (leading)”、“拖尾 (trailing)”等等,是参考所描述的图的方向来使用的。由于本发明的实施例的部件可被定位在许多不同的方向上,因此方向性的术语仅用于说明的目的,并且决不是用于限制。应当理解也可以利用其它实施例,并且可以在不脱离本发明的范围的情况下做出结构或逻辑改变。因此,下面的详细描述不是在限制的意义上进行的,并且本发明的范围将由所附权利要求来限定。

[0025] 图 1 示出集成电路或半导体装置 100 一实施例的截面图。半导体装置 100 包括封装材料 102、正面金属接触 104、有源区域 106 和背面金属 108。正面金属接触 104 与有源区域 106 的正面相接触。背面金属 108 与有源区域 106 的背面相接触。有源区域 106 包括形成在硅衬底或其他适合衬底中的晶体管、二极管或其他适合器件。封装材料 102 横向围绕正面金属接触 104 和背面金属 108,并且封装有源区域 106。

[0026] 通过使用汽相沉积工艺,例如化学汽相沉积 (CVD) 工艺而不是铸模工艺,用封装材料 102 对半导体装置进行 100 封装。汽相沉积工艺与前端工艺完全兼容。可同时施加封装材料至几个晶片,与铸模工艺相比,它提供高生产量以及较低的工艺成本。可在薄层(例如,少于 100 μm) 中施加封装材料;因此材料成本低。

[0027] 封装材料 102 由分子汽相沉积工艺提供高绝缘力和本征层粘附。原位 (in-situ) 执行整个封装工艺流程。由于原位执行整个封装工艺流程,因此与铸模封装工艺相比,污染风险降低。另外,汽相沉积工艺可在室温下进行。因此,如果封装材料 102 的热膨胀系数 (CTE) 不适应半导体芯片硅的 CTE,那么在室温下,在半导体装置上不存在热机械应力。

[0028] 在一实施例中,封装材料 102 是等离子体聚合物。在一实施例中,等离子体聚合物是聚对亚苯基二甲基 (Parylene),例如聚对亚苯基二甲基 C、聚对亚苯基二甲基 N 或聚对亚苯基二甲基 D。聚对亚苯基二甲基 C 提供有益的化学和物理特性的结合,加上对湿气、化学制品和其他腐蚀性气体有非常低的渗透性。聚对亚苯基二甲基 C 具有 290°C 的熔点。聚对亚苯基二甲基 N 提供高介电强度以及不随频率改变而变化的介电常数。聚对亚苯基二甲基 N 具有 420°C 的熔点。聚对亚苯基二甲基 D 在较高温度下可保持其物理强度和电特性。聚

对亚苯基二甲基 D 具有 380°C 的熔点。

[0029] 在另一实施例中,封装材料 102 包括非晶无机或陶瓷碳型层。非晶无机或陶瓷碳型层具有非常高的介电击穿强度以及约 2-3ppm/K 的热膨胀系数 (CTE),其非常接近硅的约 2.5ppm/K 的 CTE。因此,硅和封装材料层 102 间的热机械应力低。另外,非晶无机或陶瓷碳型层具有高达 450-500°C 的温度稳定性。

[0030] 图 2 示出了半导体装置 110 另一实施例的截面图。半导体装置 110 包括封装材料 102、正面金属接触 104 和有源区域 106。正面金属接触 104 与有源区域 106 的正面相接触。有源区域 106 包括在硅衬底或其他适合衬底中形成的晶体管、二极管或其他适合器件。封装材料 102 封装正面金属接触 104,并且封装有源区域 106 的顶部和侧面。

[0031] 在这个实施例中,使用汽相沉积在正面金属接触 104 和有源区域 106 上沉积封装材料厚层 102。封装材料厚层 102 对薄有源区域 106 给予支撑并且简化了对半导体装置 110 的操作。封装材料厚层 102 防止薄有源区域 106 弯曲和断裂。

[0032] 图 3 示出了半导体装置 112 另一实施例的截面图。半导体装置 112 包括先前表述并且参考图 1 示出的半导体装置 100、接合线 116、引线框 120、引线 118 和铸模封装 114。半导体装置 100 安置在引线框 120 上,因此背面金属 108 与引线框 120 接触。每个接合线 116 使正面金属接触 104 与引线 118 电耦合。铸模封装 114 封装半导体装置 100、接合线 116 以及引线框 120。在这个实施例中,在制造工艺中的晶片背面减薄过程中,封装材料 102 用作隔离和 / 或用作减薄载体。

[0033] 图 4 示出了半导体装置 130 另一实施例的截面图。半导体装置 130 包括减薄后的垂直功率晶体管 132、包括部分 134a、134b 和 134c 的引线框 134、接合线 138、金属夹 (metal clip) 144 和铸模封装 114。功率晶体管 132 包括栅电极 140、源电极 142、漏电极 136 和有源区域 106。功率晶体管 132 的正面包括小栅电极 140 和大源电极 142。功率晶体管 132 的漏电极 136 在功率晶体管 132 的背面上。大面积的源电极 142 和面积的漏电极 136 允许大电流从功率晶体管 132 的正面流向背面。封装材料 102 横向围绕栅电极 140、源电极 142 和漏电极 136 并且封装有源区域 106。

[0034] 功率晶体管 132 焊接在引线框部分 134b 上。通过接合线 138 栅电极 140 电耦合到引线框部分 134a。通过金属夹 144 源电极 142 电耦合到引线框部分 134c。由于金属夹 144 比接合线的截面更大,因此它能承载 1A 至 100A 的电流。由于对功率晶体管 132 减薄,功率晶体管 132 的接通电阻,即源电极 142 (即,引线框部分 134c) 和漏电极 136 (即,引线框部分 134b) 间的电阻降至最小。通过使用汽相沉积 (例如, CVD) 工艺施加的封装材料 102 提供功率晶体管 132 的有源区域 106 的钝化。在减薄工艺以及背面金属化过程中,封装材料 102 还稳定晶片。对于垂直功率晶体管,有源区域 106 的钝化和晶片背面的减薄都是重要的。

[0035] 图 5A 示出半导体晶片 150 一实施例的截面图。半导体晶片 150 包括管芯 151a-151c。每个管芯 151a-151c 包括封装材料 102、焊料球 152、正面金属接触 104、有源区域 106 和背面金属 108。对于每个管芯 151a-151c,正面金属接触 104 与有源区域 106 的正面相接触。背面金属 108 与有源区域 106 的背面相接触。有源区域 106 包括在硅衬底或其他适合衬底中形成的晶体管、二极管或其他适合器件。封装材料 102 横向围绕正面金属接触 104 和背面金属 108,并且封装有源区域 106。焊料球 152 与正面金属接触 104 相接触。

[0036] 以晶片级将焊料球 152 施加到正面金属接触 104。由于以晶片级施加焊料球 152，因此制造成本降至最低。在以晶片级施加焊料球 152 的情况下，可以完全以晶片级制造半导体芯片，这改善了生产量。另外，获得了占用最小空间的芯片级封装 (CSP)。在分割管芯后，可使用倒装芯片接合来将单个管芯或芯片直接安装在电路板上。

[0037] 图 5B 示出了在锯割半导体晶片 150 后半导体芯片 151a-151c 一实施例的截面图。将半导体晶片 150 锯成单个半导体芯片 150a-150c。通过使用封装材料 102，提供非常小的封装。封装材料 102 和背面金属化 108 提供抗潮湿和机械应力的保护。如果选择封装材料 102 使其具有与半导体芯片相同的 CTE，那么半导体芯片不会受到热应力。另外，背面金属化也在半导体芯片的背面上提供有效的冷却。另外，由于倒装芯片设计，半导体芯片 151a-151c 包括短引线长度，这对于功率或射频 (RF) 应用尤其有益。

[0038] 下列图 6-13 示出用于制造半导体装置的方法的一实施例，该半导体装置包括晶片级封装，例如先前表述的并且参考图 1 示出的半导体装置 100。

[0039] 图 6 示出半导体晶片一个实施例的截面图。半导体晶片包括两个管芯 200a 和 200b。每个管芯 200a 和 200b 包括有源区域 106a。每个有源区域 106a 包括在硅衬底或其他适合衬底中形成的晶体管、二极管或其他适合器件。

[0040] 图 7 示出在有源区域 106a 上沉积正面金属层 104a 后半导体晶片一实施例的截面图。金属，例如 TiN、TaN、W、Al、Ti、Ta、TiSiN、TaSiN、TiAlN、TaAlN、Cu 或其他适合的金属，沉积在有源区域 106a 上，以提供正面金属层 104a。使用 CVD、原子层沉积 (ALD)、金属有机化学汽相沉积 (MOCVD)、等离子体汽相沉积 (PVD)、喷射汽相沉积 (JVD) 或其他适合的沉积技术，沉积正面金属层 104a。

[0041] 图 8 示出刻蚀正面金属层 104a 后半导体晶片一实施例的截面图。使用光刻或其他适合的平版印刷工艺来图案化开口 201 以进行刻蚀。刻蚀正面金属层 104a 以提供暴露有源区域 106a 的部分的开口 201 并且提供正面金属层 104b。

[0042] 图 9 示出了在半导体晶片内刻蚀沟槽 202 后半导体晶片一实施例的截面图。使用光刻或其他适合的平版印刷工艺来图案化管芯 200a 和 200b 间的沟槽 202 以进行刻蚀。刻蚀正面金属层 104b 和有源区域 106a，以提供沟槽 202 和正面金属接触 104。在后面的工艺步骤中，沟槽 202 提供用以分开管芯 200a 和 200b 的锯切道 (sawing street)。

[0043] 图 10 示出了在沉积封装材料层 102a 后半导体晶片一实施例的截面图。封装材料，例如等离子体聚合物、非晶无机或陶瓷碳或者其他适合的封装材料，沉积在正面金属接触 104 和有源区域 106a 的暴露部分上，以提供封装材料层 102a。使用汽相沉积例如 CVD 沉积封装材料层 102a。在一实施例中，在室温下沉积封装材料层 102a。

[0044] 在一实施例中，汽相沉积的封装材料由蒸发的有机分子产生。沉积的封装材料的特性由沉积过程中的有机前体的类型、工艺参数以及使用的氧气、氢气或其他适合气体的流量决定。如果使用的气体前体仅仅是碳氢化合物分子并且加入的氧气流量高，那么典型的沉积层可以是聚对亚苯基二甲基 (例如，在聚合物构架 (backbone) 中具有氢含量并由此具有相对低的弯曲模量的等离子体聚合物)、非晶碳层 (具有接近硅的 CTE) 或类金刚石碳 (DCL)。根据封装材料、涂层或封装剂的特定用途，可通过所述汽相工艺调节广泛多样的材料特性。

[0045] 图 11 示出了在减薄晶片背面后半导体晶片一实施例的截面图。通过研磨和刻蚀

减薄有源区域 106a 的背面, 以提供减薄了的有源区域 106。在其它实施例中, 省略对晶片背面的减薄。

[0046] 图 12 示出了在沉积背面金属层后半导体晶片一个实施例的截面图。金属, 例如 TiN、TaN、W、Al、Ti、Ta、TiSiN、TaSiN、TiAlN、TaAlN、Cu 或其他适合的金属, 沉积在有源区域 106 上。在一实施例中, 平面化金属以去除任何突起 (overshoot) 并且暴露封装材料 102a 以及提供背面金属 108。使用化学机械平面化 (CMP) 或另外适合的平面化技术来平面化该金属。在其他实施例中, 省略背面金属化以提供与前述并且参考图 2 示出的半导体装置 110 相似的半导体装置。

[0047] 图 13 示出了在对封装材料层 102a 减薄后半导体晶片一个实施例的截面图。使用 CMP 或另外适合的平面化技术对封装材料层 102a 减薄, 以暴露正面金属接触 104 以及提供封装材料层 102。在其他实施例中, 如果将所有接触做成穿过背面, 则省略对封装材料层 102a 的减薄。在一实施例中, 然后将焊料球施加至背面金属接触 104 以提供与前述并且参考图 5A 示出的半导体晶片 150 相似的半导体晶片。

[0048] 然后通过锯穿封装材料 102 将管芯 200a 和 200b 分离来提供与先前表述的并且参考图 1 示出的半导体装置 100 相似的半导体装置。如果希望的话, 可以使用铸模工艺对管芯 200a 和 200b 进一步封装, 以提供与先前表述的并且参考图 3 示出的半导体装置 112 或与先前表述的并且参考图 4 示出的半导体装置 130 相似的半导体装置。

[0049] 本发明的实施例提供晶片级封装的半导体装置。使用汽相沉积在半导体晶片上沉积封装材料, 以封装晶片的有源区域。另外, 本发明的实施例提供晶片级载体以在晶片减薄过程中提供支撑并且简化对减薄后晶片的操作。使用汽相沉积在半导体晶片上沉积封装材料厚层, 以对背面研磨和刻蚀以及在背面研磨和刻蚀后对减薄的晶片处理提供支撑。

[0050] 尽管于此示出和阐述了特定实施例, 但是本领域技术人员可意识到, 在不脱离本发明范围的情况下, 可用多种替代和 / 或等价实施方式来代替所示特定实施例。本申请意指覆盖于此讨论的特定实施例的任何改编或变型。因此, 意指本发明将仅仅由权利要求及其等价物限定。

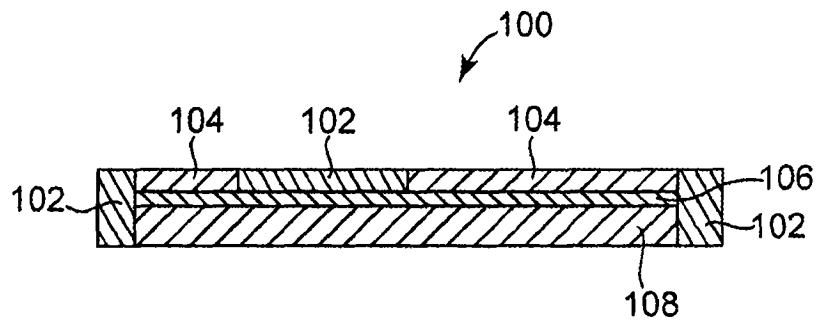


图 1

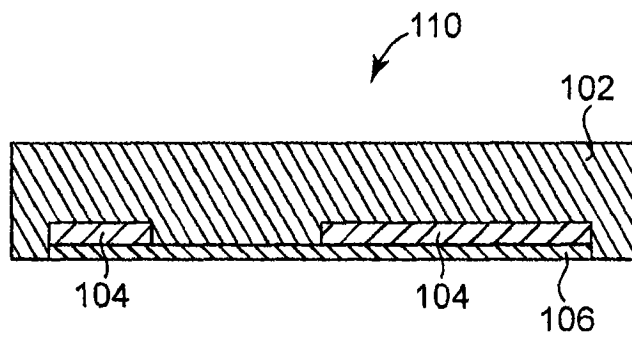


图 2

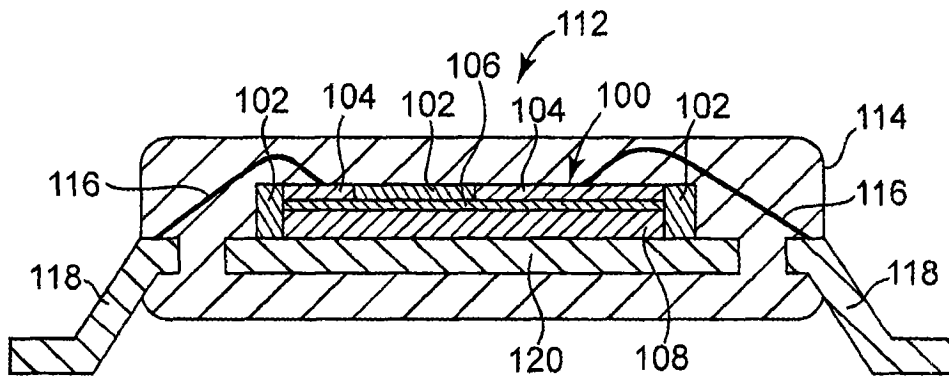


图 3

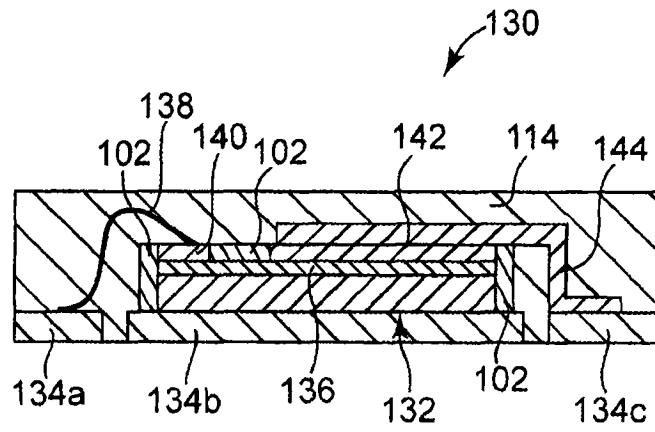


图 4

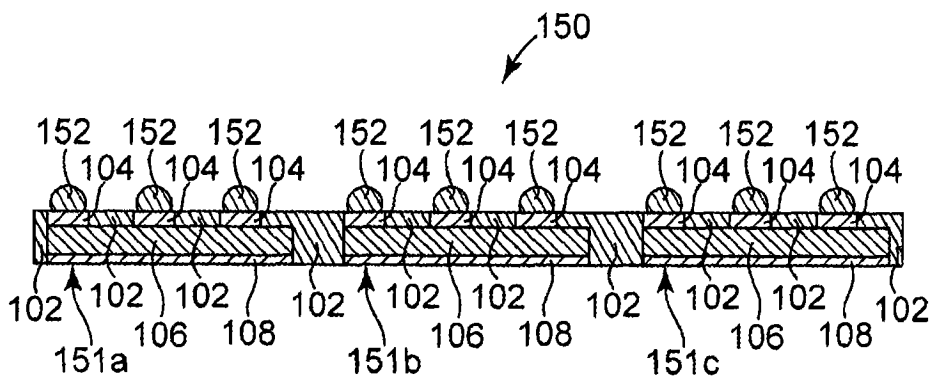


图 5A

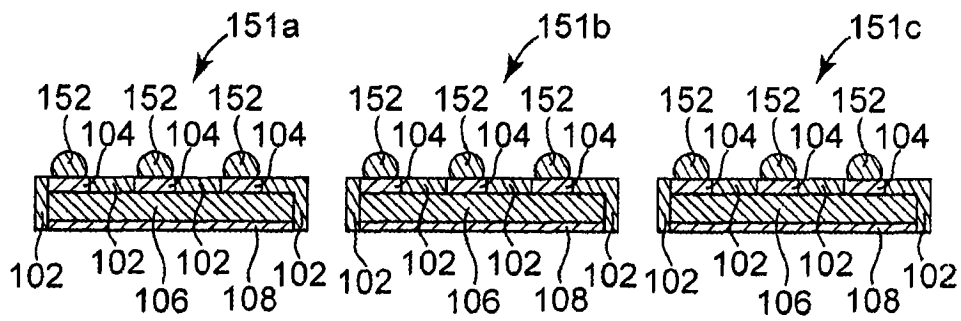


图 5B

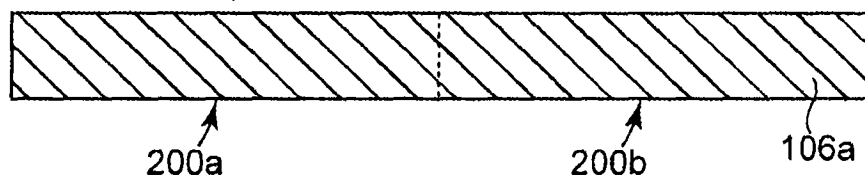


图 6

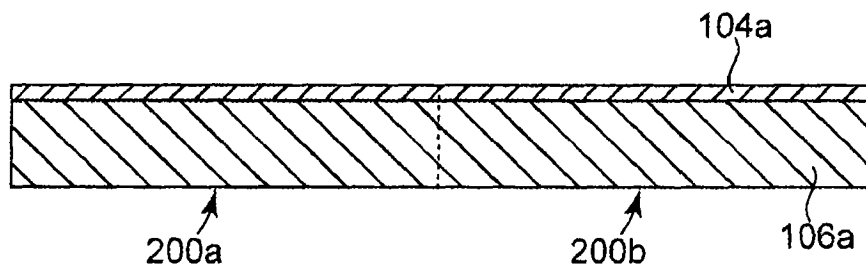


图 7

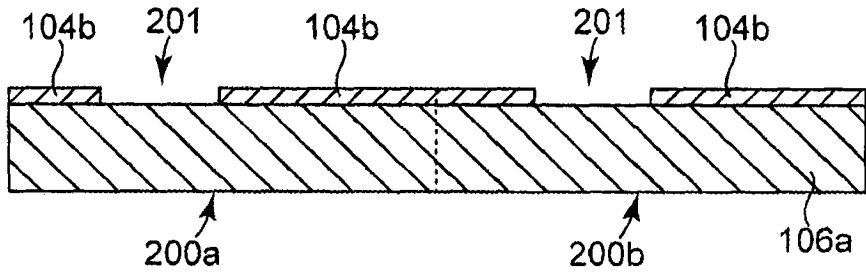


图 8

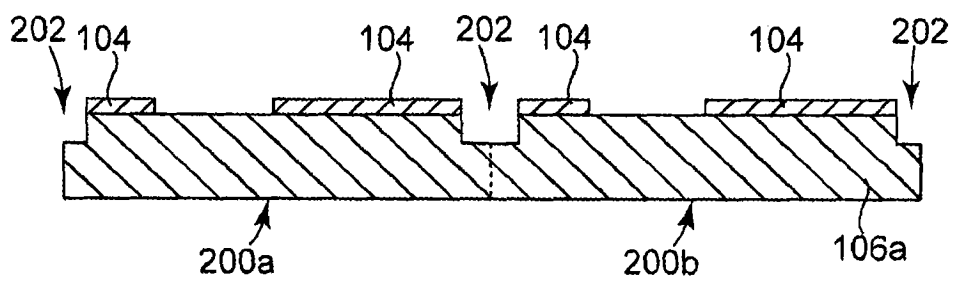


图 9

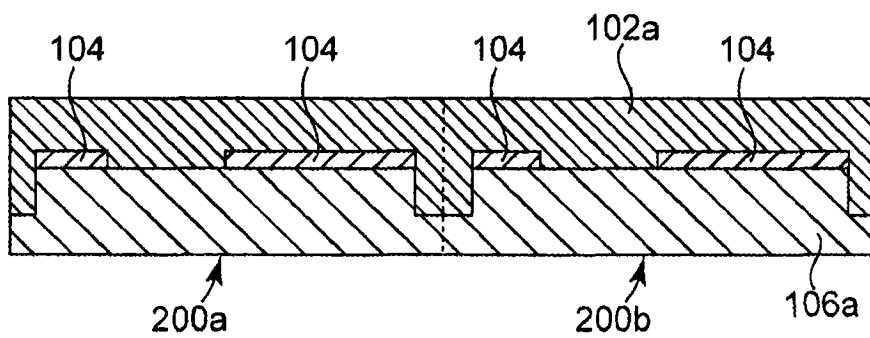


图 10

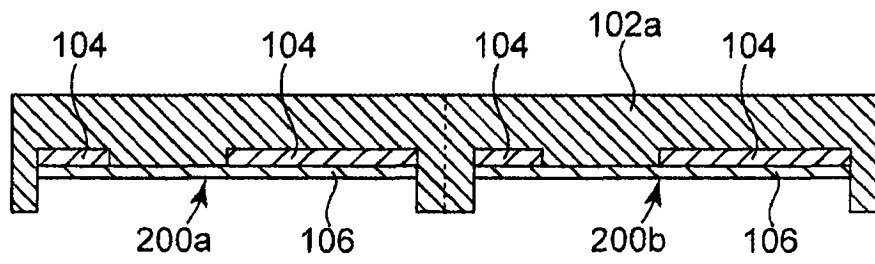


图 11

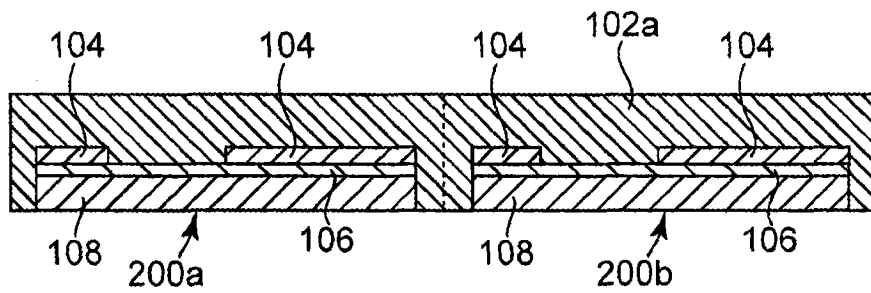


图 12

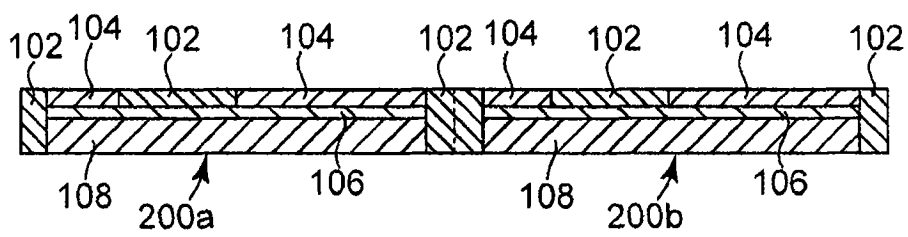


图 13