



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 602 15 518 T2** 2007.08.30

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 419 528 B1**

(21) Deutsches Aktenzeichen: **602 15 518.5**

(86) PCT-Aktenzeichen: **PCT/US02/26756**

(96) Europäisches Aktenzeichen: **02 761 469.2**

(87) PCT-Veröffentlichungs-Nr.: **WO 2003/019656**

(86) PCT-Anmeldetag: **22.08.2002**

(87) Veröffentlichungstag

der PCT-Anmeldung: **06.03.2003**

(97) Erstveröffentlichung durch das EPA: **19.05.2004**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **18.10.2006**

(47) Veröffentlichungstag im Patentblatt: **30.08.2007**

(51) Int Cl.⁸: **H01L 23/50** (2006.01)
H01L 23/64 (2006.01)

(30) Unionspriorität:

314905 P **24.08.2001** **US**

(73) Patentinhaber:

3M Innovative Properties Co., St. Paul, Minn., US

(74) Vertreter:

derzeit kein Vertreter bestellt

(84) Benannte Vertragsstaaten:

AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LI, LU, MC, NL, PT, SE, SK, TR

(72) Erfinder:

SYLVESTER, F., Mark, Saint Paul, MN 55133-3427, US; HANSON, A., David, Saint Paul, MN 55133-3427, US; PETEFISH, G., William, Saint Paul, MN 55133-3427, US

(54) Bezeichnung: **VERDRAHTUNGSMODUL MIT REDUZierter VERSORgUNGSVERTEILUNGSIMPEDANZ**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

TECHNISCHES GEBIET

[0001] Die Erfindung betrifft Zwischenverbindungsmodule zur Verwendung mit IC-Schaltungs-Chip.

ALLGEMEINER STAND DER TECHNIK

[0002] Verbreitet werden Mehrschichten-Zwischenverbindungsmodule in der Halbleiterindustrie verwendet, um IC-Schaltungs-Chip mechanisch zu tragen und die Chips elektrisch an Leiterplatten anzuschließen. Zwischenverbindungsmodule können konfiguriert sein, um einen einzelnen Chip oder mehrere Chips zu tragen, und sind typischerweise durch die Bezeichnung SCM (Single Chip Module, Einzelchipmodul) oder MCM (Multi-chip module, Multichipmodul) identifiziert.

[0003] Ein Zwischenverbindungsmodul stellt Zwischenverbindungen bereit, die dazu dienen, einen IC-Schaltungs-Chip mit Signalleitungen, Stromversorgungsleitungen und anderen Bauteilen zu koppeln, die durch eine Leiterplatte getragen werden. Insbesondere stellt das Zwischenverbindungsmodul Zwischenverbindungen bereit, die die dicht gepackten Eingänge und Ausgänge (E/As) des Chips zu entsprechenden E/As auf der Leiterplatte weiter verteilen. Über die elektrische Zwischenverbindung hinaus dient ein Zwischenverbindungsmodul typischerweise dazu, einen Chip mechanisch mit einer Leiterplatte zu koppeln, und kann andere Funktionen wie z.B. der Wärmeableitung und des Umweltschutzes wahrnehmen.

[0004] Um Hochfrequenzbetrieb zu unterstützen, ist es wichtig, eine niedrige Impedanz zwischen dem Rohchip und den Stromversorgungs- und Masse-Verteilungsleitungen oder –ebenen innerhalb des Moduls zu erreichen. Bei niedrigeren Frequenzen kann eine ausreichend niedrige Impedanz durch Platzieren diskreter Entkopplungskondensatoren innerhalb des Pakets und auf der Leiterplatte erreicht werden. Bei zunehmenden Frequenzen wird es jedoch bedingt durch die inhärente Reiheninduktivität, die durch die diskreten Kondensatoren erzeugt wird, zunehmend schwierig, eine adäquate niedrige Impedanz zu erreichen. Darüber hinaus verstärken Drähte, Löthügel, Durchgangslöcher, durchmetallisierte Löcher und Leiterbahnen im Zwischenverbindungsmodul bedingt durch zunehmende Induktivität das Unvermögen der diskreten Kondensatoren, bei höheren Frequenzen adäquat zu funktionieren.

[0005] Als eine Alternative zu diskreten Kondensatoren weisen einige Chips interne Kondensatorstrukturen auf, die innerhalb des Rohchips gebildet sind. Insbesondere kann ein „On-Chip“-Kondensator während der Anordnungsherstellung gefertigt werden und stellt Wege niedriger Induktivität zwischen dem Kondensator, den Stromversorgungs- und Masseleitungen und der Logik- und Pufferschaltung bereit. Unglücklicherweise steigern On-Chip-Kondensatoren die Kosten von IC-Schaltungs-Chips durch Zunahme der Rohchipgröße und Abnahme der Ausbeute erheblich.

[0006] Darüber hinaus ist der Betrag an On-Chip-Kapazität, der dem Rohchip hinzugefügt werden kann, typischerweise durch räumliche Bedingungen und die Dielektrizitätskonstante begrenzt, die begrenzt werden muss, um nachteiliges Beeinflussen von Signalausbreitungseigenschaften benachbarter Leiterbahnen zu vermeiden. Auch ist die Zwischenverbindung zwischen dem On-Chip-Kondensator und einem Treiber oder Empfänger üblicherweise bedingt durch die Verwendung von Metall mit hohem spezifischem Widerstand, z.B. Aluminium, ein Weg relativ hohen Widerstandes. Folglich ist die Nützlichkeit interner Kondensatoren begrenzt.

[0007] US-A-5.635.767 beschreibt ein Zwischenverbindungsmodul, das eine obere Fläche aufweist, die Kontaktpads aufweist, auf denen ein Chip über Lötperlen angeschlossen ist. Eine untere Fläche definiert zweite Kontaktpads zum Anschließen an eine Leiterplatte. Ein Kondensator weist eine erste Leitschicht, eine zweite Leitschicht und eine erste dielektrische Schicht auf, wobei die Schichten zusammenlaminiert sind. Im Zwischenverbindungsmodul sind zum Verdrahten mehrerer Kontaktpads mit der ersten Leitschicht des Kondensators Blind-Durchgangslöcher gebildet. Das bekannte Zwischenverbindungsmodul weist ferner zusätzliche dielektrische und Leitschichten auf.

KURZDARSTELLUNG

[0008] Im Allgemeinen ist die Erfindung auf Zwischenverbindungsmodule, die eine dünne Kondensatorstruktur hoher Dielektrizitätskonstante einbeziehen, um Stromversorgungs- und Masseverteilung verringerter Impedanz bereitzustellen, sowie Prozesse zur Herstellung derartiger Zwischenverbindungsmodule nach Anspruch 1 bzw. 8 gerichtet. Ein Zwischenverbindungsmodul, das gemäß der Erfindung aufgebaut ist, ist fähig, einen

IC-Schaltungs-Chip über Lötperlenverbindungen zuverlässig an eine Leiterplatte (Printed Wiring Board, PWB) anzuschließen, wobei verringerte Stromversorgungs-Verteilungsimpedanz bereitgestellt wird, die bei hohen Betriebsfrequenzen, einschließlich Frequenzen über 1,0 Gigahertz, kleiner als oder gleich im Wesentlichen 0,60 Ohm ist. Auf diese Weise ist das Zwischenverbindungsmodul wirksam im Begrenzen von Simultanschaltungsrauschen (Simultaneous Switching Output, SSO-Rauschen), Kernunterspannung und anderen Formen von Signalverlusten bei sehr hohen Frequenzen.

[0009] Ein Zwischenverbindungsmodul gemäß der Erfindung kann eine Reihe alternierender dielektrischer und Leitschichten einbeziehen, die zusammenlaminiert sind, um eine Einheitsstruktur zu bilden. Die laminierte Zwischenverbindungsstruktur kann eine Anzahl Durchgangslöcher und ausgeformter Signalschichten einbeziehen, die leitende Zwischenverbindungswege zwischen dem Chip, der Leiterplatte und verschiedenen Schichten innerhalb des Zwischenverbindungsmoduls bereitstellen. Das Zwischenverbindungsmodul weist Chip-Anbringungs- und Platinen-Anbringungsflächen auf, die Kontaktanschlussflächen zum Anschließen an entsprechende Pads auf dem Chip bzw. der Platine über Lötperlen definieren. Die verschiedenen Schichten sind ausgewählt, um Wärmeausdehnungskoeffizienten (Coefficient of thermal Expansion, CTE) zu zeigen, die zuverlässige Zwischenverbindungen mit dem Chip und der Leiterplatte fördern.

[0010] Die Zwischenverbindungsstruktur erreicht verringerte Stromversorgungs-Verteilungsimpedanz durch die Einbeziehung eines oder mehrerer dünner ebener Lamine hoher Kapazität, die eingebettete Kondensatoren bilden. Jeder eingebettete Kondensator kann durch ein extrem dünnes Laminat mit einem Material hoher Dielektrizitätskonstante gebildet sein, das sich zwischen zwei leitenden Folien befindet. Die verringerte Dicke und die hohe Dielektrizitätskonstante erzeugen erhöhte Kapazität und verringerte Stromversorgungs- und Masse-Verteilungsimpedanz. Die Anzahl Zwischenschichten zwischen der Chip-Anbringungsfläche und dem Kondensator und daher die Zwischenverbindungsmodul-Dicke kann auch begrenzt sein, um Reiheninduktivität zu verringern und Stromversorgungs-Verteilungsimpedanz weiter zu verringern.

[0011] In einigen Ausführungsformen kann der eingebettete Kondensator einen Kern des Zwischenverbindungsmoduls bilden. In anderen Ausführungsformen können ein oder mehrere Kondensatoren um einen Kern herum gebaut sein. In jedem Fall können die Stromversorgungs- und Masseebenen zweckentsprechend ausgeformt werden, entweder bevor oder nachdem die Ebenen in das Zwischenverbindungsmodul einbezogen werden, um Durchgangslöcher aufzunehmen und kontrollierte Impedanz zu unterstützen. Als Beispiel kann die eingebettete Kondensatorstruktur die Form eines Materials hoher Dielektrizitätskonstante annehmen, das auf ein Paar leitende Folien aufgetragen, laminiert und ausgeformt wird, bevor die Einbeziehung in das Zwischenverbindungsmodul erfolgt. In diesem Fall kann die Kondensatorstruktur auch vorgebohrt werden, um Durchgangsbohrungen für Durchgangslöcher im Zwischenverbindungsmodul zu bilden.

[0012] In einer anderen Ausführungsform ist die Erfindung auf ein Verfahren zum Bilden eines Zwischenverbindungsmoduls gerichtet, das Bereitstellen einer laminierten Kondensatorstruktur, Bilden einer Chip-Anbringungsfläche, Bilden einer Platinen-Anbringungsfläche und Laminiieren der Kondensatorstruktur, der Chip-Anbringungsfläche und der Platinen-Anbringungsfläche, um das Zwischenverbindungsmodul zu bilden, aufweist. Die Kondensatorstruktur weist eine erste Leitschicht, eine zweite Leitschicht und eine dielektrische Schicht auf, die zwischen den ersten und zweiten Leitschichten gebildet ist. Die Chip-Anbringungsfläche definiert erste Kontaktpads zum Anschließen eines IC-Schaltungs-Chips an das Zwischenverbindungsmodul an einer ersten Seite der Kondensatorstruktur. Die Platinen-Anbringungsfläche definiert zweite Kontaktpads zum Anschließen des Zwischenverbindungsmoduls an eine Leiterplatte an zweiter Seite der Kondensatorstruktur. Das Verfahren weist ferner Bilden von Leitwegen auf, die einige der ersten Kontaktpads mit entweder der ersten oder zweiten Leitschicht verdrahten. Die ersten Kontaktpads, die Leitwege und die Kondensatorstruktur erzeugen eine kombinierte Impedanz, die kleiner als oder gleich im Wesentlichen 0,60 Ohm bei einer Frequenz ist, die größer als oder gleich im Wesentlichen 1,0 Gigahertz ist.

[0013] In einer hinzugefügten Ausführungsform stellt die Erfindung ein Zwischenverbindungsmodul bereit, das ein laminiertes Substrat aufweist, das alternierende Leit- und organische dielektrische Schichten aufweist. Das laminierte Substrat weist mindestens eine erste Leitschicht, eine erste organische dielektrische Schicht, die der ersten Leitschicht benachbart liegt, eine zweite Leitschicht und eine zweite organische dielektrische Schicht auf, die der zweiten Leitschicht benachbart liegt. Die erste Leitschicht definiert eine Chip-Anbringungsschicht und die zweite Leitschicht definiert eine Platinen-Anbringungsschicht. Eine laminierte Kondensatorstruktur ist zwischen den ersten und zweiten dielektrischen Schichten gebildet und weist eine Dicke von kleiner als oder gleich im Wesentlichen 42 Mikrometer und eine Dielektrizitätskonstante größer als oder gleich im Wesentlichen 12 auf. In einem Beispiel ist die Dicke jeder der ersten und zweiten Leitschichten im Wesentlichen 12 Mikrometer, und die Dicke der dielektrischen Schichten ist im Wesentlichen 8 Mikrometer. Ein Abstand zwi-

schen einer äußeren Fläche der Kondensatorstruktur und einer inneren Fläche der ersten Leitschicht ist kleiner als oder gleich im Wesentlichen 100 Mikrometer.

[0014] In einer weiteren Ausführungsform stellt die Erfindung ein Zwischenverbindungsmodul bereit, das eine laminierte Kondensatorstruktur, alternierende Leitschichten und dielektrische Schichten, die um gegenüberliegende Seiten der Kondensatorstruktur laminiert sind, und ein oder mehrere Durchgangslöcher auf, die sich durch einige oder alle der Leit- und dielektrischen Schichten erstrecken, wobei die Durchgangslöcher mit einem leitenden Material überzogen oder gefüllt sind, um Leitwege zwischen der laminierten Kondensatorstruktur und äußeren Leitschichten des Zwischenverbindungsmoduls zu definieren, und wobei die Kontaktpads, die Leitwege und die Kondensatorstruktur eine kombinierte Stromversorgungs- und Masse-Verteilungsimpedanz erzeugen, die kleiner als oder gleich im Wesentlichen 0,60 Ohm bei einer Frequenz ist, die größer als oder gleich im Wesentlichen 1,0 Gigahertz ist.

[0015] Die Erfindung ist des Bereitstellens einer Anzahl von Vorteilen fähig. Beispielsweise kann das Zwischenverbindungsmodul mit einer extrem dünnen Kondensatorstruktur hergestellt werden, die eine sehr hohe Dielektrizitätskonstante aufweist. Folglich ist das Zwischenverbindungsmodul des Bereitstellens verringerter Stromversorgungs-Verteilungsimpedanz bei höheren Frequenzen fähig, wodurch die Leistung verbessert wird. Insbesondere erlaubt bei verringerter Stromversorgungs- und Masse-Verteilungsimpedanz ein Zwischenverbindungsmodul gemäß der Erfindung eine schnellere Schaltzeit für externe Busse, womit die Systembandbreite gesteigert wird.

[0016] Darüber hinaus profitieren Verfahren zum Herstellen des Zwischenverbindungsmoduls von der Verwendung einer laminierten Kondensatorstruktur, die die Form einer dielektrischen Beschichtung annehmen kann, die zwischen zwei Kupferfolien gebildet ist. Daher brauchen die Leitschichten nicht überzogen zu werden, wodurch eine leichte Herstellbarkeit gefördert wird. Die laminierte Kondensatorstruktur kann vorgebaut, ausgeformt und vorgebohrt werden, bevor sie mit den anderen Schichten kombiniert wird, wodurch der Aufbau des Zwischenverbindungsmoduls erleichtert und erlaubt wird, dass die Struktur auf ordnungsgemäßen Betrieb vorgeprüft wird. Darüber hinaus kann die laminierte Kondensatorstruktur vor ihrer Verwendung in einem Zwischenverbindungsmodul auf akzeptablen elektrischen Betrieb vorgeprüft werden.

[0017] Die Details einer oder mehrerer Ausführungsformen der Erfindung sind in den beiliegenden Zeichnungen und der Beschreibung unten dargelegt. Andere Merkmale, Aufgaben und Vorteile der Erfindung werden aus der Beschreibung und den Zeichnungen und aus den Ansprüchen offensichtlich.

[0018] Der Begriff „leitfähig“, „leitend“ oder „Leit-“, (Englisch: conductive) bedeutet in der hier verwendeten Weise elektrisch leitfähig.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0019] [Fig. 1](#) ist eine Querschnitts-Seitenansicht, die ein Elektronikpaket darstellt, das ein Zwischenverbindungsmodul einbezieht, das einen IC-Schaltungs-Chip an eine Leiterplatte anschließt.

[0020] [Fig. 2](#) ist eine Querschnitts-Seitenansicht, die eine Kondensatorstruktur zur Verwendung in einem Zwischenverbindungsmodul darstellt.

[0021] [Fig. 3](#) ist eine perspektivische Ansicht, die die Kondensatorstruktur nach [Fig. 2](#) darstellt.

[0022] [Fig. 4](#) ist eine Querschnitts-Seitenansicht, die eine erste Ausführungsform des Zwischenverbindungsmoduls darstellt.

[0023] [Fig. 5](#) ist eine Querschnitts-Seitenansicht, die eine zweite Ausführungsform des Zwischenverbindungsmoduls darstellt.

[0024] [Fig. 6](#) ist eine Querschnitts-Seitenansicht, die eine dritte Ausführungsform des Zwischenverbindungsmoduls darstellt.

[0025] [Fig. 7](#) ist eine Querschnitts-Seitenansicht, die eine vierte Ausführungsform des Zwischenverbindungsmoduls darstellt.

[0026] **Fig. 1** ist eine Querschnitts-Seitenansicht, die ein Elektronikpaket **10** darstellt, das ein Zwischenverbindungsmodul **12** einbezieht. Wie beschrieben werden wird, zeigt Zwischenverbindungsmodul **12** Stromversorgungs-Verteilungseigenschaften mit niedriger Impedanz, die besonders nützlich für Hochfrequenz-Schaltanwendungen sind. Insbesondere ist Zwischenverbindungsmodul **12** des Bereitstellens einer Stromversorgungs-Verteilungsimpedanz fähig, die kleiner als oder gleich im Wesentlichen 0,60 Ohm bei einer Frequenz ist, die größer als oder gleich im Wesentlichen 1,0 Gigahertz ist. Um verringerte Stromversorgungs-Verteilungsimpedanz zu erreichen, bezieht Zwischenverbindungsmodul **12** eine eingebettete Kondensatorstruktur ein, die extrem dünn ist und Material sehr hoher Dielektrizitätskonstante nutzt.

[0027] Wie in **Fig. 1** gezeigt, dient Zwischenverbindungsmodul **12** als ein Zwischenbauteil, das einen IC-Schaltungs-Chip **14** an eine Leiterplatte (PWB) **16** anschließt. Wie in **Fig. 2** dargestellt, weist Zwischenverbindungsmodul **12** einen alternierenden Stapel von Leit- und dielektrischen Schichten auf, die zusammenlaminiert sind, um eine Einheitsstruktur zu bilden. Durchgangslöcher, die in Zwischenverbindungsmodul **12** gebildet sind, stellen Leitwege bereit, die dazu dienen, E/As von Chip **14** zu entsprechenden E/As auf Leiterplatte **16** zu führen und Stromversorgungs- und Massepotentiale zwischen der Leiterplatte und dem Chip zu verteilen.

[0028] Chip **14** kann über eine Anordnung von Lötperlenverbindungen **18** elektrisch und mechanisch mit Zwischenverbindungsmodul **12** gekoppelt sein. Die Lötperlenverbindungen **18** sind elektrisch mit Kontaktpads auf einer unteren Fläche von Chip **14** und einer oberen Fläche von Zwischenverbindungsmodul **12** gekoppelt. Wenn Zwischenverbindungsmodul **12** und Chip **14** aneinander angebracht sind, werden die Lötperlenverbindungen **18** erwärmt, um einem Lötmittel-Reflow unterzogen zu werden und elektrisch leitende Verbindungen zwischen gegenüberliegenden Kontaktpads zu bilden. Ein daruntergefüllter Klebstoff **20** kann hinzugefügt werden, um die Hohlräume zwischen Lötperlen **18** zu füllen und dadurch die mechanische Verbindung zwischen Zwischenverbindungsmodul **12** und Chip **14** zu verstärken. Der daruntergefüllte Klebstoff **20** kann aus einem Epoxidharz gebildet sein, das sich verfestigt, wenn es ausgehärtet ist, womit die Bewegung von Chip **14** in Bezug auf Zwischenverbindungsmodul **12** verringert wird. Infolgedessen ist es weniger wahrscheinlich, dass die elektrischen Verbindungen, die durch die Lötperlen **18** gebildet sind, während der Benutzung versagen.

[0029] Zwischenverbindungsmodul **12** ist an Leiterplatte **16** mit einer ähnlichen Anordnung angebracht. Insbesondere dienen Lötperlenverbindungen **22** dazu, Kontaktpads auf Zwischenverbindungsmodul **12** elektrisch und mechanisch mit entsprechenden Kontaktpads auf Leiterplatte **16** zu koppeln. Die Kontaktpads auf Leiterplatte **16** können elektrisch mit Leiterbahnen oder leitfähigen Durchgangslöchern gekoppelt sein, die in verschiedenen Schichten der Leiterplatte gebildet sind. Wieder kann ein daruntergefüllter Klebstoff **24** hinzugefügt sein, um die mechanische Verbindung zwischen Zwischenverbindungsmodul **12** und Leiterplatte **16** zu verstärken, falls gewünscht. Um zuverlässige Verbindungen zu fördern, weist Zwischenverbindungsmodul **12** vorzugsweise einen Wärmeausdehnungskoeffizienten (CTE) auf, der den Wärmeausdehnungskoeffizienten von Leiterplatte **16** annähert. Auf diese Weise ist Zwischenverbindungsmodul **12** fähig, IC-Schaltungs-Chip **14** zuverlässig an Leiterplatte **16** anzuschließen. Darüber hinaus nutzt, wie unten detailliert beschrieben, Zwischenverbindungsmodul **12** eine interne Kondensatorstruktur, um verringerte Stromversorgungs-Verteilungsimpedanz von kleiner als oder gleich im Wesentlichen 0,60 Ohm bei hohen Betriebsfrequenzen zu erreichen, einschließlich Frequenzen über 1,0 Gigahertz. Auf diese Weise ist das Zwischenverbindungsmodul wirksam im Begrenzen von Simultanschaltausgangsrauschen (Simultaneous Switching Output, SSO-Rauschen), Kernunterspannung und anderen Formen von Signalverlusten bei sehr hohen Frequenzen.

[0030] **Fig. 2** ist eine Querschnitts-Seitenansicht, die eine Kondensatorstruktur **26** zur Verwendung in Zwischenverbindungsmodul **12** darstellt. Kondensatorstruktur **26** kann erste Leitschicht **28**, zweite Leitschicht **30** und eine dielektrische Schicht **32** aufweisen. Dielektrische Schicht **32** kann durch eine einzelne dielektrische Schicht oder erste und zweite dielektrische Teilschichten **34**, **36** gebildet sein, wie in **Fig. 2** gezeigt. Insbesondere kann die dielektrische Schicht durch Auftragen eines dielektrischen Materials auf mindestens eine der ersten und zweiten Leitschichten **28**, **30** und dann Anwenden von Wärme und Druck, um Kondensatorstruktur **26** zu laminieren und die dielektrische Schicht auszuhärten, gebildet sein. In einigen Fällen kann eine dielektrische Schicht **34**, **36** auf jede der Leitschichten **28** bzw. **30** aufgetragen sein.

[0031] Erste und zweite Leitschichten **28**, **30** können durch Kupferfolien gebildet sein und dienen als Stromversorgungs- und Masseebenen. Dielektrische Schicht **32** kann die Form eines Epoxidharzes annehmen, das mit Partikeln hoher Dielektrizitätskonstante angereichert ist. Die dielektrischen Partikel können beispielsweise aus der Gruppe ausgewählt sein, die aus Bariumtitanat, Bariumstrontiumtitanat, Titanoxid und Bleizirkonium-

titanat besteht. Das angereicherte Epoxidharz kann auf eine oder beide der Leitschichten **28**, **30** z.B. durch Walzenauftragen aufgetragen und getrocknet sein. Die Leitschichten **28**, **30** können jeweils eine Dicke aufweisen, die von im Wesentlichen 10 bis 80 Mikrometern und in mehr zu bevorzugender Weise 10 bis 40 Mikrometern reicht. In einer Ausführungsform ist jede Leitschicht **28**, **30** von einer Dicke von im Wesentlichen 18 Mikrometern.

[0032] Als ein Beispiel kann das dielektrische Material auf beide Folien aufgetragen sein. Nachdem die Beschichtung trocknet, können die beschichteten Seiten der Folien miteinander verbunden werden, und die resultierende Struktur kann unter Verwendung von Wärme und Druck, um das dielektrische Material auszuhärten, laminiert werden. Kondensatorstruktur **26** ist vorzugsweise extrem dünn und zeigt eine extrem hohe Dielektrizitätskonstante. Beispielsweise ist die Rezeptur des dielektrischen Materials in der dielektrischen Schicht **32** vorzugsweise derart, dass es nach dem Aushärten eine Gesamttrockendicke von kleiner als oder gleich im Wesentlichen 8 Mikrometern und in mehr zu bevorzugender Weise im Wesentlichen 1 bis 4 Mikrometern aufweist. Darüber hinaus weist das dielektrische Material eine hohe Dielektrizitätskonstante von größer als oder gleich im Wesentlichen 12 und in mehr zu bevorzugender Weise im Wesentlichen 12 bis 150 auf.

[0033] Die resultierende laminierte Kondensatorstruktur **26** weist zwei Folienschichten auf, die jeweils eine Dicke im Bereich von im Wesentlichen 10 bis 40 Mikrometern und eine Dielektrizitätskonstante im Bereich von 12 bis 150 aufweisen, und weist eine Kapazität im Bereich von im Wesentlichen 1,4 bis 132 Nanofarad pro cm² auf und trägt zu einer erheblich verringerten Stromversorgungs-Verteilungsimpedanz für Chip **14** bei. Insbesondere erzeugen die ersten Kontaktpads, die Leitwege und die erste oder zweite Leitschicht eine kombinierte Impedanz, die kleiner als oder gleich im Wesentlichen 0,60 Ohm bei einer Frequenz ist, die größer als oder gleich im Wesentlichen 1,0 Gigahertz ist. Auf diese Weise fördert die Einbeziehung von Kondensatorstruktur **26** schnellere Schaltfrequenzen innerhalb von Chip **14**.

[0034] Laminierte Kondensatorstrukturen, die zur Verwendung in Zwischenverbindungsmodul **12** geeignet sind, sowie Prozesse zur Herstellung derartiger Strukturen sind in US-A-6.274.224 und US-B-6.577.492 sowie WO 00/45634 beschrieben. Beispielsweise beschreiben die oben angegebenen Patentanmeldungen die Vorbereitung eines dielektrischen Materials, das ein Epoxid aufweist, das mit Bariumtitanat-Partikeln angereichert ist. Das dielektrische Material kann auf Kupferfoliensubstrate aufgetragen werden, die dann zusammenlaminiert werden, um eine Kondensatorstruktur zu bilden.

[0035] [Fig. 3](#) ist eine perspektivische Ansicht, die die Kondensatorstruktur **26** nach [Fig. 2](#) darstellt. Wie in [Fig. 3](#) gezeigt, kann Kondensatorstruktur **26** flexibel hergestellt sein, wodurch die Aufbewahrung als Bahn auf einer Rolle vor der Verwendung in Zwischenverbindungsmodul **12** erleichtert wird. Zur Verwendung in Zwischenverbindungsmodul **12** kann die Kondensatorstruktur **26** gemäß der Konstruktion des Zwischenverbindungsmoduls zugeschnitten und vorausgeformt oder vorgebohrt werden. Insbesondere können Durchgangslöcher, Leiterbahnen und andere Leitwege in Kondensatorstruktur **26** gebildet werden, bevor Zwischenverbindungsmodul **12** vollständig zusammengebaut wird. Kondensatorstruktur **26** kann dann mit anderen Schichten innerhalb von Zwischenverbindungsmodul **12** laminiert werden, um ein Paket zu bilden, das auf einer Seite an Chip **14** und auf der anderen Seite an Leiterplatte **16** angebracht wird.

[0036] Kondensatorstruktur **26** kann in vielfältigen unterschiedlichen Zwischenverbindungsmodulen verwendet werden. Darüber hinaus können einige Zwischenverbindungsmodule zwei oder mehr Kondensatorstrukturen **26** einbeziehen. [Fig. 4–Fig. 7](#) präsentieren eine Anzahl Beispiele, die diese Vielfalt veranschaulichen, aber nicht als die Erfindung, wie sie hier allgemein verkörpert und beansprucht ist, begrenzend anzusehen sind. Beispielsweise kann Kondensatorstruktur **26** als Kern eines Zwischenverbindungsmoduls verwendet werden, wobei zusätzliche dielektrische und Leitschichten um den Kern herum gebaut sind. In einem anderen Beispiel können zwei Kondensatorstrukturen **26** um einen Metall- oder dielektrischen Kern herum zusammen mit dazwischen befindlichen dielektrischen und Leitschichten gebaut sein. In jedem Fall trägt Kondensatorstruktur **26** zu einer verringerten Stromversorgungs-Verteilungsimpedanz bei und fördert schnellere Schaltfrequenzen.

[0037] [Fig. 4](#) ist eine Querschnitts-Seitenansicht, die ein erstes Zwischenverbindungsmodul **38** darstellt. Zwischenverbindungsmodul **38** weist eine Chip-Anbringungsfläche **39** und eine Platinen-Anbringungsfläche **41** auf. Darüber hinaus weist Zwischenverbindungsmodul **38** Kondensatorstruktur **26** auf, die erste Leitschicht **28**, zweite Leitschicht **30** und erste dielektrische Schicht **32** aufweist. Im Beispiel nach [Fig. 4](#) ist Kondensatorstruktur **26** in Kombination mit zweiten und dritten dielektrischen Schichten **40**, **42** und dritten und vierten Leitschichten **46**, **48** gebildet. Die in [Fig. 4](#) gezeigten Leit- und dielektrischen Schichten sind symmetrisch um Kondensatorstruktur **26** herum angeordnet. Das heißt, dass jede dielektrische oder Leitschicht, die auf einer Seite von Kondensatorstruktur **26** gebildet ist, eine entsprechende Schicht desselben Materials aufweist, die auf der ge-

genüberliegenden Seite der Kondensatorstruktur gebildet ist.

[0038] Wie ferner in [Fig. 4](#) gezeigt, erstreckt sich ein erstes Durchgangsloch **44** von Chip-Anbringungsfläche **39** aus durch die dielektrischen Schichten **40**, **42** hindurch zu Platinen-Anbringungsfläche **41**. Ein zweites Durchgangsloch **45** erstreckt sich von Chip-Anbringungsfläche **39** aus durch die dielektrische Schicht **40** hindurch und endet an der ersten Leitschicht **28** von Kondensatorstruktur **26**. Ein drittes Durchgangsloch **47** erstreckt sich von Platinen-Anbringungsfläche **41** aus durch die dielektrische Schicht **42** hindurch und endet an der zweiten Leitschicht **30**. Jedes Durchgangsloch **44**, **45**, **47** ist mithilfe einer der Beschichtungstechniken, die auf dem Gebiet der Mikroelektronik-Fertigung wohl bekannt sind, mit leitendem Material überzogen. Alternativ ist jedes Durchgangsloch **44**, **45**, **47** mit einem elektrisch leitenden Material gefüllt, um einen Leitweg zu definieren.

[0039] Kondensatorstruktur **26** kann vorgebohrt sein, um eine Durchgangsbohrung für Durchgangsloch **44** bereitzustellen. Die Durchgangslöcher **44**, **45** können auf der Fläche von Chip-Anbringungsfläche **39** mit einem leitenden Material überzogen sein. In ähnlicher Weise kann Durchgangsloch **47** auf der Fläche von Platinen-Anbringungsfläche **41** mit einem leitenden Material überzogen sein. Lötmasken **50**, **52** können auf Chip-Anbringungsfläche **39** bzw. Platinen-Anbringungsfläche **41** aufgebracht sein, um die Durchgangslöcher **44**, **45**, **47** abzudecken. Jede Lötmaske **50**, **52** legt jedem Durchgangsloch **44**, **45**, **47** benachbart ein Kontaktpad frei. Beispielsweise legt Lötmaske **50** Kontaktpads **54**, **55** frei, wohingegen Lötmaske **52** Kontaktpads **56**, **57** freilegt. Lötperlen, die dem Chip zugeordnet sind, können über den Kontaktpads **54**, **55** ausgerichtet, erwärmt und Reflow unterzogen werden, um eine elektrische und mechanische Verbindung mit den Kontaktpads zu bilden. In gleicher Weise können Lötperlen, die der Platine zugeordnet sind, über den Kontaktpads **56**, **57** ausgerichtet, erwärmt und Reflow unterzogen werden, um eine elektrische und mechanische Verbindung mit den Kontaktpads zu bilden.

[0040] Im Beispiel nach [Fig. 4](#) bildet Kondensatorstruktur **26** einen Kern für Zwischenverbindungsmodul **38**, wobei erste und zweite Leitschichten **28**, **30** Stromversorgungs- und Masseebenen bilden. Zweite dielektrische Schicht **40** ist zwischen erster Leitschicht **28** und Chip-Anbringungsfläche **39** gebildet, und dritte Leitschicht **46** ist zwischen zweiter dielektrischer Schicht **40** und der Chip-Anbringungsfläche gebildet. Insbesondere kann dritte Leitschicht **46** ausgeformt sein, um Kontaktpads **54**, **55** zu bilden. In ähnlicher Weise ist dritte dielektrische Schicht **42** zwischen zweiter Leitschicht **30** und der Platinen-Anbringungsfläche **41** gebildet, und vierte Leitschicht **48** ist zwischen dritter dielektrischer Schicht **42** und der Platinen-Anbringungsfläche gebildet. Wie die dritte Leitschicht **46** kann die vierte Leitschicht **48** ausgeformt sein, um Kontaktpads **56**, **57** zu bilden.

[0041] Die dritten und vierten dielektrischen Schichten **40**, **42** können aus Laminaten organischer dielektrischer Hochtemperatur-Substratmaterialien gebildet sein, wie z.B. Polyimiden und Polyimid-Laminaten, Epoxidharzen, Flüssigkristall-Polymeren, organischen Materialien oder dielektrischen Materialien, die mindestens teilweise Polytetrafluorethylen mit oder ohne Füllstoff aufweisen. In einer Ausführungsform sind die dielektrischen Schichten **40**, **42** aus einem organischen Material wie z.B. Polytetrafluorethylen (PTFE) und im Besonderen einem expandierten PTFE oder „ePTFE“ hergestellt, das mit Cyanatester und Epoxid imprägniert ist. Das PTFE-Material kann insbesondere eine Matrix aus expandierte Polytetrafluorethylen sein, die einen gemischten Cyanatester-Epoxid-Klebstoff und anorganischen Füllstoff enthält.

[0042] Die Leitschichten **46**, **48** können aus einem leitenden Material gebildet sein, wie z.B. Kupfer. Andere wohl bekannte leitende Materialien können ebenfalls verwendet werden, wie z.B. Aluminium, Gold oder Silber. In diesem Beispiel können die Leitschichten **46**, **48** jeweils eine Dicke im Bereich von im Wesentlichen 5 bis 14 Mikrometern aufweisen. In einem Beispiel ist die Dicke jeder Leitschicht **46**, **48** im Wesentlichen 12 Mikrometer. Die dielektrischen Schichten **40**, **42** können jeweils eine Dicke im Bereich von im Wesentlichen 20 bis 70 Mikrometern aufweisen. In einem Beispiel ist die Dicke jeder dielektrischen Schicht **40**, **42** im Wesentlichen 36 Mikrometer. Somit ist der Abstand zwischen einer äußeren Fläche der ersten Leitschicht **28** und einer inneren Fläche von Kontaktpad **55** kleiner als 100 Mikrometer und im Beispiel nach [Fig. 4](#) kleiner als oder gleich im Wesentlichen 36 Mikrometer.

[0043] Die verschiedenen Schichten von Zwischenverbindungsmodul **38** können zusammen gestapelt und unter Verwendung von Wärme und Druck laminiert sein. Beispielsweise können alle Schichten gleichzeitig mit einer anderen im Stapel laminiert sein. Alternativ können die Schichten einzeln auf Kondensatorstruktur **26** gebaut und inkrementell gebaut sein, wobei eine oder zwei zusätzliche Schichten in jedem Laminierschritt hinzugefügt sind. Während der Laminierung schmelzen die dielektrischen Schichten **40**, **42** und fließen in die Durchgangsbohrungen, die durch Kondensatorstruktur **26** für Durchgangsloch **44** definiert sind.

[0044] Durchgangsloch **44** bildet einen Leitweg, der Kontaktpads **54**, **56** auf Chip-Anbringungsfläche **39** und Platinen-Anbringungsfläche **41** verdrahtet. Auf diese Weise ist Durchgangsloch **44** des Verdrahtens von E/As oder anderen Anschlüssen, die dem Chip zugeordnet sind, mit Anschlüssen auf der Leiterplatine fähig. Durchgangsloch **45** verdrahtet Kontaktpad **55** mit der ersten Leitschicht **28** von Kondensatorstruktur **26**, die eine Stromversorgungsebene bilden kann. In ähnlicher Weise verdrahtet Durchgangsloch **47** Kontaktpad **57** mit der zweiten Leitschicht **30**, die eine Masseebene bilden kann. Alternativ können die ersten und zweiten Leitschichten **28**, **30** eine Masseebene bzw. Stromversorgungsebene bilden.

[0045] Zwischenverbindungsmodul **38** kann mehrere Durchgangslöcher ähnlich den Durchgangslöchern **44**, **45**, **47** aufweisen. Durchgangsloch **44** dient dazu, Kontaktpads auf Chip-Anbringungsfläche **39** und Platinen-Anbringungsfläche **41** z.B. zur E/A-Zwischenverbindung zu verdrahten. Die Durchgangslöcher **45**, **47** dienen dazu, Masse- und Stromversorgungspotentiale von der Platine zum Chip zu verteilen. Insbesondere kann Zwischenverbindungsmodul **38** zusätzliche Durchgangslöcher aufweisen, die Kontaktpads auf Platinen-Anbringungsfläche **41** mit der ersten Leitschicht **28** verdrahten, z.B. um ein Stromversorgungs- oder Massepotential von der Leiterplatine zur Leitschicht zu verteilen. In ähnlicher Weise können zusätzliche Durchgangslöcher die zweite Leitschicht mit Kontaktpads auf Chip-Anbringungsfläche **39** verdrahten, um Masse- oder Stromversorgungspotentiale zum Chip zu verteilen.

[0046] Die Durchgangslöcher **44**, **45**, **57** können auf die Laminierung von Zwischenverbindungsmodul **38** folgend gebildet sein. Insbesondere kann Durchgangsloch **44** durch Bohr- oder Laserablationsprozesse gebildet sein, wie beispielsweise in US-A-6.021.564 beschrieben. Auf die Laminierung folgend werden Zwischenverbindungsmodul **38** Lötmasken **50**, **52** hinzugefügt, um die Durchgangslöcher **44**, **45**, **47** abzudecken. Die Lötmasken **50**, **52** werden dann ausgeformt, um Kontaktpads **54**, **55**, **56**, **57** zur Aufnahme von Lötperlen von einem Chip bzw. einer Leiterplatine zu definieren.

[0047] In einigen Ausführungsformen kann Zwischenverbindungsmodul **38** eine „Flip-Chip“-IC-Schaltung aufnehmen. Flip-Chip-Montage bedingt das Platzieren von Lötperlen auf einem Rohchip oder Chip, das Umdrehen des Chips, das Ausrichten des Chips mit den Kontaktpads auf einem Substrat, wie z.B. Zwischenverbindungsmodul **38**, und den Reflow der Lötperlen in einem Ofen, um Verbindung zwischen dem Chip und dem Substrat zu schaffen. Auf diese Weise sind die Kontaktpads über die gesamte Chipfläche verteilt statt wie in Drahtbonding- und Tape-automated-Bonding-Techniken (TAB-Techniken) auf die Peripherie beschränkt zu sein. Als Folge davon kann die Maximalzahl verfügbarer E/A- und Stromversorgungs-/Masseanschlüsse gesteigert werden, und Signal- und Stromversorgungs-/Masse-Zwischenverbindungen können auf den Chips effizienter verlegt werden.

[0048] Kondensatorstruktur **26** verringert die Stromversorgungs-Verteilungsimpedanz innerhalb von Zwischenverbindungsmodul **38** erheblich. Unter der Annahme, dass die erste Leitschicht **28** eine Stromversorgungsebene ist und Kontaktpad **55** mit einer Lötperle gekoppelt ist, die den Stromversorgungseingang eines Chips kontaktiert, der auf Chip-Anbringungsfläche **36** montiert ist, ist die beobachtete Stromversorgungs-Verteilungsimpedanz durch den Chip die kombinierte Impedanz von Kontaktpad **55**, leitfähigem Durchgangsloch **45** und erster Leitschicht **28**. Die Stromversorgungs-Verteilungsimpedanz weist nicht nur kapazitive, sondern induktive Komponenten auf und ist von der Frequenz des Betriebs abhängig. Eine Technik zur Berechnung von Stromversorgungs-Verteilungsimpedanz wird später in dieser Beschreibung dargelegt.

[0049] [Fig. 5](#) ist eine Querschnitts-Seitenansicht, die ein zweites Zwischenverbindungsmodul **58** mit einer Chip-Anbringungsfläche **59** und einer Platinen-Anbringungsfläche **61** darstellt. Wie in [Fig. 5](#) gezeigt, weist Zwischenverbindungsmodul **58** eine zentrale Kondensatorstruktur **26** mit ersten und zweiten Leitschichten **28**, **30** und einer ersten dielektrischen Schicht **32** auf. Darüber hinaus weist Zwischenverbindungsmodul **58** zweite und dritte dielektrische Schichten **60**, **62** auf gegenüberliegenden Seiten der zentralen Kondensatorstruktur **26** auf.

[0050] Eine dritte Leitschicht **64** ist zwischen zweiter dielektrischer Schicht **60** und Chip-Anbringungsfläche **59** gebildet. Eine vierte Leitschicht **66** ist zwischen dritter dielektrischer Schicht **62** und Platinen-Anbringungsfläche **61** gebildet. Erste und zweite Leitschichten **28**, **30** können Stromversorgungs- und Masseebenen bilden, wohingegen dritte und vierte Leitschichten **64**, **66** ausgeformt sein können, um Signalschichten zu bilden.

[0051] Eine vierte dielektrische Schicht **68** ist zwischen dritter Leitschicht **64** und Chip-Anbringungsfläche **59** gebildet, wohingegen eine fünfte dielektrische Schicht **70** zwischen vierter Leitschicht **66** und Platinen-Anbringungsfläche **61** gebildet ist. Abschließend können Leitschichten **71**, **72** auf Rohchip-Anbringungsfläche **59** bzw. Platinen-Anbringungsfläche **61** gebildet und ausgeformt sein, um vorgeformte Öffnungen für die Bildung

von Durchgangslöchern zu definieren. Somit wird der Laser, der verwendet wird, um die Durchgangslöcher zu bilden, angewendet, um nur das dielektrische Material abzutragen.

[0052] Alle Leitschichten **64, 66, 71, 72** können aus Kupfer mit einer Dicke im Bereich von im Wesentlichen 5 bis 14 Mikrometern und in mehr zu bevorzugender Weise 12 Mikrometern gebildet sein. Jede der dielektrischen Schichten **60, 62, 68, 70** kann eine Dicke im Bereich von im Wesentlichen 20 bis 70 Mikrometern und in mehr zu bevorzugender Weise 36 Mikrometern aufweisen. Somit ist der Abstand zwischen einer äußeren Fläche der ersten Leitschicht **28** und einer inneren Fläche von Kontaktpad **71** kleiner als 100 Mikrometer und in mehr zu bevorzugender Weise kleiner als oder gleich im Wesentlichen 88 Mikrometer. Die verschiedenen Schichten können zusammen oder sequenziell laminiert sein. Nachdem die Leitschichten **64, 66** mit dielektrischer Schicht **60** bzw. **62** laminiert sind, können sie ausgeformt werden, um Signalleiterbahnen zu definieren. In ähnlicher Weise können die Leitschichten **71, 72** nach der Laminierung auf den dielektrischen Schichten **68, 70** ausgeformt werden.

[0053] In einigen Ausführungsformen sind die Leitschichten „ausbalanciert“, um strukturelle Einheitlichkeit zu fördern und Verformung aufgrund thermischer Spannungen zu widerstehen. Insbesondere können die Leitschichten, die symmetrisch auf gegenüberliegenden Seiten von Kondensatorstruktur **26** liegen, derart umgekehrt aufgebaut sein, dass jede über eine gleichartige Metallfolie verfügt, die darauf laminiert oder aufgetragen und darüber zu einem Muster geätzt ist; die Metallkonzentration in jeder Schicht ist im Wesentlichen gleich. Auf diese Weise sind der Wärmeausdehnungskoeffizient einer Schicht und ein Wärmeausdehnungskoeffizient der anderen Schicht im Wesentlichen gleich, wodurch sie miteinander ausbalanciert sind und Verzug des Zwischenverbindungsmoduls unter thermischer Spannung minimiert wird.

[0054] Zur E/A-Zwischenverbindung weist Zwischenverbindungsmodul **58** eine Anzahl leitfähiger Durchgangslöcher auf, wie z.B. innenliegendes Durchgangsloch **86**, die sich durch die dielektrischen Schichten **60, 62** erstrecken und Elektroden **82, 84** auf Signalschichten **64, 66** kontaktieren. Die Elektroden **82, 84** wiederum kontaktieren Blind-Durchgangslöcher **78, 80** auf Chip-Anbringungsfläche **59** und Platinen-Anbringungsfläche **61**. Typischerweise sind Blind-Durchgangslöcher durch nur eine dielektrische Schicht hindurch gebildet und werden zum Legen von Verbindungen zwischen zwei benachbarten Leitschichten verwendet. Jedoch können Blind-Durchgangslöcher gebildet werden, die sich durch mehrere laminierte Substratschichten hindurch erstrecken, um Mehrfach-Leitschichten zu verbinden. Die Leitschichten können ausgeformt und jedwede erforderlichen Blind-Durchgangslöcher, um benachbarte Leitschichten zu verbinden, gebildet werden, bevor die übrigen Schichten mit der Gesamtstruktur verbunden werden.

[0055] Ein Blind-Durchgangsloch kann eine Eintrittsöffnung von kleiner als im Wesentlichen 75 Mikrometer Durchmesser aufweisen. Der Bereich der Seitenverhältnisse für die Blind-Durchgangslöcher kann im Bereich von einschließlich 1:1 bis 5:1 liegen. Beispielsweise kann ein Blind-Durchgangsloch gebildet sein, das eine Durchgangsloch-Eintrittsbreite von 50 Mikrometern aufweist und sich durch eine dielektrische Schicht hindurch erstreckt, die eine Dicke von 50 Mikrometern aufweist.

[0056] Zur Stromversorgungs- und Masseverteilung weist Zwischenverbindungsmodul **58** auch eine Anzahl leitfähiger innenliegender Durchgangslöcher **81, 87** auf, die entweder erste Leitebene **28** oder zweite Leitebene **30** kontaktieren. Durchgangsloch **81** kontaktiert eine Elektrode **79** auf Signalschicht **66**, die wiederum ein Blind-Durchgangsloch **77** kontaktiert, das auf Chip-Anbringungsfläche **59** gebildet ist. Durchgangsloch **87** kontaktiert eine Elektrode **85** auf Signalschicht **64**, die ein Blind-Durchgangsloch **83** auf Platinen-Anbringungsfläche **61** kontaktiert. Jedes innenliegende Durchgangsloch kann ein Seitenverhältnis von zwischen im Wesentlichen 3:1 und 25:1 aufweisen.

[0057] Blind-Durchgangslöcher **78, 77** nehmen Lötperlen von einem Chip auf, der an Zwischenverbindungsmodul **58** angebracht ist. Die Lötperlen werden erwärmt und Reflow unterzogen, um leitende Verbindungen mit den Durchgangslöchern **78, 77** zu bilden, wodurch E/As auf dem Chip mit E/As auf dem Zwischenverbindungsmodul **58** verdrahtet werden. In gleicher Weise nehmen Blind-Durchgangslöcher **80, 83** Lötperlen auf, um elektrische und mechanische Verbindung des Zwischenverbindungsmoduls auf der Platine bereitzustellen. Die Lötperlen werden erwärmt und Reflow unterzogen, um leitende Verbindungen mit den Durchgangslöchern **80, 83** zu bilden, wodurch E/As auf dem Zwischenverbindungsmodul mit E/As auf der Platine verdrahtet werden.

[0058] Die Blind- und innenliegenden Durchgangslöcher zeigen einen Signalweg niedriger Induktivität, wobei die Impedanz in Zwischenverbindungsmodul **58** weiter verringert wird. Wie in [Fig. 5](#) gezeigt, kontaktiert Durchgangsloch **78** Leitschicht **64**, die seitlich fortschreitet, um innenliegendes Durchgangsloch **86** zu kontaktieren. Das innenliegende Durchgangsloch kontaktiert Leitschicht **66**, die seitlich fortschreitet, um Durchgangsloch **80**

zu kontaktieren. Auf diese Weise werden Abschnitte der Leitschichten entlang paralleler, aber senkrecht mit Abstand angeordneter Wege verlegt, wobei der Strom oder das Signal in entgegengesetzte Richtungen fließt.

[0059] Durch Anordnen der Signale in der obigen Art und Weise hebt eine Gegeninduktivität, die durch ein erstes Signalwegsegment mit einem zweiten benachbarten Signalwegsegment gebildet ist, eine Gegeninduktivität auf, die durch das zweite Leitwegsegment mit dem ersten Leitwegsegment gebildet ist. Dies ist durch die Tatsache bedingt, dass Strom, der durch die Durchgangslöcher hindurch fließt, im ersten Signalwegsegment in eine Richtung fließt und in einem benachbarten Signalwegsegment in eine entgegengesetzte Richtung fließt.

[0060] Wieder ist im Beispiel nach [Fig. 5](#) Kondensatorstruktur 26 extrem dünn und zeigt gleichzeitig eine hohe Dielektrizitätskonstante. Als Folge davon verringert Kondensatorstruktur 26 die Stromversorgungs-Verteilungsimpedanz innerhalb von Zwischenverbindungsmodul 58. Wenn mit den Wegen niedriger Induktivität kombiniert, die durch Blind- und innenliegende Durchgangslöcher definiert sind, führt Kondensatorstruktur 26 zu einem Zwischenverbindungsmodul, das des Betriebs bei hohen Frequenzen oberhalb von 1,0 Gigahertz mit einer Stromversorgungs-Verteilungsimpedanz von kleiner oder gleich ungefähr 0,60 Ohm fähig ist.

[0061] [Fig. 6](#) ist eine Querschnitts-Seitenansicht, die ein drittes Zwischenverbindungsmodul 88 darstellt. Wie in [Fig. 6](#) gezeigt, weist das dritte Zwischenverbindungsmodul eine zentrale Kondensatorstruktur 26 auf. Zusätzlich zu ersten und zweiten Leitschichten 28, 30 und erster dielektrischer Schicht 32 weist Zwischenverbindungsmodul 88 eine Reihe alternierender dielektrischer Schichten 92, 93, 94, 95, 96, 98 sowie eine Reihe alternierender Leitschichten 100, 102, 104, 106 auf. Die Leitschichten 100, 102, 104, 106 können ausgeformt sein, um Signalschichten zu bilden. Die Leitschichten 28, 30 bilden Stromversorgungs- und Masseebenen-schichten.

[0062] Jede dielektrische Schicht 92, 93, 94, 95, 96, 98 kann eine Dicke im Bereich von im Wesentlichen 20 bis 70 Mikrometern und in mehr zu bevorzugender Weise im Wesentlichen 35 Mikrometern aufweisen. Somit kann jede dielektrische Schicht 92, 93, 94, 95, 96, 98 im Wesentlichen dieselbe Dicke und vorzugsweise dieselbe Dickentoleranz aufweisen. Darüber hinaus kann jedes dielektrische Material 92, 93, 94, 95, 96, 98 aus demselben Material gebildet sein. In einigen Ausführungsformen können jedoch einige der dielektrischen Materialien, die auswärts von Kondensatorstruktur 26 angeordnet sind, z.B. Schichten 92, 98, einen höheren Elastizitätsmodul als die inneren dielektrischen Schichten, z.B. 93, 94, 95, 96 aufweisen, sodass der Biegemodul des laminierten Zwischenverbindungsmodul-Substrats im Wesentlichen maximiert ist.

[0063] Jede Leitschicht 100, 102, 104, 106 kann eine Dicke im Bereich von im Wesentlichen 5 bis 14 Mikrometern und in mehr zu bevorzugender Weise im Wesentlichen 12 Mikrometern aufweisen. Dementsprechend kann der Abstand zwischen einer äußeren Fläche der ersten Leitschicht 28 und einer inneren Fläche von Kontaktpad 112 kleiner als im Wesentlichen 150 Mikrometer sein. Im Beispiel nach [Fig. 6](#) ist der Abstand im Wesentlichen 136 Mikrometer.

[0064] Wie in [Fig. 6](#) gezeigt, werden E/A-Zwischenverbindungen durch eine Kombination von Blind- und innenliegenden Durchgangslöchern erreicht. Insbesondere ist ein erstes Blind-Durchgangsloch 108 auf Chip-Anbringungsfläche 89 gebildet, und ein zweites Blind-Durchgangsloch 110 auf Platinen-Anbringungsfläche 91 gebildet. Erste und zweite Durchgangslöcher 108, 110 sind überzogen, um Elektroden 112 bzw. 114 zu bilden. Jedes Durchgangsloch 108, 110 kann eine Lötperle von einem Chip bzw. einer Platine aufnehmen. In [Fig. 6](#) ist Lötperle 116 dargestellt. Blind-Durchgangsloch 108 kontaktiert ein drittes Blind-Durchgangsloch 118 an Signalschicht 106. Blind-Durchgangsloch 110 kontaktiert ein viertes Blind-Durchgangsloch 120 an Signalschicht 100. Blind-Durchgangsloch 118 kontaktiert ein innenliegendes Durchgangsloch 122 an Signalschicht 104, wohingegen Blind-Durchgangsloch 120 dasselbe innenliegende Durchgangsloch an Signalschicht 102 kontaktiert.

[0065] Stromversorgungs- und Masseebenen-Zwischenverbindungen können ebenfalls mithilfe einer Kombination von Blind- und innenliegenden Durchgangslöchern hergestellt werden. Wie ferner in [Fig. 6](#) gezeigt, weist Chip-Anbringungsfläche 89 ein Blind-Durchgangsloch 121 auf. Blind-Durchgangsloch 121 ist überzogen, um Elektrode 123 zu bilden, und nimmt eine Lötperle 125 auf, die einem Chip zugeordnet ist. Blind-Durchgangsloch 121 ist an Signalschicht 106 mit einem zweiten Blind-Durchgangsloch 127 gekoppelt. Blind-Durchgangsloch 127 ist wiederum an Signalschicht 104 mit einem innenliegenden Durchgangsloch 129 gekoppelt. Wie im Beispiel nach [Fig. 5](#) resultiert die Anordnung der Blind- und innenliegenden Durchgangslöcher in der Aufhebung von Gegeninduktivität in Zwischenverbindungsmodul 88, wobei die Stromversorgungs-Verteilungsimpedanz weiter verringert wird.

[0066] Signalschicht **104** kontaktiert die erste Leitschicht **28** von Kondensatorstruktur **26**, um Lötperle **125** und die erste Leitschicht zu verdrahten, die entweder als eine Stromversorgungs- oder Masseebenschicht dienen kann. Ein ähnlicher Satz von Blind- und innenliegenden Durchgangslöchern kann bereitgestellt sein, um auf zweite Leitschicht **30** zuzugreifen. Darüber hinaus können sich derartige Durchgangslöcher von entweder Chip-Anbringungsfläche **89** oder Platinen-Anbringungsfläche **91** aus erstrecken, um Stromversorgungs- und Massepotentiale zu und von dem Chip und der Leiterplatine zu erstrecken. Wie in den Beispielen nach [Fig. 4](#) und [Fig. 5](#) verringert die Einbeziehung von Kondensatorstruktur **26** in Zwischenverbindungsmodul **88** im Wesentlichen die Stromversorgungs-Verteilungsimpedanz und ermöglicht schnellere Schaltfrequenzen.

[0067] [Fig. 7](#) ist eine Querschnitts-Seitenansicht, die ein viertes Zwischenverbindungsmodul **130** darstellt. Im Beispiel nach [Fig. 7](#) weist Zwischenverbindungsmodul **130** zwei Kondensatorstrukturen **26a**, **26b** auf, die auf gegenüberliegenden Seiten eines zentralen dielektrischen Kerns **132** gebildet sind.

[0068] Gegenüberliegende Seiten von Zwischenverbindungsmodul **130** bilden eine Chip-Anbringungsfläche **131** und eine Platinen-Anbringungsfläche **133**. Zwischenverbindungsmodul **130** weist auch eine alternierende Anordnung von dielektrischen Schichten **134**, **135**, **136**, **138**, **140**, **142** und Leitschichten **144**, **146**, **148**, **150** auf. Leitschichten **144**, **148** sind auf gegenüberliegenden Seiten des dielektrischen Kerns **132** gebildet und können Stromversorgungs- und Masseebenen bilden. Die Leitschichten **146**, **150** können ausgeformt sein, um Signalleiterbahnschichten zu bilden, und sind von den Leitschichten **144**, **148** durch dielektrische Schichten **134** bzw. **136** getrennt.

[0069] Zwischen Leitschicht **150** und Kondensatorstruktur **26a** ist eine dielektrische Schicht **140** gebildet, wohingegen zwischen Leitschicht **146** und Kondensatorstruktur **26b** ist eine dielektrische Schicht **135** gebildet ist. Dielektrische Schichten **136**, **142** sind den Kondensatorstrukturen **26b** bzw. **26a** benachbart gelegen. Auf Chip-Anbringungsfläche **131** und Platinen-Anbringungsfläche **133** können mehrere Durchgangslöcher gebildet sein. Im Beispiel nach [Fig. 7](#) erstreckt sich ein Durchgangsloch **152**, das mit einem leitenden Material **154** gefüllt ist, durch Zwischenverbindungsmodul **130** und verdrahtet Kontaktpads **156**, **158** auf Chip-Anbringungsfläche **131** bzw. Platinen-Anbringungsfläche **133**. Somit kann Durchgangsloch **152** E/A-Zwischenverbindung zwischen einem Chip und einer Leiterplatine bereitstellen.

[0070] Durchgangsloch **160** erstreckt sich von einem Kontaktpad **162** aus, das auf Chip-Anbringungsfläche **131** gebildet ist, um erste Leitschicht **28a** von Kondensatorstruktur **26a** zu kontaktieren. In ähnlicher Weise erstreckt sich Durchgangsloch **164** von einem Kontaktpad **166** aus, das auf Platinen-Anbringungsfläche **133** gebildet ist, um erste Leitschichten **28b** von Kondensatorstruktur **26b** zu kontaktieren. Ein innenliegendes Durchgangsloch **168** erstreckt sich durch Zwischenverbindungsmodul **130** hindurch, um erste Leitschichten **28a**, **28b** von Kondensatorstrukturen **26a**, **26b** zu verdrahten. Somit dient die Kombination von Durchgangslöchern **160**, **164** und **168** dazu, Stromversorgungs- oder Massepotentiale zwischen Platinen-Anbringungsfläche **133** und Chip-Anbringungsfläche **131** zu verteilen.

[0071] Im Beispiel nach [Fig. 7](#) können die Leitschichten **144**, **146**, **148**, **150**, **28a**, **28b**, **30a** und **30b** den folgenden Funktionen zugeordnet sein (in der Reihenfolge von Platinen-Anbringungsfläche **133** zu Chip-Anbringungsfläche **131**):

Schicht **28b**: Masseebene
 Schicht **30b**: Stromversorgungsebene
 Schicht **146**: Signalebene
 Schicht **144**: Masseebene
 Schicht **148**: Stromversorgungsebene
 Schicht **150**: Signalebene
 Schicht **30a**: Masseebene
 Schicht **28a**: Stromversorgungsebene

[0072] Die Leitschichten **144**, **146**, **148**, **150** können aus Kupfer gebildet sein und eine Dicke im Bereich von im Wesentlichen 5 bis 35 Mikrometern und in mehr zu bevorzugender Weise 12 Mikrometern aufweisen. Die dielektrischen Schichten **134**, **135**, **136**, **138**, **140**, **142** können aus verschiedenen Materialien wie z.B. Polyimid, Flüssigkristall-Polymer, Fluorpolymeren, Epoxidharzen und dergleichen hergestellt sein und Dicken im Bereich von im Wesentlichen 10 bis 50 Mikrometern und in mehr zu bevorzugender Weise 20 Mikrometern aufweisen. Dielektrischer Kern **132** kann aus verschiedenen Materialien wie z.B. BT-Glas (Bismaleimidtriazinglas) oder FR4 gebildet sein und eine Dicke im Bereich von 250 bis 750 Mikrometern und in mehr zu bevorzugender Weise 500 Mikrometern aufweisen. Die Leitschichten **144**, **146**, **148**, **150** können ausgeformt sein, nachdem sie auf jeweilige dielektrische Schichten **134**, **135**, **136**, **140** aufgebracht sind, um Signalleiterbahnen oder ge-

trennte Stromversorgungs- und Masseebenen zu definieren. Der Abstand zwischen einer äußeren Fläche der ersten Leitschicht **28a** und einer inneren Fläche von Kontaktpad **156** kann kleiner als im Wesentlichen 50 Mikrometer sein. Im Beispiel nach [Fig. 7](#) ist der Abstand im Wesentlichen 20 Mikrometer.

[0073] Die Leitschichten **28a**, **28b**, **30a**, **30b** können vor der Laminierung mit den anderen Schichten von Zwischenverbindungsmodul **130** vorausgeformt oder vorgebohrt sein. Die Kondensatorstrukturen **26a**, **26b** nach [Fig. 7](#) können im Wesentlichen wie in den Beispielen nach [Fig. 4–Fig. 6](#) aufgebaut sein und dadurch verringerte Stromversorgungs-Verteilungsimpedanz in Zwischenverbindungsmodul **130** fördern. Im Allgemeinen ersetzen ein oder mehrere sehr dünne Lamine hoher Dielektrizitätskonstante wie z.B. Kondensatorstruktur **26** die mittige Kupferebene oder den „Kern“, die/der typischerweise in vorhandenen Zwischenverbindungsmodulen verwendet wird. Die hohe Dielektrizitätskonstante und das dünne Profil von Kondensatorstruktur **26** erzeugen eine sehr hohe Kapazität, die Impedanz verringert. Darüber hinaus verringert das dünne Profil von Kondensatorstruktur **26** in Kombination mit Verringerungen in der Dicke des Zwischenverbindungsmoduls von der Kondensatorstruktur zu den Kontaktpads auf der Chip-Anbringungsfläche Impedanz weiter.

[0074] Verringern der Anzahl Schichten zwischen Kondensatorstruktur **26** und den Kontaktpads und die Verwendung dünner dielektrischer Schichten von kleiner als im Wesentlichen 40 Mikrometern Dicke erreichen verringerte Dicke. Wie oben erwähnt, kann die Herstellung von Kondensatorstruktur **26** bei vielen Anwendungen leicht bewerkstelligt werden, indem zuerst das Kondensatorstrukturlaminat ausgeformt wird, um, wo gewünscht, Platz für Durchgangslöcher zu bilden, und dann das Paketsubstrat auswärts vom Kondensatorstrukturlaminat durch Hinzufügen zusätzlicher Schichten aufgebaut wird, wie z.B. in US-A-5.879.787 oder US-A-6.021.564 beschrieben.

[0075] Die gesteigerte Dielektrizitätskonstante und verringerte Dicke von Kondensatorstruktur **26** stellen eine erhöhte Kapazität bereit, die ein wichtiger Faktor beim Verringern von Stromversorgungs-Verteilungsimpedanz ist. Der Einfluss von Kondensatorfläche, Dielektrikumsdicke und Dielektrizitätskonstante ist in der folgenden Gleichung dargestellt:

$$C = \frac{\epsilon_0 * \epsilon * A}{t}$$

wobei C die Kapazität ist, ϵ_0 die Permittivität des freien Raums ist, ϵ die relative Dielektrizitätskonstante ist, A die Fläche des Kondensators ist und t die Dicke oder der Abstand zwischen den parallelen Kondensatorplatten ist. Somit ist im Falle eines Zwischenverbindungsmoduls C die Kapazität, die durch ein Paar paralleler Leitschichten oder Ebenen gebildet ist.

[0076] Die Kapazität kann gesteigert werden durch Vergrößern der Fläche, Verringern der Dielektrikumsdicke, Erhöhen der Dielektrizitätskonstante oder jedwede Kombination des obigen. Im Falle von On-Chip-Kondensatoren führt Vergrößern der Fläche unglücklicherweise zu einem größeren Rohchip, führt Verringern der Dicke zu gesteigerter Defektdichte und vergrößert Erhöhen der Dielektrizitätskonstante die On-Chip-Signalausbreitungsverzögerung.

[0077] Daher ist gemäß der Erfindung die erforderliche Kapazität durch eine laminierte Kondensatorstruktur **26** bereitgestellt, die innerhalb des Zwischenverbindungsmoduls eingebettet ist. Im Allgemeinen ist es wünschenswert, dass die Kondensatorstruktur physikalisch so nahe an der Chip-Anbringungsfläche wie möglich gelegen ist im Bemühen, die Reiheninduktivität zu minimieren, die mit den Ebenen zu verbinden ist, während gleichzeitig die Kapazität des Kondensatorstrukturebenenpaares maximiert wird. Darüber hinaus ist es wünschenswert, dass nur so wenige Schaltungsschichten, wie erforderlich sind, zwischen dem Ebenenpaar und der Chipverbindung gebildet sind und dass die Dicken von dielektrischer und Leitschicht minimiert sind.

[0078] Zwischenverbindungsmodule, die gemäß den Beispielen nach [Fig. 4–Fig. 7](#) aufgebaut sind, können ferner Struktur aufweisen, die ausgelegt ist, Verbindungszuverlässigkeit zu fördern und Verformung in Gegenwart thermischer Spannungen zu widerstehen. Insbesondere ist jedes Zwischenverbindungsmodul aus den alternierenden Laminaten von Leitschichten und dielektrischen Schichten aufgebaut, wie oben beschrieben, die ausgewählt sind, einen Gesamt-Wärmeausdehnungskoeffizienten (Gesamt-CTE) zu zeigen, der mit dem Wärmeausdehnungskoeffizienten der Leiterplatine nahezu übereinstimmt.

[0079] Darüber hinaus kann, wie in US-A-5.983.974 beschrieben, ein Versteifungsring auf die Rohchip-Anbringungsfläche der Zwischenverbindungsanordnung aufgeklebt werden. Der Versteifungsring definiert einen Hohlraum (oder Hohlräume) für den IC-Schaltungs-Chip und jedwede andere Anordnungen, wie z.B. Kondensatoren, die auf derselben Fläche am Zwischenverbindungsmodul angebracht sind.

[0080] Ein Deckel kann an den Versteifungsring angebunden sein, um den Chip innerhalb des Zwischenverbindungsmodul-Pakets zu umschließen. Der Deckel kann aus Material wie z.B. Kupfer hergestellt sein oder kann ein Vorformteil aufweisen, das aus einem metallischen Material hergestellt ist, wie z.B. Aluminium, in dem ein Verstärkungsmaterial angeordnet ist, wie z.B. Siliciumcarbid. In diesem Fall ist das Paket derart konstruiert, dass der Wärmeausdehnungskoeffizient des Versteifungsringes mit dem Wärmeausdehnungskoeffizienten des Zwischenverbindungsmoduls und des Deckels übereinstimmt. Ferner werden die einzelnen Klebstoffe, die verwendet werden, um den Versteifungsring anzubinden, so gewählt, dass deren Wärmeausdehnungskoeffizient mit denen des Substrats, des Ringes und des Deckels übereinstimmt. Darüber hinaus kann das Substrat derart konstruiert sein, dass sein Wärmeausdehnungskoeffizient mindestens teilweise mit jenem des Chips und auch mit jenem des Versteifungsringes übereinstimmt, wie in US-A-6.248.959 beschrieben.

[0081] Nun wird eine Technik zum Quantifizieren einer Gütezahl der Stromversorgungs-Verteilungsimpedanz beschrieben. Die Gütezahl kann verwendet werden, um die Impedanzeigenschaften eines Zwischenverbindungsmoduls, das eine extrem dünne, laminierte Kondensatorstruktur hoher Dielektrizitätskonstante einbezieht, wie hierin beschrieben, im Vergleich zu anderen Zwischenverbindungsmodulen zu klassifizieren. Dem Fachmann mögen andere Techniken zum Quantisieren von Stromversorgungs-Verteilungsimpedanz in den Sinn kommen. Dementsprechend ist die hierin beschriebene Technik nicht als die Erfindung einschränkend anzusehen.

[0082] Zu jedwedem Querschnitt eines Hochleistungs-Mehrschichtpakets gibt es eine Anzahl Leitebenen, die entweder Stromversorgung oder Masse zugeteilt sind. Zu Zwecken des hierin beschriebenen Tests sind alle Stromversorgungsebenen einer Spannung zugeordnet und alle Masseebenen einer anderen in der Absicht, die frequenzabhängige Eingangsimpedanz zu berechnen. Obgleich ein Zwischenverbindungsmodul aufgrund von Forderungen nach mehreren Spannungen nicht auf diese Art und Weise implementiert sein kann, vereinfacht diese Annahme die Analyse der Stromversorgungs-Verteilungsimpedanz.

[0083] Das Messproblem kann in zwei Komponenten unterteilt werden: Masseimpedanz und Stromversorgungsimpedanz. Die Stromversorgungs- und Masseimpedanzen sind typischerweise aufgrund der physikalischen Konfiguration von Zwischenverbindungsmodul **38** unterschiedlich. Beispielsweise sind die Stromversorgungs- und Masseebenen, z.B. erste und zweite Leitschichten **28**, **30**, typischerweise auf unterschiedlichen Niveaus innerhalb von Zwischenverbindungsmodul **38** und als Folge davon bei unterschiedlichen Abständen von Kontaktpads auf Chip-Anbringungsfläche **39** gelegen.

[0084] Zuerst wird angenommen, dass die Frequenz hoch genug ist, dass die Stromversorgungs- und Masseebenen als Übertragungsleitungen behandelt werden können. Dies sollte bei Betriebsfrequenzen über 200 Megahertz hinaus eine gute Näherung sein. Dementsprechend kann transversalelektromagnetische (TEM-) Ausbreitung angenommen werden, die es gestattet, den Wellenwiderstand für die Ebenen basierend auf der Dielektrizitätskonstante des Materials in dielektrischer Schicht **32**, dem zugeordneten Abstand zu den umgebenden Leitschichten **28**, **30**, der Frequenz und der interessierenden Fläche abzuschätzen. Die Berechnung kann gemäß der folgenden Vorgehensweise erfolgen:

1. Abschätzen der immanenten TEM-Ausbreitungsverzögerung T_d wie folgt:

$$T_d = \sqrt{\epsilon_r}/c,$$

wobei ϵ_r die relative Dielektrizitätskonstante ist und c die Lichtgeschwindigkeit ist.

2. Berechnen der Viertelwellenlänge der Übertragungsleitung:

$$l = 0,25/(f \cdot T_d),$$

wobei l die Länge ist und f die Frequenz der Analyse ist.

3. Berechnen der anwendbaren Paketfläche:

Wenn $l > \text{Paketgröße}/2$

$$A = (\text{Paketgröße})^2$$

sonst

$$A = \pi \cdot l^2,$$

wobei Paketgröße für den Umriss des Pakets steht.

4. Berechnen der Kapazität zu benachbarten Ebenen:

a. Erste benachbarte Ebene

$$C_1 = \epsilon_r \cdot \epsilon_0 \cdot A / \text{Ebenentrennung}_1,$$

wobei Ebenentrennung₁ für den Abstand zwischen einer ersten Leitschicht und dem Chip steht.

b. Zweite benachbarte Ebene, falls vorhanden

$$C_2 = \epsilon_r \cdot \epsilon_0 \cdot A / \text{Ebenentrennung}_2,$$

wobei Ebenentrennung₂ für den Abstand zwischen einer zweiten Leitschicht und dem Chip steht.

c. Gesamtkapazität

$$C = C_1 + C_2$$

5. Berechnen der Impedanz der Ebene

$$Z = l \cdot Td / C,$$

wobei Z die Gesamtimpedanz ist, C die Gesamtkapazität ist, die durch alle Ebenen zwischen dem Chip und der Stromversorgungs- oder Masseebene erzeugt wird, und Td die TEM-Ausbreitungsverzögerung ist und l die Länge ist, die oben berechnet wurden.

[0085] Sind die obigen Berechnungen gegeben, kann als Nächstes die Induktivität (L) vom Rohchip zur Verbindung mit der ersten Stromversorgungs- oder Masseebene mithilfe der Gleichung unten berechnet werden:

$$L_{\text{via}} = \frac{1}{2} * L_{\text{Leitungspaar}} \approx \frac{t}{2} * \frac{\mu_0 \mu_r}{\pi} * \cosh^{-1} \frac{d}{2a}$$

wobei

d = Durchgangslochpaar-Abstand,

a = Durchgangslochradius,

t = Länge des Durchgangsloches,

μ_0 = Permeabilität des freien Raumes und

μ_r = relative Permeabilität, typischerweise 1,0.

[0086] Diese Berechnung der Induktivität wird für jede darauf folgende Stromversorgungs- oder Masseebene wiederholt, bis eine Verbindung zwischen dem Chip und der untersten Masseebene hergestellt ist.

[0087] Das Wiederholen der Stromversorgungs-Masseimpedanz-Modellberechnung ist eine Sache des Zusammenfügens der Übertragungsleitungen und der Induktivitäten, beide wie oben berechnet, zu einem Netzwerk. Um das Netzwerk aufzulösen, werden die Übertragungsleitungen als frequenzunabhängige Widerstände behandelt, die an Masse abgeschlossen sind. Dann können Standard-Schaltungsanalysetechniken verwendet werden, um die Eingangsimpedanz lösen zu können. Die Eingangsimpedanz-Berechnung wird sowohl für die Stromversorgungs- als auch die Masse-Netzwerke wiederholt. Dann kann die Gütezahl als Mittelwert der Stromversorgungsimpedanz und der Masseimpedanz definiert werden.

[0088] In Tabelle 1 unten sind Gütezahlen der Leistungsverteilungsimpedanz für eine Anzahl unterschiedlicher Zwischenverbindungsmodul-Aufbauten einschließlich Zwischenverbindungsmodulen, die eine dünne Kondensatorstruktur hoher Dielektrizitätskonstante einbeziehen, wie hierin beschrieben, und anderen Zwischenverbindungsmodulen ohne eine derartige Kondensatorstruktur aufgeführt. Tabelle 1 gibt die Impedanz-Gütezahl über einen Bereich von Betriebsfrequenzen von 500 Megahertz bis 5 Gigahertz an.

Tabelle 1

ZWISCHENVERBINDUNG		IMPEDANZ (OHM) über FREQUENZ (GHz)					
Typ	Querschnitt	0,5 GHz	1 GHz	2 GHz	3 GHz	4 GHz	5 GHz
7-schichtig (58 µm)	Gspgpgsg	0,42	0,67	1,13	1,75	2,51	3,33
7-schichtig DIP (36 µm)	Gspgpgsg	0,31	0,51	0,88	1,36	1,93	2,53
*8-schichtig HoDk (58 µm)	gsp [gp] gsp	0,35	0,62	1,10	1,69	2,35	3,08
*8-schichtig HoDk (36 µm)	gsp [gp] gsp	0,27	0,48	0,86	1,32	1,85	2,39
*8-schichtig HoDk/DIP (36 µm)	Xgsp [gp] gspX	0,25	0,46	0,81	1,25	1,75	2,26
*2-4-2 Aufbau HoDk	ps [gp] [gp] sg	0,14	0,26	0,48	0,74	1,01	1,30
4-2-4 Aufbau	Pgspgpgsg	0,16	0,26	0,43	0,67	0,95	1,26
5-schichtig (58 µm)	Psgsgp	0,62	0,85	1,27	2,00	2,99	4,13
5-schichtig DIP (36 µm)	Psgsgp	0,44	0,62	0,97	1,51	2,23	3,03
*6-schichtig HoDk (58 µm)	ps [gp] sg	0,29	0,53	0,99	1,51	2,08	2,66
*6-schichtig HoDk (36 µm)	ps [gp] sg	0,23	0,43	0,80	1,21	1,67	2,13
*6-schichtig HoDk/DIP (36 µm)	xps [gp] sgX	0,22	0,40	0,75	1,14	1,56	2,00
*4-schichtig HoDk (58 µm)	s [gp] s	0,23	0,44	0,87	1,30	1,75	2,20
*4-schichtig HoDk (36 µm)	s [gp] s	0,19	0,36	0,74	1,12	1,50	1,88
*4-schichtig HoDk/DIP (36 µm)	Xs [gp] sX	0,18	0,35	0,69	1,04	1,40	1,76
Dünnschicht auf Keramik- substrat	X [gp]	0,05	0,10	0,20	0,30	0,41	0,52

[0089] In Tabelle 1 bezieht sich die Spalte „Typ“ auf den Typ des getesteten Zwischenverbindungsmodul-Aufbaus. In der Typ-Spalte bezieht sich die Bezeichnung „X-schichtig“, z.B. „7-schichtig“, auf die Anzahl alternierender Leitschichten im Zwischenverbindungsmodul. Die Bezeichnung „DIP“ bezieht sich auf einen „Durchgangsloch-in-Pad“-Aufbau, bei dem das Zwischenverbindungsmodul in der Anzahl Leitschichten jene Schichten aufweist, die auf Kontaktpads hergestellt sind, die Durchgangslöchern in den Chip-Anbringungs- und Platinen-Anbringungsflächen zugeordnet sind.

[0090] Die Bezeichnung „HoDk“ bezieht sich auf einen Aufbau, der eine dünne Kondensatorstruktur hoher Dielektrizitätskonstante gemäß der Erfindung einbezieht. Einige Aufbauten sind sowohl DIP- als auch HoDk-Aufbauten. Die Bezeichnung „Aufbau“ bezieht sich auf einen Aufbau, bei dem Schichten um ein 500-Mikrometer-Dielektrikum aufgebaut sind. In einem Fall, der mit 2-4-2-Aufbau HoDk bezeichnet ist, ist eine HoDk-Kondensatorstruktur einem herkömmlichen Aufbaukern hinzugefügt. Jeder HoDk-Aufbau weist eine „y-x-y“-Bezeichnung auf, wobei das x angibt, wie viele Leitschichten den HoDk-Kondensatorstrukturkern bilden, und das y angibt, wie viele zusätzliche Leitschichten auf jeder der beiden Seiten des HoDk-Kerns gebildet sind.

[0091] Jedwede Dicken in Klammern geben die Dicken der dazwischen liegenden dielektrischen Schichten an, die die Leitschichten im entsprechenden Zwischenverbindungsmodul trennen. In Tabelle 1 sind alle Leitschichten Kupfer von 12 Mikrometern. Sind die obigen Qualifikationen gegeben, gibt die Bezeichnung „5-schichtig (58 Mikrometer)“ in der Typ-Spalte an, dass das betrachtete Zwischenverbindungsmodul fünf Leit-

schichten aufweist, die durch dielektrische Schichten von 58 Mikrometer getrennt sind.

[0092] Die Spalte „Querschnitt“ in Tabelle 1 gibt die Anordnung von Masse-, Stromversorgungs-, Signal- und Kontaktpadschichten im Zwischenverbindungsmodul an. Die Bezeichnung „s“ gibt eine Signalschicht, „g“ gibt eine Masseebenschicht, „p“ gibt eine Stromversorgungsebenenschicht, X gibt eine Durchgangsloch-in-Pad-Schicht (DIP-Schicht) und [gp] gibt ein Stromversorgungs-Masseebenenpaar an, das durch eine HoDk-Kondensatorstruktur gebildet ist.

[0093] In Tabelle 1 ist jedes „HoDk“-Modul, das gemäß der Erfindung aufgebaut ist, ferner mit einem Stern (*) identifiziert. Wie aus Tabelle 1 offensichtlich ist, erzeugt mit Ausnahme des 8-schichtigen HoDk-Aufbaus (58 Mikrometer) der HoDk-Aufbau allgemein eine Stromversorgungs-Verteilungsimpedanz, die kleiner als oder gleich im Wesentlichen 0,60 Ohm bei Betriebsfrequenzen ist, die größer als oder gleich im Wesentlichen 1,0 Gigahertz sind.

[0094] Ist die oben umrissene Gütezahlberechnung gegeben, erzeugt der 8-schichtige HoDk-Aufbau (36 Mikrometer) beispielsweise eine Stromversorgungs-Verteilungsimpedanz bei 1,0 Gigahertz von im Wesentlichen 0,48 Ohm. In ähnlicher Weise erzeugt der 8-schichtige HoDk-DIP-Aufbau bei 1,0 Gigahertz eine Impedanz von 0,46 Ohm. Selbst der 6-schichtige HoDk-Aufbau (58 Mikrometer) erzeugt bei 1,0 Gigahertz eine Impedanz von 0,53 Ohm. Bemerkenswerterweise wird bei abnehmender Anzahl Schichten die Impedanz recht niedrig. In dem Fall eines 4-schichtigen HoDk-DIP-Aufbaus ist beispielsweise bei 1,0 Gigahertz die Impedanz 0,35 Ohm. Der 2-4-2-Aufbau-HoDk-Aufbau erzeugt beispielsweise bei 1,0 Gigahertz eine Impedanz von 0,26 Ohm. In jedem Fall fördert die niedrigere Impedanz das Schalten mit höherer Geschwindigkeit.

[0095] Die letzte Zeile der Tabelle 1 steht für eine Ausführungsform, bei der eine Dünnschicht auf einem Keramiksubstrat gebildet und mit einer Kondensatorstruktur, wie hierin beschrieben, kombiniert ist, um ein Zwischenverbindungsmodul mit verringerter Stromversorgungs-Verteilungsimpedanz zu realisieren.

BEISPIEL 1

[0096] Grundlegende Verfahren, die zur Herstellung von Zwischenverbindungsmodulen mit Querschnitten wie hierin beschrieben geeignet sind, sind in US-A-5.879.787 und US-A-6.021.564 beschrieben, wie oben erwähnt. Das folgende Beispiel beschreibt ein repräsentatives Verfahren zum zusätzlichen Erzeugen eines ausgeformten Laminats hoher Dielektrizitätskonstante, d.h., einer Kondensatorstruktur, wie oben unter Bezug auf [Fig. 1–Fig. 7](#) beschrieben, zur Einbeziehung in ein Zwischenverbindungsmodul, um verringerte Stromversorgungs-Verteilungsimpedanz zu erreichen. Dieses Beispiel geht mit der Verwendung einer laminierten Kondensatorstruktur einher, die Kupferfolie von im Wesentlichen 18 Mikrometern auf jeder der beiden Seiten eines Materials hoher Dielektrizitätskonstante aufweist, das eine Dicke von im Wesentlichen 8 Mikrometern aufweist.

[0097] Als Erstes wird die Kondensatorstruktur gebildet. Bereitgestellt sind Kupferfoliensubstrate, die bei der Carl Schenk AG, Nürnberg, Deutschland erhältlich sind und eine Dicke von 18 Mikrometern, eine Temperatur von 140° Celsius und eine mittlere Oberflächenrauigkeit (RMS) von 8 nm aufweisen. Chemisorbierende Materialien werden in einem Sauerstoff-Argon-Plasma mithilfe eines Geräts, das von Plasma Science, Foster City, Kalifornien, USA, erhältlich ist, bei einer Verweilzeit von etwa sechs Minuten entfernt. Partikelablagerungen werden mit einem Unterdruck-Ultraschall-Bahnreiniger entfernt, der von der Web Systems, Inc. aus Boulder, Colorado, USA unter dem Handelsnamen „Ultracleaner“ kommerziell erhältlich ist.

[0098] Als Nächstes werden 6,4 Gramm eines Epoxids, das von der Shell Chemical Company aus Houston, Texas, USA unter dem Handelsnamen Epon® 1001F kommerziell erhältlich ist, und 1,6 Gramm eines Epoxids, das von der Shell Chemical Company unter dem Handelsnamen Epon® 1050 kommerziell erhältlich ist, in 18 g Methylethylketon (MEK) und 35 g Methylisobutylketon (MBK) gelöst, die beide von Aldrich Chemical, Milwaukee, Wisconsin, USA kommerziell erhältlich sind. Der Mischung wurde 0,8 g Dispergiermittel, ein Copolymer aus Polyester und Polyamin, das kommerziell von ICI America, Wilmington, Delaware, USA unter dem Handelsnamen „Hypermeer PS3“ erhältlich ist, hinzugefügt.

[0099] 47 g Bariumtitanat-Partikel, die eine mittlere Partikelgröße von 0,2 Mikrometer aufweisen, von Cabot Performance Materials, Boyertown, Pennsylvania, USA unter dem Handelsnamen „BT-8“ erhältlich sind und in Luft 15 Stunden lang bei 350 Grad Celsius erwärmt worden sind, wurden langsam unter Verwendung einer Ross-Labormisch- und -emulgiermaschine hinzugefügt, die kommerziell von Charles Ross & Sons, Hauppauge, New York, USA erhältlich ist, wobei ein Rotor-Stator-Kopf mit 2000 Umdrehungen pro Minute (/min) lief. Nachdem alles Bariumtitanat hinzugefügt war, wurde die Drehzahl auf 6000/min erhöht, und das Bariumtitanat

wurde zwanzig Minuten lang in einem Behälter dispergiert, der in einem Eisbad gekühlt wurde, um das Erwärmen der Mischung zu verhindern. Die resultierende Mischung wies 55 Gewichtsprozent Feststoffe auf; das Volumenverhältnis von Bariumtitanat zu Epoxid betrug 55:45.

[0100] Der Mischung wurde erlaubt, sich über Nacht ungestört zu setzen, um es schlecht dispergierten Agglomeraten zu ermöglichen, sich abzusetzen. Die Mischung wurde dann durch einen 2-Mikrometer-Edelstahlsiebfilter gefiltert, um eine erste Mischung zu bilden. Die Gewichtsprozent Feststoffe der ersten Mischung wurden zu 53 % gemessen, und der Volumenprozent-Eintrag von Bariumtitanat in der ersten Mischung wurde zu 53 % gemessen; beide Messungen erfolgten gravimetrisch.

[0101] Dann wurden 8,4 g einer 70-Gewichtsprozent-Lösung von Epon® 1001 F in MEK, 1,8 g einer 80-Gewichtsprozent-Lösung von Epon® 1050 in MEK und 5,4 g einer 5-Gewichtsprozent-Lösung von 2,4,6-Tris(dimethylaminomethyl)phenol durch einen 0,45-Mikrometer-Filter gefiltert und dann 236 g der ersten Mischung hinzugefügt, um die zweite Mischung zu bilden. Die Mischung wurde durch Rühren oder Rollenlassen des Behälters auf einer Kugelmühle (ohne Kugeln) homogen gemacht. Schließlich betrug der Feststoffgehalt der zweiten Mischung 43 Gewichtsprozent. Die zweite Mischung wurde mithilfe eines Ultraschallbades fünf Minuten lang entlüftet.

[0102] Die zweite Mischung wurde separat mit einer Mikrogravur-Auftragsmaschine (in einem Reinraum) auf zwei Kupferfolien unter Verwendung einer Bahngeschwindigkeit von 12,7 cm/s (25 Fuß/Minute) und einer Gravurwalzengeschwindigkeit von 20 cm/s (40 Fuß/Minute) aufgetragen. Die Gravurwalzen wurden gewählt, um eine Trockenbeschichtungsdicke von 1 bis 1,5 Mikrometern zu ergeben. Die Beschichtung wurde bei 95 Grad Celsius getrocknet und dann auf einen Kern gewickelt, um eine Rolle zu bilden.

[0103] Die zwei mischungsbeschichteten Kupferfolien wurden dann in einem Reinraum Beschichtungsseite auf Beschichtungsseite mithilfe eines Laminators, der von Western Magnum, El Segundo, Kalifornien, USA, erhältlich ist, mit Walzen von 150° Celsius bei 0,64 cm/s (15 Inch/Minute) Geschwindigkeit und einem Luftdruck auf die Walzen bei 140 kPa (20 psi) zusammenlaminiert. Das Laminat wurde in Luft bei 180 Grad Celsius achtzig Minuten lang ausgehärtet.

[0104] Das ausgehärtete Laminat wurde mithilfe des 90-Grad-Schälversuchs getestet, der im IPC Test Method Manual, IPC-TM-650, Versuch Nummer 2.4.9 vom Oktober 1988, herausgegeben vom Institute for Interconnecting and Packaging Electronic Circuits, beschrieben ist. Zum Trennen der Kupferfolien wurde eine Kraft von 600 N/m (3,4 Pound/Inch) benötigt. Auch wurde das ausgehärtete Laminat nach folgendem Prüfverfahren auf seine Kapazität geprüft- Mithilfe standardmäßiger Fotolithografie- und Kupfer-Ätzverfahren wurde eine Elektrode von 2 cm mal 2 cm auf eine Seite des Laminats geätzt, und die Kapazität wurde bei 1 Kilohertz mithilfe eines LCR-Messgeräts gemessen, das von Hewlett Packard, Palo Alto, Kalifornien, USA, erhältlich ist und die Modellnummer 4261A besitzt. Die gemessene Kapazität betrug 6 nF/cm² bei einem Verlustfaktor von 0,004.

[0105] Als Nächstes wurde ein Bogen des resultierenden Kondensatorlaminats gemäß den Maßen des Zwischenverbindungsmoduls zugeschnitten. Eine beispielhafte Größe ist 33 Millimeter mal 33 Millimeter. Das Laminat wurde beigeschnitten, und mithilfe eines Stempels wurden Werkzeuglöcher im Laminat gebildet. Dann wurden Bezugspunkte zur Fotolithografie-Ausrichtung, die durchgehende Löcher von im Wesentlichen 300 Mikrometer Durchmesser sein können, unter Verwendung der Werkzeuglöcher als Ausrichtungspunkte in den gelochten Laminatbogen gelasert.

[0106] Jede der zwei Kupferfolien im Laminat wurde dann mit 40 cm (15,75 Inch) breitem Fotoresist des Typs 7025 beschichtet. Nach dem Beischneiden des überschüssigen Fotoresists von den Rändern des Laminats wurden die fotoresistbeschichteten Werkzeuglöcher durchstoßen. Dann wurde der Drucker Proform® 7700 mit Auto-Ausrichtung verwendet, um den Fotoresist auf beiden Folien unter Standard-Belichtungsenergie mit einer Abbildung zu versehen. Der Fotoresist wurde dann mithilfe einer Natriumcarbonat-Lösung und Standardeinstellungen entwickelt. Dann wurden die Freibereiche in den Kupferfolien mit Kupferchlorid-Lösung unter Standardeinstellungen geätzt. Der Fotoresist wurde mit Kaliumhydroxid unter Verwendung von Standardeinstellungen abgelöst, mit der Ausnahme, dass der Abstreiferdruck auf 140 kPa (20 psi) abgesenkt werden sollte und weniger aggressives Trocknen ratsam sein mag, um Beschädigungen an jedweder der freiliegenden dielektrischen Schichten zu vermeiden.

[0107] Die freiliegenden Kupferflächen des Laminats wurden behandelt, um die Haftung in den nachfolgenden, sequenziellen Laminierungsschritten zu erhöhen. Zu den Beispielbehandlungen zur Förderung der Ober-

flächenhaftung zählen Braun- oder Schwarzoxid-Behandlung, Co-Bra® Bond-Behandlung oder Auftragung eines Haftvermittlers wie z.B. Aminopropylsilan.

[0108] Nach Bildung wurde das Kondensatorlaminat innerhalb eines Zwischenverbindungsmodul-Pakets verarbeitet, als sei es ein ausgeformter Kupferbogen. Insbesondere wurde das Kondensatorlaminat innerhalb der Mitte anderer Kupfer- und dielektrischer Schichten in einem alternierenden Stapel hinzugefügt und in einer Presse platziert, die eine Laminierkraft aufbrachte. Die Kupferschichten wurden Schichten benachbart gelegt, die sich beim Pressen in einem B-Zustand befanden, um den Laminierungsprozess zu erleichtern, was zu einer einheitlichen, mehrschichtigen Struktur führt, die einen HoDk-Kondensatorstrukturkern mit äußeren dielektrischen und Leitschichten aufweist. Mehrfache Laminierungen können verwendet werden, um höhere Schaltungsschichtzahlen oder verschiedene Strukturen von Blind- und innenliegenden Durchgangslöchern einzubeziehen.

[0109] Während der Laminierung floss dielektrisches Material von den benachbarten Schichten in die Öffnungen zwischen den ausgeformten Leitschichten und füllte sie. Die dielektrischen Schichten waren aus einem organischen PTFE-basierten Material hergestellt. Blind- und innenliegende Durchgangslöcher wurden durch Bohren in unterschiedlichen Phasen des Zusammenbaus in der Zwischenverbindungsmodul-Struktur gebildet, um Zwischenverbindungen zwischen Kontaktpads und Stromversorgungs- und Masseebenen bereitzustellen. Die Durchgangslöcher wurden unter Verwendung einer Laserbohrtechnik gebohrt. Insbesondere wurde ein gepulster Nd:YAG-Laser bei entweder der dritten oder vierten Harmonischen verwendet, um einen ultravioletten Strahl bei entweder 266 nm oder 355 nm zu erzeugen, wie in US-A-5.879.787 beschrieben.

[0110] Um Leitschichten zu verdrahten, wurden die Blind- und innenliegenden Durchgangslöcher mithilfe bekannter Metallisierungstechniken wie z.B. chemisches Metallisieren gefolgt von elektrolytischem Beschichten in Stufen mit einem leitenden Material überzogen, um Leitwege durch das Laminat zu definieren. Auf das Überziehen folgend wurden die äußeren Leitschichten unter Verwendung standardmäßiger Fotolithografiertechniken ausgeformt, um die Kontaktpads zu bilden. Die Kontaktpads wurden verwendet, um E/A-Verbindungen und Stromversorgungs- und Masseebenen-Verbindungen herzustellen. Nach Zusammenbau des Zwischenverbindungsmoduls einschließlich der laminierten HoDk-Kondensatorstruktur wurde der Chip-Anbringungsfläche ein Chip durch Reflow einer Anordnung von Lötperlen auf dem Chip hinzugefügt, um sie mit entsprechenden Kontaktpads auf der Chip-Anbringungsfläche zu verbinden, und die resultierende Struktur dann zur Lötperlenverbindung über einer Leiterplatte platziert.

BEISPIEL 2

[0111] In einem anderen Beispiel wurde Kondensatorstruktur mit einer Dispersion gebildet, wie in US-B-6.577.492 beschrieben. Insbesondere wurde eine Dispersion, wie unten in Tabelle 2 angegeben, mithilfe einer Gravur- oder Düsenbeschichtungstechnik auf eine Kupferfolie aufgetragen.

Tabelle 2

Komponente	Gramm
Epoxid Epon® 1001F + Epoxid Epon® 1050	16,0
9,9-Bis(3-chloro-4-aminophenyl)fluor	4,0
Bariumtitanat, 0,2 Mikrometer (Cabot Performance Materials)	78,7
PS3-Polyester/Polyamin-Copolymer-Dispergiermittel (Uniquema)	1,3
5-Aminobenzotriazol	0,08

[0112] Die Trockendicken des Dielektrikums reichten von im Wesentlichen 2,0 bis 5,0 Mikrometern. Die Beschichtung wurde zu einer klebefreien Fläche getrocknet und dann zu Rollen gewickelt. Zwei Rollen wurden beschichtete Seite an Seite mithilfe zweier erwärmter Andruckwalzen laminiert. Verwendet wurde ein standardmäßiger Fotoresistlaminiierer. Das laminierte Material wurde bei 180 Grad Celsius 1,5 bis 2,5 Stunden lang ausgehärtet. Die ausgehärteten Panel wurden auf einer oder beiden Seiten mithilfe herkömmlichen Fotoresists und Ätzmittels ausgeformt, um individuelle Kondensatorstrukturen zu erzeugen.

BEISPIEL 3

[0113] Als ein anderes Beispiel der Fertigung einer Kondensatorstruktur, die zur Verwendung in einem Zwi-

schonverbindungsmodul geeignet ist, wurde eine Dispersion, wie im oben aufgeführten Dokument US-B-6.577.492 und Tabelle 3 unten beschrieben, auf eine Kupferfolie aufgetragen.

Tabelle 3

Komponente	Gramm ^a	Gramm ^b
Epoxid Epon [®] 1001F	20,2	16,2
Epoxid Epon [®] 1050	5,0	4,0
9,9-Bis(3-chloro-4-aminophenyl)fluor	0	5,1
Bariumtitanat, 0,2 Mikrometer (Cabot Performance Materials)	100	100
PS3-Polyester/Polyamin-Copolymer-Dispergiermittel (Uniquema)	1,8	1,8
Methylethylketon/Methylisobutylketon (4:6)	127	127
2,4,6-Tris(dimethylaminomethyl)phenol	0,25	0,025 oder 0

^a Standardrezeptur, die lediglich 2,4,6-Tris(dimethylaminomethyl)phenol-Katalysator als Härter verwendet

^b 9,9-Bis(3-methyl-4-aminophenyl)fluoren wurde ebenfalls verwendet.

[0114] Die obige Dispersion wurde mithilfe einer Gravur- oder Düsenbeschichtungstechnik aufgetragen. Haftvermittlungsmittel können vor dem Beschichtung mit dem Epoxid auf das Substrat aufgetragen werden. Typischerweise wird eine verdünnte Lösung, z.B. 0,05 bis 0,15 Gewichtsprozent in einem Alkohol wie z.B. Methanol, durch Standard-Beschichtungstechniken aufgebracht und das Substrat getrocknet. Die Trockendicken des Dielektrikums reichten von im Wesentlichen 2,0 bis 5,0 Mikrometern. Die Beschichtung wurde zu einer klebefreien Fläche getrocknet und dann zu Rollen gewickelt. Danach wurden zwei Rollen beschichtete Seite an Seite mithilfe zweier erwärmter Andruckwalzen in einem standardmäßigen Fotoresistlaminiierer laminiert. Das laminierte Material wurde bei 180 Grad Celsius im Wesentlichen zwei Stunden lang ausgehärtet. Die ausgehärteten Panel wurden dann auf einer oder beiden Seiten mithilfe herkömmlichen Fotoresists und Ätzmittels ausgeformt, um individuelle Kondensatoren zu erzeugen.

BEISPIEL 4

[0115] In einem anderen Beispiel wurde eine andere Dispersion, wie im oben aufgeführten Dokument US-B-6.577.492 und Tabelle 4 unten beschrieben, auf eine Kupferfolie aufgetragen.

Tabelle 4

Komponente	Gramm ^a	Gramm ^b
Epoxid Epon [®] 1001F + Epon [®] 1050	16,0	16,8
9,9-Bis(3-chloro-4-aminophenyl)fluor	4,0	3,2
Aminäquivalent-Epoxidäquivalent-Verhältnis	1:1	0,6:1
Bariumtitanat, 0,2 Mikrometer (Cabot Performance Materials)	78,7	78,7
PS3-Polyester/Polyamin-Copolymer-Dispergiermittel (Uniquema)	1,8	1,8
5-Aminobenzotriazol-Katalysator	0,08	0
Anfängliche Aushärtetemperatur (Grad C)	180	225
Haftung nach anfänglicher Aushärtung (Pound/Inch)	4,4	3,4
Haftung nach sechs Stunden bei 225 Grad C (Pound/Inch)	2,0	4,0

[0116] Dieses Beispiel vergleicht zwei Kondensatorstrukturen mit denselben Rohmaterialien, aber mit Änderungen im Verhältnis von Fluoren-Verbindung zu Epoxid, im Vorhandensein eines Katalysators und in der anfänglichen Aushärtetemperatur. Die obigen Dispersionen wurden wie in Beispiel 2 und 3 oben aufgetragen und laminiert. Die Trockendicken des Dielektrikums reichten von im Wesentlichen 2,0 bis 5,0 Mikrometern.

[0117] Es sind verschiedene Ausführungsformen der Erfindung beschrieben worden. Diese und andere Ausführungsformen sind innerhalb des Umfangs der folgenden Ansprüche. Beispielsweise können die hierin beschriebenen Ausführungsformen der Erfindung in Kombination mit jedweder der zusätzlichen Struktur oder der

zusätzlichen Prozesse verwendet werden, die in den folgenden Referenzdokumenten beschrieben sind: US-A-5.888.630, US-A-6.018.196, US-A-5.983.974, US-A-5.836.063, US-A-5.731.047, US-A-5.841.075, US-A-5.868.950, US-A-5.888.631, US-A-5.900.312, US-A-6.011.697, US-A-6.021.564, US-A-6.103.992, US-A-6.127.250, US-A-6.143.401, US-A-6.183.592, US-A-6.203.891 und US-A-6.248.959.

Patentansprüche

1. Zwischenverbindungsmodul mit:

- einer Chip-Anbringungsfläche (**39; 59; 89; 131**), die erste Kontaktpads (**54, 55; 156, 162**) zum Anschließen eines IC-Schaltungs-Chips definiert,
 - einer Platinen-Anbringungsfläche (**41; 61; 91; 133**), die zweite Kontaktpads (**56, 57; 158, 166**) zum Anschließen an eine Leiterplatte definiert,
 - einer Kondensatorstruktur (**26; 26a, 26b**) mit einer ersten Leitschicht (**28; 28a, 28b**), einer zweiten Leitschicht (**30; 30a, 30b**) und einer ersten dielektrischen Schicht (**32; 32a, 32b**), die zwischen der ersten und der zweiten Leitschicht (**28, 30; 28a, 30a, 28b, 30b**) gebildet ist, wobei die erste Leitschicht (**28; 28a, 28b**), die zweite Leitschicht (**30; 30a, 30b**) und die erste dielektrische Schicht (**32; 32a, 32b**) zusammenlaminiert sind, und
 - Leitwegen, die im Zwischenverbindungsmodul gebildet sind, die mehrere der ersten Kontaktpads (**55; 162**) mit der ersten Leitschicht (**28**) verdrahten,
- dadurch gekennzeichnet**, dass jede Leitschicht (**28, 30**) im Wesentlichen 10 bis 80 Mikron dick ist und die dielektrische Schicht (**32**) kleiner als oder gleich im Wesentlichen 8 Mikron dick ist und eine Dielektrizitätskonstante, die größer als oder gleich im Wesentlichen 12 ist, aufweist, derart, dass die ersten Kontaktpads (**55; 162**), die Leitwege und die Kondensatorstruktur (**26**) eine kombinierte Impedanz erzeugen, die kleiner als oder gleich im Wesentlichen 0,60 Ohm bei einer Frequenz ist, die größer als oder gleich im Wesentlichen 1,0 Gigahertz ist.

2. Zwischenverbindungsmodul nach Anspruch 1, das ferner zusätzliche Leitschichten und zusätzliche dielektrische Schichten aufweist:

- eine zweite dielektrische Schicht (**40; 60; 95**), die zwischen der ersten Leitschicht (**28**) und der Chip-Anbringungsfläche (**39; 59; 89**) gebildet ist,
- eine dritte Leitschicht (**46; 64; 104**), die zwischen der zweiten dielektrischen Schicht (**40; 60; 95**) und der Chip-Anbringungsfläche (**39; 59; 89**) gebildet ist,
- eine dritte dielektrische Schicht (**42; 62; 94**), die zwischen der zweiten Leitschicht (**30**) und der Platinen-Anbringungsfläche (**41; 61; 91**) gebildet ist und
- eine vierte Leitschicht (**48; 66; 102**), die zwischen der dritten dielektrischen Schicht (**42; 62; 94**) und der Platinen-Anbringungsfläche (**41; 61; 91**) gebildet ist.

3. Zwischenverbindungsmodul nach Anspruch 2, ferner mit.

- einem ersten Durchgangsloch (**77; 121, 127**), um eines oder mehrere der ersten Kontaktpads mit der dritten Leitschicht (**64; 104**) zu verdrahten und
- einem zweiten Durchgangsloch (**81; 129**), um die dritte Leitschicht (**64; 104**) mit der ersten Leitschicht (**28**) zu verdrahten, wobei das zweite Durchgangsloch (**81; 129**) von dem ersten Durchgangsloch (**77; 121, 127**) versetzt ist,
- wobei das Zwischenverbindungsmodul einen elektrischen Signalweg definiert, mit einem ersten Abschnitt in der dritten Leitschicht (**64; 104**), der in eine Richtung zum ersten leitenden Durchgangsloch (**77; 121, 127**) geführt ist und mit einem zweiten Abschnitt in der ersten Leitschicht (**28**), der in eine Richtung zum zweiten leitenden Durchgangsloch (**81; 129**) geführt ist,
- wobei die Position des zweiten leitenden Durchgangslochs (**81**) eine gegenseitige Induktivität erlaubt, die durch den ersten Abschnitt des elektrischen Signalwegs mit dem zweiten Abschnitt des elektrischen Signalwegs gebildet ist, um eine gegenseitige Induktivität aufzuheben, die durch den zweiten Abschnitt des elektrischen Signalwegs mit dem ersten Abschnitt des elektrischen Signalwegs gebildet ist.

4. Zwischenverbindungsmodul nach einem der Ansprüche 1 bis 3, wobei die Kondensatorstruktur (**26**) eine erste Kondensatorstruktur (**26a**) ist, und wobei das Zwischenverbindungsmodul ferner Folgendes aufweist:

- eine zweite Kondensatorstruktur (**26b**) mit einer dritten Leitschicht (**30b**), einer vierten Leitschicht (**28b**) und einer zweiten dielektrischen Schicht (**32b**), die zwischen der dritten und der vierten Leitschicht (**30b, 28b**) gebildet ist und
- eine dritte dielektrische Schicht (**132**), die zwischen der ersten und der zweiten Kondensatorstruktur (**26a, 26b**) gebildet ist, wobei die Leitwege mehrere der zweiten Kontaktpads (**162**) mit der vierten Leitschicht (**28b**) verdrahten.

5. Zwischenverbindungsmodul nach Anspruch 1, das ferner mehrere zusätzliche dielektrische Schichten und Leitschichten (**60, 62, 64, 66**) aufweist, die in alternierend angeordneten, senkrecht gestapelten dielektrischen Schichten und Leitschichten um eine Symmetrieebene angeordnet sind, die durch die Kondensatorstruktur (**26**) geht,

- wobei die zusätzlichen dielektrischen Schichten (**60, 62**) zweite und dritte dielektrische Schichten aufweisen, die jeweils an gegenüberliegenden Seiten der Kondensatorstruktur (**26**) angeordnet sind und wobei die zweite und die dritte dielektrische Schicht (**60, 62**) aus demselben Material ausgeführt sind und im Wesentlichen dieselbe Dicke und dieselbe Dickentoleranz haben,
- wobei äußerste Schichten des Stapels Leitschichten (**71, 72**) sind, die im Wesentlichen dieselbe Dicke haben und wobei die Dicke der äußersten Leitschichten (**71, 72**) dicker als jedwede andere Leitschichten (**60, 62**) ist,
- wobei mehrere der zusätzlichen dielektrischen Schichten (**60, 62**) ein höheres Elastizitätsmodul im Verhältnis zu den anderen dielektrischen Schichten haben, wobei die mehreren dielektrischen Schichten (**60, 62**) mit dem höheren Elastizitätsmodul derart außerhalb von der horizontalen Symmetrieebene im Verhältnis zu den anderen dielektrischen Schichten angeordnet sind, dass das Biegemodul vom laminierten Substrat im Wesentlichen maximiert ist.

6. Verfahren zur Bildung eines Zwischenverbindungsmoduls, wobei das Verfahren Folgendes aufweist:

- Bereitstellen einer laminierten Kondensatorstruktur (**26**) mit einer ersten Leitschicht (**28**), einer zweiten Leitschicht (**30**) und einer dielektrischen Schicht (**32**), die zwischen der ersten und der zweiten Leitschicht (**28, 30**) gebildet wird und in eine Einheitsstruktur laminiert wird,
- Bilden einer Chip-Anbringungsfläche (**39; 59; 89; 131**), die erste Kontaktpads (**54, 55; 156, 162**) zum Anschließen eines IC-Schaltungs-Chips an das Zwischenverbindungsmodul an einer ersten Seite der Kondensatorstruktur (**26**) definiert,
- Bilden einer Platinen-Anschlussfläche (**41; 61; 91; 133**), die zweite Kontaktpads (**56, 57; 158, 166**) zum Anschließen des Zwischenverbindungsmoduls an eine Leiterplatine an einer zweiten Seite der Kondensatorstruktur (**26**) definiert,
- Verbinden der Kondensatorstruktur (**26**), der Chip-Anbringungsfläche (**39; 59; 89; 131**) und der Platinen-Anbringungsfläche (**41; 61; 91; 133**), um das Zwischenverbindungsmodul zu bilden, und
- Bilden von Leitwegen, die mehrere der ersten Kontaktpads (**55, 162**) an die erste Leitschicht (**28**) verdrahten, dadurch gekennzeichnet, dass jede Leitschicht (**28, 30**) im wesentlichen 10 bis 80 Mikron dick ist und die dielektrische Schicht kleiner als oder gleich im Wesentlichen 8 Mikron dick ist und eine Dielektrizitätskonstante aufweist, die größer als oder gleich im Wesentlichen 12 ist, derart, dass die ersten Kontaktpads (**55, 162**), die Leitwege und die Kondensatorstruktur (**26**) eine kombinierte Impedanz erzeugen, die kleiner als oder gleich im Wesentlichen 0,60 Ohm bei einer Frequenz ist, die größer als oder gleich im Wesentlichen 1,0 Gigahertz ist.

7. Verfahren nach Anspruch 6, das ferner die Schritte des Bildens zusätzlicher dielektrischer Schichten und zusätzlicher Leitschichten aufweist:

- Bilden einer zweiten dielektrischen Schicht (**40; 60; 95**) zwischen der ersten Leitschicht (**28**) und der Chip-Anbringungsfläche (**39; 59; 89**),
- Bilden einer dritten Leitschicht (**46; 64; 104**) zwischen der zweiten dielektrischen Schicht (**40; 60; 95**) und der Chip-Anbringungsfläche (**39; 59; 89**),
- Bilden einer dritten dielektrischen Schicht (**42; 62; 94**) zwischen der zweiten Leitschicht (**30**) und der Platinen-Anbringungsfläche (**41; 61; 91**) und
- Bilden einer vierten Leitschicht (**48; 66; 102**) zwischen der dritten dielektrischen Schicht (**42; 62; 94**) und der Platinen-Anschlussfläche (**41; 61; 91**).

8. Zwischenverbindungsmodul, mit:

- einer laminierten Kondensatorstruktur (**26**),
- alternierenden Leitschichten und dielektrischen Schichten (**64, 66, 71, 72, 60, 62, 68, 70**), die symmetrisch an gegenüberliegenden Seiten der Kondensatorstruktur (**26**) liegen,
- wobei jede Leitschicht (**64, 66, 71, 72**) über eine gleichartige Metallfolie verfügt und die Metallkonzentration in jeder Leitschicht (**64, 66, 71, 72**) im Wesentlichen gleich ist und
- sich eine oder mehrere Blind-Durchgangslöcher (**77, 78, 80, 83**) durch die Leitschichten und die dielektrischen Schichten (**64, 66, 71, 72, 60, 62, 68, 70**) erstrecken, wobei die Blind-Durchgangslöcher (**77, 78, 80, 83**) mit einem leitenden Material überzogen und gefüllt sind, um Leitwege zwischen der laminierten Kondensatorstruktur (**26**) und den äußeren Leitschichten (**71, 72**) des Zwischenverbindungsmoduls zu definieren und
- wobei jede Leitschicht (**64, 66, 71, 72**) derart im Wesentlichen 10 bis 80 Mikron dick ist und die dielektrische Schicht (**60, 62, 68, 70**) kleiner als oder gleich im Wesentlichen 8 Mikron dick ist und eine Dielektrizitätskonstante aufweist, die größer als oder gleich im Wesentlichen 12 ist, dass die Blind-Durchgangslöcher (**77, 78, 80, 83**), die Leitwege und die Kondensatorstruktur (**26**) eine kombinierte Leistungsverteilungsimpedanz erzeugen,

die kleiner als oder gleich im Wesentlichen 0,60 Ohm bei einer Frequenz ist, die größer als oder gleich im Wesentlichen 1,0 Gigahertz ist.

Es folgen 4 Blatt Zeichnungen

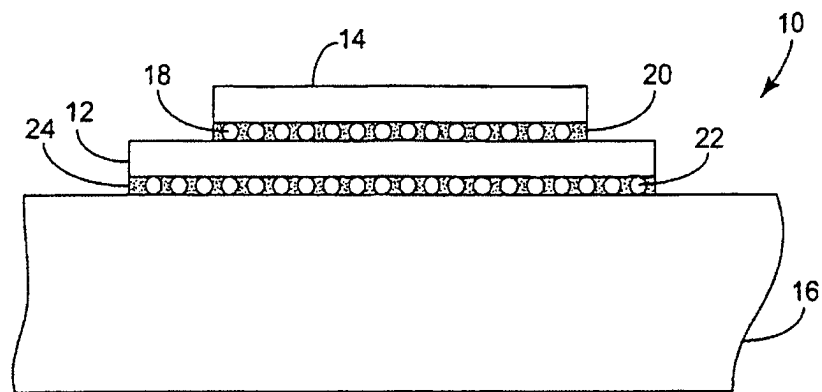


FIG. 1

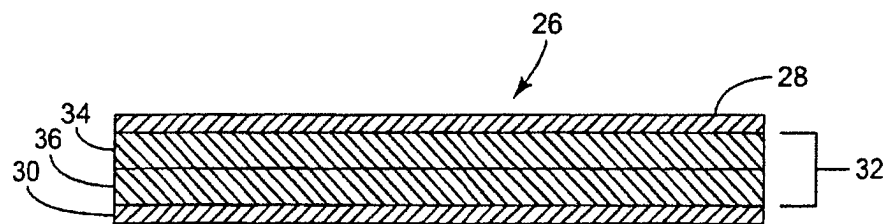


FIG. 2

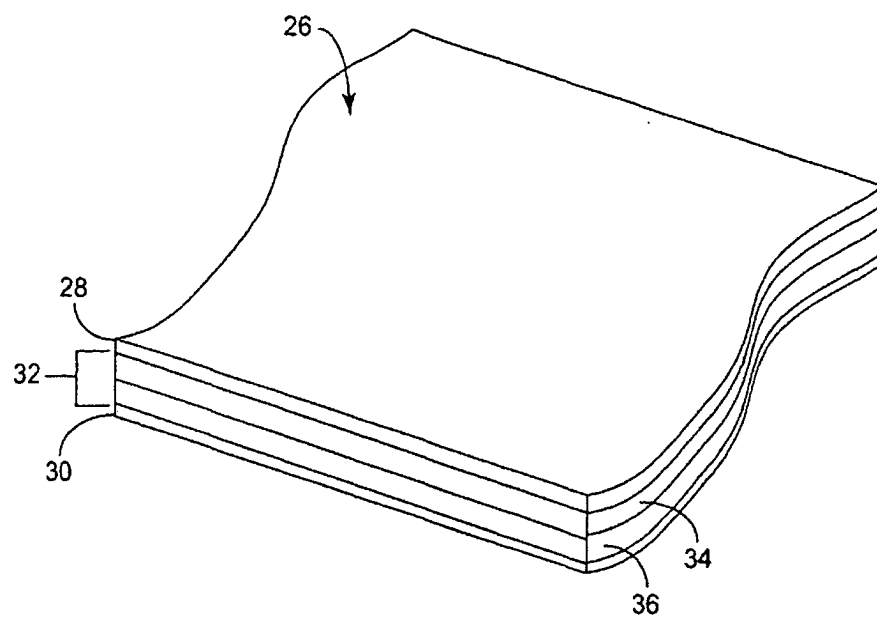


FIG. 3

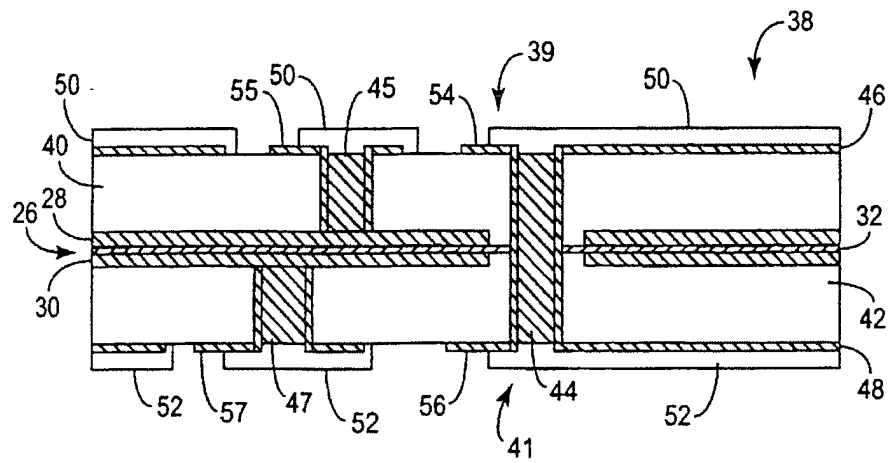


FIG. 4

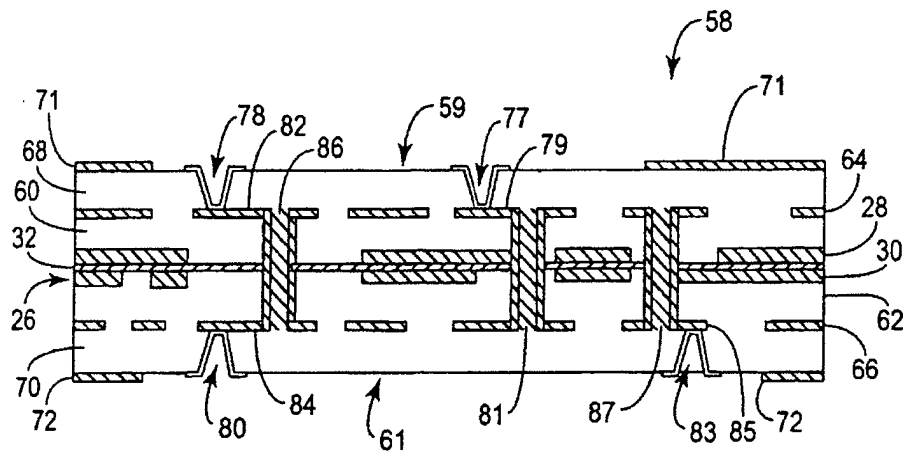


FIG. 5

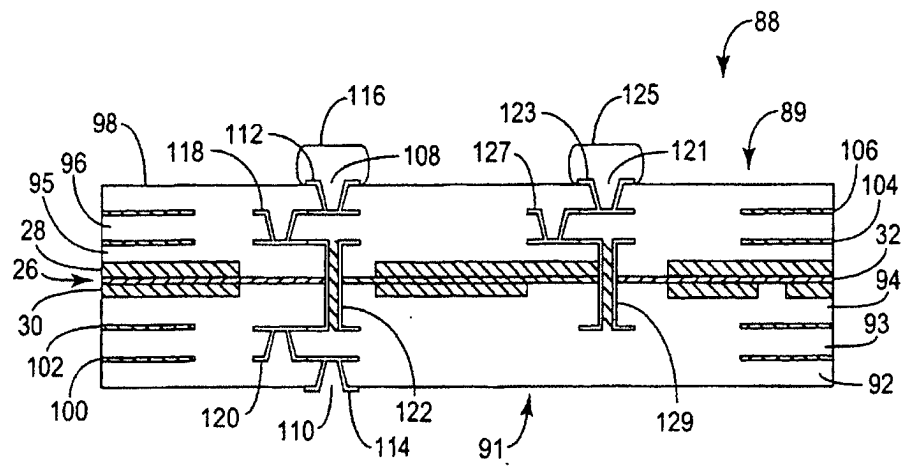


FIG. 6

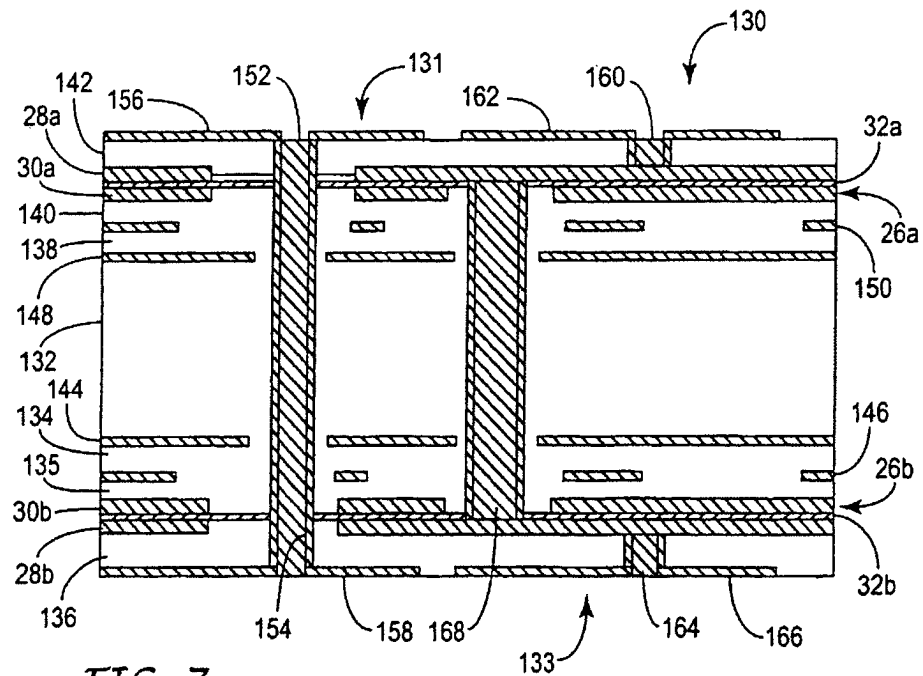


FIG. 7