

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-57577
(P2019-57577A)

(43) 公開日 平成31年4月11日(2019.4.11)

| (51) Int.Cl. | F I | テーマコード (参考) |
|------------------------|----------------------|-------------|
| HO 1 L 23/50 (2006.01) | HO 1 L 23/50 R | 5 F 0 4 4 |
| HO 1 L 21/60 (2006.01) | HO 1 L 21/60 3 1 1 Q | 5 F 0 6 7 |
| | HO 1 L 23/50 U | |
| | HO 1 L 23/50 D | |

審査請求 未請求 請求項の数 12 O L (全 17 頁)

(21) 出願番号 特願2017-180386 (P2017-180386)
(22) 出願日 平成29年9月20日 (2017. 9. 20)

(71) 出願人 000002897
大日本印刷株式会社
東京都新宿区市谷加賀町一丁目1番1号
(74) 代理人 100091982
弁理士 永井 浩之
(74) 代理人 100091487
弁理士 中村 行孝
(74) 代理人 100082991
弁理士 佐藤 泰和
(74) 代理人 100105153
弁理士 朝倉 悟
(74) 代理人 100127465
弁理士 堀田 幸裕
(74) 代理人 100141830
弁理士 村田 卓久

最終頁に続く

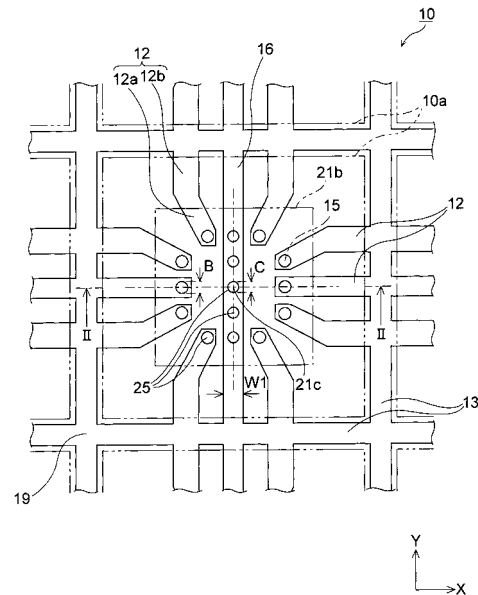
(54) 【発明の名称】 リードフレームおよび半導体装置

(57) 【要約】

【課題】半導体素子の傾きを抑えることが可能な、リードフレームおよび半導体装置を提供する。

【解決手段】フリップチップ型リードフレーム10は、半導体素子21が搭載される複数のリード部12と、半導体素子21が搭載される搭載領域21bを横切るように配置されたチップ支持部16とを備えている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

フリップチップ型リードフレームにおいて、
半導体素子が搭載される複数のリード部と、
前記半導体素子が搭載される搭載領域を横切るように配置されたチップ支持部とを備えた、リードフレーム。

【請求項 2】

前記リード部の内側領域が裏面側から薄肉化され、前記チップ支持部は、薄肉化されていない、請求項 1 記載のリードフレーム。

【請求項 3】

前記チップ支持部は、前記搭載領域の中央部に配置されている、請求項 1 又は 2 記載のリードフレーム。

【請求項 4】

前記チップ支持部は、前記搭載領域の中央部からずれた位置に配置されている、請求項 1 又は 2 記載のリードフレーム。

【請求項 5】

前記リード部および前記チップ支持部に、それぞれ前記半導体素子に接続されるバンプを支持する接続部が設けられている、請求項 1 乃至 4 のいずれか一項記載のリードフレーム。

【請求項 6】

前記リード部に設けられた前記接続部の幅は、前記チップ支持部に設けられた前記接続部の幅よりも広い、請求項 5 記載のリードフレーム。

【請求項 7】

前記リード部の内側領域が裏面側から薄肉化され、前記内側領域の厚みを A とし、前記リード部に設けられた前記接続部の幅を B としたとき、 $A > 1.5B$ となる、請求項 5 又は 6 記載のリードフレーム。

【請求項 8】

前記接続部の断面がそれぞれ凹状に形成されている、請求項 5 乃至 7 のいずれか一項記載のリードフレーム。

【請求項 9】

フリップチップ型リードフレームにおいて、
半導体素子が搭載される複数のリード部を備え、
前記複数のリード部に、それぞれ前記半導体素子に接続されるバンプを支持する接続部が設けられ、

前記接続部のうち、平面方向外側に位置する接続部の幅は、平面方向内側に位置する接続部の幅よりも広い、リードフレーム。

【請求項 10】

前記リード部の内側領域が裏面側から薄肉化され、前記内側領域の厚みを A とし、前記リード部に設けられた前記接続部の幅を B としたとき、 $A > 1.5B$ となる、請求項 9 記載のリードフレーム。

【請求項 11】

フリップチップ型半導体装置において、
複数のリード部と、
前記複数のリード部上に搭載された半導体素子と、
前記半導体素子を横切るように配置されたチップ支持部と、
前記半導体素子と前記リード部および前記チップ支持部とをそれぞれ電氣的に接続するバンプと、

前記複数のリード部と、前記半導体素子と、前記チップ支持部と、前記バンプとを封止する封止樹脂とを備えた、半導体装置。

【請求項 12】

10

20

30

40

50

フリップチップ型半導体装置において、
複数のリード部と、
前記複数のリード部上に搭載された半導体素子と、
前記半導体素子と前記リード部とをそれぞれ電氣的に接続するバンプと、
前記複数のリード部と、前記半導体素子と、前記バンプとを封止する封止樹脂とを備え

、
前記複数のリード部に、それぞれ前記バンプを支持する接続部が設けられ、
前記接続部のうち、平面方向外側に位置する接続部の幅は、平面方向内側に位置する接続部の幅よりも広い、半導体装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、フリップチップ型リードフレームおよびフリップチップ型半導体装置に関する。

【背景技術】

【0002】

近年、基板に実装される半導体装置の小型化および薄型化が要求されてきている。このような要求に対応すべく、従来、リードフレームを用い、その搭載面に搭載した半導体素子を封止樹脂によって封止するとともに、裏面側にリードの一部を露出させて構成された、いわゆるQFN(Quad Flat Non-lead)タイプの半導体装置が種々提案されている。

20

【0003】

また従来、実装基板上に半導体素子を実装する際、半導体素子と実装基板とをバンプによって互いに接続するフリップチップタイプの半導体装置が知られている(例えば特許文献1参照)。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平9-115910号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0005】

一般にフリップチップタイプの半導体装置は、封止樹脂の充填性が必ずしも良好でなく、また放熱性が低いという課題がある。このような課題を解決するために、リードフレームを用いてフリップチップタイプの半導体装置を作製することが考えられる。この場合、リードフレームを用いるため、低抵抗かつ放熱性の高い半導体装置が得られる。一方、このようなリードフレームを用いたフリップチップタイプの半導体装置においては、半導体素子の傾きを抑えることが求められている。

【0006】

本発明はこのような点を考慮してなされたものであり、半導体素子の傾きを抑えることが可能な、リードフレームおよび半導体装置を提供することを目的とする。

40

【課題を解決するための手段】

【0007】

本発明は、フリップチップ型リードフレームにおいて、半導体素子が搭載される複数のリード部と、前記半導体素子が搭載される搭載領域を横切るように配置されたチップ支持部とを備えた、リードフレームである。

【0008】

本発明は、前記リード部の内側領域が裏面側から薄肉化され、前記チップ支持部は、薄肉化されていない、リードフレームである。

【0009】

本発明は、前記チップ支持部は、前記搭載領域の中央部に配置されている、リードフレ

50

ームである。

【0010】

本発明は、前記チップ支持部は、前記搭載領域の中央部からずれた位置に配置されている、リードフレームである。

【0011】

本発明は、前記リード部および前記チップ支持部に、それぞれ前記半導体素子に接続されるバンプを支持する接続部が設けられている、リードフレームである。

【0012】

本発明は、前記リード部に設けられた前記接続部の幅は、前記チップ支持部に設けられた前記接続部の幅よりも広い、リードフレームである。

10

【0013】

本発明は、前記リード部の内側領域が裏面側から薄肉化され、前記内側領域の厚みをAとし、前記リード部に設けられた前記接続部の幅をBとしたとき、 $A > 1.5B$ となる、リードフレームである。

【0014】

本発明は、前記接続部の断面がそれぞれ凹状に形成されている、リードフレームである。

【0015】

本発明は、フリップチップ型リードフレームにおいて、半導体素子が搭載される複数のリード部を備え、前記複数のリード部に、それぞれ前記半導体素子に接続されるバンプを支持する接続部が設けられ、前記接続部のうち、平面方向外側に位置する接続部の幅は、平面方向内側に位置する接続部の幅よりも広い、リードフレームである。

20

【0016】

本発明は、前記リード部の内側領域が裏面側から薄肉化され、前記内側領域の厚みをAとし、前記リード部に設けられた前記接続部の幅をBとしたとき、 $A > 1.5B$ となる、リードフレームである。

【0017】

本発明は、フリップチップ型半導体装置において、複数のリード部と、前記複数のリード部上に搭載された半導体素子と、前記半導体素子を横切るように配置されたチップ支持部と、前記半導体素子と前記リード部および前記チップ支持部とをそれぞれ電氣的に接続するバンプと、前記複数のリード部と、前記半導体素子と、前記チップ支持部と、前記バンプとを封止する封止樹脂とを備えた、半導体装置である。

30

【0018】

本発明は、フリップチップ型半導体装置において、複数のリード部と、前記複数のリード部上に搭載された半導体素子と、前記半導体素子と前記リード部とをそれぞれ電氣的に接続するバンプと、前記複数のリード部と、前記半導体素子と、前記バンプとを封止する封止樹脂とを備え、前記複数のリード部に、それぞれ前記バンプを支持する接続部が設けられ、前記接続部のうち、平面方向外側に位置する接続部の幅は、平面方向内側に位置する接続部の幅よりも広い、半導体装置である。

40

【発明の効果】

【0019】

本発明によれば、半導体素子の傾きを抑えることができる。

【図面の簡単な説明】

【0020】

【図1】図1は、一実施の形態によるリードフレームを示す平面図。

【図2】図2は、一実施の形態によるリードフレームを示す断面図（図1のII-II線断面図）。

【図3】図3は、一実施の形態による半導体装置を示す平面図。

【図4】図4は、一実施の形態による半導体装置を示す断面図（図3のIV-IV線断面図）。

50

【図 5】図 5 (a) - (f) は、一実施の形態によるリードフレームの製造方法を示す断面図。

【図 6】図 6 (a) - (d) は、一実施の形態による半導体装置の製造方法を示す断面図。

【図 7】図 7 は、一変形例 (変形例 1) によるリードフレームを示す平面図。

【図 8】図 8 は、一変形例 (変形例 2) によるリードフレームを示す平面図。

【図 9】図 9 は、一変形例 (変形例 2) によるリードフレームを示す断面図 (図 8 の IX - IX 線断面図) 。

【図 10】図 10 は、一変形例 (変形例 3) によるリードフレームを示す断面図。

【図 11】図 11 は、一変形例 (変形例 4) によるリードフレームを示す断面図。

【発明を実施するための形態】

【0021】

以下、一実施の形態について、図 1 乃至図 6 を参照して説明する。なお、以下の各図において、同一部分には同一の符号を付しており、一部詳細な説明を省略する場合がある。

【0022】

リードフレームの構成

まず、図 1 および図 2 により、本実施の形態によるリードフレームの概略について説明する。図 1 は、本実施の形態によるリードフレームの一部を示す平面図であり、図 2 は、本実施の形態によるリードフレームを示す断面図である。

【0023】

図 1 および図 2 に示すリードフレーム 10 は、フリップチップ型の半導体装置 20 (図 3 および図 4) を作製する際に用いられるものである。このようなフリップチップ型リードフレーム 10 は、多列および多段に (マトリックス状に) 配置された、複数のパッケージ領域 10 a を備えている。なお、図 1 においては、1 つのパッケージ領域 10 a を中心としたリードフレーム 10 の一部のみを示している。

【0024】

本明細書中、「内」、「内側」とは、各パッケージ領域 10 a の中心方向を向く側をいい、「外」、「外側」とは、各パッケージ領域 10 a の中心から離れる側 (コネクティングバー 13 側) をいう。また、「表面」とは、半導体素子 21 が搭載される側の面をいい、「裏面」とは、「表面」の反対側の面であって外部の図示しない実装基板に接続される側の面をいう。

【0025】

また、本明細書中、ハーフエッチングとは、被エッチング材料をその厚み方向に途中までエッチングすることをいう。ハーフエッチング後の被エッチング材料の厚みは、ハーフエッチング前の被エッチング材料の厚みの例えば 30 % 以上 70 % 以下、好ましくは 40 % 以上 60 % 以下となる。

【0026】

図 1 乃至図 2 に示すように、各パッケージ領域 10 a は、半導体素子 21 (後述) を搭載するとともに、半導体素子 21 と実装基板 (図示せず) とを接続する複数の細長いリード部 12 と、半導体素子 21 が搭載される搭載領域 21 b を横切るように配置されたチップ支持部 16 と、を備えている。パッケージ領域 10 a は、半導体装置 20 (後述) に対応する領域であり、図 1 において外側の矩形の仮想線 (二点鎖線) によって取り囲まれる領域である。なお、本実施の形態において、リードフレーム 10 は、複数のパッケージ領域 10 a を含んでいるが、これに限らず、1 つのリードフレーム 10 に 1 つのパッケージ領域 10 a のみが形成されていても良い。

【0027】

また、搭載領域 21 b は、半導体素子 21 (後述) が搭載される領域である。すなわち、搭載領域 21 b は、半導体素子 21 に対応する領域であり、図 1 において内側の矩形の仮想線 (二点鎖線) によって取り囲まれる領域である。なお、本実施の形態において、各パッケージ領域 10 a は、1 つの搭載領域 21 b を含んでいるが、これに限らず、1 つ

10

20

30

40

50

のパッケージ領域 10 a に複数の搭載領域 21 b が形成されていても良い。

【0028】

各パッケージ領域 10 a 同士は、コネクティングバー（支持部材）13 を介して互いに連結されている。このコネクティングバー 13 は、リード部 12 とチップ支持部 16 とを支持するものであり、X 方向および Y 方向に沿ってそれぞれ延びている。ここで、X 方向、Y 方向とは、リードフレーム 10 の面内において、パッケージ領域 10 a の各辺に平行な二方向であり、X 方向と Y 方向とは互いに直交している。また、Z 方向は、X 方向及び Y 方向の両方に対して垂直な方向である。

【0029】

複数のリード部 12 およびチップ支持部 16 の表面には、後述する半導体素子 21 が搭載される。すなわち、複数のリード部 12 の内側領域 12 a と、チップ支持部 16 の長手方向中央部分とが、それぞれ搭載領域 21 b 内に位置している。このようなリードフレーム 10 は、ボンディングワイヤを用いることなく、半導体素子 21 とリード部 12 とをフリップチップ接続するタイプのものである。このため、半導体素子 21 は、ダイパッドではなく、リード部 12 およびチップ支持部 16 に搭載されて支持される。

10

【0030】

各コネクティングバー 13 は、パッケージ領域 10 a の周囲であってパッケージ領域 10 a よりも外側に配置されている。各コネクティングバー 13 は、平面視で細長い棒形状を有しており、その幅（コネクティングバー 13 の長手方向に垂直な方向の距離）は、95 μm 以上 135 μm 以下としても良い。各コネクティングバー 13 には、それぞれ複数のリード部 12 がコネクティングバー 13 の長手方向に沿って間隔を空けて連結されている。コネクティングバー 13 は、薄肉化（ハーフエッチング）されることなく、加工前の金属基板（後述する金属基板 31）と同一の厚みを有している。なおコネクティングバー 13 の厚みは、半導体装置 20 の構成にもよるが、100 μm 以上 300 μm 以下とすることができる。

20

【0031】

また、互いに直交する 2 つのコネクティングバー 13 は、パッケージ領域 10 a の周囲に位置する連結部 19 において互いに連結されている。この連結部 19 は、リードフレーム 10 内で格子点状に配置されている。連結部 19 は、薄肉化（ハーフエッチング）されることなく、加工前の金属基板（後述する金属基板 31）と同一の厚みを有している。

30

【0032】

各リード部 12 は、後述するように bumps 26 および接続部 25 を介して半導体素子 21 に接続されるものである。各リード部 12 は、それぞれコネクティングバー 13 から延び出しており、チップ支持部 16 との間に空間を介して配置されている。この場合、複数のリード部 12 は、平面視で一直線状のリード部 12 と、平面視で屈曲した（くの字状の）形状をもつリード部 12 との両方を含んでいるが、これに限らず、複数のリード部 12 の形状が全て互いに同一であっても良い。

【0033】

各リード部 12 の基端部は、コネクティングバー 13 に連結されている。各リード部 12 の基端部は、当該リード部 12 が連結されるコネクティングバー 13 の長手方向に対して垂直に延び出している。

40

【0034】

複数のリード部 12 は、チップ支持部 16 の周囲においてコネクティングバー 13 の長手方向に沿って互いに間隔を空けて配置されている。隣接するリード部 12 同士は、半導体装置 20（後述）の製造後に互いに電氣的に絶縁される形状となっている。また、リード部 12 は、半導体装置 20 の製造後にチップ支持部 16 とも電氣的に絶縁される形状となっている。このリード部 12 の裏面には、それぞれ外部の実装基板（図示せず）に電氣的に接続される外部端子 17 が形成されている。各外部端子 17 は、半導体装置 20（後述）の製造後に、それぞれ半導体装置 20 から外方に露出するようになっている。

【0035】

50

この場合、外部端子 17 は、各コネクティングバー 13 に沿って平面視で 1 列に配置されている。しかしながら、これに限らず、外部端子 17 は、隣り合うリード部 12 間で交互に内側および外側に位置するよう、平面視で千鳥状に配置されていても良い。

【0036】

各リード部 12 の表面には内部端子 15 が形成されている。内部端子 15 は、後述するようにバンプ 26 (図 2 の仮想線) および接続部 25 を介して半導体素子 21 に電氣的に接続される領域となっている。各リード部 12 の内部端子 15 上には、バンプ 26 との密着性を向上させる接続部 25 が設けられている。この場合、各リード部 12 上には、それぞれ接続部 25 が 1 つずつ設けられているが、これに限らず各リード部 12 に複数の接続部 25 が設けられていても良い。

10

【0037】

各リード部 12 は、内側 (チップ支持部 16 側) に位置する内側領域 12a と、外側 (コネクティングバー 13 側) に位置する外側領域 12b とを有している。このうち内側領域 12a は、リード部 12 の裏面側から薄肉化 (ハーフエッチング) されている (図 2 参照)。上述した内部端子 15 は、内側領域 12a に設けられている。一方、外側領域 12b は、薄肉化 (ハーフエッチング) されることなく、加工前の金属基板 (後述する金属基板 31) と同一の厚みを有している。上述した外部端子 17 は、外側領域 12b に形成されている。

【0038】

チップ支持部 16 は、半導体素子 21 を裏面側から支持する役割を果たす。このチップ支持部 16 は、平面視略直線形状 (バー形状) を有しており、Y 方向に対して平行に延びている。チップ支持部 16 は、互いに X 方向に平行に延びる一対のコネクティングバー 13 同士を連結するように、これら一対のコネクティングバー 13 の間に延びている。すなわち、チップ支持部 16 の両端は、それぞれコネクティングバー 13 に連結されている。

20

【0039】

チップ支持部 16 は、薄肉化 (ハーフエッチング) されることなく、加工前の金属基板 (後述する金属基板 31) と同一の厚みを有している。すなわちチップ支持部 16 の厚み T1 は、例えば 100 μm 以上 300 μm 以下とすることができる。このように、チップ支持部 16 が薄肉化されていないので、チップ支持部 16 を用いて半導体素子 21 をしっかりと支持することができ、半導体素子 21 の傾きを効果的に抑制することができる。また、チップ支持部 16 の幅 W1 は、例えば 200 μm 以上 2000 μm 以下とすることができる。このように、チップ支持部 16 をバー形状に形成し、その幅 W1 を上記範囲とすることにより、半導体素子 21 の傾きを抑えつつ、半導体素子 21 の裏面側に封止樹脂 23 を回り込ませやすくすることができる。

30

【0040】

チップ支持部 16 は、例えば半導体素子 21 のグラウンド端子やパワー端子に接続されても良い。チップ支持部 16 が半導体素子 21 (搭載領域 21b) を横切るように配置されることにより、半導体装置 20 のサイズを大きくすることなく、機能を増加させることが可能となる。

【0041】

このチップ支持部 16 上には、バンプ 26 との密着性を向上させる接続部 25 が複数 (この場合は 5 個) 設けられている。複数の接続部 25 は、チップ支持部 16 の長手方向に沿って互いに間隔を空けて配置されている。また、リード部 12 上の接続部 25 は、搭載領域 21b の中央部 21c に対して放射状に配置されている。各接続部 25 上にはバンプ 26 が配置されるようになっており、このバンプ 26 が、半導体素子 21 の例えばグラウンド端子やパワー端子に接続される。この場合、チップ支持部 16 上には複数の接続部 25 が設けられるが、これに限らず、チップ支持部 16 上に 1 つの接続部 25 のみが設けられても良い。

40

【0042】

チップ支持部 16 は、少なくとも搭載領域 21b の平面方向中央部 21c に配置されて

50

いる。具体的には、チップ支持部 16 は、平面視で搭載領域 21b の中央部 21c を横切るように延びている。なお、搭載領域 21b の中央部 21c とは、搭載領域 21b の X 方向の中間部かつ Y 方向の中間部となる位置（点）をいう。このように、チップ支持部 16 が搭載領域 21b の中央部 21c に配置されていることにより、チップ支持部 16 が半導体素子 21 をその中央部で支持し、半導体素子 21 の傾きをより効果的に低減することができる。また、本実施の形態において、チップ支持部 16 上の接続部 25 のうちの 1 つは、搭載領域 21b の中央部 21c に配置されている。

【0043】

なおチップ支持部 16 は、各パッケージ領域 10a に対して 1 本だけ設けられているが、これに限らず、各パッケージ領域 10a に複数のチップ支持部 16 が設けられていても良い。

10

【0044】

リード部 12 およびチップ支持部 16 上に設けられた接続部 25 は、バンプ 26 とリード部 12 およびチップ支持部 16 との接続を良好にするためのものであり、例えば電解めっき法により形成された金属層からなる。このような金属層としては、例えば銀めっき層を挙げることができる。

【0045】

図 2 に示すように、リード部 12 の薄肉化された内側領域 12a の厚み A は、例えば 100 μm 以上 140 μm 以下であり、リード部 12 に設けられた接続部 25 の幅 B は、例えば 80 μm 以上 100 μm 以下である。この場合、内側領域 12a の厚み A は、リード部 12 に設けられた接続部 25 の幅 B の 1.5 倍超とすることが好ましい ($A > 1.5 B$)。これにより、リード部 12 の電気抵抗を低減し、バンプ 26 と図示しない実装基板との電氣的な接続を良好にすることができる。また、リード部 12 の放熱性を高め、半導体素子 21 からの熱を効率良く逃がすことができる。

20

【0046】

また、チップ支持部 16 に設けられた接続部 25 の幅 C は、例えば 60 μm 以上 80 μm 以下としても良い。この場合、リード部 12 に設けられた接続部 25 の幅 B は、チップ支持部 16 に設けられた接続部 25 の幅 C よりも広くすることが好ましい ($B > C$)。このように、外側に位置する接続部 25 の幅が内側に位置する接続部 25 の幅よりも大きいので、リード部 12 及びチップ支持部 16 が熱膨張し、外側に位置するリード部 12 がチップ支持部 16 から遠ざかる方向に拡張した場合でも、半導体素子 21 のバンプ 26 をリード部 12 上の接続部 25 に確実に接続させることができる。すなわち、半導体素子 21 を搭載領域 21b に搭載する場合、半導体素子 21 の中央部を搭載領域 21b の中央部 21c に合わせるように位置決めを行う。このため、リード部 12 に設けられた接続部 25 を、チップ支持部 16 に設けられた接続部 25 よりも大きくしておくことにより、熱膨張によってリード部 12 が拡大し、接続部 25 の位置が多少ずれた場合でも、この位置ずれを吸収し、接続部 25 にバンプ 26 を確実に接続することができる。

30

【0047】

なお、上記に限らず、リード部 12 に設けられた接続部 25 の幅 B と、チップ支持部 16 に設けられた接続部 25 の幅 C とを同一にしても良い。

40

【0048】

以上説明したリードフレーム 10 は、全体として銅、銅合金、42 合金 (Ni 42% の Fe 合金) 等の金属から構成されている。また、リードフレーム 10 の厚みは、製造する半導体装置 20 の構成にもよるが、100 μm 以上 300 μm 以下とすることができる。

【0049】

なお、本実施の形態において、リード部 12 は、パッケージ領域 10a の 4 辺全てに沿って配置されているが、これに限られるものではなく、例えばパッケージ領域 10a の対向する 2 辺のみに沿って配置されていても良い。

【0050】

半導体装置の構成

50

次に、図3および図4により、本実施の形態による半導体装置について説明する。図3および図4は、本実施の形態による半導体装置（フリップチップタイプ）を示す図である。

【0051】

図3および図4に示すように、フリップチップ型半導体装置（半導体パッケージ）20は、放射状に配置された複数のリード部12と、複数のリード部12上に搭載された半導体素子21と、半導体素子21を横切るように配置されたチップ支持部16と、半導体素子21とリード部12とを電氣的に接続する複数のバンプ（ピラー）26とを備えている。また、複数のリード部12、半導体素子21、チップ支持部16およびバンプ26は、封止樹脂23によって樹脂封止されている。

10

【0052】

リード部12及びチップ支持部16は、上述したリードフレーム10から作製されたものである。この場合、チップ支持部16は、平面視で半導体素子21の中央部を横切るように延びている。またチップ支持部16は、半導体装置20を横切るようにY方向全体にわたって延びている。リード部12の裏面（外部端子17）及びチップ支持部16の裏面は、それぞれ封止樹脂23から外方に露出している。また、リード部12及びチップ支持部16上には、それぞれ接続部25が設けられている。この接続部25を介して、バンプ26とリード部12とが互いに電氣的に接続され、かつバンプ26とチップ支持部16とが互いに電氣的に接続されている。

20

【0053】

このほか、リード部12、チップ支持部16及び接続部25の構成は、半導体装置20に含まれない領域を除き、上述した図1および図2に示すものと同様であるため、ここでは詳細な説明を省略する。

【0054】

半導体素子21としては、従来一般に用いられている各種半導体素子を使用することが可能であり、特に限定されないが、例えば集積回路、大規模集積回路、トランジスタ、サイリスタ、ダイオード等を用いることができる。この半導体素子21は、各々バンプ26が取り付けられる複数の電極21aを有している。

【0055】

各バンプ26は、例えば銅等の導電性の良い金属材料からなり、中実の略円筒形状を有している。各バンプ26は、それぞれその上端が半導体素子21の電極21aに接続されるとともに、その下端が接続部25を介して各リード部12の内部端子15及びチップ支持部16にそれぞれ接続されている。

30

【0056】

封止樹脂23としては、シリコン樹脂やエポキシ樹脂等の熱硬化性樹脂、あるいはPPS樹脂等の熱可塑性樹脂を用いることができる。封止樹脂23全体の厚みは、300μm以上1200μm以下程度とすることができる。また、封止樹脂23の一辺（半導体装置20の一辺）は、例えば6mm以上16mm以下とすることができる。なお、図3において、封止樹脂23のうち、リード部12及びチップ支持部16よりも表面側に位置する部分の表示を省略している。

40

【0057】

リードフレームの製造方法

次に、図1および図2に示すリードフレーム10の製造方法について、図5(a)-(f)を用いて説明する。なお、図5(a)-(f)は、リードフレーム10の製造方法を示す断面図（図2に対応する図）である。

【0058】

まず図5(a)に示すように、平板状の金属基板31を準備する。この金属基板31としては、銅、銅合金、42合金（Ni42%のFe合金）等の金属からなる基板を使用することができる。なお金属基板31は、その両面に対して脱脂等を行い、洗浄処理を施したものを使用することが好ましい。

50

【0059】

次に、金属基板31の表裏全体にそれぞれ感光性レジスト32a、33aを塗布し、これを乾燥する(図5(b))。なお感光性レジスト32a、33aとしては、従来公知のものを使用することができる。

【0060】

続いて、この金属基板31に対してフォトマスクを介して露光し、現像することにより、所望の開口部32b、33bを有するエッチング用レジスト層32、33を形成する(図5(c))。

【0061】

次に、エッチング用レジスト層32、33を耐腐蝕膜として金属基板31に腐蝕液でエッチングを施す(図5(d))。これにより、リード部12、チップ支持部16及びコネクティングバー13の外形が形成される。なお、腐蝕液は、使用する金属基板31の材質に応じて適宜選択することができ、例えば、金属基板31として銅を用いる場合、通常、塩化第二鉄水溶液を使用し、金属基板31の両面からスプレーエッチングを行うことができる。

10

【0062】

次いで、エッチング用レジスト層32、33を剥離して除去する(図5(e))。

【0063】

次に、リード部12及びチップ支持部16上に、例えばフォトリソグラフィ法により図示しない所定パターンのめっき用レジスト層を形成し、このめっき用レジスト層に覆われていない箇所に、例えば電解めっき法によりめっき層からなる接続部25を形成する。その後、めっき用レジスト層を除去することにより、図1乃至図2に示すリードフレーム10が得られる(図5(f))。

20

【0064】

半導体装置の製造方法

次に、図3および図4に示す半導体装置20の製造方法について、図6(a)-(d)を用いて説明する。

【0065】

まず、例えば図5(a)-(f)に示す方法により、リードフレーム10を作製する(図6(a))。

30

【0066】

次に、リードフレーム10の搭載領域21b上に、半導体素子21を搭載する。この場合、予め半導体素子21の電極21aにそれぞれバンプ26を形成しておき、このバンプ26をリード部12及びチップ支持部16の接続部25にそれぞれ接続して固定する(図6(b))。このとき、半導体素子21の各電極21aと、各リード部12の内部端子15とが、それぞれバンプ26及び接続部25を介して互いに電氣的に接続される。同様に、半導体素子21の各電極21aと、チップ支持部16とが、バンプ26及び接続部25を介して互いに電氣的に接続される。

【0067】

本実施の形態において、チップ支持部16が半導体素子21の搭載領域21bを横切るように配置されているので、チップ支持部16によって半導体素子21をしっかりと支持することができる。これにより、正面側から見て半導体素子21が傾く不具合の発生(図6(b)の仮想線参照)を抑制し、半導体素子21をリード部12上に略水平に搭載することができる。また、リード部12に設けられた外側の接続部25が、チップ支持部16に設けられた内側の接続部25よりも大きいので、熱膨張によってリード部12が拡大し、接続部25の位置が多少ずれた場合であっても、この位置ずれを吸収し、バンプ26を接続部25に確実に接続することができる。

40

【0068】

なお、リードフレーム10の各接続部25上に予めバンプ26を突設形成しておき、その後、このバンプ26に対して半導体素子21の各電極21aをそれぞれ接続するように

50

しても良い。

【0069】

次に、リードフレーム10に対して熱硬化性樹脂または熱可塑性樹脂を射出成形またはトランスファ成形することにより、封止樹脂23を形成する(樹脂封止工程)(図6(c))。これにより、リードフレーム10(リード部12、チップ支持部16、コネクティングバー13及び接続部25)、半導体素子21及びパンプ26を封止する。

【0070】

その後、パッケージ領域10a毎に、リードフレーム10及び封止樹脂23を切断する。これにより、リードフレーム10が半導体装置20毎に分離され、図3および図4に示す半導体装置20が得られる(図6(d))。

10

【0071】

以上説明したように、本実施の形態によれば、リードフレーム10のチップ支持部16が、半導体素子21が搭載される搭載領域21bを横切るように配置されている。これにより、チップ支持部16によって半導体素子21を支持し、側方から見て半導体素子21が傾くことを抑制することができる。

【0072】

また、本実施の形態によれば、リード部12の内側領域12aが裏面側から薄肉化されているので、封止樹脂23が内側領域12aの裏面に回り込み、封止樹脂23とリード部12とを強固に密着性することができる。一方、チップ支持部16は、薄肉化されていないので、この薄肉化されていないチップ支持部16によって半導体素子21の傾きを効果的に抑制することができる。

20

【0073】

また、本実施の形態によれば、チップ支持部16は、少なくとも搭載領域21bの中央部21cに配置されているので、半導体素子21の傾きをより確実に抑えることができる。

【0074】

また、本実施の形態によれば、リード部12およびチップ支持部16に、それぞれ半導体素子21に接続されるパンプ26を支持する接続部25が設けられている。これにより、リード部12とパンプ26とを良好に接続するとともに、チップ支持部16とパンプ26とを良好に接続することができる。

30

【0075】

さらに、本実施の形態によれば、リード部12に設けられた接続部25の幅Bは、チップ支持部16に設けられた接続部25の幅Cよりも広がっている。これにより、熱膨張によってリード部12に設けられた接続部25の位置が搭載領域21bの中央部21cからずれた場合であっても、この位置ずれを吸収し、パンプ26を接続部25に対して確実に接続することができる。

【0076】

さらにまた、本実施の形態によれば、リード部12の内側領域12aの厚みをAとし、リード部12に設けられた接続部25の幅をBとしたとき、 $A > 1.5B$ となるので、リード部12の電気抵抗を低減するとともに、リード部12の放熱性を高めることができる。

40

【0077】

変形例

次に、図7乃至図11により、本実施の形態によるリードフレームの各変形例について説明する。図7乃至図11に示す変形例は、主としてチップ支持部又は接続部の構成が異なるものであり、他の構成は、図1乃至図6に示す実施の形態と略同一である。図7乃至図11において、図1乃至図6と同一部分には同一の符号を付して詳細な説明は省略する。

【0078】

(変形例1)

50

図7は、一変形例(変形例1)によるリードフレーム10Aを示している。図7に示すリードフレーム10Aにおいて、チップ支持部16は、Y方向に沿って延びており、搭載領域21bを横切っている。この場合、チップ支持部16は、搭載領域21bの中央部21cからX方向プラス側にずれた位置に配置されている。また、搭載領域21bの中央部21cには、リード部12やチップ支持部16等の金属部分は設けられておらず、空間が形成されている。さらに、複数のリード部12は、X方向に対して非対称に配置されている。具体的には、チップ支持部16よりもX方向プラス側に5本のリード部12が配置され、チップ支持部16よりもX方向マイナス側に7本のリード部12が配置されている。

【0079】

なお、リード部12に設けられた接続部25の幅は、チップ支持部16に設けられた接続部25の幅と同一であるが、これに限らず、リード部12に設けられた接続部25の幅を、チップ支持部16に設けられた接続部25の幅よりも広くしても良い。

10

【0080】

このように、チップ支持部16を搭載領域21bの中央部21cからずれた位置に配置したことにより、半導体素子21の中央部の裏面側に封止樹脂23を回り込ませやすくすることができる。一般に、封止樹脂23の熱膨張係数は、半導体素子21の熱膨張係数に近い。このため、リードフレーム10を構成する金属が熱膨張した場合であっても、半導体素子21が外方向に向けて過度に引っ張られることがなく、半導体素子21が封止樹脂23から剥離する不具合を抑えることができる。

【0081】

20

(変形例2)

図8及び図9は、一変形例(変形例2)によるリードフレーム10Bを示している。図8及び図9に示すリードフレーム10Bにおいて、チップ支持部16に代えて、他のリード部12よりも長いリード部(長リード部)12Aが設けられている。この長リード部12Aは、コネクティングバー13から搭載領域21bの中央部21c近傍まで延びている。

【0082】

図8及び図9において、複数のリード部12、12Aには、それぞれバンプ26を支持する接続部25が設けられている。具体的には、各リード部12には、接続部25が1つずつ設けられ、長リード部12Aには、複数(3つ)の接続部25が設けられている。この場合、接続部25のうち、平面方向外側に位置する接続部25の幅Bは、平面方向内側に位置する接続部25の幅Cよりも広がっている($B > C$)。具体的には、リード部12に設けられた接続部25の幅Bは、長リード部12A上であって中央部21cに位置する接続部25の幅Cよりも広い。

30

【0083】

また、リード部12の内側領域12aの厚みをAと、このリード部12上に設けられた接続部25の幅をBとしたとき、 $A > 1.5B$ という関係が成り立つ。これにより、リード部12の電気抵抗を低減するとともに、リード部12の放熱性を高めることができる。

【0084】

このように、複数の接続部25のうち、平面方向外側に位置する接続部25の幅Bを、平面方向内側に位置する接続部25の幅Cよりも広くしたことにより、熱膨張によってリード部12に設けられた接続部25の位置が搭載領域21bの中央部21cからずれた場合であっても、この位置ずれを吸収し、バンプ26を接続部25に対して確実に接続することが可能となる。

40

【0085】

(変形例3)

図10は、一変形例(変形例3)によるリードフレーム10Cを示している。図10に示すリードフレーム10Cにおいて、リード部12およびチップ支持部16上に設けられた接続部25の断面がそれぞれ凹状に形成されている。この接続部25は、外縁部から中央部に向けて凹んでおり、接続部25の表面は、断面視で略円弧状に湾曲している。また

50

、接続部 2 5 の平面形状は略円形状であり、接続部 2 5 の外縁部の厚みが全周にわたって接続部 2 5 の中央部の厚みよりも厚くなっている。このような接続部 2 5 は、例えば電解めっき法により接続部 2 5 を形成する際、供給される電流を大きくすることにより形成することができる。

【 0 0 8 6 】

なお、リード部 1 2 に設けられた接続部 2 5 の幅は、チップ支持部 1 6 に設けられた接続部 2 5 の幅と同一であるが、これに限らず、リード部 1 2 に設けられた接続部 2 5 の幅を、チップ支持部 1 6 に設けられた接続部 2 5 の幅よりも広くしても良い。

【 0 0 8 7 】

このように、接続部 2 5 が外縁部から中央部に向けて凹んでいることにより、パンプ 2 6 を接続部 2 5 に対して安定して接続することができる。

【 0 0 8 8 】

(変形例 4)

図 1 1 は、一変形例(変形例 4)によるリードフレーム 1 0 D を示している。図 1 1 に示すリードフレーム 1 0 D において、リード部 1 2 上には、その長さ方向に沿って複数(2 つ)の接続部 2 5 が設けられている。また、チップ支持部 1 6 上には、その幅方向に沿って複数(2 つ)の接続部 2 5 が設けられている。

【 0 0 8 9 】

図 1 1 において、チップ支持部 1 6 に設けられた 2 つの接続部 2 5 の幅 C は互いに同一であり、リード部 1 2 に設けられた 2 つの接続部 2 5 の幅 B は互いに同一である。また、リード部 1 2 に設けられた接続部 2 5 の幅 B は、チップ支持部 1 6 に設けられた接続部 2 5 の幅 C よりも広い ($B > C$)。これにより、リード部 1 2 が熱膨張し、リード部 1 2 上の接続部 2 5 の位置が多少ずれた場合でも、この位置ずれを吸収し、接続部 2 5 にパンプ 2 6 を接続することができる。

【 0 0 9 0 】

なお、図示していないが、図 7 乃至図 1 1 に示すリードフレーム 1 0 A ~ 1 0 D を用いることにより、それぞれ図 3 及び図 4 に示す半導体装置 2 0 と略同様の構成をもつ半導体装置を得ることができる。また、図 7 乃至図 1 1 に示すリードフレーム 1 0 A ~ 1 0 D の製造方法や、リードフレーム 1 0 A ~ 1 0 D を用いて半導体装置を製造する方法についても、それぞれ上述した図 5 (a) - (f) 及び図 6 (a) - (d) に示す方法と略同様である。

【 0 0 9 1 】

上記各実施の形態及び変形例に開示されている複数の構成要素を必要に応じて適宜組合せることも可能である。あるいは、上記各実施の形態及び変形例に示される全構成要素から幾つかの構成要素を削除してもよい。

【符号の説明】

【 0 0 9 2 】

| | |
|-------|-----------|
| 1 0 | リードフレーム |
| 1 0 a | パッケージ領域 |
| 1 2 | リード部 |
| 1 2 a | 内側領域 |
| 1 2 b | 外側領域 |
| 1 3 | コネクティングバー |
| 1 5 | 内部端子 |
| 1 6 | チップ支持部 |
| 1 7 | 外部端子 |
| 2 0 | 半導体装置 |
| 2 1 | 半導体素子 |
| 2 1 b | 搭載領域 |
| 2 1 c | 中央部 |

10

20

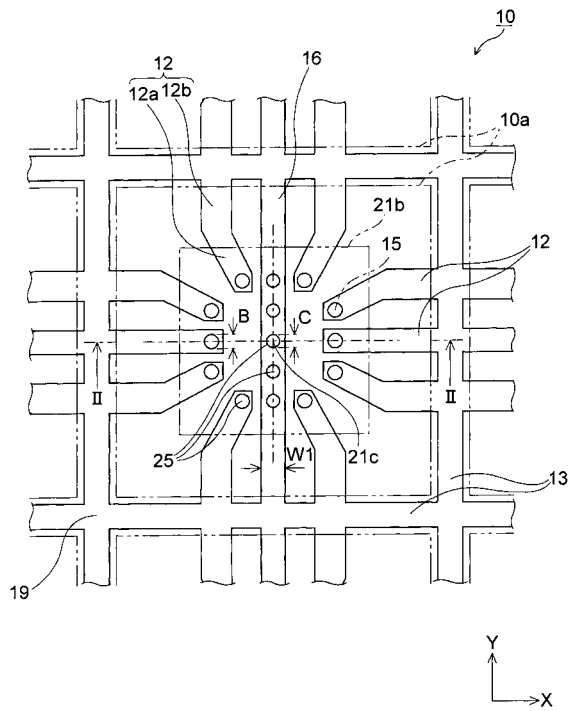
30

40

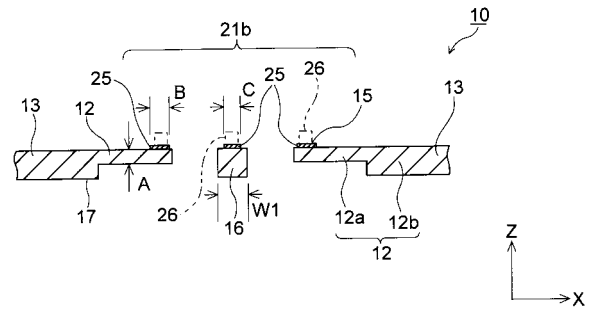
50

- 2 3 封止樹脂
- 2 5 接続部
- 2 6 バンプ

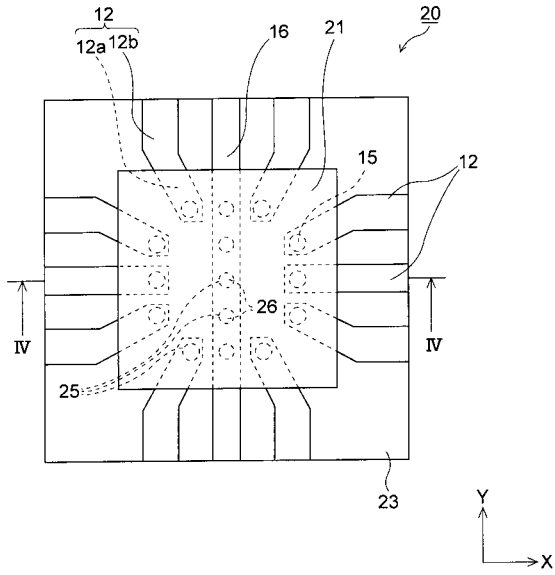
【 図 1 】



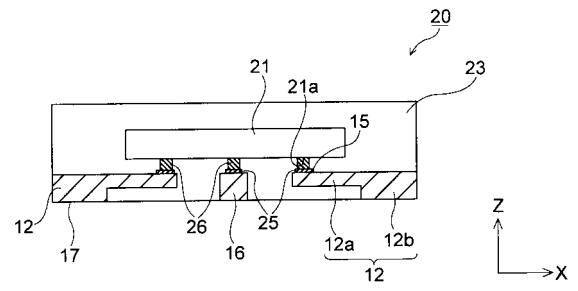
【 図 2 】



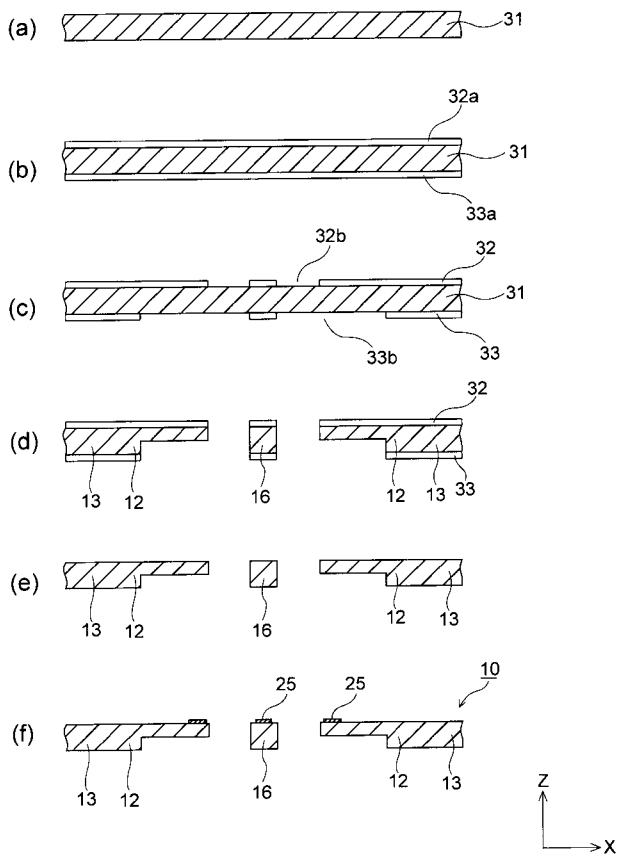
【 図 3 】



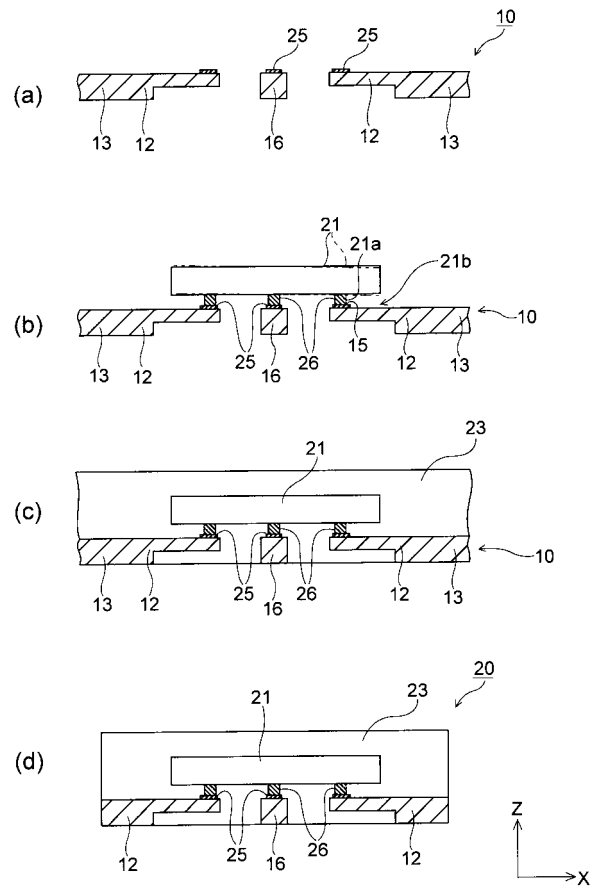
【 図 4 】



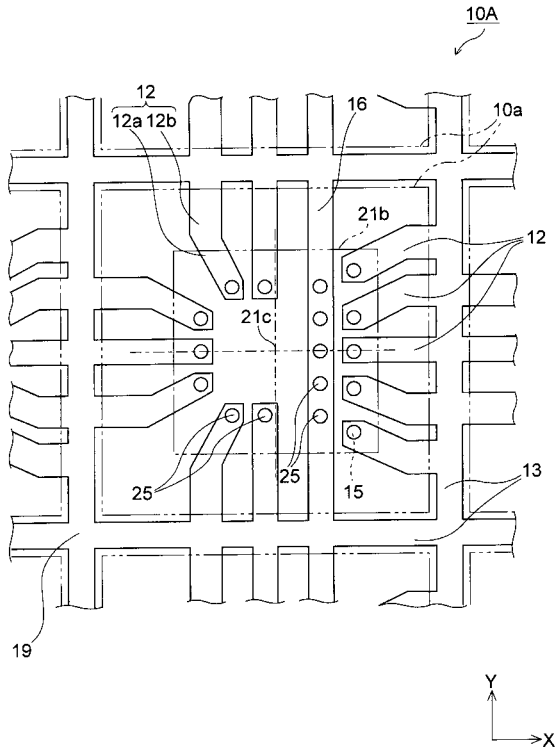
【 図 5 】



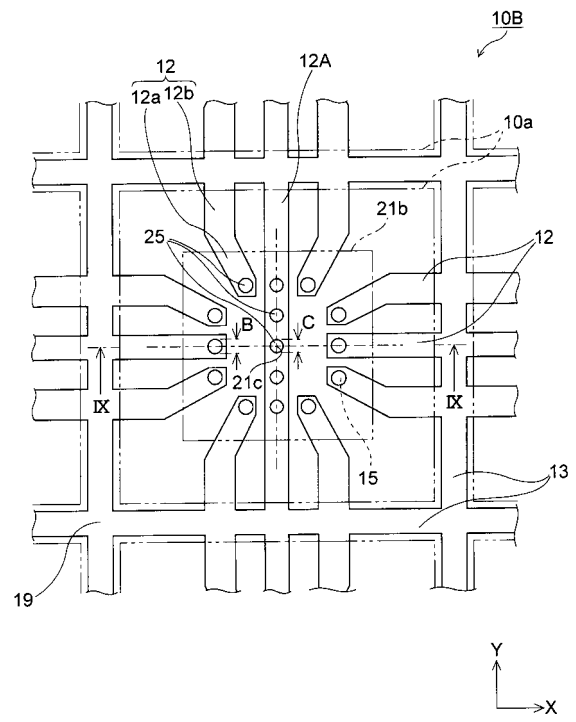
【 図 6 】



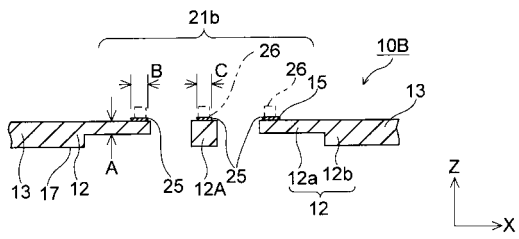
【 図 7 】



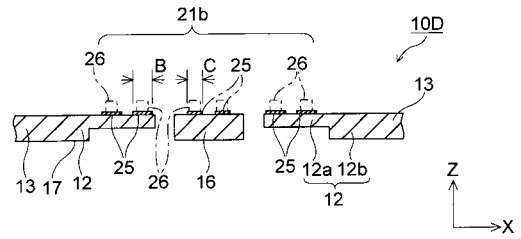
【 図 8 】



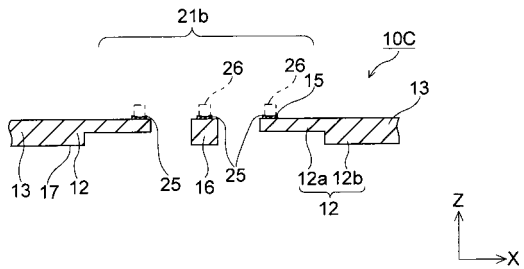
【 図 9 】



【 図 1 1 】



【 図 1 0 】



フロントページの続き

(72)発明者 大 貴 正 雄

東京都新宿区市谷加賀町一丁目1番1号 大日本印刷株式会社内

(72)発明者 山 寄 剛

東京都新宿区市谷加賀町一丁目1番1号 大日本印刷株式会社内

Fターム(参考) 5F044 LL01 QQ03 RR17

5F067 AA03 AA11 AA12 AB04 BB10 BE04 DA17 DC15 DF20 EA02
EA04