

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4484440号  
(P4484440)

(45) 発行日 平成22年6月16日(2010.6.16)

(24) 登録日 平成22年4月2日(2010.4.2)

(51) Int.Cl.

F 1

HO 1 L	27/14	(2006.01)
HO 1 L	27/146	(2006.01)
HO 4 N	5/32	(2006.01)
GO 1 T	1/24	(2006.01)

HO 1 L	27/14
HO 1 L	27/14
HO 4 N	5/32
GO 1 T	1/24

K

C

請求項の数 10 (全 11 頁)

(21) 出願番号	特願2003-98710(P2003-98710)
(22) 出願日	平成15年4月2日(2003.4.2)
(65) 公開番号	特開2004-6780(P2004-6780A)
(43) 公開日	平成16年1月8日(2004.1.8)
審査請求日	平成18年3月29日(2006.3.29)
(31) 優先権主張番号	10/116,469
(32) 優先日	平成14年4月3日(2002.4.3)
(33) 優先権主張国	米国(US)

(73) 特許権者	390041542 ゼネラル・エレクトリック・カンパニー GENERAL ELECTRIC COMPANY アメリカ合衆国、ニューヨーク州、スケネクタディ、リバーロード、1番
(74) 代理人	100137545 弁理士 荒川 聰志
(74) 代理人	100105588 弁理士 小倉 博
(74) 代理人	100106541 弁理士 伊藤 信和

最終頁に続く

(54) 【発明の名称】撮像アレイ及びその製造方法

## (57) 【特許請求の範囲】

## 【請求項 1】

複数の光センサを備える光センサ・アレイと前記光センサ・アレイが配置される基板(20)とを含む放射線検出器(18)であって、

前記複数の光センサの各々が、

ソース電極(50)、ドレンイン電極(52)、ゲート電極(66)、第1の誘電体層(58)及び第2の誘電体層(62)を有するトップ・ゲート薄膜トランジスタ(TFT)(28)であって、前記第2の誘電体層が前記第1の誘電体層の表面の上に延在している、トップ・ゲート薄膜トランジスタ(TFT)(28)と、

少なくとも2つの電極(54, 68)及び誘電体層(64)を有するキャパシタ(24)と、

10

前記キャパシタ(24)に電気的に結合されたフォトダイオード(26)とを含み、

前記キャパシタ(24)の前記電極(54, 68)の1つと前記ゲート電極(66)の両方が光阻止要素として作用する1つの層の一部であり、

前記キャパシタの誘電体層が前記TFTの第2の誘電体層と一体に形成されており、

前記フォトダイオード(26)は、前記キャパシタ(24)の前記電極(54, 68)の1つの上に直接配置され、前記TFT(28)の上には配置されない、

放射線検出器(18)。

## 【請求項 2】

前記放射線検出器は更に、前記光センサアレイ(22)の上面に配置され、放射線を吸収

20

して光学光子を発生するX線シンチレータを含み、前記フォトセンサアレイ(22)は前記X線シンチレータから光の供給を受け、供給された光に対応する電気信号を発生し、前記フォトダイオードはダイオード堆積体(70)及びダイオード頂部コンタクト(72)を含んでいる、請求項1記載の放射線検出器(18)。

**【請求項3】**

前記ダイオード堆積体(70)はPINダイオードを含み、該PINダイオードは、n+型材料層上に堆積した真性a-Si層の上に堆積したp+型材料層を含んでおり、

前記TFT(28)の前記第2の誘電体層(62)と前記キャパシタ(24)の前記誘電体層(64)の両方が1つの層の一部であり、

前記TFT(28)は更に、前記ソース電極(50)に電気的に結合されたソース・バイア(78)、前記ダイオード頂部コンタクト(72)に電気的に結合された共通バイア(76)、及び前記ドレイン電極(52)に電気的に結合されたドレイン・バイア(80)を含んでいる、請求項2記載の放射線検出器(18)。 10

**【請求項4】**

前記ソース電極(50)、前記ドレイン電極(52)、前記キャパシタ電極(54, 68)の少なくとも1つ、及び前記ダイオード頂部コンタクト(72)はインジウム錫酸化物(ITO)で構成されている、請求項2記載の放射線検出器(18)。

**【請求項5】**

前記放射線検出器は更にアモルファス・シリコン層(60)を含んでおり、前記第1の誘電体層(58)は前記アモルファス・シリコン層の表面の上に延在しており、前記ゲート電極(66)は前記第2の誘電体層(62)の表面の上に延在している、請求項1記載の放射線検出器(18)。 20

**【請求項6】**

前記第2の誘電体層(62)は前記第1の誘電体層(58)よりも実質的に厚い、請求項1記載の放射線検出器(18)。

**【請求項7】**

前記第1の誘電体層(58)及び前記第2の誘電体層(62)は窒化シリコンで構成されている、請求項1記載の放射線検出器(18)。

**【請求項8】**

前記ゲート電極(66)と走査線(32)が一体に形成されており、  
前記ドレイン・バイア(80)とデータ線(30)が一体に形成されており、  
前記共通バイア(76)と共に線(40)が一体に形成されている、請求項3記載の放射線検出器(18)。 30

**【請求項9】**

放射線検出器を製造する方法であって、

ソース電極(50)、ドレイン電極(52)、ゲート電極(66)、第1の誘電体層(58)及び第2の誘電体層(62)を有するトップ・ゲート薄膜トランジスタ(TFT)(28)であって、前記第2の誘電体層が前記第1の誘電体層の表面の上に延在している、  
トップ・ゲート薄膜トランジスタ(TFT)(28)を形成する工程と、  
少なくとも2つの電極(54, 68)及び誘電体層(64)を有するキャパシタ(24)を形成する工程とを含み、 40

前記放射線検出器(18)が複数の光センサを備える光センサ・アレイと前記光センサ・アレイが配置される基板(20)とを含み、

前記複数の光センサの各々が、前記TFTと前記キャパシタ(24)とを備え、  
前記キャパシタ(24)の前記電極(54, 68)の1つと前記ゲート電極(66)の両方が光阻止要素として作用する1つの層の一部であり、

前記フォトダイオード(26)は、前記キャパシタ(24)の前記電極(54, 68)の1つの上に直接配置され、前記TFT(28)の上には配置されず、

前記キャパシタの誘電体層が前記TFTの第2の誘電体層と一体に形成されている、方法

**【請求項 10】**

請求項 2 乃至 8 のいずれかに記載の放射線検出器（18）を製造する請求項 9 に記載の方法。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は一般的には撮像アレイに関するものであり、より具体的には撮像アレイ用のピクセルの形成に関するものである。

**【0002】****【発明の背景】**

撮像アレイは典型的にはシンチレーション媒体に結合された光センサ・アレイを含んでいる。放射線はシンチレーション媒体に吸収されて光学的な光子を生成し、これらの光子は次いでフォトダイオードのような光センサへ進む。光子は光センサで吸収され、入射光子束に対応する電気信号が発生される。水素化アモルファス・シリコン（a-Si:H）の有利な光電特性により且つこのような装置の製造が比較的容易なことにより、水素化アモルファス・シリコンが光センサの製造に普通使用されている。特に、フォトダイオードのような光検知素子は、薄膜トランジスタ（TFT）のような必要な制御又はスイッチング素子と共に、比較的大きなアレイ（配列体）に形成することができる。放射線検出器及び表示アレイは典型的には大きな基板上に製作され、該基板上には、TFT、アドレス線、キャパシタ、及び光センサのような装置を含む多数の構成部品が、導電材料層、半導体材料層及び絶縁材料層の堆積及びパターン形成を用いて形成される。

10

**【0003】**

このようなTFTアレイを製造するための少なくとも1つの公知の製造法は典型的には、ボトム・ゲートTFTとデータ及び走査アドレス線とを製造することを含む。幾種類かの公知のボトム・ゲートTFTでは、底部のゲート金属がチャンネル領域を遮蔽し、すなわち、バック・ライトからの光を阻止する光阻止要素として作用する。TFTにおいては望ましくない光子の漏れを生じることがあるので、この光阻止層は望ましい。例えば、デジタルX線パネルにおいて、装置の頂部に配置されたシンチレータから光が生成され、従ってTFT領域は光子に直接に露出される。このため、TFTチャンネル領域を不所望な光から遮蔽するために余分な光阻止層が必要になり、それに伴って余分なフォトリソグラフィ工程が必要になる。

20

**【特許文献1】**

米国特許第6490014号

**【0004】****【発明の概要】**

本発明の一面上においては、トップ・ゲート薄膜トランジスタ（TFT）を含む放射線検出器が提供され、このトップ・ゲート薄膜トランジスタ（TFT）はソース電極、ドレイン電極、ゲート電極、第1の誘電体層及び第2の誘電体層を含む。第2の誘電体層は第1の誘電体層の表面の上に延在する。放射線検出器はまた、少なくとも2つの電極及び誘電体層を含むキャパシタを含んでいる。キャパシタの誘電体層はTFTの第2の誘電体層と一体に形成されている。

30

**【0005】**

本発明の別の面においては、放射線検出器を製造する方法が提供され、本方法は、ソース電極、ドレイン電極、ゲート電極、第1の誘電体層及び第2の誘電体層を含むトップ・ゲート薄膜トランジスタ（TFT）を形成する工程を含む。第2の誘電体層は第1の誘電体層の表面の上に延在する。本方法はまた、少なくとも2つの電極及び誘電体層を含むキャパシタを形成する工程を含んでいる。キャパシタの誘電体層はTFTの第2の誘電体層と一体に形成する。

40

**【0006】**

本発明の別の面においては、放射線源及び放射線検出器を含む撮像システムが提供される

50

。放射線検出器はトップ・ゲート薄膜トランジスタ（TFT）を含み、このこのトップ・ゲート薄膜トランジスタ（TFT）はソース電極、ドレイン電極、ゲート電極、第1の誘電体層及び第2の誘電体層を含む。第2の誘電体層は第1の誘電体層の表面の上に延在する。放射線検出器はまた、少なくとも2つの電極及び誘電体層を含むキャパシタを含んでいる。キャパシタの誘電体層はTFTの第2の誘電体層と一体に形成されている。

#### 【0007】

##### 【発明の詳しい説明】

図1は撮像システム10の絵画図である。一実施形態では、撮像システム10は、それに限定されるものではないが、米国ワイスクンシン州ミルウォーキーの所在のゼネラル・エレクトリック社のGEメディカル・システムズ事業部から市販されているセンノビジョン（Sen novision）200D（商標）のような医用撮像システムである。撮像システム10は、円錐形ビームを投射する放射線源12を含んでいる。一実施形態では、放射線源12はX線源であり、円錐形ビームはX線ビームである。X線ビームは、患者のような撮像しようとする対象物14を通過する。X線ビームは、対象物14によって減弱された後、放射線検出器16に入射する。

#### 【0008】

図2は、（図1に示した）撮像システム10に用いることのできる放射線検出器18である。放射線検出器18は、ピクセル・アレイ22（場合によっては「光センサ・アレイ」とも呼ぶ）が配置される基板20を含む。光センサ・アレイ22は、キャパシタ24、フォトダイオード26及びスイッチング装置（例えば、TFT）28のような複数の電子部品を含んでいる。TFT28はアレイ22上に配置されていて、それぞれのキャパシタ24及びフォトダイオード26をそれぞれのデータ線30に選択的に結合する。光センサ・アレイ22はまた、複数の個々のピクセル34をアドレス指定するための複数の走査線32を含んでいる。データ線30はピクセル・アレイ22の第1の軸36に沿って配向されており、走査線32はピクセル・アレイ22の第2の軸38に沿って配向されている。ピクセル・アレイ22の第1及び第2の軸36及び38は互いに対してもほぼ直角である。

#### 【0009】

図2で例示し易くするために、フォトセンサ・アレイ22を横切って延在する数本のデータ線30、走査線32及び共通線40しか図示していない。データ線30、走査線32及び共通線40は、フォトセンサ・アレイ22内の個々のピクセル34を1つのデータ線30と1つの走査線32と1つの共通線40とによってアドレス指定できるように、行及び列に配列されている。一実施形態では、データ線30、走査線32及び共通線40は、モリブデン、クロム及び／又はアルミニウムのような導電材料を含んでいる。キャパシタ24はフォトダイオード26に電気的に並列に接続されていると共に、TFT28を介してデータ線30に電気的に結合されている。フォトダイオード26は、入射光子に応答して、検出した入射光に対応する電荷を生成するアレイ22の部分を形成する。X線エネルギーが、フォトダイオード26の表面近くに配置されたヨウ化セシウムのような蛍光体の層（図示せず）中で、吸収によって可視光エネルギーへ変換される。キャパシタ24はフォトダイオード26内で発生された電荷を蓄積し、この蓄積された電荷を、走査線32がアドレス指定されたときにTFT28を介して放電する。幾分かの電荷がまたフォトダイオードの自己容量にも蓄積される。

#### 【0010】

図3は基板20上に形成されたピクセル34の一部分の断面図である。ピクセル34は、基板20の表面の上に延在するソース電極50、ドレイン電極52及び第1のキャパシタ電極54を含み、ソース電極50、ドレイン電極52及び第1のキャパシタ電極54は厚さがほんしくなるようにしてある。

#### 【0011】

TFT堆積体56が基板20上に形成されている。本書で用いる用語「TFT堆積体」とは、第1の誘電体層58を真性アモルファス・シリコン（a-Si）のような半導体材料の層60の表面の上に延在させたものを表す。真性a-Si層60はソース／ドレイン電

10

20

30

40

50

極 5 0 及び 5 2 上と、それらの電極の間に形成される。第 1 の誘電体層 5 8 は a - S i 層 6 0 を覆うように形成される。本書で用いる用語「形成」とは、ピクセル 3 4 の各構成部品を製造するための処理を含み、例えば、これらに限定されないが、パターン形成、マスク形成、堆積及びエッチングを含む。一実施形態では、n + 型半導体層（図示せず）がソース及びドレイン電極 5 0 及び 5 2 に隣接してこれらの電極上に形成される。n + 型半導体層は本書で述べる幾つかの方法の内の 1 つによって形成することができる。n + 型にドープした半導体層は堆積し、パターン形成し、エッチングすることにより、所望の形状にする。別の実施形態では、インジウム錫酸化物（ITO）のような適当な材料を使用して、ソース及びドレイン電極 5 0 及び 5 2 を形成する。次いで、ほぼ真性のアモルファス・シリコン層 6 0 を堆積する前に、ITO をリン・プラズマ又は他の活性リン含有ガスに露出させる。TFT 堆積体 5 6 のパターン形成及びエッチングの後、第 2 の誘電体層 6 2 が第 1 の誘電体層 5 8 、ソース電極 5 0 、ドレイン電極 5 2 及び第 1 のキャパシタ電極 5 4 の上に形成される。第 2 の誘電体層 6 2 は蓄積キャパシタ誘電体層 6 4 と一緒に形成される。ゲート電極 6 6 が走査線 3 2（図 2 に示す）及び第 2 のキャパシタ電極 6 8 と一緒に形成される。ダイオード堆積体 7 0 が第 2 のキャパシタ電極 6 8 上に堆積される。一実施形態では、ダイオード堆積体 7 0 は PIN ダイオード（図示せず）を含む。PIN ダイオードは、n + 型材料層上に堆積した真性 a - S i 層の上に堆積した p + 型材料層を含んでいる。ダイオード頂部コンタクト 7 2 がダイオード堆積体 7 0 上に堆積され、パターン形成され、エッチングされる。不動態化層 7 4 がダイオード頂部コンタクト 7 2 と、ダイオード堆積体 7 0 と、第 2 の誘電体層 6 2 、ゲート電極 6 6 及び第 2 のキャパシタ電極 6 8 の露出部分とを覆うように形成される。次いで複数のコンタクト・バイアが誘電体の所望の位置に開けられる。共通バイア 7 6 がダイオード頂部コンタクト 7 2 に電気接続され、ドレイン・バイア 8 0 がドレイン電極 5 2 に電気接続され、またソース・バイア 7 8 がソース電極 5 0 及びキャパシタ電極 6 8 に電気接続されるように、共通バイア 7 6 、ソース・バイア 7 8 及びドレイン・バイア 8 0 が形成される。コンタクト・バイアは、下側の導体を露出させる誘電体中の孔と定義される。バイアは、金属層と下側導体に接触するコンタクト・バイア・ホールとを含む構造全体として定義される。

#### 【0012】

図 4 及び図 5 は、図 3 に示したピクセル 3 4 の一部分の初期製造段階及びその後の第 1 の製造段階でのそれぞれの断面図である。半導体及び誘電体層をプラズマ強化化学蒸着法（PECVD）によって堆積する。一実施形態では、n + 型 a - S i（図示せず）の薄層を堆積しパターン形成しエッチングし、又は共堆積パターン形成しエッチングすることにより、ソース／ドレイン電極 5 0 及び 5 2 の頂部上に n + 型半導体層を形成する。n + 型半導体層はオーミック電子コンタクトを形成し、正孔について阻止すなわち非注入コンタクトを形成する。オーミック・コンタクトは、コンタクト特性自体ではなく半導体を介しての電荷移動によって決定される速度で電子電荷坦体を半導体へ供給するのに役立ち、従って、電流はコンタクトではなく半導体電子チャンネルの導電率によって制限される。ITO 層 9 0 をパターン形成しエッチングすることにより、ソース／ドレイン電極 5 0 , 5 2 及び第 1 のキャパシタ電極 5 4 を露出させる。パターン形成処理は、これに限定されないが、フォトレジストを堆積し、所望のパターンに従ってフォトレジストを露出させ、フォトレジストを処理してその部分を除去し、所望の寸法に対応する選択したパターンを持つマスクを残すことを含む。

#### 【0013】

模範的な実施形態では、ITO 層 9 0 を使用して、ソース及びドレイン電極 5 0 及び 5 2 を形成する。ソース電極 5 0 及びドレイン電極 5 2 は、これに限定されないが、ホスフィン・プラズマのようなシリコン・ドーパント（図示せず）を用いて選択的に処理し、その後で a - S i 層 6 0 を堆積する。シリコン・ドーパントはソース電極 5 0 及びドレイン電極 5 2 と反応して、ソース電極 5 0 及びドレイン電極 5 2 の表面にリン材料（図示せず）を選択的に取り入れ、これによって TFT 2 8（図 2 に示す）の電気的挙動を修正し、且つソース／ドレイン電極 5 0 , 5 2 と a - S i 層 6 0 との間のオーミック・コンタクトを

改善する。ITOは幾分かのリンを吸収し、その後このリンを層60の隣接領域の中へ解放して、n+型にドープした半導体層を生成する。

#### 【0014】

一実施形態では、ソース電極50及びドレイン電極52上にa-Si層60を堆積する。一実施形態では、a-Si層60の厚さはほぼ100（オングストローム）とほぼ300との間の厚さにする。別の実施形態では、a-Si層60はほぼ400である。代替例では、a-Si層60はほぼ200とほぼ600との間の厚さにする。a-Si層60上に第1の誘電体層58を堆積する。一実施形態では、第1の誘電体層58の厚さはほぼ100とほぼ500との間の厚さにする。別の実施形態では、誘電体層58はほぼ400の厚さである。代替例では、誘電体層58はほぼ50とほぼ700との間の厚さにする。第1の誘電体層58は、これに限定されないが、SiNを含む。第1の誘電体層58及びa-Si層60をパターン形成しエッチングすることにより、TFT堆積体56を形成する。エッチング処理は、ITO層90に接触したときに停止する。10

#### 【0015】

図6は、図3に示したピクセル34の一部分のその後の第2の製造段階での断面図である。製造の際、第1の誘電体層58上に第2の誘電体層62を堆積する。第2の誘電体層62は、これに限定されないが、窒化シリコン（SiN）などで構成し、第2の誘電体層62は、蓄積キャパシタ誘電体層64を形成すると共に、ゲート誘電体92を完成するため附加的な厚さを追加する。一実施形態では、第2の誘電体層62はほぼ500とほぼ3000との間の厚さにする。別の実施形態では、第2の誘電体層62はほぼ2100の厚さである。代替例では、第2の誘電体層62はほぼ1500とほぼ2500との間の厚さにする。第2の誘電体層62は、ゲート金属化及びそれに続くダイオード・エッチングの際にTFT堆積体56を保護するのに役立つ。第2の誘電体層62はこの時点ではエッチングしない。20

#### 【0016】

活性TFT領域96から光を阻止するのに役立つ第1の金属層94を第2の誘電体層62上に単一の金属化工程で堆積する。金属化（メタライゼーション）は、選択した要素同士を接続して、複数の回路素子の相互接続を行う処理である。金属化の際、スパッタリングによって又は金属材料の薄層を蒸発させることによって金属材料が堆積される。この代わりに、金属材料はスパッタリング又は蒸発以外の方法で堆積する。第1の金属層94は、これらに限定されないが、アルミニウム、クロム及び/又はモリブデンを含んでいてよい。30

#### 【0017】

図7は、図3に示したピクセル34の一部分のその後の第3の製造段階での断面図である。製造の際、第1の金属層94のパターン形成及びエッチングを行って、走査線32（図2に示す）及び第2のキャパシタ電極68と一緒に形成されたゲート電極66を形成する。エッチング処理は第2の誘電体層62に接触したときに停止する。ゲート誘電体92はまた、ゲート電極66を走査線32と一緒に形成できるようにする層間誘電体として機能することができる。第2のキャパシタ電極68はまたダイオード底部コンタクトとしても機能する。ゲート電極66及び第2のキャパシタ電極68は、これらに限定されないが、モリブデン、アルミニウム及び/又はクロムを含んでいてよく、スパッタリング処理では2000の厚さに堆積する。一実施形態では、走査線32はモリブデン/クロム（Mo/Cr）堆積体であり、この場合、Crの比較的薄い層（ほぼ300）がダイオード堆積体70の反応性イオン・エッチング（RIE）のための食刻停止体となる。RIEは、非常に方向性があり且つ寸法精度を保持するエッチング処理である。40

#### 【0018】

ゲート金属のエッチングの後、ダイオード堆積体70を第2のキャパシタ電極68上に、何らパターン形成工程を介在せることなく堆積する。ダイオード堆積体70上には、ITOのような透明な導体から形成されるダイオード頂部コンタクト72を堆積する。ダイオード堆積体70をパターン形成しエッチングする。同じマスクを使用して、先ずダイオ50

ード頂部コンタクト 7 2 を湿式エッチングし、或いは乾式エッチングし、次いでダイオード堆積体 7 0 を乾式エッチングしてもよい。この代わりに、2つの別個のマスク工程を使用して、ダイオード堆積体 7 0 より小さいダイオード頂部コンタクト 7 2 を定め、次いでダイオード堆積体 7 0 をパターン形成しエッチングすることもできる。

#### 【0019】

図 8 は、図 3 に示したピクセル 3 4 の一部分のその後の第 4 の製造段階での断面図である。製造の際、ピクセル 3 4 を覆うように不動態化層 7 4 を堆積する。不動態化層 7 4 をエッチングすることにより、ダイオード頂部コンタクト 7 2 、第 2 のキャパシタ電極 6 8 、ソース電極 5 0 、ドレイン電極 5 2 及びゲート電極 6 6 を露出させる。不動態化層 7 4 は比較的厚く、0.2 ミクロン (μ) ~ 1.0 μ であり、また、これらに限定されないが、窒化シリコン及び酸化シリコンのような材料から形成することができる。不動態化層 7 4 は、複数のダイオード側壁 9 7 (図 7 に示す) を、その後の処理における機械的及び化学的損傷から保護するのに役立つ。不動態化層 7 4 の中に共通バイア 7 6 、ソース・バイア 7 8 及びドレイン・バイア 8 0 を形成するために、ピクセル 3 4 上に第 2 の金属層 9 8 を堆積する。ソース・バイア 7 8 及びドレイン・バイア 8 0 は 2 つの異なる厚さの誘電体材料をエッチングすることにより形成される。共通バイア 7 6 、ソース・バイア 7 8 及びドレイン・バイア 8 0 は 1 回のエッチング工程で形成されて、下側に位置する構成部品に電気接続を行うことができるようになる通路を不動態化層 7 4 の一部分に提供する (すなわち、共通バイア 7 6 、ソース・バイア 7 8 及びドレイン・バイア 8 0 はそれらの全ての側面が共通の不動態化層 7 4 の残りの部分によって囲まれている)。

#### 【0020】

模範的実施形態では、ピクセル 3 4 は本書で述べた処理工程で製造することができ、また低抵抗の線のために望ましいアルミニウムによる金属化を可能にする。金属ゲート 6 6 は a - Si 層 6 0 に直接接触しないので、その加工には何ら特別な処理又は障壁金属を使用しない。更に、第 2 の金属層 9 8 はデータ線 3 0 (図 2 に示す) 及び共通電極 7 6 を形成すると共に、アルミニウムから形成することができる。第 2 の金属層 9 8 はまた a - Si 層 6 0 に接触していない、このため何ら特別な処理又は障壁金属が必要とされない。また、アルミニウム堆積処理の後に何ら高温の処理がないので、短絡を引き起こすことのあるアルミニウムの小丘陵状物 (図示せず) を形成する機会が低減する。最後に、ピクセル 3 4 を覆うように障壁誘電体層 (図示せず) を堆積し、次いでパターン形成しエッチングすることにより、コンタクト・パッド (図示せず) が露出される。障壁誘電体層は、これに限定されないが、窒化シリコンを含んでいてよい。

#### 【0021】

本書で述べたように、TFT 構造を反転してトップ・ゲート食い違い形構造を形成することは、ゲート金属が TFT のゲートとして作用すると共にチャンネル領域に対する光阻止層としても作用するので、活性 TFT 領域から光を阻止するのに役立つ。

#### 【0022】

本発明を様々な特定の実施形態について説明してきたが、当業者には、本発明を特許請求の範囲に記載の精神及び範囲内で修正して実施し得ることが認められよう。

#### 【図面の簡単な説明】

【図 1】撮像システムの絵画図である。

【図 2】光センサ・アレイ内の代表的なピクセルの概略図である。

【図 3】放射線検出器の一ピクセルの一部分の断面図である。

【図 4】図 3 に示したピクセルの一部分の初期製造段階での断面図である。

【図 5】図 3 に示したピクセルの一部分のその後の第 1 の製造段階での断面図である。

【図 6】図 3 に示したピクセルの一部分のその後の第 2 の製造段階での断面図である。

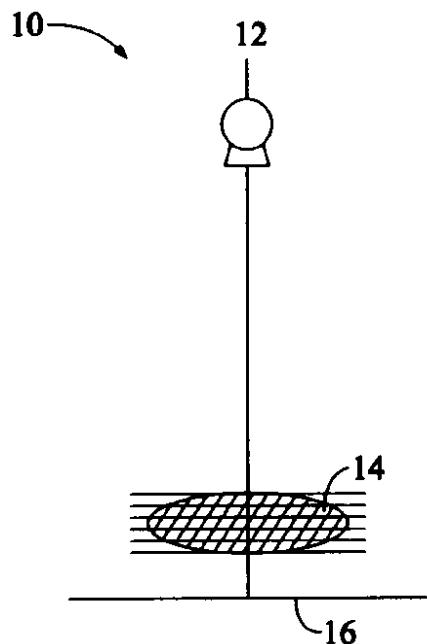
【図 7】図 3 に示したピクセルの一部分のその後の第 3 の製造段階での断面図である。

【図 8】図 3 に示したピクセルの一部分のその後の第 4 の製造段階での断面図である。

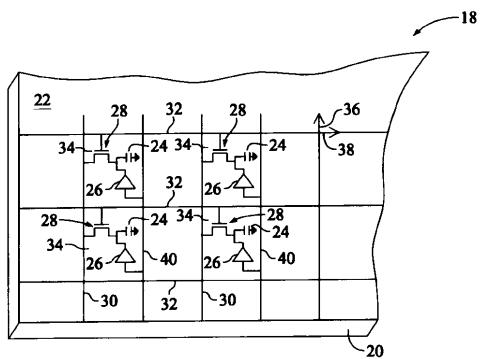
#### 【符号の説明】

1 2	放射線源	
1 4	対象物	
1 6	放射線検出器	
1 8	放射線検出器	
2 0	基板	
2 2	ピクセル・アレイ	
2 4	キャパシタ	
2 6	フォトダイオード	
2 8	TFT (薄膜トランジスタ)	
3 0	データ線	10
3 2	走査線	
3 4	ピクセル	
3 6	第1の軸	
3 8	第2の軸	
4 0	共通線	
5 0	ソース電極	
5 2	ドレイン電極	
5 4	第1のキャパシタ電極	
5 6	TFT堆積体	
5 8	第1の誘電体層	20
6 0	アモルファス・シリコン(a-Si)層	
6 2	第2の誘電体層	
6 4	蓄積キャパシタ誘電体層	
6 6	ゲート電極	
6 8	第2のキャパシタ電極	
7 0	ダイオード堆積体	
7 2	ダイオード頂部コンタクト	
7 4	不動態化層	
7 6	共通バイア	
7 8	ソース・バイア	30
8 0	ドレイン・バイア	
9 0	I TO 層	
9 2	ゲート誘電体	
9 4	第1の金属層	
9 6	活性TFT領域	
9 8	第2の金属層	

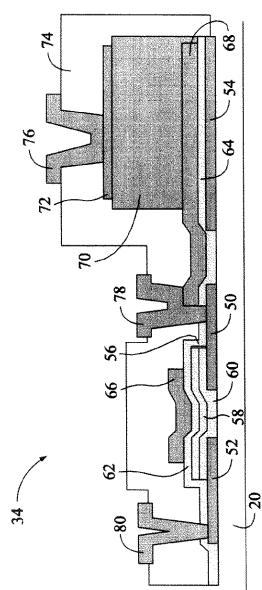
【図1】



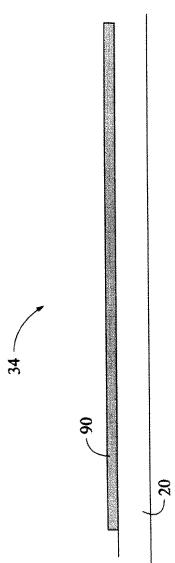
【図2】



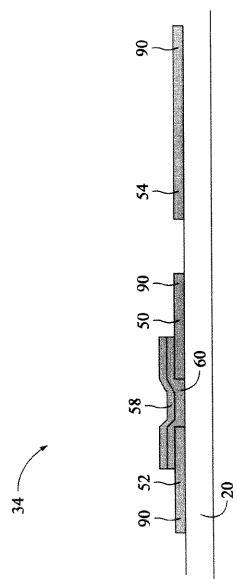
【図3】



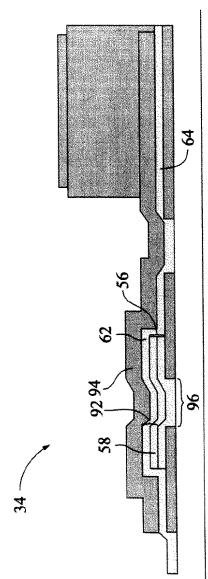
【図4】



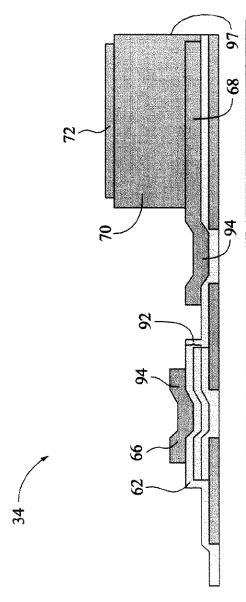
【図5】



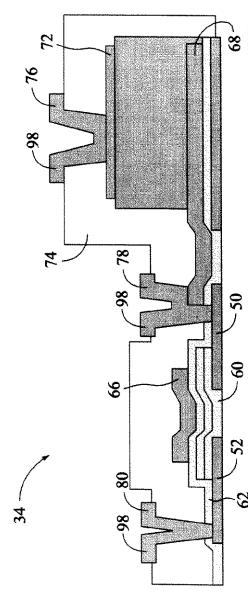
【図6】



【図7】



【図8】



---

フロントページの続き

(72)発明者 チー・アン・リー

アメリカ合衆国、ニューヨーク州、ニスカユナ、フォックス・ヒル・ドライブ、2186番

(72)発明者 ダグラス・アルバゲリー

アメリカ合衆国、ニューヨーク州、クリフトン・パーク、クイーンズベリー・コート、1番

(72)発明者 ジョージ・エドワード・ポッシン

アメリカ合衆国、ニューヨーク州、ニスカユナ、アルゴンキン・ロード、2361番

(72)発明者 チン・イウ・ウェイ

アメリカ合衆国、ニューヨーク州、ニスカユナ、ローズヒル・ブルヴァール、1416番

審査官 柴山 将隆

(56)参考文献 特開2000-241557(JP,A)

特開平10-163463(JP,A)

特開平10-294466(JP,A)

特開平07-221279(JP,A)

特開平07-273303(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/14

H01L 27/146

H04N 5/32

G01T 1/24