



República Federativa do Brasil
Ministério da Indústria, Comércio Exterior
e Serviços
Instituto Nacional da Propriedade Industrial

(11) PI 0205528-7 B1

(22) Data do Depósito: 10/06/2002

(45) Data de Concessão: 06/06/2017



(54) Título: MÉTODO E APARELHO PARA O MAPEAMENTO DE UM FLUXO DE BITS

(51) Int.Cl.: H04L 27/00

(30) Prioridade Unionista: 09/06/2001 KR 2001-0032355

(73) Titular(es): SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor(es): MIN-GOO KIM; SANG-HYUCK HA; SEONG-WOO AHN

MÉTODO E APARELHO PARA O MAPEAMENTO DE UM FLUXO DE BITS**Histórico Da Invenção****1. Campo da invenção**

A presente invenção relaciona-se genericamente a um
5 sistema de comunicação que utiliza modulação/demodulação
multi-nível e, em particular, a um método e aparelho para
rearrumar um fluxo de bits de uma seqüência de palavra de
código antes da modulação, e arrumar uma saída de um
demodulador na forma de uma seqüência de palavra de código
10 original.

2. Descrição da tecnologia relacionada

Um sistema IMT-2000 (International Mobile
Telecommunication-2000 - Telecomunicação Móvel
Internacional-2000), um sistema típico de comunicação móvel
15 CDMA (Code Division Multiple Access - Acesso Múltiplo de
Divisão por Código), utiliza a modulação/demodulação multi-
nível para aumentar a eficiência espectral. Aqui,
'modulação/demodulação multi-nível' refere-se às modulações
8PSK (8-ary Phase Shift Keying - Modulação por deslocamento
20 de fase 8-ária), 16QAM (16-ary Quadrature Amplitude
Modulation - Modulação de Amplitude de Quadratura 16-ária)
e 64QAM como a modulação 2^m -ária tendo um nível de
modulação mais alto do que a modulação QPSK (Quadrature
Phase Shift Keying - Modulação por deslocamento de fase de
25 Quadratura). Quando da geração de bits modulados utilizando
a modulação multi-nível, ocorre uma diferença na
confiabilidade entre uma pluralidade de bits que constituem
cada bit modulado. Devido à diferença na confiabilidade, os
respectivos bits têm taxas médias de erro de bit
30 diferentes.

Entrementes, quando um codificador compreendido de uma pluralidade de codificadores de sistema, como o codificador turbo, é utilizado como o codificador de canal, bits de palavra de código dos codificadores do sistema são divididos em uma parte sistemática, um fluxo de bits com prioridade mais alta (importância) e uma parte de paridade, um fluxo de bits com prioridade mais baixa. No caso em que uma seqüência de informação é entrada a uma pluralidade de codificadores constituintes, uma diminuição na taxa de erro de bits dos bits que pertencem à parte sistemática dos bits de palavra de código pode resultar na diminuição da taxa média de erro de bit e na taxa média de taxa de erro de pacote de uma seqüência de informação emitida de um decodificador de canal. Isto é, quando os bits de palavra de código que pertencem à parte sistemática com prioridade mais alta asseguradamente têm confiabilidade mais alta do que os bits de palavra de código pertencentes à parte de paridade com prioridade mais baixa, são possível esperar um melhoramento no desempenho em termos de uma taxa de erro de uma seqüência de informação gerada após a decodificação.

Sumário Da Invenção

Portanto, é um objeto da presente invenção fornecer um método e aparelho para rearrumar os bits de uma seqüência de palavras de código emitida de um codificador de canal antes da modulação, tal que os bits pertencentes a uma parte sistemática com prioridade mais alta são dispostos em posições de bit com confiabilidade mais alta de um bit modulado, em um sistema de comunicação que utiliza a modulação multi-nível.

É outro objeto da presente invenção fornecer um método

e aparelho para rearrumar bits de uma seqüência de palavras de código emitidas de um codificador de canal antes da modulação, tal que os bits pertencentes a uma parte sistemática com prioridade mais alta são dispostos em posições de bit com confiabilidade mais alta de um bit modulado, e dispor o bit demodulado na ordem de uma seqüência de palavras de código original, em um sistema de comunicação que utiliza a modulação multi-nível.

É ainda outro objeto da presente invenção fornecer um método e aparelho para melhorar a taxa média de erros de bit e a taxa média de erros de pacote de uma seqüência de informação gerada após a decodificação, em um sistema de comunicação.

Para atingir os objetos acima e outros, é fornecido um método e aparelho para mapear um fluxo de bits emitido de um decodificador para um fluxo de bits para a modulação 2^m -ária. O método e aparelho dividem o fluxo de bits do codificador em um primeiro período e um segundo período. O primeiro período inclui bits com prioridade mais alta no fluxo de bits emitido do codificador, e o segundo período inclui bits com prioridade mais baixa. O método e aparelho mapeia os bits existentes no primeiro período à posições de bit com confiabilidade mais alta em um fluxo de m bits que representam cada um dos bits para a modulação 2^m -ária, e mapeia os bits existentes no segundo período à posições de bit com confiabilidade mais baixa no fluxo de m bits.

Descrição Sucinta Dos Desenhos

Os objetos e outros objetos, recursos e vantagens da presente invenção tornar-se-ão mais aparentes da seguinte descrição detalhada quando tomada em conjunto com os

desenhos acompanhantes, em que:

A Figura 1 ilustra uma estrutura de um aparelho de transmissão incluindo um mapeador de sequência para rearrumar uma sequência de palavras de código de acordo com uma versão da presente invenção.

A Figura 2 ilustra a estrutura de um aparelho de recepção incluindo um demapeador de sequência de acordo com uma versão da presente invenção.

A Figura 3 ilustra um diagrama de constelação de sinal para a modulação 8PSK (Modulação por deslocamento de fase 8-ária).

A Figura 4 ilustra um diagrama de constelação de sinal para a modulação 16QAM (Modulação de Amplitude de Quadratura 16-ária).

A Figura 5 ilustra um diagrama de constelação de sinal para a modulação 64QAM (Modulação de Amplitude de Quadratura 64-ária).

A Figura 6 ilustra um caso em que a potência é alocada uniformemente à sequência de palavras de código.

A Figura 7 ilustra um caso em que um nível de potência mais alto é alocado a uma parte frontal da sequência de palavras de código.

A Figura 8 ilustra um caso em que um nível de potência mais alto é alocado a uma parte traseira da sequência de palavras de código.

A Figura 9 ilustra uma operação de rearrumação de bit para a modulação 8PSK em que a potência é alocada uniformemente à sequência de palavras de código de acordo com uma versão da presente invenção.

A Figura 10 ilustra um procedimento para efetuar a

operação de rearrumação de bits para a modulação 8PSK em que a potência é alocada uniformemente à seqüência de palavras de código de acordo com uma versão da presente invenção.

5 A Figura 11 ilustra uma operação de rearrumação de bits para a modulação 16QAM em que a potência é alocada uniformemente à seqüência de palavras de código de acordo com uma versão da presente invenção.

10 A Figura 12 ilustra um procedimento para efetuar a operação de rearrumação de bits para a modulação 16QAM em que a potência é alocada uniformemente à seqüência de palavras de código de acordo com uma versão da presente invenção.

15 A Figura 13 ilustra uma operação de rearrumação de bits para a modulação 64QAM em que a potência é alocada uniformemente à seqüência de palavras de código de acordo com uma versão da presente invenção.

20 A Figura 14 ilustra um procedimento para efetuar a operação de rearrumação de bits para a modulação 64QAM em que a potência é alocada uniformemente à seqüência de palavras de código de acordo com uma versão da presente invenção.

25 A Figura 15 ilustra uma operação de rearrumação de bits para a modulação 8PSK em que o nível de potência mais alto é alocado à parte traseira da seqüência de palavras de código de acordo com uma versão da presente invenção.

30 A Figura 16 ilustra um procedimento para efetuar uma operação de rearrumação de bits para a modulação 8PSK em que o nível de potência mais alto é alocado à parte traseira da seqüência de palavras de código de acordo com

uma versão da presente invenção.

A Figura 17 ilustra uma operação de rearrumação de bits para a modulação 16QAM em que o nível de potência mais alto é alocado à parte traseira da sequência de palavras de código de acordo com uma versão da presente invenção.

A Figura 18 ilustra um procedimento para efetuar uma operação de rearrumação de bits para a modulação 16QAM em que o nível de potência mais alto é alocado à parte traseira da sequência de palavras de código de acordo com uma versão da presente invenção.

A Figura 19 ilustra uma operação de rearrumação de bits para a modulação 64QAM em que o nível de potência mais alto é alocado à parte traseira da sequência de palavras de código de acordo com uma versão da presente invenção.

A Figura 20 ilustra um procedimento para efetuar uma operação de rearrumação de bits para a modulação 64QAM em que o nível de potência mais alto é alocado à parte traseira da sequência de palavras de código de acordo com uma versão da presente invenção.

A Figura 21 ilustra uma operação de rearrumação de bits para a modulação 8PSK em que a potência é alocada uniformemente à sequência de palavras de código de acordo com uma versão da presente invenção.

A Figura 22 ilustra um procedimento para efetuar uma operação de rearrumação de bits para a modulação 8PSK em que a potência é alocada uniformemente à sequência de palavras de código de acordo com uma versão da presente invenção.

A Figura 23 ilustra uma operação de rearrumação de bits para a modulação 16QAM em que a potência é alocada

uniformemente à seqüência de palavras de código de acordo com uma versão da presente invenção.

A Figura 24 ilustra um procedimento para efetuar uma operação de rearrumação de bits para a modulação 16QAM em que a potência é alocada uniformemente à seqüência de palavras de código de acordo com uma versão da presente invenção.

A Figura 25 ilustra uma operação de rearrumação de bits para a modulação 64QAM em que a potência é alocada uniformemente à seqüência de palavras de código de acordo com uma versão da presente invenção.

A Figura 26 ilustra um procedimento para efetuar uma operação de rearrumação de bits para a modulação 64QAM em que a potência é alocada uniformemente à seqüência de palavras de código de acordo com uma versão da presente invenção.

A Figura 27 ilustra uma operação de rearrumação de bits para a modulação 8PSK em que o nível de potência mais alto é alocado à parte traseira da seqüência de palavras de código de acordo com uma versão da presente invenção.

A Figura 28 ilustra um procedimento para efetuar uma operação de rearrumação de bits para a modulação 8PSK em que o nível de potência mais alto é alocado à parte traseira da seqüência de palavras de código de acordo com uma versão da presente invenção.

A Figura 29 ilustra uma operação de rearrumação de bits para a modulação 16QAM em que o nível de potência mais alto é alocado à parte traseira da seqüência de palavras de código de acordo com uma versão da presente invenção.

A Figura 30 ilustra um procedimento para efetuar uma

operação de rearrumação de bits para a modulação 16QAM em que o nível de potência mais alto é alocado à parte traseira da sequência de palavras de código de acordo com uma versão da presente invenção.

5 A Figura 31 ilustra uma operação de rearrumação de bits para a modulação 64QAM em que o nível de potência mais alto é alocado à parte traseira da sequência de palavras de código de acordo com uma versão da presente invenção.

10 A Figura 32 ilustra um procedimento para efetuar uma operação de rearrumação de bits para a modulação 64QAM em que o nível de potência mais alto é alocado à parte traseira da sequência de palavras de código de acordo com uma versão da presente invenção.

15 A Figura 33 ilustra o desempenho da taxa média de erros de bit da presente invenção em comparação com aquela da tecnologia anterior para a modulação 8PSK no caso em que a potência é alocada uniformemente a uma sequência de palavras de código.

20 A Figura 34 ilustra o desempenho da taxa média de erros de pacote da presente invenção em comparação com aquela da tecnologia anterior para a modulação 8PSK no caso em que a potência é alocada uniformemente a uma sequência de palavras de código.

25 A Figura 35 ilustra o desempenho da taxa média de erros de bit da presente invenção em comparação com aquela da tecnologia anterior para a modulação 16QAM no caso em que a potência é alocada uniformemente a uma sequência de palavras de código. E

30 A Figura 36 ilustra o desempenho da taxa média de erros de pacote da presente invenção em comparação com

aquela da tecnologia anterior para a modulação 16QAM no caso em que a potência é alocada uniformemente a uma seqüência de palavras de código.

Descrição Detalhada Da Versão Preferida

5 Uma versão preferida da presente invenção será aqui descrita abaixo com referência aos desenhos acompanhantes. Na descrição seguinte, funções ou construções bem conhecidas não são descritas em detalhes pois elas obscureceriam a invenção em detalhes desnecessários.

10 A presente invenção fornece (1) um método para rearrumar bits de uma seqüência de palavras de código emitidas de um codificador de canal antes da modulação tal que os bits com confiabilidade mais alta, como os bits pertencentes a uma parte sistemática, são dispostos em

15 posições com confiabilidade mais alta entre os bits que constituem um bit modulado, em um sistema de comunicação que utiliza modulação/demodulação multi-nível, como 8PSK, 16QAM e 64QAM tendo um nível de modulação mais alto do que PQSK, (2) um método para arrumar valores de saída de um

20 demodulador em posições originais da seqüência de palavras de código, e (3) um aparelho para efetuar os métodos. Se o entrelaçador de canal não for utilizado no estágio seguinte do codificador de canal ou se, embora o entrelaçador de canal seja utilizado, uma seqüência entrelaçada pode ser

25 dividida em uma parte sistemática com prioridade mais alta e uma parte de paridade com prioridade mais baixa, então a presente invenção pode melhorar o desempenho do sistema ao utilizar um método para rearrumar os bits de saída do codificador de canal ou do entrelaçador de canal antes da

30 modulação ao levar em consideração a diferença em

confiabilidade entre bits na modulação/demodulação multi-nível, e ao arrumar valores de saída de um demodulador nas posições originais antes da decodificação de canal ou o desentrelaçamento de canal. Aqui, primeiro, será feita uma

5 descrição de um aparelho de transmissão para rearrumar a seqüência de palavras de código de acordo com uma versão da presente invenção, e um aparelho de recepção correspondente ao aparelho de transmissão. A seguir, será descrita a operação de rearrumar a seqüência de palavras de código de

10 acordo com versões diferentes da presente invenção. A descrição da operação de rearrumação da seqüência de palavras de código será feita de duas perspectivas diferentes. As versões A-1, A-2, A-3, B-1, B-2 e B-3 com base em uma primeira perspectiva demonstram como a operação

15 de rearrumação da seqüência de palavras de código é efetuada da perspectiva das seqüências de palavras de código. As versões C-1, C-2, C-3, D-1, D-2 e D-3 com base em uma segunda perspectiva demonstram como a operação de rearrumação da seqüência de palavras de código é efetuada

20 da perspectiva dos bits modulados. As versões com base na primeira perspectiva serão descritas na suposição de que a seqüência de palavras de código tem N bits, e as versões com base na segunda perspectiva serão descritas na suposição de que o número de bits modulados é N. Embora a

25 operação de rearrumação da seqüência de palavras de código de acordo com a presente invenção será descrita de duas perspectivas diferentes, deve-se observar que ambas as operações são substancialmente idênticas umas às outras. Finalmente, será analisado o desempenho da operação de

30 rearrumação da seqüência de palavras de código de acordo

com a presente invenção.

A Figura 1 ilustra a estrutura de um aparelho de transmissão que inclui um mapeador de sequência para rearrumar a sequência de palavras de código de acordo com uma versão da presente invenção. Com referência à Figura 1, um codificador de canal 110 codifica um fluxo de bits de informação de entrada, e emite uma sequência de palavras de código compreendidas de uma pluralidade de fluxos de bits. Por exemplo, o codificador turbo pode ser utilizado como o codificador de canal 110. Um entrelaçador de canal 120 entrelaça a sequência de palavras de código emitida do codificador de canal 110, e emite uma sequência de palavras de código entrelaçada. Um mapeador de sequência 130, um elemento particular de acordo com a presente invenção, rearruma a sequência de palavras de código para modulação de acordo com versões diferentes da presente invenção. Um modulador 140 modula a sequência de palavras de código rearrumada pelo mapeador de sequência 130 de acordo com uma técnica de modulação correspondente, e gera bits modulados. O modulador 140 é um modulador multi-nível que utiliza a modulação multi-nível (2^m -ária) como a 8PSK, 16QAM e 64QAM. A operação de rearrumação da sequência de palavras de código pelo mapeador de sequência pode ser determinada dependendo da técnica de modulação do modulador 140. Isto é, o mapeador de sequência 130 efetua a operação de rearrumação da sequência de palavras de código de acordo com uma das modulações 8PSK, 16QAM e 64QAM, utilizadas pelo modulador 140.

A Figura 2 ilustra a estrutura de um aparelho de recepção que inclui um demapeador de sequência de acordo

com uma versão da presente invenção. O aparelho de recepção, correspondente ao aparelho de transmissão da Figura 1, inclui elementos que correspondem aos elementos do aparelho de transmissão e efetua operações inversas dos
5 elementos correspondentes do transmissor.

Com referência à Figura 2, o demodulador 210, um elemento que corresponde ao modulador 140, demodula a informação recebida e emite um bit demodulado. O demapeador de sequência 220, um elemento que corresponde ao mapeador de sequência 130, arruma o bit demodulado do demodulador 210 na ordem da sequência de palavra de código original antes de ser rearrumada pelo mapeador de sequência 130. O desentrelaçador de canal 230, um elemento que corresponde ao entrelaçador de canal 120, desentrelaça a sequência de
10 palavra de código do demapeador de sequência 220. O decodificador de canal 240, um elemento que corresponde ao codificador de canal 110, decodifica a saída do desentrelaçador de canal 230. Um decodificador turbo pode ser utilizado como o decodificador de canal 240.

20 Antes de uma descrição detalhada da presente invenção será feita referência a como o mapeador de sequência 130 de acordo com a presente invenção mapeia (ou constelaciona) a sequência de palavra de código de entrada de acordo com as técnicas de modulação. A sequência de palavra de código
25 pode ser ou uma sequência de palavra de código emitida diretamente do codificador de canal 110 da Figura 1, ou uma sequência de palavra de código entrelaçada pelo entrelaçador de canal 120 após ser codificada pelo entrelaçador de canal 110 como é ilustrado na Figura 1.
30 Portanto, o termo 'sequência de palavra de código' conforme

aqui utilizado refere-se a uma seqüência de palavra de código emitida do codificador de canal 110, ou uma seqüência de palavra de código entrelaçada pelo entrelaçador de canal 120 após ser codificada pelo entrelaçador de canal 110.

Durante a modulação, a seqüência de palavra de código emitida do codificador de canal 110 é dividida por m bits, e depois constalacionada a um ponto de sinal específico entre $M=2^m$ pontos de sinal de acordo, por exemplo, com a regra de codificação de Gray. Isto pode ser expresso por

$$S_{m-1}S_{m-2}\dots S_0 \rightarrow^f I, Q \quad (1)$$

Na Equação (1), $S_i (i=0,1,\dots,m-1)$ representa um $(i+1)^{\text{ésimo}}$ bit da seqüência de palavra de código emitida pelo codificador de canal, constelacionado a um bit modulado. Ainda, I e Q representam um componente em fase e um componente em fase de quadratura do bit modulado correspondente, respectivamente. No caso da modulação 8PSK, $m=3$. No caso das modulações 16QAM e 64QAM, $m=4$ e 6 , respectivamente.

Na modulação multi-nível, confiabilidades entre os bits que constituem um bit modulado são diferentes uma da outra. Isto é porque as probabilidades de erro devido a uma diferença de distância até uma região em que cada valor de bit do bit modulado constelacionado a uma posição específica no plano I-Q pode ser invertida por ruídos que são diferentes um do outro. Devido a este fenômeno, LLRs (Log Likelihood Ratios = Proporções de Probabilidade Logarítmica) dos respectivos bits têm valores diferentes, causando a redução no desempenho do decodificador de canal que espera valores suaves para os bits tendo a mesma taxa

de erro.

No caso de 8PSK, 2 dos 3 bits que constituem um bit modulado têm a mesma confiabilidade, enquanto o um bit restante tem confiabilidade mais baixa do que os outros 5 bits. Por exemplo, quando um diagrama de constelação de sinal para 8PSK da Figura 3 é aplicado, o segundo bit S_1 e o terceiro bit S_2 entre os 3 bits têm confiabilidade mais alta do que o primeiro bit S_0 . No caso de 16QAM, 2 dos 4 bits que constituem um bit modulado têm confiabilidade mais alta do que os dois bits restantes. Por exemplo, quando um 10 diagrama de constelação de sinal para 16QAM da Figura 4 é aplicado, o segundo bit S_1 e o quarto bit S_3 entre os quatro bits têm confiabilidade mais alta do que o primeiro bit S_0 e o terceiro bit S_2 . No caso de 64QAM, 6 bits têm 15 confiabilidades diferentes em pares. Por exemplo, quando um diagrama de constelação de sinal para 64QAM da Figura 5 é aplicado, o terceiro bit S_2 e o sexto bit S_5 entre os 6 bits têm confiabilidade mais alta do que o segundo bit S_1 e o quinto bit S_4 , e o primeiro bit S_0 e o quarto bit S_3 têm a 20 confiabilidade mais baixa. No entanto, as posições de bit tendo confiabilidades diferentes podem depender do diagrama de constelação de sinal aplicado.

Primeiro, será feita a descrição de uma operação de rearrumar bits de uma seqüência de palavra de código 25 emitida de um codificador de canal ou de um entrelaçador de canal antes da modulação.

Princípio da invenção

Um princípio fundamental da rearrumação de acordo com a presente invenção é rearrumar a seqüência de palavra de 30 código emitida do codificador de canal ou do entrelaçador

de canal tal que tantos bits com prioridade mais alta quanto possível, como os bits de palavra de código pertencentes a uma parte sistemática, são dispostos nas posições de bit com confiabilidade mais alta dos bits que representam o bit modulado. A rearrumação de bit na seqüência de palavra de código a ser efetuada antes da geração do bit modulado pode ser aplicada de modo diferente dependendo na forma da potência a ser alocada à seqüência de palavra de código, observando o princípio acima.

10 **Versões com base no primeiro ponto de vista**

 Será feita separadamente a descrição da operação de rearrumação de bit de acordo com as versões da presente invenção para um caso em que a potência é alocada uniformemente à seqüência de palavra de código e em outro caso em que níveis de potência diferentes são alocadas à parte frontal e à parte traseira da seqüência de palavra de código. Ainda, será feita separadamente a descrição de cada caso para 8PSK, 16QAM e 64QAM. Na descrição seguinte da operação de rearrumação de bit, será suposto que uma seqüência de palavra de código é compreendida de N bits, e N é um múltiplo de 3 para a modulação 8PSK, um múltiplo de 4 para a modulação 16QAM, e um múltiplo de 6 para a modulação 64QAM. Além disso, a seqüência de palavra de código antes da rearrumação é representada por $\{d_0, d_1, \dots, d_k, \dots, d_{N-2}, d_{N-1}\}$, e a seqüência de palavra de código após a rearrumação é representada por $\{b_0, b_1, \dots, b_k, \dots, b_{N-2}, b_{N-1}\}$. Ademais, será suposto que a seqüência de palavra de código antes da rearrumação, isto é a seqüência de palavra de código emitida do codificador de canal ou do entrelaçador de canal é disposta na ordem da

parte sistemática e da parte de paridade. Se a sequência de palavra de código não é disposta na ordem da parte sistemática e da parte de paridade, um pré-processamento direto separado para atingir esta ordenação é efetuado primeiro.

A. Potência sendo alocada uniformemente à sequência de palavra de código

Quando a potência é alocada uniformemente à sequência de palavra de código, é possível atingir melhoramento de desempenho em termos da taxa média de erro de pacote ao utilizar o princípio de rearrumação intacta. A Figura 6 ilustra um caso em que a potência é alocada uniformemente à sequência de palavra de código.

Versão A-1 (para modulação 8PSK)

Como foi mencionado antes, 2 dos 3 bits que constituem um bit modulado de 8PSK têm confiabilidade mais alta do que o um bit restante. Se for suposto que o diagrama de constelação de sinal da Figura 3 é utilizado, o segundo bit S_1 e o terceiro bit S_2 têm confiabilidade mais alta do que o primeiro bit S_0 . Neste caso, a operação de rearrumar a sequência de palavra de código de saída do codificador de canal ou do entrelaçador de canal antes da modulação pelo mapeador de sequência 130 da Figura 1 é efetuada conforme segue.

1. Para os bits em um primeiro período, o mapeador de sequência 130 mapeia sequencialmente o primeiro ao $\{(2/3) \times N\}^{\text{ésimo}}$ bits para posições de um segundo bit S_1 , e de um terceiro bit S_2 em cada um dos $(N/3)$ bits modulados.

2. Para os bits em um segundo período, o mapeador de sequência 130 mapeia sequencialmente os restantes

$\{(2/3) \times N + 1\}^{\text{ésimo}}$ a $N^{\text{ésimo}}$ bits para uma posição de um primeiro bit S_0 em cada um dos $(N/3)$ bits modulados.

Esses processos são resumidos nas Equações (2) e (3). Os bits da sequência de palavra de código antes da reorganização são reorganizados conforme é mostrado na Figura 9.

$$B_{3 \times \lfloor k/2 \rfloor + (k \bmod 2) + 1} = d_k, \text{ para } k < (2/3) \times N \quad (2)$$

$$b_{(3 \times k) - (2 \times N)} = d_k, \text{ para } k \geq (2/3) \times N \quad (3)$$

Nas Equações (2) e (3), ' $A \bmod B$ ' indica um resto obtido pela divisão de A por B , e ' $\lfloor X \rfloor$ ' indica uma integral máxima inferior a X .

A Figura 9 ilustra a operação de reorganização de bit para a modulação 8PSK em que a potência é alocada uniformemente à sequência de palavra de código de acordo com uma versão da presente invenção. Com referência à Figura 9, a sequência de palavra de código compreendida de um fluxo de N -bits é dividida em um primeiro período e um segundo período. O primeiro período é a duração entre um primeiro bit d_0 e um $\{(2/3) \times N\}^{\text{ésimo}}$ bit $d_{2N/3-1}$ da sequência de palavra de código, e o segundo período é uma duração entre um $\{(2/3) \times N + 1\}^{\text{ésimo}}$ bit $d_{2N/3}$ e um $N^{\text{ésimo}}$ bit d_{N-1} da sequência de palavra de código. Aqui, o bit modulado é compreendido de 3 bits, e o número de bits modulados correspondentes à sequência de palavra de código é $N/3$.

Um primeiro bit d_0 no primeiro período da sequência da palavra de código é mapeado para uma segunda posição de bit m_0, S_1 (isto é, b_1) de um primeiro bit modulado, e um segundo bit d_1 no primeiro período da sequência de palavra de código é mapeado para uma terceira posição de bit m_0, S_2 (isto é, b_2) do primeiro bit modulado. O terceiro bit d_2 no

primeiro período é mapeado para uma segunda posição de bit m_1, S_1 (isto é, B_4) de um segundo bit modulado, e o quarto bit d_3 no primeiro período é mapeado para a terceira posição de bit m_1, S_2 (isto é, b_5) do segundo bit modulado. O

5 $\{(2/3) \times N - 1\}^{\text{ésimo}}$ bit $d_{2N/3-2}$ no primeiro período é mapeado para a segunda posição de bit $m_{N/3-1}, S_1$ (isto é, B_{N-2}) de um $(N/3)^{\text{ésimo}}$ bit modulado, o último bit modulado, e um $\{(2/3) \times N\}^{\text{ésimo}}$ bit $d_{2N/3-1}$, o último bit no primeiro período é mapeado para a terceira posição de bit $m_{N/3-1}, S_2$ (isto é, B_{N-1}) do último bit modulado.

10

O $\{(2/3) \times N + 1\}^{\text{ésimo}}$ bit $d_{2N/3}$, o primeiro bit no segundo período, é mapeado para a primeira posição de bit m_0, S_0 (isto é, b_0) do primeiro bit modulado, e um $\{(2/3) \times N + 2\}^{\text{ésimo}}$ bit $d_{2N/3+1}$, o segundo bit no segundo período é mapeado para

15 uma primeira posição de bit m_1, S_0 do segundo bit modulado. O $(N-1)^{\text{ésimo}}$ bit d_{N-2} no segundo período é mapeado para uma primeira posição de bit $m_{N/3-2}, S_0$ (isto é, b_{N-6}) de um $\{(N/3-1)^{\text{ésimo}}$ bit modulado, e um $N^{\text{ésimo}}$ bit d_{N-1} , o último bit no segundo período é mapeado para uma primeira posição de bit

20 $m_{N/3-1}, S_0$ (isto é, b_{N-3}) de um $(N/3)^{\text{ésimo}}$ bit modulado, o último bit modulado.

A Figura 10 ilustra um procedimento para efetuar uma operação de rearrumação de bit para modulação 8PSK em que a potência é alocada uniformemente para a sequência de

25 palavra de código de acordo com uma versão da presente invenção. Este procedimento é efetuado pelo mapeador de sequência 130 da Figura 1.

Com referência à Figura 10, o mapeador de sequência 130 fixa k para zero ($k=0$) na etapa 301. O mapeador de

30 sequência 130 determina, na etapa 302, se k é inferior a

$\{(2/3) \times N\}$. Se k for inferior a $\{(2/3) \times N\}$, o mapeador de sequência 130 efetua a operação da etapa 303. Caso contrário, o mapeador de sequência 130 efetua a operação da etapa 304. Na etapa 303, o mapeador de sequência 130 efetua o mapeamento de bit na sequência de palavra de código de acordo com a Equação (2). Na etapa 304, o mapeador de sequência 130 efetua o mapeamento de bit na sequência de palavra de código de acordo com a Equação (3). As operações das etapas 303 e 304 são efetuadas repetidamente até que é determinado na etapa 305 que o mapeamento de bit foi efetuado por completo em todos os bits da sequência de palavra de código. Isto é, se é determinado na etapa 305 que k é inferior a N , o mapeador de sequência 130 aumenta k em 1 na etapa 306, e então retorna à etapa 302.

Versão A-2 (para modulação 16QAM)

Como foi mencionado anteriormente, 2 dos 4 bits que constituem um bit modulado em 16QAM têm confiabilidade mais alta do que os dois bits restantes. Se for suposto que o diagrama de constelação de sinal da Figura 4 é utilizado, o segundo bit S_1 e o quarto bit S_3 possuem confiabilidade mais alta do que o primeiro bit S_0 e o terceiro bit S_2 . Neste caso, a operação de rearrumar a sequência de palavra de código de saída do codificador de canal ou do entrelaçador de canal antes da modulação pelo mapeador de sequência 130 é efetuada conforme segue.

1. Para os bits em um primeiro período, o mapeador de sequência 130 mapeia sequencialmente primeiro para $\{(1/2) \times N\}^{\text{ésimo}}$ bits para as posições do segundo bit S_1 e do quarto bit S_3 em cada um dos $(N/4)$ bits modulados.

2. Para os bits de um segundo período, o mapeador de

seqüência 130 mapeia seqüencialmente os restantes $\{(1/2) \times N + 1\}^{\text{ésimo}}$ ao $N^{\text{ésimo}}$ bits para posições do primeiro bit S_0 e do terceiro bit S_2 em cada um dos $(N/4)$ bits modulados.

5 Esses processos são resumidos nas Equações (4) e (5). Os bits da seqüência de palavra de código antes da rearrumação são rearrumados como é mostrado na Figura 11.

$$b_{(2 \times k) - (0 \times N) + 1} = d_k, \text{ para } k < (1/2) \times N \quad (4)$$

$$b_{(2 \times k) - (1 \times N) + 0} = d_k, \text{ para } k \geq (1/2) \times N \quad (5)$$

10 A Figura 11 ilustra uma operação de rearrumação de bit para a modulação 16QAM em que a energia é alocada uniformemente à seqüência de palavra de código de acordo com uma versão da presente invenção. Com referência à Figura 11, uma seqüência de palavra de código compreendida
15 de um fluxo de N-bits é dividida em um primeiro período e um segundo período. O primeiro período é uma duração entre o primeiro bit d_0 e o $\{(1/2) \times N\}^{\text{ésimo}}$ bit $d_{N/2-1}$ da seqüência de palavra de código, e o segundo período é uma duração entre o $\{(1/2) \times N + 1\}^{\text{ésimo}}$ bit $d_{N/2}$ e o $N^{\text{ésimo}}$ bit d_{N-1} da
20 seqüência de palavra de código. Aqui, o bit modulado é compreendido de 4 bits, e o número de bits modulados correspondente à seqüência de palavra de código é $N/4$.

O primeiro bit d_0 no primeiro período da seqüência de palavra de código é mapeado para uma segunda posição de bit
25 m_{0,S_1} (isto é, b_1) do primeiro bit modulado, e o segundo bit d_1 no primeiro período é mapeado para a quarta posição de bit m_{0,S_3} (isto é, b_3) do primeiro bit modulado. O terceiro bit d_2 no primeiro período é mapeado para a segunda posição de bit m_{1,S_1} (isto é, b_5) do segundo bit modulado, e o
30 quarto bit d_3 no primeiro período é mapeado para a quarta

posição de bit m_1, s_3 (isto é, b_7) do segundo bit modulado. O $\{(1/2) \times N - 1\}^{\text{ésimo}}$ bit $d_{N/2-2}$ no primeiro período é mapeado para a segunda posição de bit $m_{N/4-1}, s_1$ (isto é, b_{N-3}) do $(N/4)^{\text{ésimo}}$ bit modulado, o último bit modulado, e o $\{(1/2) \times N\}^{\text{ésimo}}$ bit $d_{N/2-1}$, o último bit no primeiro período é mapeado para a quarta posição de bit $m_{N/4-1}, s_3$ (isto é, b_{N-1}) do último bit modulado.

O $\{(1/2) \times N + 1\}^{\text{ésimo}}$ bit d_{N-2} , o primeiro bit no segundo período da sequência de palavra de código é mapeado para a primeira posição de bit m_0, s_0 (isto é, b_0) do primeiro bit modulado, o $\{(1/2) \times N + 2\}^{\text{ésimo}}$ bit $d_{N/2+1}$, o segundo bit no segundo período é mapeado para a terceira posição de bit m_0, s_2 (isto é, b_2) do primeiro bit modulado. O $(N-1)^{\text{ésimo}}$ bit d_{N-2} no segundo período é mapeado para a primeira posição de bit $m_{N/4-1}, s_0$ (isto é, b_{N-4}) do $\{N/4\}^{\text{ésimo}}$ bit modulado, o último bit modulado, e o $N^{\text{ésimo}}$ bit d_{N-1} , o último bit no segundo período é mapeado para a terceira posição de bit $m_{N/4-1}, s_2$ (isto é, b_{N-2}) do $(N/4)^{\text{ésimo}}$ bit modulado.

A Figura 12 ilustra o procedimento para efetuar a operação de rearrumação de bit para a modulação 16QAM em que a potência é alocada uniformemente à sequência de palavra de código de acordo com uma versão da presente invenção. Este procedimento é efetuado pelo mapeador de sequência 130 da Figura 1.

Com referência à Figura 12, o mapeador de sequência 130 fixa k para zero ($k=0$) na etapa 401. O mapeador de sequência 130 determina, na etapa 402, se k é inferior a $\{(1/2) \times N\}$. Se k for inferior a $\{(1/2) \times N\}$, o mapeador de sequência 130 efetua a operação da etapa 403. Caso contrário, o mapeador de sequência 130 efetua a operação da

etapa 404. Na etapa 403, o mapeador de sequência 130 efetua o mapeamento de bit na sequência de palavra de código de acordo com a Equação (4). Na etapa 404, o mapeador de sequência 130 efetua o mapeamento de bit na sequência de palavra de código de acordo com a Equação (5). As operações das etapas 403 e 404 são efetuadas repetidamente até que é determinado na etapa 405 que o mapeamento de bit foi efetuado por completo em todos os bits da sequência de palavra de código. Isto é, se é determinado na etapa 405 que k é inferior a N , o mapeador de sequência 130 aumenta k em 1 na etapa 406, e então retorna à etapa 402.

Versão A-3 (para modulação de 64QAM)

Como foi mencionado anteriormente, 2 dos 6 bits que constituem um bit modulado em 64QAM têm confiabilidade mais alta do que os dois pares de bits restantes. Se for suposto que o diagrama de constelação de sinal da Figura 5 é utilizado, o terceiro bit S_2 e o sexto bit S_5 possuem confiabilidade mais alta do que o segundo bit S_1 e o quinto bit S_4 , e o primeiro bit S_0 e o quarto bit S_3 têm a confiabilidade mais baixa. Neste caso, a operação de rearrumar a sequência de palavra de código de saída do codificador de canal ou do entrelaçador de canal antes da modulação pelo mapeador de sequência 130 é efetuada conforme segue.

1. Para os bits em um primeiro período, o mapeador de sequência 130 mapeia sequencialmente primeiro para $\{(1/3) \times N\}^{\text{ésimo}}$ bits para as posições do terceiro bit S_2 e do sexto bit S_5 em cada um dos $(N/6)$ bits modulados.

2. Para os bits de um segundo período, o mapeador de sequência 130 mapeia sequencialmente $\{(1/3) \times N + 1\}^{\text{ésimo}}$ ao

$\{(2/3) \times N\}^{\text{ésimo}}$ bits para posições do segundo bit S_1 e do quinto bit S_4 em cada um dos $(N/6)$ bits modulados.

3. Para os bits em um terceiro período, o mapeador de sequência 130 mapeia sequencialmente os restantes
5 $\{(2/3) \times N + 1\}^{\text{ésimo}}$ ao $N^{\text{ésimo}}$ bits para as posições do primeiro bit S_0 e do quarto bit S_3 em cada um dos $(N/6)$ bits modulados.

Esses processos são resumidos nas Equações (6) a (8). Os bits da sequência de palavra de código antes da
10 rearrumação são rearrumados como é mostrado na Figura 13.

$$b_{(3 \times k) - (0 \times N) + 2} = d_k, \text{ para } k < (1/3) \times N \quad (6)$$

$$b_{(3 \times k) - (1 \times N) + 1} = d_k, \text{ para } (1/3) \times N \leq k < (2/3) \times N \quad (7)$$

$$b_{(3 \times k) - (2 \times N) + 0} = d_k, \text{ para } k \geq (2/3) \times N \quad (8)$$

A Figura 13 ilustra uma operação de rearrumação de bit
15 para a modulação 64QAM em que a energia é alocada uniformemente à sequência de palavra de código de acordo com uma versão da presente invenção. Com referência à Figura 13, uma sequência de palavra de código compreendida de um fluxo de N -bits é dividida em um primeiro período, um
20 segundo período e um terceiro período. O primeiro período e uma duração entre o primeiro bit d_0 e o $\{(1/3) \times N\}^{\text{ésimo}}$ bit $d_{N/3-1}$ da sequência de palavra de código. O segundo período é uma duração entre o $\{(1/3) \times N + 1\}^{\text{ésimo}}$ bit $d_{N/3}$ e o $\{(2/3) \times N\}^{\text{ésimo}}$ bit $d_{2N/3-1}$ da sequência de palavra de código.
25 O terceiro período é uma duração entre o $\{(2/3) \times N + 1\}^{\text{ésimo}}$ bit $d_{2N/3}$ e o $N^{\text{ésimo}}$ bit d_{N-1} da sequência de palavra de código. Aqui, o bit modulado é compreendido de 6 bits, e o número de bits modulados correspondente à sequência de palavra de código é $N/6$.

30 O primeiro bit d_0 no primeiro período da sequência de

palavra de código é mapeado para uma terceira posição de bit m_{0,s_2} (isto é, b_2) do primeiro bit modulado, e o segundo bit d_1 no primeiro período é mapeado para a sexta posição de bit m_{0,s_5} (isto é, b_5) do primeiro bit modulado. O

5 terceiro bit d_2 no primeiro período é mapeado para a terceira posição de bit m_{1,s_2} (isto é, b_8) do segundo bit modulado, e o quarto bit d_3 no primeiro período é mapeado para a sexta posição de bit m_{1,s_5} (isto é, b_{11}) do segundo bit modulado. O $\{(1/3) \times N - 1\}^{\text{ésimo}}$ bit $d_{N/3-2}$ no primeiro

10 período é mapeado para a terceira posição de bit $m_{N/6-1,s_2}$ (isto é, b_{N-4}) do $(N/6)^{\text{ésimo}}$ bit modulado, o último bit modulado, e o $\{(1/3) \times N\}^{\text{ésimo}}$ bit $d_{N/3-1}$, o último bit no primeiro período é mapeado para a sexta posição de bit $m_{N/6-1,s_5}$ (isto é, b_{N-1}) do último bit modulado.

15 O $\{(1/3) \times N + 1\}^{\text{ésimo}}$ bit d_{N-3} , o primeiro bit no segundo período da sequência de palavra de código é mapeado para a segunda posição de bit m_{0,s_1} (isto é, b_1) do primeiro bit modulado, o $\{(1/3) \times N + 2\}^{\text{ésimo}}$ bit $d_{N/3+1}$, o segundo bit no segundo período é mapeado para a quinta posição de bit

20 m_{0,s_4} (isto é, b_4) do primeiro bit modulado. O $\{(2/3) \times N - 1\}^{\text{ésimo}}$ bit $d_{2N/3-2}$ no segundo período da sequência de palavra de código é mapeado para a segunda posição de bit $m_{N/6-1,s_0}$ (isto é, b_{N-5}) do $\{N/6\}^{\text{ésimo}}$ bit modulado, o último bit modulado, e o $\{(2/3) \times N\}^{\text{ésimo}}$ bit $d_{2N/3-1}$, o último bit no

25 segundo período é mapeado para a quinta posição de bit $m_{N/6-1,s_4}$ (isto é, b_{N-2}) do último bit modulado.

O $\{(2/3) \times N + 1\}^{\text{ésimo}}$ bit $d_{2N/3}$, o primeiro bit no terceiro período da sequência de palavra de código é mapeado para a primeira posição de bit m_{0,s_0} (isto é, b_0) do primeiro bit

30 modulado, e o $\{(2/3) \times N + 2\}^{\text{ésimo}}$ bit $d_{2N/3+1}$, o segundo bit no

terceiro período é mapeado para a quarta posição de bit b_0, S_3 do primeiro bit modulado. O $(N-1)$ ésimo bit d_{N-2} no terceiro período da sequência de palavra de código é mapeado para a primeira posição de bit $m_{N/6-1}, S_0$ (isto é, b_{N-6}) do $(N/6)$ ésimo bit modulado, o último bit modulado, e o N ésimo bit d_{N-1} , o último bit no quarto período é mapeado para a terceira posição de bit $m_{N/6-1}, S_3$ (isto é, b_{N-3}) do último bit modulado.

A Figura 14 ilustra o procedimento para efetuar a operação de rearrumação de bit para a modulação 64QAM em que a potência é alocada uniformemente à sequência de palavra de código de acordo com uma versão da presente invenção. Este procedimento é efetuado pelo mapeador de sequência 130 da Figura 1.

Com referência à Figura 14, o mapeador de sequência 130 fixa k para zero ($k=0$) na etapa 501. O mapeador de sequência 130 determina, na etapa 502, se k é inferior a $\{(1/3) \times N\}$. Se k for inferior a $\{(1/3) \times N\}$, o mapeador de sequência 130 efetua a operação da etapa 503. Caso contrário, o mapeador de sequência 130 efetua a operação da etapa 504. O mapeador de sequência 130 determina, na etapa 504, se k é inferior a $\{(2/3) \times N\}$. Se k for maior ou igual a $\{(1/3) \times N\}$ e inferior a $\{(2/3) \times N\}$, o mapeador de sequência 130 efetua a operação da etapa 505. Caso contrário, o mapeador de sequência 130 efetua a operação da etapa 506. Na etapa 503, o mapeador de sequência 130 efetua o mapeamento de bit na sequência de palavra de código de acordo com a Equação (6). Na etapa 505, o mapeador de sequência 130 efetua o mapeamento de bit na sequência de palavra de código de acordo com a Equação (7). Na etapa

506, o mapeador de sequência 130 efetua o mapeamento de bit na sequência de palavra de código de acordo com a Equação (8). As operações das etapas 503, 505 e 506 são efetuadas repetidamente até que é determinado na etapa 507 que o mapeamento de bit foi efetuado por completo em todos os bits da sequência de palavra de código. Isto é, se é determinado na etapa 507 que k é inferior a N , o mapeador de sequência 130 aumenta k em 1 na etapa 508, e então retorna à etapa 502.

10 **B. Níveis de potência diferentes sendo alocados à parte frontal e à parte traseira da sequência de palavra de código**

Uma descrição para a operação para o caso em que a potência é alocada não-uniformemente à sequência de palavra de código pode ser feita separadamente para os dois casos seguintes.

Em um primeiro caso, um nível de potência mais alto é aplicado na parte frontal da sequência de palavra de código, enquanto um nível de potência mais baixo é aplicado na parte traseira da sequência de palavra de código. Essa alocação de potência é ilustrada na Figura 7. Neste caso, os bits de saída do codificador de canal ou do entrelaçador de canal são rearrumados no mesmo método descrito acima conforme utilizado quando a potência é alocada uniformemente à sequência de palavra de código. Isto ocorre porque quando a potência é inevitavelmente alocada não-uniformemente à sequência de palavra de código, é preferível alocar um nível de potência mais alto à parte sistemática e um nível de potência mais baixo à parte de paridade para garantir um desempenho melhor.

Ao contrário, no segundo caso, um nível de potência mais baixo é aplicado à parte frontal da sequência de palavra de código, enquanto um nível de potência mais alto é aplicado à parte traseira da sequência de palavra de código. Essa alocação de potência é ilustrada na Figura 8. Neste caso, o método de rearrumação de bit utilizado quando a potência é alocada uniformemente à sequência de palavra de código é modificado porque a alocação de um nível de potência mais alto à parte sistemática mostra melhor desempenho do que alocar um nível de potência mais alto à parte de paridade. Isto é, para alocar um nível de potência mais alto à parte sistemática, é necessário arrumar uma parte específica da sequência de palavra de código às posições de bit com a mesma confiabilidade em uma ordem que é inversa com relação à ordem descritas nos casos descritos acima. Uma operação deste caso será descrita com referência às técnicas de modulação respectivas.

Versão B-1 (para a modulação 8PSK)

1. Para os bits em um primeiro período, o mapeador de sequência 130 mapeia, em ordem inversa, primeiro para $\{(2/3) \times N\}^{\text{ésimo}}$ bits para as posições do terceiro bit S_2 e de um segundo bit S_1 em cada um dos $(N/3)$ bits modulados.

2. Para os bits em um segundo período, o mapeador de sequência 130 mapeia, em ordem inversa, os restantes $\{(2/3) \times N + 1\}^{\text{ésimo}}$ ao $N^{\text{ésimo}}$ bits para a posição do primeiro bit S_0 em cada um dos $(N/3)$ bits modulados.

Esses processos são resumidos nas Equações (9) e (10). Os bits da sequência de palavra de código antes da rearrumação são rearrumados como é mostrado na Figura 15.

$$b_{1 \times (N-1) - (3 \times \lfloor k/2 \rfloor + (k \bmod 2))} = d_k, \text{ para } k < (2/3) \times N \quad (9)$$

$$b_{3 \times (N-1) - 3 \times k} = d_k, \text{ para } k \geq (2/3) \times N \quad (10)$$

A Figura 15 ilustra uma operação de rearrumação de bit para a modulação 9PSK em que um nível de potência mais alto é alocado à parte traseira da seqüência de palavra de código de acordo com uma versão da presente invenção. Com referência à Figura 15, a seqüência de palavra de código compreendida de um fluxo de N-bits é dividida em um primeiro período e um segundo período. O primeiro período é a duração entre um primeiro bit d_0 e um $\{(2/3) \times N\}^{\text{ésimo}}$ bit $d_{2N/3-1}$ da seqüência de palavra de código, e o segundo período é a duração entre um $\{(2/3) \times N + 1\}^{\text{ésimo}}$ bit $d_{2N/3}$ e o $N^{\text{ésimo}}$ bit d_{N-1} da seqüência de palavra de código. Aqui, o bit modulado é compreendido de 3 bits, e o número de bits modulados que correspondem à seqüência de palavra de código é N/3.

O primeiro bit d_0 no primeiro período da seqüência de palavra de código é mapeado para a terceira posição de bit $m_{N/3-1}, S_2$ (isto é, b_{N-1}) de um $(N/3)^{\text{ésimo}}$ bit modulado, o último bit modulado, e o segundo bit d_1 no primeiro período da seqüência de palavra de código é mapeado para a segunda posição de bit $m_{N/3-1}, S_1$ (isto é, b_{N-2}) do último bit modulado. O terceiro bit d_2 no primeiro período é mapeado para a terceira posição de bit $m_{N/3-2}, S_2$ (isto é, b_{N-4}) de um $\{(N/3)-1\}^{\text{ésimo}}$ bit modulado, e o quarto bit d_3 no primeiro período é mapeado para a segunda posição de bit $m_{N/3-2}, S_1$ (isto é, b_{N-5}) do $\{(N/3)-1\}^{\text{ésimo}}$ bit modulado. O $\{(2/3) \times N - 1\}^{\text{ésimo}}$ bit $d_{2N/3-2}$ no primeiro período é mapeado para a terceira posição de bit m_0, S_2 (isto é, b_2) de um primeiro bit modulado, e o $\{(2/3) \times N\}^{\text{ésimo}}$ bit $d_{2N/3-1}$, o último bit no primeiro período, é mapeado para a segunda posição de bit

m_0, S_1 (isto é, b_1) do primeiro bit modulado.

O $\{(2/3) \times N + 1\}^{\text{ésimo}}$ bit $d_{2N/3}$, o primeiro bit no segundo período da sequência de palavra de código é mapeado para a primeira posição de bit $m_{N/3-1}, S_0$ (isto é, $b_{N/3}$) do $(N/3)^{\text{ésimo}}$ bit modulado, o último bit modulado, e o $\{(2/3) \times N + 2\}^{\text{ésimo}}$ bit $d_{2N/3+1}$, o segundo bit no segundo período é mapeado para a primeira posição de bit $m_{N/3-2}, S_0$ (isto é, b_{N-6}) do $\{(N/3) - 1\}^{\text{ésimo}}$ bit modulado. O $(N-1)^{\text{ésimo}}$ bit d_{N-2} no segundo período é mapeado para a primeira posição de bit m_1, S_0 (isto é, b_3) do segundo bit modulado, e o $N^{\text{ésimo}}$ bit d_{N-1} , o último bit no segundo período é mapeado para a primeira posição de bit m_0, S_0 (isto é, b_0) do primeiro bit modulado.

A Figura 16 ilustra o procedimento para efetuar a operação de rearrumação de bit para a modulação 9PSK em que um nível de potência mais alto é alocado à parte traseira da sequência de palavra de código de acordo com uma versão da presente invenção. Este procedimento é efetuado pelo mapeador de sequência 130 da Figura 1.

Com referência à Figura 16, o mapeador de sequência 130 fixa k para zero ($k=0$) na etapa 601. O mapeador de sequência 130 determina, na etapa 602, se k é inferior a $\{(2/3) \times N\}$. Se k for inferior a $\{(2/3) \times N\}$, o mapeador de sequência 130 efetua a operação da etapa 603. Caso contrário, o mapeador de sequência 130 efetua a operação da etapa 604. Na etapa 603, o mapeador de sequência 130 efetua o mapeamento de bit na sequência de palavra de código de acordo com a Equação (9). Na etapa 604, o mapeador de sequência 130 efetua o mapeamento de bit na sequência de palavra de código de acordo com a Equação (10). As operações das etapas 603 e 604 são efetuadas repetidamente

até que é determinado na etapa 605 que o mapeamento de bit foi efetuado por completo em todos os bits da sequência de palavra de código. Isto é, se é determinado na etapa 605 que k é inferior a N , o mapeador de sequência 130 aumenta k em 1 na etapa 606, e então retorna à etapa 602.

Versão B-2 (para modulação 16QAM)

1. O mapeador de sequência 130 dispõe a sequência de palavra de código de saída do codificador de canal ou do entrelaçador de canal na ordem da parte sistemática e da parte de paridade.

2. Para os bits em um primeiro período, o mapeador de sequência 130 mapeia, em ordem inversa, primeiro para $\{(1/2) \times N\}^{\text{ésimo}}$ bits para as posições do quarto bit S_3 e o segundo bit S_1 em cada um dos $(N/4)$ bits modulados.

3. Para os bits em um segundo período, o mapeador de sequência 130 mapeia, em ordem inversa, os restantes $\{(1/2) \times N + 1\}^{\text{ésimo}}$ ao $N^{\text{ésimo}}$ bits para as posições do terceiro bit S_2 e do primeiro bit S_0 em cada um dos $(N/4)$ bits modulados.

Esses processos são resumidos nas Equações (11) e (12). Os bits da sequência de palavra de código antes da rearrumação são rearrumados como é mostrado na Figura 17.

$$b_{1 \times (N-1) - 2 \times k} = d_k, \text{ para } k < (1/2) \times N \quad (11)$$

$$b_{2 \times (N-1) - 2 \times k} = d_k, \text{ para } k \geq (1/2) \times N \quad (12)$$

A Figura 17 ilustra a operação de rearrumação de bit para a modulação de 16QAM em que um nível de potência mais alto é alocado à parte traseira da sequência de palavra de código de acordo com uma versão da presente invenção. Com referência à Figura 17, a sequência de palavra de código compreendida de um fluxo de N -bits é dividido em um

primeiro período e um segundo período. O primeiro período é a duração entre um primeiro bit d_0 e o $\{(1/2) \times N\}^{\text{ésimo}}$ bit $d_{N/2-1}$ da sequência de palavra de código, e o segundo período é a duração entre o $\{(1/2) \times N+1\}^{\text{ésimo}}$ bit $d_{N/2}$ e o $N^{\text{ésimo}}$ bit d_{N-1} da sequência de palavra de código. Aqui, o bit modulado é compreendido de 4 bits, e o número de bits modulados correspondentes à sequência de palavra de código é $N/4$.

O primeiro bit d_0 no primeiro período da sequência de palavra de código é mapeado para a quarta posição de bit $m_{N/4-1}, S_3$ (isto é, b_{N-1}) de um $(N/4)^{\text{ésimo}}$ bit modulado, o último bit modulado, e o segundo bit d_1 no primeiro período da sequência de palavra de código é mapeado para a segunda posição de bit $m_{N/4-1}, S_1$ (isto é, b_{N-3}) do último bit modulado. O terceiro bit d_2 no primeiro período é mapeado para a quarta posição de bit $m_{N/4-2}, S_3$ (isto é, b_{N-5}) de um $\{(N/4)-1\}^{\text{ésimo}}$ bit modulado, e o quarto bit d_3 no primeiro período é mapeado para a segunda posição de bit $m_{N/4-2}, S_1$ (isto é, b_{N-7}) do $\{(N/4)-1\}^{\text{ésimo}}$ bit modulado. O $\{(1/2) \times N-1\}^{\text{ésimo}}$ bit $d_{N/2-2}$ no primeiro período é mapeado para a quarta posição de bit m_0, S_3 (isto é, b_3) de um primeiro bit modulado, e o $\{(1/2) \times N\}^{\text{ésimo}}$ bit $d_{N/2-1}$, o último bit no primeiro período é mapeado para a segunda posição de bit m_0, S_1 (isto é, b_1) do primeiro bit modulado.

O $\{(1/2) \times N+1\}^{\text{ésimo}}$ bit $d_{N/2}$, o primeiro bit no segundo período da sequência de palavra de código é mapeado para a terceira posição de bit $m_{N/4-1}, S_2$ (isto é, b_{N-2}) de um $(N/4)^{\text{ésimo}}$ bit modulado, o último bit modulado, e o $\{(1/2) \times N+2\}^{\text{ésimo}}$ bit $d_{N/2+1}$, o segundo bit no segundo período é mapeado para a primeira posição de bit $m_{N/4-1}, S_0$ (isto é,

b_{N-4}) do último bit modulado. O $(N-1)^{\text{ésimo}}$ bit d_{N-2} no segundo período é mapeado para a terceira posição de bit m_0, S_2 (isto é, b_2) do primeiro bit modulado, e o $N^{\text{ésimo}}$ bit d_{N-1} , o último bit no segundo período é mapeado para a primeira
 5 posição de bit m_0, S_0 (isto é, b_0) do primeiro bit modulado.

A Figura 18 ilustra o procedimento para efetuar a operação de rearrumação de bit para a modulação 16QAM em que um nível de potência mais alto é alocado à parte traseira da sequência de palavra de código de acordo com
 10 uma versão da presente invenção. Este procedimento é efetuado pelo mapeador de sequência 130 da Figura 1.

Com referência à Figura 18, o mapeador de sequência 130 fixa k para 0 ($k=0$) na etapa 701. O mapeador de sequência 130 determina na etapa 702 se k é inferior a $\{(1/2) \times N\}$. Se k for inferior a $\{(1/2) \times N\}$, o mapeador de
 15 sequência 130 efetua a operação da etapa 703. Caso contrário, o mapeador de sequência 130 efetua a operação da etapa 704. Na etapa 703, o mapeador de sequência 130 efetua o mapeamento de bit na sequência de palavra de código de acordo com a Equação (11). Na etapa 704, o mapeador de sequência 130 efetua o mapeamento de bit na sequência de palavra de código de acordo com a Equação (12). As operações das etapas 703 e 704 são efetuadas repetidamente até ser determinado na etapa 705 que o mapeamento de bit
 20 foi efetuado por completo em todos os bits da sequência de código de palavra. Isto é, se é determinado na etapa 705 que k é inferior a N , o mapeador de sequência 130 aumenta k por 1 na etapa 706, e então retorna à etapa 702.

Versão B-3 (para a modulação 64QAM)

30 1. Para os bits em um primeiro período, o mapeador de

seqüência 130 mapeia, em ordem inversa, primeiro para $\{(1/3) \times N\}^{\text{ésimo}}$ bits para as posições do sexto bit S_5 e o terceiro bit S_2 em cada um dos $(N/6)$ bits modulados.

2. Para os bits em um segundo período, o mapeador de
5 seqüência 130 mapeia, em ordem inversa, o $\{(1/3) \times N + 1\}^{\text{ésimo}}$ ao $\{(2/3) \times N\}^{\text{ésimo}}$ bits para as posições do quinto bit S_4 e do segundo bit S_1 em cada um dos $(N/6)$ bits modulados.

3. Para os bits em um terceiro período, o mapeador de
10 seqüência 130 mapeia, em ordem inversa, os restantes $\{(2/3) \times N + 1\}^{\text{ésimo}}$ ao $N^{\text{ésimo}}$ bits para as posições do quarto bit S_3 e do primeiro bit S_0 em cada um dos $(N/6)$ bits modulados.

Esses processos são resumidos nas Equações (13) a
(15). Os bits da seqüência de palavra de código antes da
15 rearrumação são rearrumados como é mostrado na Figura 19.

$$b_{1 \times (N-1) - 3 \times k} = d_k, \text{ para } k < (1/3) \times N \quad (13)$$

$$b_{2 \times (N-1) - 3 \times k} = d_k, \text{ para } (1/3) \times N \leq k < (2/3) \times N \quad (14)$$

$$b_{3 \times (N-1) - 3 \times k} = d_k, \text{ para } k \geq (2/3) \times N \quad (15)$$

A Figura 19 ilustra a operação de rearrumação de bit
20 para a modulação de 64QAM em que um nível de potência mais alto é alocado à parte traseira da seqüência de palavra de código de acordo com uma versão da presente invenção. Com referência à Figura 19, a seqüência de palavra de código compreendida de um fluxo de N -bits é dividida em um
25 primeiro período e um segundo período. O primeiro período é a duração entre um primeiro bit d_0 e o $\{(1/3) \times N\}^{\text{ésimo}}$ bit $d_{N/3-1}$ da seqüência de palavra de código. O segundo período é a duração entre o $\{(1/3) \times N + 1\}^{\text{ésimo}}$ bit $d_{N/3}$ e o $\{(2/3) \times N\}^{\text{ésimo}}$ bit $d_{2N/3-1}$ da seqüência de palavra de código. O terceiro
30 período é a duração entre o $\{(2/3) \times N + 1\}^{\text{ésimo}}$ bit $d_{2N/3}$ e o

$N^{\text{ésimo}}$ bit d_{N-1} da sequência de palavra de código. Aqui, o bit modulado é compreendido de 6 bits, e o número de bits modulados correspondentes à sequência de palavra de código é $N/6$.

5 O primeiro bit d_0 no primeiro período da sequência de palavra de código é mapeado para a sexta posição de bit $m_{N/6-1}, S_5$ (isto é, b_{N-1}) de um $(N/6)^{\text{ésimo}}$ bit modulado, o último bit modulado, e o segundo bit d_1 no primeiro período da sequência de palavra de código é mapeado para a terceira
10 posição de bit $m_{N/6-1}, S_2$ (isto é, b_{N-4}) do último bit modulado. O terceiro bit d_2 no primeiro período é mapeado para a sexta posição de bit $m_{N/6-2}, S_5$ (isto é, b_{N-7}) de um $\{(N/6)-1\}^{\text{ésimo}}$ bit modulado, e o quarto bit d_3 no primeiro período é mapeado para a terceira posição de bit $m_{N/6-2}, S_2$
15 (isto é, b_{N-10}) do $\{(N/6)-1\}^{\text{ésimo}}$ bit modulado. O $\{(1/3) \times N - 1\}^{\text{ésimo}}$ bit $d_{N/3-2}$ no primeiro período é mapeado para a sexta posição de bit m_0, S_5 (isto é, b_5) de um primeiro bit modulado, e o $\{(1/3) \times N\}^{\text{ésimo}}$ bit $d_{N/3-1}$, o último bit no primeiro período é mapeado para a terceira posição de bit
20 m_0, S_2 (isto é, b_2) do primeiro bit modulado.

O $\{(1/3) \times N + 1\}^{\text{ésimo}}$ bit $d_{N/3}$, o primeiro bit no segundo período da sequência de palavra de código é mapeado para a quinta posição de bit $m_{N/6-1}, S_4$ (isto é, b_{N-2}) de um $(N/6)^{\text{ésimo}}$ bit modulado, o último bit modulado, e o $\{(1/3) \times N + 2\}^{\text{ésimo}}$
25 bit $d_{N/3+1}$, o segundo bit no segundo período é mapeado para a segunda posição de bit $m_{N/6-1}, S_1$ (isto é, b_{N-5}) do último bit modulado. O $\{(2/3) \times N - 1\}^{\text{ésimo}}$ bit $d_{2N/3-2}$ no segundo período da sequência de palavra de código é mapeado para a quinta posição de bit m_0, S_4 (isto é, b_4) do primeiro bit
30 modulado, e o $\{(2/3) \times N\}^{\text{ésimo}}$ bit $d_{2N/3-1}$, o último bit no

segundo período é mapeado para a segunda posição de bit m_0, S_1 (isto é, b_1) do primeiro bit modulado.

O $\{(2/3) \times N + 1\}^{\text{ésimo}}$ bit $d_{2N/3}$, o primeiro bit no terceiro período da sequência de palavra de código é mapeado para a quarta posição de bit $m_{N/6-1}, S_3$ (isto é, b_{N-3}) do $(N/6)^{\text{ésimo}}$ bit modulado, o último bit modulado, e o $\{(2/3) \times N + 2\}^{\text{ésimo}}$ bit $d_{2N/3+1}$, o segundo bit no terceiro período é mapeado para a primeira posição de bit $m_{N/6-1}, S_0$ (isto é, b_{N-6}) do último bit modulado. O $(N-1)^{\text{ésimo}}$ bit d_{N-2} no terceiro período da sequência de palavra de código é mapeado para a quarta posição de bit m_0, S_3 (isto é, b_3) do primeiro bit modulado, e o $N^{\text{ésimo}}$ bit d_{N-1} , o último bit no terceiro período é mapeado para a primeira posição de bit m_0, S_0 (isto é, b_0) do primeiro bit modulado.

A Figura 20 ilustra o procedimento para efetuar a operação de rearrumação de bit para a modulação 64QAM em que um nível de potência mais alto é alocado à parte traseira da sequência de palavra de código de acordo com uma versão da presente invenção. Este procedimento é efetuado pelo mapeador de sequência 130 da Figura 1.

Com referência à Figura 20, o mapeador de sequência 130 fixa k para 0 ($k=0$) na etapa 801. O mapeador de sequência 130 determina na etapa 802 se k é inferior a $\{(1/3) \times N\}$. Se k for inferior a $\{(1/3) \times N\}$, o mapeador de sequência 130 efetua a operação da etapa 803. Caso contrário, o mapeador de sequência 130 efetua a operação da etapa 804. O mapeador de sequência 130 determina na etapa 804 se k é inferior a $\{(2/3) \times N\}$. Se k for maior que ou igual a $\{(1/3) \times N\}$ e inferior a $\{(2/3) \times N\}$, o mapeador de sequência 130 efetua a operação da etapa 805. Caso

contrário, o mapeador de seqüência 130 efetua a operação da etapa 806. Na etapa 803, o mapeador de seqüência 130 efetua o mapeamento de bit na seqüência de palavra de código de acordo com a Equação (13). Na etapa 805, o mapeador de seqüência 130 efetua o mapeamento de bit na seqüência de palavra de código de acordo com a Equação (14). Na etapa 806, o mapeador de seqüência 130 efetua o mapeamento de bit na seqüência de palavra de código de acordo com a Equação (15). As operações das etapas 803, 805 e 806 são efetuadas repetidamente até ser determinado na etapa 807 que o mapeamento de bit foi efetuado por completo em todos os bits da seqüência de código de palavra. Isto é, se é determinado na etapa 807 que k é inferior a N , o mapeador de seqüência 130 aumenta k por 1 na etapa 808, e então retorna à etapa 802.

Até agora, foi feita a descrição da operação de rearrumar os bits da seqüência de palavra de código de saída do codificador de canal ou do entrelaçador de canal antes da modulação de acordo com as versões da presente invenção. A seguir, será feita a descrição de uma operação de arrumar valores de saída do demodulador na ordem da seqüência de palavra de código original antes da decodificação de canal ou do desentrelaçamento de canal.

A operação de arrumar os valores de saída do demodulador na ordem da seqüência de palavra de código original é alcançada ao efetuar, ao inverso, a operação de rearrumação descrita acima. Se a seqüência de saída do demodulador é representada por $\{q_0, q_1, \dots, q_k, \dots, q_{N-2}, q_{N-1}\}$, a seqüência arrumada na ordem original antes da decodificação de canal ou o desentrelaçamento de canal é representada por

$\{p_0, p_1, \dots, p_k, \dots, p_{N-2}, p_{N-1}\}$, um subscrito do termo esquerdo b nas Equações (2) a (15) é representado por m , e o subscrito do termo direito d é representado por n , então o processo de arranjar valores de seqüência de saída do demodulador na

ordem original antes da decodificação de canal ou do desentrelaçamento de canal pode ser expresso por

$$q_m \Rightarrow p_n, \text{ para todos } m \text{ e } n \text{ (contudo, } m \text{ e } n \in \{0, 1, \dots, N-1\}) \quad (16)$$

Versões com base na segunda perspectiva

Será feita em separada uma descrição da operação de rearrumação de bit de acordo com versões da presente invenção para um caso em que a potência é alocada uniformemente à seqüência de palavra de código e outro caso em que níveis de potência diferentes são alocados à parte frontal e à parte traseira da seqüência de palavra de código. Ainda, será feita em separado a descrição de cada caso para 8PSK, 16QAM e 64QAM. Na descrição seguinte da operação de rearrumação de bit, será suposto que o número de bits modulados que constituem uma seqüência de bit modulado é N , e a seqüência de palavra de código antes da rearrumação, isto é, a seqüência de saída do codificador de canal ou do entrelaçador de canal é representada por $\{x(0), \dots, x(k), \dots, x(Nxm-1)\}$, e a seqüência de palavra de código após a rearrumação é representada por $S_0(i), \dots, S_{m-1}(i)$, em que $i \in \{0, \dots, N-1\}$. Ademais, será suposto que a seqüência de palavra de código antes da rearrumação está arrumada na ordem da parte sistemática e da parte de paridade. Se a seqüência de palavra de código não estiver arrumada na ordem da parte sistemática e da parte de paridade, um pré-processamento direto é incluído para arrumar a seqüência nesta ordem.

C. Potência sendo alocada uniformemente à Sequência de palavra de código

Quando a potência é alocada uniformemente à sequência de palavra de código, é possível atingir melhoramento de desempenho em termos de taxa de erro de pacote média ao utilizar o princípio de rearrumação intacta. A Figura 6 ilustra um caso em que a potência é alocada uniformemente à sequência de palavra de código.

Versão C-1 (para modulação 8PSK)

Como foi mencionado anteriormente, 2 dos 3 bits que constituem um bit modulado por 8PSK têm confiabilidade mais alta do que o um bit restante. Se for suposto que o diagrama de constelação de sinal da Figura 3 é utilizado, o segundo bit S_1 e o terceiro bit S_2 têm confiabilidade mais alta do que o primeiro bit S_0 . Neste caso, a operação de rearrumar a sequência de palavra de código de saída do codificador de canal ou do entrelaçador de canal antes da modulação pelo mapeador de sequência 130 da Figura 1 é efetuado conforme segue.

1. Para os bits em um primeiro período, o mapeador de sequência 130 mapeia sequencialmente primeiro para $\{2 \times N\}^{\text{ésimo}}$ bits para as posições do segundo bit S_1 e do terceiro bit S_2 em cada um dos N bits modulados.

2. Para os bits em um segundo período, o mapeador de sequência 130 mapeia sequencialmente os restantes $\{2 \times N + 1\}^{\text{ésimo}}$ ao $\{3 \times N\}^{\text{ésimo}}$ bits para a posição do primeiro bit S_0 em cada um dos N bits modulados.

Esses processos são resumidos nas Equações (17) a (19). Os bits da sequência de palavra de código antes da rearrumação são rearrumados como é mostrado na Figura 21.

$$S_0(i) = x(2xN+i) \quad (17)$$

$$S_1(i) = x(2xi) \quad (18)$$

$$S_2(i) = x(2xi+1) \quad (19)$$

A Figura 21 ilustra a operação de rearrumação de bit para a modulação 9PSK em que a potência é alocada uniformemente à seqüência de palavra de código de acordo com uma versão da presente invenção. Deve ser observado que esta operação de rearrumação de bit é idêntica à operação de rearrumação de bit mostrada na Figura 9.

Com referência à Figura 21, a seqüência de palavra de código compreendida de um fluxo de 3N-bits é dividida em um primeiro período e um segundo período. O primeiro período é a duração entre um primeiro bit $x(0)$ e um $\{2xN\}^{\text{ésimo}}$ bit $x(2N-1)$ da seqüência de palavra de código, e o segundo período é a duração entre um $\{2xN+1\}^{\text{ésimo}}$ bit $x(2N)$ e o $\{3xN\}^{\text{ésimo}}$ bit $x(3N-1)$ da seqüência de palavra de código. Aqui, o bit modulado é compreendido de 3 bits, e o número de bits modulados que correspondem à seqüência de palavra de código é N.

O primeiro bit $x(2N)$ no segundo período da seqüência de palavra de código é mapeado para a primeira posição de bit $S_0(0)$ de um primeiro bit modulado, o primeiro bit $x(0)$ no primeiro período da seqüência de palavra de código é mapeado para a segunda posição de bit $S_1(0)$ do primeiro bit modulado, e o segundo bit $x(1)$ no primeiro período da seqüência de palavra de código é mapeado para a terceira posição de bit $S_2(0)$ do primeiro bit modulado.

O segundo bit $x(2N+1)$ no segundo período da seqüência de palavra de código é mapeado para a primeira posição de bit $S_0(1)$ do segundo bit modulado, o terceiro bit $x(2)$ no

primeiro período da sequência de palavra de código é mapeado para a segunda posição de bit $S_1(1)$ do segundo bit modulado, e o quarto bit $x(3)$ no primeiro período da sequência de palavra de código é mapeado para a terceira
 5 posição de bit $S_2(1)$ do segundo bit modulado.

O terceiro bit $x(2N+2)$ no segundo período da sequência de palavra de código é mapeado para a primeira posição de bit $S_0(2)$ do terceiro bit modulado, o quinto bit $x(4)$ no primeiro período da sequência de palavra de código é
 10 mapeado para a segunda posição de bit $S_1(2)$ do terceiro bit modulado, e o sexto bit $x(5)$ no primeiro período da sequência de palavra de código é mapeado para a terceira posição de bit $S_2(2)$ do terceiro bit modulado.

O $\{3N-1\}^{\text{ésimo}}$ bit $x(3N-2)$ no segundo período da
 15 sequência de palavra de código é mapeado para a primeira posição de bit $S_0(N-2)$ do $(N-1)^{\text{ésimo}}$ bit modulado, o $\{2N-3\}^{\text{ésimo}}$ bit $x(2N-4)$ no primeiro período da sequência de palavra de código é mapeado para a segunda posição de bit $S_1(N-2)$ do $(N-1)^{\text{ésimo}}$ bit modulado, e o $\{2N-2\}^{\text{ésimo}}$ bit $x(2N-3)^{\text{ésimo}}$ bit $x(2N-4)$ no primeiro período da sequência de
 20 palavra de código é mapeado para a segunda posição de bit $S_1(N-2)$ do $(N-1)^{\text{ésimo}}$ bit modulado, e o $\{2N-2\}^{\text{ésimo}}$ bit $x(2N-3)$ no primeiro período da sequência de palavra de código é mapeado para a terceira posição de bit $S_2(N-2)$ do $(N-1)^{\text{ésimo}}$
 25 bit modulado.

O $\{3xN\}^{\text{ésimo}}$ bit $x(3N-1)$ no segundo período da sequência de palavra de código é mapeado para a primeira posição de bit $S_0(N-1)$ do $N^{\text{ésimo}}$ bit modulado, o $\{2N-1\}^{\text{ésimo}}$ bit $x(2N-2)$ no primeiro período da sequência de palavra de
 30 código é mapeado para a segunda posição de bit $S_1(N-1)$ do

$N^{\text{ésimo}}$ bit modulado, e o $\{2N\}^{\text{ésimo}}$ bit $x(2N-1)$ no primeiro período da sequência de palavra de código é mapeado para a terceira posição de bit $S_2(N-1)$ do $N^{\text{ésimo}}$ bit modulado.

A Figura 22 ilustra o procedimento para efetuar a
 5 operação de rearrumação de bit para a modulação 8PSK em que a potência é alocada uniformemente à sequência de palavra de código de acordo com uma versão da presente invenção. Este procedimento é efetuado pelo mapeador de sequência 130 da Figura 1.

10 Com referência à Figura 22, na etapa 311, o mapeador de sequência 130 fixa i para zero ($i=0$). Na etapa 312, O mapeador de sequência 130 efetua a operação de rearrumar os bits da sequência de palavra de código nas posições de bits correspondentes do bit modulado de acordo com as Equações
 15 (17) a (19). Isto é, o mapeador de sequência 130 mapeia o bit $x(2xN+i)$ em um fluxo de bits da sequência de palavra de código para a primeira posição de bit $S_0(i)$ do $i^{\text{ésimo}}$ bit modulado, mapeia o bit $x(2xi)$ no fluxo de bits da sequência de palavra de código para a segunda posição de bit $S_1(i)$ do
 20 $i^{\text{ésimo}}$ bit modulado, e mapeia o bit $x(2xi+1)$ no fluxo de bits da sequência de palavra de código para a terceira posição de bit $S_2(i)$ do $i^{\text{ésimo}}$ bit modulado. A operação da etapa 312 é efetuada repetidas vezes até ser determinado na etapa 313 que o mapeamento de bits foi efetuado por
 25 completo em todos os bits da sequência de palavra de código. Isto é, se é determinado na etapa 313 que i é inferior a N , o mapeador de sequência 130 aumenta i por 1 na etapa 314 e então retorna à etapa 312.

Versão C-2 (para modulação 16QAM)

30 Como foi mencionado anteriormente, 2 dos quatro bits

que constituem um bit modulado de 16QAM têm confiabilidade mais alta do que os 2 bits restantes. Se for suposto que o diagrama de constelação de sinal da Figura 4 é utilizado, o segundo bit S_1 e o quarto bit S_3 possuem confiabilidade mais alta do que o primeiro bit S_0 e o terceiro bit S_2 . Neste caso, a operação de rearrumar a seqüência de palavra de código de saída do codificador de canal ou do entrelaçador de canal antes da modulação pelo mapeador de seqüência 130 da Figura 1 é efetuado conforme segue.

1. Para os bits em um primeiro período, o mapeador de seqüência 130 mapeia seqüencialmente primeiro para $\{2xN\}^{\text{ésimo}}$ bits para as posições do segundo bit S_1 e do quarto bit S_3 em cada um dos N bits modulados.

2. Para os bits em um segundo período, o mapeador de seqüência 130 mapeia seqüencialmente os restantes $\{2xN+1\}^{\text{ésimo}}$ ao $\{4xN\}^{\text{ésimo}}$ bits para as posições do primeiro bit S_0 e do terceiro bit S_2 em cada um dos N bits modulados.

Esses processos são resumidos nas Equações (20) a (23). Os bits da seqüência de palavra de código antes da rearrumação são rearrumados como é mostrado na Figura 23.

$$S_0(i) = x(2xN + 2xi) \quad (20)$$

$$S_1(i) = x(2xi) \quad (21)$$

$$S_2(i) = x(2xN + 2xi + 1) \quad (22)$$

$$S_3(i) = x(2xi + 1) \quad (23)$$

A Figura 23 ilustra a operação de rearrumação de bit para a modulação de 16QAM em que a potência é alocada uniformemente à seqüência de palavra de código de acordo com uma versão da presente invenção. Deve-se observar que esta operação de rearrumação de bits é idêntica à operação

de rearrumação de bit mostrada na Figura 11.

Com referência à Figura 23, a sequência de palavra de código compreendida de um fluxo de $4N$ -bits é dividida em um primeiro período e um segundo período. O primeiro período é a duração entre um primeiro bit $x(0)$ e o $\{2xN\}^{\text{ésimo}}$ bit $x(2N-1)$ da sequência de palavra de código, e o segundo período é a duração entre o $\{2xN+1\}^{\text{ésimo}}$ bit $x(2N)$ e o $\{4xN\}^{\text{ésimo}}$ bit $x(4N-1)$ da sequência de palavra de código. Aqui, o bit modulado é compreendido de 4 bits, e o número de bits modulados correspondentes à sequência de palavra de código é N .

O primeiro bit $x(2N)$ no segundo período da sequência de palavra de código é mapeado para a primeira posição de bit $S_0(0)$ de um primeiro bit modulado, o primeiro bit $x(0)$ no primeiro período da sequência de palavra de código é mapeado para a segunda posição de bit $S_1(0)$ do primeiro bit modulado, o segundo bit $x(2N+1)$ no segundo período da sequência de palavra de código é mapeado para a terceira posição de bit $S_2(0)$ do primeiro bit modulado, e o segundo bit $x(1)$ no primeiro período da sequência de palavra de código é mapeado para a quarta posição de bit $S_3(0)$ do primeiro bit modulado.

O terceiro bit $x(2N+2)$ no segundo período da sequência de palavra de código é mapeado para a primeira posição de bit $S_0(1)$ do segundo bit modulado, o terceiro bit $x(2)$ no primeiro período da sequência de palavra de código é mapeado para a segunda posição de bit $S_1(1)$ do segundo bit modulado, o quarto bit $x(2N+3)$ no segundo período da sequência de palavra de código é mapeado para a terceira posição de bit $S_2(1)$ do segundo bit modulado, e o quarto

bit $x(3)$ no primeiro período da sequência de palavra de código é mapeado para a quarta posição de bit $S_3(1)$ do segundo bit modulado.

O $\{4N-3\}^{\text{ésimo}}$ bit $x(4N-4)$ no segundo período da
 5 sequência de palavra de código é mapeado para a primeira
 posição de bit $S_0(N-2)$ do $(N-1)^{\text{ésimo}}$ bit modulado, o $\{2N-3\}^{\text{ésimo}}$ bit $x(2N-4)$ no primeiro período da sequência de
 palavra de código é mapeado para a segunda posição de bit
 $S_1(N-2)$ do $(N-1)^{\text{ésimo}}$ bit modulado, o $\{4N-2\}^{\text{ésimo}}$ bit $x(4N-3)$
 10 no segundo período da sequência de palavra de código é
 mapeado para a terceira posição de bit $S_2(N-2)$ do $(N-1)^{\text{ésimo}}$
 bit modulado, e o $\{2N-2\}^{\text{ésimo}}$ bit $x(2N-3)$ no primeiro
 período da sequência de palavra de código é mapeado para a
 quarta posição de bit $S_3(N-2)$ do $(N-1)^{\text{ésimo}}$ bit modulado.

O $\{4N-1\}^{\text{ésimo}}$ bit $x(4N-1)$ no segundo período da
 15 sequência de palavra de código é mapeado para a primeira
 posição de bit $S_0(N-1)$ do $N^{\text{ésimo}}$ bit modulado, o $\{2N-1\}^{\text{ésimo}}$
 bit $x(2N-2)$ no primeiro período da sequência de palavra de
 código é mapeado para a segunda posição de bit $S_1(N-1)$ do
 20 $N^{\text{ésimo}}$ bit modulado, o $\{4xN\}^{\text{ésimo}}$ bit $x(4N-1)$ no segundo
 período da sequência de palavra de código é mapeado para a
 terceira posição de bit $S_2(N-1)$ do $N^{\text{ésimo}}$ bit modulado, e o
 $\{2xN\}^{\text{ésimo}}$ bit $(2N-1)$ no primeiro período da sequência de
 palavra de código é mapeado para a quarta posição de bit
 25 $S_3(N-1)$ do $N^{\text{ésimo}}$ bit modulado.

A Figura 24 ilustra o procedimento para efetuar a
 operação de rearrumação de bit para a modulação 16QAM em
 que a potência é alocada uniformemente à sequência de
 palavra de código de acordo com uma versão da presente
 30 invenção. Este procedimento é efetuado pelo mapeador de

seqüência 130 da Figura 1.

Com referência à Figura 24, na etapa 411, o mapeador de seqüência 130 fixa i para 0 ($i=0$). Na etapa 412, o mapeador de seqüência 130 efetua a operação de rearrumar os bits da seqüência de palavra de código nas posições de bit correspondentes do bit modulado de acordo com as Equações (20) a (23). Isto é, o mapeador de seqüência 130 mapeia o bit $x(2xN+2xi)$ em um fluxo de bits da seqüência de palavra de código para a primeira posição de bit $S_0(i)$ do $i^{\text{ésimo}}$ bit modulado, mapeia o bit $x(2xi)$ no fluxo de bits da seqüência de palavra de código para a segunda posição de bit $S_1(i)$ do $i^{\text{ésimo}}$ bit modulado, mapeia o bit $x(2xN+2xi+1)$ no fluxo de bits da seqüência de palavra de código para a terceira posição de bit $S_2(i)$ do $i^{\text{ésimo}}$ bit modulado, e mapeia o bit $x(2xi+1)$ no fluxo de bits da seqüência de palavra de código para a quarta posição de bit $S_3(i)$ do $i^{\text{ésimo}}$ bit modulado. A operação da etapa 412 é efetuada repetidamente até ser determinado na etapa 413 que o mapeamento de bit foi efetuado por completo em todos os bits da seqüência de código de palavra. Isto é, se é determinado na etapa 413 que i é inferior a N , o mapeador de seqüência 130 aumenta i por 1 na etapa 414, e então retorna à etapa 412.

Versão C-3 (para modulação de 64QAM)

Como foi mencionado anteriormente, 2 dos 6 bits que constituem um bit modulado por 64QAM têm confiabilidade mais alta do que os dois pares restantes dos bits. Se for suposto que o diagrama de constelação de sinal da Figura 5 é utilizado, o terceiro bit S_2 e o sexto bit S_5 têm uma confiabilidade mais alta do que o segundo bit S_1 e o quinto bit S_4 , e o primeiro bit S_0 e o quarto bit S_3 têm a

confiabilidade mais baixa. Neste caso, a operação de rearrumar a seqüência de palavra de código de saída do codificador de canal ou do entrelaçador de canal antes da modulação pelo mapeador de seqüência 130 é efetuada
5 conforme segue.

1. Para os bits em um primeiro período, o mapeador de seqüência 130 mapeia seqüencialmente primeiro para $\{2xN\}^{\text{ésimo}}$ bits para as posições do terceiro bit S_2 e o sexto bit S_5 em cada um dos N bits modulados.

10 2. Para os bits em um segundo período, o mapeador de seqüência 130 mapeia seqüencialmente o $\{2xN+1\}^{\text{ésimo}}$ ao $\{4xN\}^{\text{ésimo}}$ bits para as posições do segundo bit S_1 e do quinto bit S_4 em cada um dos N bits modulados.

15 3. Para os bits em um terceiro período, o mapeador de seqüência 130 mapeia seqüencialmente os restantes $\{4xN+1\}^{\text{ésimo}}$ ao $\{6xN\}^{\text{ésimo}}$ bits para as posições do primeiro bit S_0 e do quarto bit S_3 em cada um dos N bits modulados.

Esses processos são resumidos nas Equações (24) a (29). Os bits da seqüência de palavra de código antes da
20 rearrumação são rearrumados como é mostrado na Figura 25.

$$S_0(i) = x(4xN + 2xi) \quad (24)$$

$$S_1(i) = x(2xN + 2xi) \quad (25)$$

$$S_2(i) = x(4xN + 2xi) \quad (26)$$

$$S_3(i) = x(4xN + 2xi + 1) \quad (27)$$

$$25 \quad S_4(i) = x(2xN + 2xi + 1) \quad (28)$$

$$S_5(i) = x(2xi + 1) \quad (29)$$

A Figura 25 ilustra a operação de rearrumação de bit para a modulação de 64QAM em que a potência é alocada uniformemente à seqüência de palavra de código de acordo
30 com uma versão da presente invenção. Deve ser observado que

esta operação de rearrumação de bit é idêntica à operação de rearrumação de bit mostrada na Figura 13.

Com referência à Figura 25, a seqüência de palavra de código compreendida de um fluxo de $6N$ -bits é dividida em um primeiro período, um segundo período e um terceiro período. O primeiro período é a duração entre um primeiro bit $x(0)$ e o $\{2xN\}^{\text{ésimo}}$ bit $x(2N-1)$ da seqüência de palavra de código. O segundo período é a duração entre o $\{2xN+1\}^{\text{ésimo}}$ bit $x(2N)$ e o $\{4xN\}^{\text{ésimo}}$ bit $x(4N-1)$ da seqüência de palavra de código. O terceiro período é a duração entre o $\{4xN+1\}^{\text{ésimo}}$ bit $x(4N)$ e o $\{6xN\}^{\text{ésimo}}$ bit $x(6N-1)$ da seqüência de palavra de código. Aqui, o bit modulado é compreendido de 6 bits, e o número de bits modulados correspondentes à seqüência de palavra de código é N .

O primeiro bit x_{4N} no terceiro período da seqüência de palavra de código é mapeado para a primeira posição de bit $S_0(0)$ do primeiro bit modulado, o primeiro bit $x(2N)$ no segundo período da seqüência de palavra de código é mapeado para a segunda posição de bit $S_1(0)$ do primeiro bit modulado, o primeiro bit $x(0)$ no primeiro período da seqüência de palavra de código é mapeado para a terceira posição de bit $S_2(0)$ do primeiro bit modulado, o segundo bit $x(4N+1)$ no terceiro período da seqüência de palavra de código é mapeado para a quarta posição de bit $S_3(0)$ do primeiro bit modulado, O segundo bit $x(2N+1)$ no segundo período da seqüência de palavra de código é mapeado para a quinta posição de bit $S_4(0)$ do primeiro bit modulado, e o segundo bit $x(1)$ no primeiro período da seqüência de palavra de código é mapeado para a sexta posição de bit $S_5(0)$ do primeiro bit modulado.

O $\{6N-1\}^{\text{ésimo}}$ bit $x(6N-2)$ no terceiro período da sequência de palavra de código é mapeado para a primeira posição de bit $S_0(N-1)$ do $N^{\text{ésimo}}$ bit modulado, o $\{4N-1\}^{\text{ésimo}}$ bit $x(4N-2)$ no segundo período da sequência de palavra de código é mapeado para a segunda posição de bit $S_1(N-1)$ do $N^{\text{ésimo}}$ bit modulado, o $\{2N-1\}^{\text{ésimo}}$ bit $x(2N-2)$ no primeiro período da sequência de palavra de código é mapeado para a terceira posição de bit $S_2(N-1)$ do $N^{\text{ésimo}}$ bit modulado, o $\{6xN\}^{\text{ésimo}}$ bit $x(6N-1)$ no segundo período da sequência de palavra de código é mapeado para a quarta posição de bit $S_3(N-1)$ do $N^{\text{ésimo}}$ bit modulado, o $\{4xN\}^{\text{ésimo}}$ bit $x(4N-1)$ no segundo período da sequência de palavra de código é mapeado para a quinta posição de bit $S_4(N-1)$ do $N^{\text{ésimo}}$ bit modulado, e o $\{2xN\}^{\text{ésimo}}$ bit $x(2N-1)$ no primeiro período da sequência de palavra de código é mapeado para a sexta posição de bit $S_5(N-1)$ do $N^{\text{ésimo}}$ bit modulado.

A Figura 26 ilustra o procedimento para efetuar a operação de rearrumação de bit para a modulação 64QAM em que a potência é alocada uniformemente à sequência de palavra de código de acordo com uma versão da presente invenção. Este procedimento é efetuado pelo mapeador de sequência 130 da Figura 1.

Com referência à Figura 26, na etapa 511, o mapeador de sequência 130 fixa i para 0 ($i=0$). Na etapa 512, o mapeador de sequência 130 efetua a operação de rearrumar os bits da sequência de palavra de código nas posições de bit correspondentes do bit modulado de acordo com as Equações (24) a (29). Isto é, o mapeador de sequência 130 mapeia o bit $x(4xN+2xi)$ no fluxo de bit da sequência de palavra de código para a primeira posição de bit $S_0(i)$ do $i^{\text{ésimo}}$ bit

modulado, mapeia o bit $x(2xM+2xi)$ no fluxo de bit da sequência de palavra de código para a segunda posição de bit $S_1(i)$ do $i^{\text{ésimo}}$ bit modulado, mapeia o bit $x(2xi)$ no fluxo de bit da sequência de palavra de código para a terceira posição de bit $S_2(i)$ do $i^{\text{ésimo}}$ bit modulado, mapeia o bit $x(4xN+2xi+1)$ no fluxo de bit da sequência de palavra de código para a quarta posição de bit $S_3(i)$ do $i^{\text{ésimo}}$ bit modulado, mapeia o bit $x(2xN+2xi+1)$ no fluxo de bit da sequência de palavra de código para a quinta posição de bit $S_4(i)$ do $i^{\text{ésimo}}$ bit modulado, e mapeia o bit $x(2xi+1)$ no fluxo de bit da sequência de palavra de código para a sexta posição de bit $S_5(i)$ do $i^{\text{ésimo}}$ bit modulado. A operação da etapa 512 é efetuada repetidamente até que é determinado na etapa 513 que o mapeamento de bit foi efetuado por completo em todos os bits da sequência de palavra de código. Isto é, se é determinado na etapa 513 que i é inferior a N , o mapeador de sequência 130 aumenta i em 1 na etapa 514, e então retorna à etapa 512.

D. Níveis de potência diferentes sendo alocados à parte frontal e à parte traseira da sequência de palavra de código

Pode ser feita em separado a descrição da operação para o caso em que a potência é alocada não-uniformemente a sequência de palavra de código para os dois casos seguintes.

No primeiro caso, é aplicado um nível de potência mais alto na parte frontal da sequência de palavra de código, enquanto é aplicado um nível de potência mais baixo à parte traseira da sequência de palavra de código. Essa alocação de potência é ilustrada na Figura 7. Neste caso, os bits de

saída do codificador de canal ou do entrelaçador de canal são rearrumados no mesmo método que o utilizado quando a potência é alocada uniformemente à seqüência de palavra de código. Isto porque quando a potência é inevitavelmente

5 alocada de modo não uniforme à seqüência de palavra de código, é preferível alocar o nível de potência mais alto à parte sistemática e o nível de potência mais baixo à parte de paridade para obter um desempenho melhor.

No segundo caso, ao contrário, é aplicado um nível de

10 potência mais baixo à parte frontal da seqüência de palavra de código, enquanto é aplicado um nível de potência mais alto à parte traseira da seqüência de palavra de código. Essa alocação de potência é ilustrada na Figura 8. Neste caso, o método de rearrumação de bit utilizado quando a

15 potência é alocada uniformemente à seqüência de palavra de código é modificado porque a alocação de um nível de potência mais alto à parte sistemática mostra melhor desempenho do que a alocação de um nível de potência mais alto à parte de paridade. Isto é, para alocar um nível de

20 potência mais alto à parte sistemática, é necessário dispor uma parte específica da seqüência de palavra de código às posições de bit com a mesma confiabilidade em uma ordem que é inversa com relação à ordem conforme descrita nos casos acima. A operação deste caso será descrita com referência

25 às técnicas de modulação respectivas.

Versão D-1 (para modulação 8PSK)

1. Para os bits em um primeiro período, o mapeador de seqüência 130 mapeia, em ordem inversa, primeiro para $\{2xN\}^{\text{ésimo}}$ bits para as posições do terceiro bit S_2 e do

30 segundo bit S_1 em cada um dos N bits modulados.

2. Para os bits em um segundo período, o mapeador de seqüência 130 mapeia, em ordem inversa, os restantes $\{2xN+1\}^{\text{ésimo}}$ ao $\{3xN\}^{\text{ésimo}}$ bits para a posição do primeiro bit S_0 em cada um dos N bits modulados.

5 Esses processos são resumidos nas Equações (30) a (32). Os bits da seqüência de palavra de código antes da rearrumação são rearrumados como é mostrado na Figura 27.

$$S_0(N-1-i)=x(2xN+i) \quad (30)$$

$$S_1(N-1-i)=x(2xi+1) \quad (31)$$

10 $S_2(N-1-i)=x(2xi) \quad (32)$

A Figura 27 ilustra uma operação de rearrumação de bit para a modulação 8PSK em que um nível de potência mais alto é alocado à parte traseira da seqüência de palavra de código de acordo com uma versão da presente invenção. Deve ser observado que esta operação de rearrumação de bit é idêntica à operação de rearrumação de bit mostrada na Figura 15.

Com referência à Figura 27, a seqüência de palavra de código compreendida de um fluxo de 3N-bits é dividida em um primeiro período e um segundo período. O primeiro período é a duração entre um primeiro bit $x(0)$ e o $\{2xN\}^{\text{ésimo}}$ bit $x(2N-1)$ da seqüência de palavra de código, e o segundo período é a duração entre o $\{2xN+1\}^{\text{ésimo}}$ bit $x(2N)$ e o $\{3xN\}^{\text{ésimo}}$ bit $x(3N-1)$ da seqüência de palavra de código. Aqui, o bit modulado é compreendido de 3 bits, e o número de bits modulados que correspondem à seqüência de palavra de código é N.

O $\{3xN\}^{\text{ésimo}}$ bit $x(3N-1)$ no segundo período da seqüência de palavra de código é mapeado para a primeira posição de bit $S_0(0)$ do primeiro bit modulado, o $\{2xN\}^{\text{ésimo}}$

30

bit $x(2N-1)$ no primeiro período da sequência de palavra de código é mapeado para a segunda posição de bit $S_1(0)$ do primeiro bit modulado, e o $\{2xN-1\}^{\text{ésimo}}$ bit $x(2N-2)$ no primeiro período da sequência de palavra de código é mapeado para a terceira posição de bit $S_2(0)$ do primeiro bit modulado.

O $\{3xN-1\}^{\text{ésimo}}$ bit $x(3N-2)$ no segundo período da sequência de palavra de código é mapeado para a primeira posição de bit $S_0(1)$ do segundo bit modulado, o $\{2xN-2\}^{\text{ésimo}}$ bit $x(2N-3)$ no primeiro período da sequência de palavra de código é mapeado para a segunda posição de bit $S_1(1)$ do segundo bit modulado, e o $\{2xN-3\}^{\text{ésimo}}$ bit $x(2N-4)$ no primeiro período da sequência de palavra de código, é mapeado para a terceira posição de bit $S_2(1)$ do segundo bit modulado.

O $\{3xN-2\}^{\text{ésimo}}$ bit $x(3N-3)$ no segundo período da sequência de palavra de código é mapeado para a primeira posição de bit $S_0(2)$ do terceiro bit modulado, o $\{2xN-4\}^{\text{ésimo}}$ bit $x(2N-5)$ no primeiro período da sequência de palavra de código é mapeado para a segunda posição de bit $S_1(2)$ do terceiro bit modulado, e o $\{2xN-5\}^{\text{ésimo}}$ bit $x(2N-6)$ no primeiro período da sequência de palavra de código é mapeado para a terceira posição de bit $S_2(2)$ do terceiro bit modulado.

O segundo bit $x(2N+1)$ no segundo período da sequência de palavra de código é mapeado para a primeira posição de bit $S_0(N-2)$ do $(N-1)^{\text{ésimo}}$ bit modulado, o quarto bit $x(3)$ no primeiro período da sequência de palavra de código é mapeado para a segunda posição de bit $S_1(N-2)$ do $(N-1)^{\text{ésimo}}$ bit modulado, e o terceiro bit $x(2)$ no primeiro período da

seqüência de palavra de código é mapeado para a terceira posição de bit $S_2(N-2)$ do $(N-1)^{\text{ésimo}}$ bit modulado.

O primeiro bit $x(2N)$ no segundo período da seqüência de palavra de código é mapeado para a primeira posição de bit $S_0(N-1)$ do $N^{\text{ésimo}}$ bit modulado, o segundo bit $x(1)$ no primeiro período da seqüência de palavra de código é mapeado para a segunda posição de bit $S_1(N-1)$ do $N^{\text{ésimo}}$ bit modulado, e o primeiro bit $x(0)$ no primeiro período da seqüência de palavra de código é mapeado para a terceira posição de bit $S_2(N-1)$ do $N^{\text{ésimo}}$ bit modulado.

A Figura 28 ilustra o procedimento para efetuar a operação de rearrumação de bit para a modulação 8PSK em que um nível de potência mais alto alocado à parte traseira da seqüência de palavra de código de acordo com uma versão da presente invenção. Este procedimento é efetuado pelo mapeador de seqüência 130 da Figura 1.

Com referência à Figura 28, na etapa 611, o mapeador de seqüência 130 fixa i para zero ($i=0$). Na etapa 612, o mapeador de seqüência 130 efetua a operação de rearrumar os bits da seqüência de palavra de código nas posições de bit correspondentes do bit modulado de acordo com as Equações (30) a (32). Isto é, o mapeador de seqüência 130 mapeia o bit $x(2xN+i)$ em um fluxo de bit da seqüência de palavra de código para a primeira posição de bit $S_0(i)$ do $\{N-1-i\}$ bit modulado, mapeia o bit $x(2xi+1)$ no fluxo de bit da seqüência de palavra de código para uma segunda posição de bit $S_1(N-1-i)$ do $\{N-1-i\}^{\text{ésimo}}$ bit modulado, e mapeia o bit $x(2xi)$ no fluxo de bit da seqüência de palavra de código para a terceira posição de bit $S_2(N-1-i)$ do $\{N-1-i\}^{\text{ésimo}}$ bit modulado. A operação da etapa 612 é efetuada repetidamente

até que é determinado na etapa 613 que o mapeamento de bit foi efetuado por completo em todos os bits da sequência de palavra de código. Isto é, se é determinado na etapa 613 que i é inferior a N , o mapeador de sequência 130 aumenta i em 1 na etapa 614, e então retorna à etapa 612.

Versão D-2 (para modulação 16QAM)

1. Para os bits em um primeiro período, o mapeador de sequência 130 mapeia, em ordem inversa, primeiro para $\{2xN\}^{\text{ésimo}}$ bits para as posições do quarto bit S_3 e do segundo bit S_1 em cada um dos N bits modulados.

2. Para os bits em um segundo período, o mapeador de sequência 130 mapeia, em ordem inversa, os restantes $\{2xN+1\}^{\text{ésimo}}$ ao $\{4xN\}^{\text{ésimo}}$ bits para as posições do terceiro bit S_2 e do primeiro bit S_0 em cada um dos N bits modulados.

Esses processos são resumidos nas Equações (33) a (36). Os bits da sequência de palavra de código antes da rearrumação são rearrumados como é mostrado na Figura 17.

$$S_0(N-1-i) = x(2xN+2xi+1) \quad (33)$$

$$S_1(N-1-i) = x(2xi+1) \quad (34)$$

$$S_2(N-1-i) = x(2xN+2xi) \quad (35)$$

$$S_3(N-1-i) = x(2xi) \quad (36)$$

A Figura 29 ilustra a operação de rearrumação de bit para a modulação de 16QAM em que um nível de potência mais alto é alocado à parte traseira da sequência de palavra de código de acordo com uma versão da presente invenção. Deve-se observar que esta operação de rearrumação de bit é idêntica à operação de rearrumação de bit mostrada na Figura 17.

Com referência à Figura 29, a sequência de palavra de

código compreendida de um fluxo de $4N$ -bits é dividida em um primeiro período e um segundo período. O primeiro período é a duração entre um primeiro bit $x(0)$ e o $\{2xN\}^{\text{ésimo}}$ bit $x(2N-1)$ da sequência de palavra de código, e o segundo período é a duração entre o $\{2xN+1\}^{\text{ésimo}}$ bit $x(2N)$ e o $\{4xN\}^{\text{ésimo}}$ bit $x(4N-1)$ da sequência de palavra de código. Aqui, o bit modulado é compreendido de 4 bits, e o número de bits modulados correspondentes à sequência de palavra de código é N .

10 O $\{4xN\}^{\text{ésimo}}$ bit $x(4N-1)$ no segundo período da sequência de palavra de código é mapeado para a primeira posição de bit $S_0(0)$ do primeiro bit modulado, o $\{2xN\}^{\text{ésimo}}$ bit $x(2N-1)$ no primeiro período da sequência de palavra de código é mapeado para a segunda posição de bit $S_1(0)$ do primeiro bit modulado, o $\{4xN-1\}^{\text{ésimo}}$ bit $x(4N-2)$ no segundo período da sequência de palavra de código é mapeado para a terceira posição de bit $S_2(0)$ do primeiro bit modulado, e o $\{2xN-1\}^{\text{ésimo}}$ bit $x(2N-2)$ no primeiro período da sequência de palavra de código é mapeado para a quarta posição de bit $S_3(0)$ do primeiro bit modulado.

20 O $\{4xN-2\}^{\text{ésimo}}$ bit $x(4N-3)$ no segundo período da sequência de palavra de código é mapeado para a primeira posição de bit $s_0(1)$ do segundo bit modulado, o $\{2xN-2\}^{\text{ésimo}}$ bit $x(2N-3)$ no primeiro período da sequência de palavra de código é mapeado para a segunda posição de bit $S_1(1)$ do segundo bit modulado, o $\{4xN-3\}^{\text{ésimo}}$ bit $x(4N-4)$ no segundo período da sequência de palavra de código é mapeado para a terceira posição de bit $S_2(1)$ do segundo bit modulado, e o $\{2xN-3\}^{\text{ésimo}}$ bit $x(2N-4)$ no primeiro período da sequência de palavra de código é mapeado para a quarta posição de bit

$S_3(1)$ do segundo bit modulado.

O quarto bit $x(2N+3)$ no segundo período da sequência de palavra de código é mapeado para a primeira posição de bit $S_0(N-2)$ de um $(N-1)^{\text{ésimo}}$ bit modulado, o quarto bit $x(3)$ no primeiro período da sequência de palavra de código é mapeado para a segunda posição de bit $S_1(N-2)$ do $(N-1)^{\text{ésimo}}$ bit modulado, o terceiro bit $x(2N+2)$ no segundo período da sequência de palavra de código é mapeado para a terceira posição de bit $S_2(N-2)$ do $(N-1)^{\text{ésimo}}$ bit modulado, e o terceiro bit $x(2)$ no primeiro período da sequência de palavra de código é mapeado para a quarta posição de bit $S_3(N-2)$ do $(N-1)^{\text{ésimo}}$ bit modulado.

O segundo bit $x(2N+1)$ no segundo período da sequência de palavra de código é mapeado para a primeira posição de bit $S_0(N-1)$ do $N^{\text{ésimo}}$ bit modulado, o segundo bit $x(1)$ no primeiro período da sequência de palavra de código é mapeado para a segunda posição de bit $S_1(N-1)$ do $N^{\text{ésimo}}$ bit modulado, o primeiro bit $x(2N)$ no segundo período da sequência de palavra de código é mapeado para a terceira posição de bit $S_2(N-1)$ do $N^{\text{ésimo}}$ bit modulado, e o primeiro bit $x(0)$ no primeiro período da sequência de palavra de código é mapeado para a quarta posição de bit $S_3(N-1)$ do $N^{\text{ésimo}}$ bit modulado.

A Figura 30 ilustra o procedimento para efetuar a operação de rearrumação de bit para a modulação 16QAM em que um nível de potência mais alto é alocado à parte traseira da sequência de palavra de código de acordo com uma versão da presente invenção. Este procedimento é efetuado pelo mapeador de sequência 130 da Figura 1.

Com referência à Figura 30, na etapa 711, o mapeador

de seqüência 130 fixa i para 0 ($i=0$). Na etapa 712. o mapeador de seqüência 130 efetua a operação de rearrumar os bits da seqüência de palavra de código nas posições de bit correspondentes do bit modulado de acordo com as Equações (33) a (36). Isto é, o mapeador de seqüência 130 mapeia o bit $x(2xN+2xi+1)$ no fluxo de bit da seqüência de palavra de código para a primeira posição de bit $S_0(N-1-i)$ do $\{N-1-i\}^{\text{ésimo}}$ bit modulado, mapeia o bit $x(2xi+1)$ no fluxo de bit da seqüência de palavra de código para a segunda posição de bit $S_1(N-1-i)$ do $\{N-1-i\}^{\text{ésimo}}$ bit modulado, mapeia o bit $x(2xN+2xi)$ no fluxo de bit da seqüência de palavra de código para a terceira posição de bit $S_2(N-1-i)$ do $\{N-1-i\}^{\text{ésimo}}$ bit modulado, e mapeia o bit $x(2xi)$ no fluxo de bit da seqüência de palavra de código para a quarta posição de bit $S_3(N-1-i)$ do $\{N-1-i\}^{\text{ésimo}}$ bit modulado. A operação da etapa 712 é efetuada repetidamente até que é determinado na etapa 713 que o mapeamento de bit foi efetuado por completo em todos os bits da seqüência de palavra de código. Isto é, se é determinado na etapa 713 que i é inferior a N , o mapeador de seqüência 130 aumenta i em 1 na etapa 714, e então retorna à etapa 712.

Versão D-3 (para modulação 64QAM)

1. Para os bits em um primeiro período, o mapeador de seqüência 130 mapeia, em ordem inversa, primeiro para $\{2xN\}^{\text{ésimo}}$ bits para as posições do sexto bit S_5 e do terceiro bit S_2 em cada um dos N bits modulados.

2. Para os bits no segundo período, o mapeador de seqüência 130 mapeia, em ordem inversa, o $\{2xN+1\}^{\text{ésimo}}$ ao $\{4xN\}^{\text{ésimo}}$ bits para as posições do quinto bit S_4 e do segundo bit S_1 em cada um dos N bits modulados.

3. Para os bits no terceiro período, o mapeador de seqüência 130 mapeia, em ordem inversa, os restantes $\{2xN+1\}^{\text{ésimo}}$ ao $\{4xN\}^{\text{ésimo}}$ bits para as posições do quinto bit S_4 e do segundo bit S_1 em cada um dos N bits modulados.

5 Esses processos são resumidos nas Equações (37) a (42). Os bits da seqüência de palavra de código antes da rearrumação são rearrumados como é mostrado na Figura 31.

$$S_0(N-1-i) = x(4xN+2xi+1) \quad (37)$$

$$S_1(N-1-i) = x(2xN+2xi+1) \quad (38)$$

$$10 \quad S_2(N-1-i) = x(2xi+1) \quad (39)$$

$$S_3(N-1-i) = x(4xN+2xi) \quad (40)$$

$$S_4(N-1-i) = x(2xN+2xi) \quad (41)$$

$$S_5(N-1-i) = x(2xi) \quad (42)$$

A Figura 31 ilustra a operação de rearrumação de bit
15 para a modulação de 64QAM em que um nível de potência mais alto é alocado à parte traseira da seqüência de palavra de código de acordo com uma versão da presente invenção. Deve-se observar que esta operação de rearrumação de bit é idêntica à operação de rearrumação de bit mostrada na
20 Figura 19.

Com referência à Figura 31, a seqüência de palavra de código compreendida de um fluxo de $6N$ -bits é dividida em um primeiro período, um segundo período, e um terceiro período. O primeiro período é a duração entre o primeiro
25 bit $x(0)$ e o $\{2xN\}^{\text{ésimo}}$ bit $x(2N-1)$ da seqüência de palavra de código. O segundo período é a duração entre o $\{2xN+1\}^{\text{ésimo}}$ bit $x(2N)$ e o $\{4xN\}^{\text{ésimo}}$ bit $x(4N-1)$ da seqüência de palavra de código. O terceiro período é a duração entre o $\{4xN+1\}^{\text{ésimo}}$ bit $x(4N)$ e o $\{6xN\}^{\text{ésimo}}$ bit $x(6N-1)$ da
30 seqüência de palavra de código. Aqui, o bit modulado é

compreendido de 6 bits, e o número de bits modulados correspondentes à sequência de palavra de código é N.

O $\{6xN\}^{\text{ésimo}}$ bit $x(6N-1)$ no terceiro período da sequência de palavra de código é mapeado para a primeira
 5 posição de bit $S_0(0)$ do primeiro bit modulado, o $\{4xN\}^{\text{ésimo}}$ bit $x(4N-1)$ no segundo período da sequência de palavra de código é mapeado para a segunda posição de bit $S_1(0)$ do primeiro bit modulado, o $\{2xN\}^{\text{ésimo}}$ bit $x(2N-1)$ no primeiro período da sequência de palavra de código é mapeado para a
 10 terceira posição de bit $S_2(0)$ do primeiro bit modulado, o $\{6xN-1\}^{\text{ésimo}}$ bit $x(6N-2)$ no terceiro período da sequência de palavra de código é mapeado para a quarta posição de bit $S_3(0)$ do primeiro bit modulado, o $\{4N-1\}^{\text{ésimo}}$ bit $x(4N-2)$ no segundo período da sequência de palavra de código é mapeado
 15 para a quinta posição de bit $S_4(0)$ do primeiro bit modulado, e o $\{2N-1\}^{\text{ésimo}}$ bit $x(2N-2)$ no primeiro período da sequência de palavra de código é mapeado para a sexta posição de bit $S_5(0)$ do primeiro bit modulado.

O segundo bit $x(4N+1)$ no terceiro período da sequência
 20 de palavra de código é mapeado para a primeira posição de bit $S_0(N-1)$ do $N^{\text{ésimo}}$ bit modulado, o segundo bit $x(2N+1)$ no segundo período da sequência de palavra de código é mapeado para a segunda posição de bit $S_1(N-1)$ do $N^{\text{ésimo}}$ bit modulado, o segundo bit $x(1)$ no primeiro período da sequência de
 25 palavra de código é mapeado para a terceira posição de bit $S_2(N-1)$ do $N^{\text{ésimo}}$ bit modulado, o primeiro bit $x(4N)$ no terceiro período da sequência de palavra de código é mapeado para a quarta posição de bit $S_3(N-1)$ do $N^{\text{ésimo}}$ bit modulado, o primeiro bit $x(2N)$ no segundo período da
 30 sequência de palavra de código é mapeado para a quinta

posição de bit $S_4(N-1)$ do $N^{\text{ésimo}}$ bit modulado, e o primeiro bit $x(0)$ no primeiro período da seqüência de palavra de código é mapeado para a sexta posição de bit $S_5(N-1)$ do $N^{\text{ésimo}}$ bit modulado.

5 A Figura 32 ilustra o procedimento para efetuar a operação de rearrumação de bit para a modulação 64QAM em que um nível de potência mais alto é alocado à parte traseira da seqüência de palavra de código de acordo com uma versão da presente invenção. Este procedimento é
10 efetuado pelo mapeador de seqüência 130 da Figura 1.

 Com referência à Figura 32, na etapa 811, o mapeador de seqüência 130 fixa i para 0 ($i=0$). Na etapa 812, o mapeador de seqüência 130 efetua a operação de rearrumar os bits da seqüência de palavra de código nas posições de bit
15 correspondentes do bit modulado de acordo com as Equações (37) a (42). Isto é, o mapeador de seqüência 130 mapeia o bit $x(4xN+2xi+1)$ no fluxo de bit da seqüência de palavra de código para a primeira posição de bit $S_0(N-1-i)$ do $\{N-1-i\}^{\text{ésimo}}$ bit modulado, mapeia o bit $x(2xM+2xi+1)$ no fluxo de
20 bit da seqüência de palavra de código para a segunda posição de bit $S_1(N-1-i)$ do $\{N-1-i\}^{\text{ésimo}}$ bit modulado, mapeia o bit $x(2xi+1)$ no fluxo de bit da seqüência de palavra de código para a terceira posição de bit $S_2(N-1-i)$ do $\{N-1-i\}^{\text{ésimo}}$ bit modulado, mapeia o bit $x(4xN+2xi)$ no fluxo de bit
25 da seqüência de palavra de código para a quarta posição de bit $S_3(N-1-i)$ do $\{N-1-i\}^{\text{ésimo}}$ bit modulado, mapeia o bit $x(2xN+2xi)$ no fluxo de bit da seqüência de palavra de código para a quinta posição de bit $S_4(N-1-i)$ do $\{N-1-i\}^{\text{ésimo}}$ bit modulado, e mapeia o bit $x(2xi)$ no fluxo de bit da
30 seqüência de palavra de código para a sexta posição de bit

$S_5(N-1-i)$ do $\{N-1-i\}^{\text{ésimo}}$ bit modulado. A operação da etapa 812 é efetuada repetidamente até que é determinado na etapa 813 que o mapeamento de bit foi efetuado por completo em todos os bits da sequência de palavra de código. Isto é, se
 5 é determinado na etapa 813 que i é inferior a N , o mapeador de sequência 130 aumenta i em 1 na etapa 814, e então retorna à etapa 812.

Até agora, foi feita a descrição da operação de rearrumar os bits da sequência de palavra de código emitida
 10 do codificador de canal ou do entrelaçador de canal antes da modulação de acordo com as versões da presente invenção. A seguir, será feita uma descrição da operação de arrumar valores de saída do demodulador na ordem da sequência de palavra de código original antes da decodificação de canal
 15 ou do desentrelaçamento de canal.

A operação de dispor os valores de saída do demodulador na ordem da sequência original de palavra de código é obtida ao efetuar de modo inverso a operação de rearrumação descrita acima. Se uma sequência de saída do
 20 demodulador é representada por $\{t_0(i), \dots, t_{m-1}(i)\}$ (em que $i \in \{0, \dots, N-1\}$) e a sequência disposta na ordem original antes da decodificação de canal ou o desentrelaçamento de canal é representada por $\{y_0, \dots, y_k, \dots, y_{Nxm-1}\}$, então o método de dispor os valores de saída do demodulador na
 25 ordem original antes da decodificação de canal ou o desentrelaçamento de canal pode ser expresso pelo deslocamento dos termos direitos das Equações (17) a (42) para os termos esquerdos enquanto substitui 'y' por 'x', e deslocar os termos esquerdos para os termos direitos
 30 enquanto substitui 't' por 's'. Por exemplo, a Equação (42)

pode ser mudada para $y(2xi)=t5(N-1-i)$, e utilizada na disposição dos valores de saída do demodulador na ordem original.

Análise de desempenho

5 A Figura 33 ilustra o desempenho da taxa média de erros de bit da presente invenção em comparação com aquela da tecnologia anterior para a modulação 8PSK no caso em que a potência é alocada uniformemente para a seqüência de palavra de código.

10 A Figura 34 ilustra o desempenho da taxa média de erros de pacote da presente invenção em comparação com aquela da tecnologia anterior para a modulação 8PSK no caso em que a potência é alocada uniformemente a uma seqüência de palavra de código.

15 A Figura 35 ilustra o desempenho médio da taxa de erro de bit da presente invenção em comparação com aquela da tecnologia anterior para a modulação 16WAM no caso em que a potência é alocada uniformemente a uma seqüência de palavra de código.

20 A Figura 36 ilustra o desempenho médio da taxa de erro de pacote da presente invenção em comparação com aquela da tecnologia anterior para a modulação 16WAM no caso em que a potência é alocada uniformemente a uma seqüência de palavra de código.

25 É observado das Figuras 33 a 36 que os bits de seqüência de palavra de código rearrumados de acordo com as versões da presente invenção mostram melhor desempenho que os bits de seqüência de palavra de código não rearrumados da tecnologia anterior.

30 Como é descrito acima, o sistema de comunicação que

utiliza modulação multi-nível tendo um nível de modulação mais alto do que a modulação QPSK de acordo com a presente invenção rearruma os bits da seqüência de palavra de código de saída do codificador de canal ou do entrelaçador de canal antes da modulação, tal que os bits pertencentes a uma parte sistemática são dispostos em posições de bit com confiabilidade mais alta dos bits que constituem o bit modulado multi-nível, e dispor os valores de saída do demodulador na ordem original antes da decodificação de canal ou desentrelaçamento de canal, contribuindo assim para o melhoramento da taxa média de erro de bit e da taxa média de erro de pacote. Além disso, o método de rearrumação de seqüência de acordo com a presente invenção pode ser implementado sem um aumento na complexidade do sistema e retardo no tempo.

Embora a invenção tenha sido mostrada e descrita com referência a uma certa versão preferida da mesma, será compreendido por aqueles habilitados na tecnologia que várias mudanças na forma e nos detalhes podem ser nela feitos sem desviar do espírito e escopo da invenção conforme definida pelas reivindicações anexas. Por exemplo, embora a invenção tenha sido descrita com referência às modulações 8PSK, 16QAM e 64QAM, o método de rearrumação de seqüência de acordo com a presente invenção também pode ser aplicado a outras modulações.

REIVINDICAÇÕES

1. Método para mapear um fluxo de bits emitido de um codificador turbo para um fluxo de bits para modulação 8PSK, Modulação por deslocamento de fase 8-ária, o método
5 caracterizado pelo fato de compreender as etapas de:

dividir o fluxo de bits do codificador turbo em um primeiro período e um segundo período, em que o primeiro período inclui bits com prioridade mais alta e o segundo período inclui bits com prioridade mais baixa, em que o
10 fluxo de bits emitido do codificador turbo é compreendido por N bits, o primeiro período incluindo o primeiro ao $\{(2/3) \times N\}^{\text{ésimo}}$ bits, e o segundo período incluindo o $\{(2/3) \times N + 1\}^{\text{ésimo}}$ bits ao $N^{\text{ésimo}}$ bits; e

mapear sequencialmente (603, 604) os bits existentes
15 no primeiro período para posições de bits com confiabilidade mais alta e os bits existentes no segundo período para posições de bits com confiabilidade mais baixa em um fluxo de bits rearrumados, o fluxo de bits rearrumados compreendendo segmentos de 3 bits consecutivos
20 representando as posições de bit de cada bit para a modulação 8PSK.

2. Método, de acordo com a reivindicação 1, caracterizado pelo fato de compreender ainda entrelaçar o fluxo de bits do codificador turbo através de um
25 entrelaçador, e em que a etapa de divisão é realizada no fluxo de bits entrelaçado.

3. Método, de acordo com a reivindicação 1, caracterizado pelo fato de compreender ainda a etapa de modular o fluxo de bits rearrumados com 8PSK.

4. Método, de acordo com qualquer uma das

reivindicações 1 a 3, caracterizado pelo fato de os bits existentes no segundo período serem mapeados para as posições de bit com confiabilidade mais baixa determinada por

$$b_{3x(N-1)-3xk}=d_k$$

em que d indica os bits existentes no segundo período, b indica os bits com confiabilidade mais baixa, e k indica posições dos bits.

5. Método, de acordo com qualquer uma das reivindicações 1 a 4, caracterizado pelo fato de as posições de bit com confiabilidade mais alta incluem a segunda e terceira posições de bit nos segmentos de 3 bits consecutivos no fluxo de bits rearrumados que representam a posição de bit de cada um dos bits para a modulação 8PSK.

6. Método, de acordo com qualquer uma das reivindicações 1 a 5, caracterizado pelo fato das posições de bit com confiabilidade mais baixa incluem uma primeira posição de bit nos segmentos de 3 bits consecutivos no fluxo de bits rearrumados que representam a posição de bit de cada um dos bits para a modulação 8PSK.

7. Método, de acordo com qualquer uma das reivindicações 1 a 3, caracterizado pelo fato de os bits existentes no primeiro período serem mapeados às posições de bit com confiabilidade mais alta determinada por

$$b_{3x\lfloor k/2 \rfloor + (k \bmod 2) + 1} = d_k$$

em que d indica os bits existentes no primeiro período, b indica os bits com confiabilidade mais alta, k indica posições dos bits, 'A mod B' indica um resto obtido pela divisão de A por B, e $\lfloor x \rfloor$ indica uma integral máxima inferior a X.

8. Método, de acordo com qualquer uma das reivindicações 1 a 3, caracterizado pelo fato de os bits existentes no primeiro período serem mapeados para as posições de bit com confiabilidade mais alta determinada por

$$b_{1 \times (N-1) - (3 \times \lfloor k/2 \rfloor + (k \bmod 2))} = d_k$$

em que d indica os bits existentes no primeiro período, b indica os bits com confiabilidade mais alta, k indica posições dos bits, 'A mod B' indica um resto obtido pela divisão de A por B, e $\lfloor x \rfloor$ indica uma integral máxima inferior a X.

9. Método, de acordo com qualquer uma das reivindicações 1 a 3, caracterizado pelo fato de os bits existentes no segundo período serem mapeados para as posições de bit com confiabilidade mais baixa determinada por

$$b_{3 \times k - 2 \times N} = d_k$$

em que d indica os bits existentes no segundo período, b indica os bits com confiabilidade mais baixa, e k indica posições dos bits.

10. Método para mapear um fluxo de bits emitidos de um codificador turbo para um fluxo de bits para modulação 16QAM, Modulação de Amplitude de Quadratura 16-ária, o método caracterizado pelo fato de compreender as etapas de:

dividir o fluxo de bits do codificador turbo em um primeiro período e um segundo período, em que o primeiro período inclui bits com prioridade mais alta e o segundo período inclui bits com prioridade mais baixa, em que quando o fluxo de bits emitido do codificador turbo é compreendido por N bits, o primeiro período inclui o

primeiro ao $\{(1/2) \times N\}^{\text{ésimo}}$ bits, e o segundo período inclui o $\{(1/2) \times N + 1\}^{\text{ésimo}}$ bits ao $N^{\text{ésimo}}$ bits; e

mapear sequencialmente (703, 704) os bits existentes no primeiro período às posições de bit com confiabilidade mais alta e os bits existentes no segundo período às posições de bit com confiabilidade mais baixa em um fluxo de bits rearrumados, o fluxo de bits rearrumados compreendendo segmentos de 4 bits consecutivos representando as posições de bit de cada bit para a modulação 16QAM.

11. Método, de acordo com a reivindicação 10, caracterizado pelo fato de compreender ainda entrelaçar o fluxo de bits do codificador turbo através de um entrelaçador, e em que a etapa de divisão é realizada no fluxo de bits entrelaçado.

12. Método, de acordo com a reivindicação 10, caracterizado pelo fato de compreender ainda a etapa de modular o fluxo de bits rearrumados com 16QAM.

13. Método, de acordo com qualquer uma das reivindicações 10 a 12, caracterizado pelo fato de as posições de bit com confiabilidade mais alta incluem a segunda e a quarta posições de bit nos segmentos de 4 bits consecutivos no fluxo de bits rearrumados que representam as posições de bit de cada um dos bits para a modulação 16QAM.

14. Método, de acordo com qualquer uma das reivindicações 10 a 12, caracterizado pelo fato de as posições de bit com confiabilidade mais baixa incluem a primeira posição de bit e a terceira posição de bit no segmento de 4 bits consecutivos no fluxo de bits

rearrumados que representam as posições de bit de cada um dos bits para a modulação 16QAM.

15 15. Método, de acordo com qualquer uma das reivindicações 10 a 12, caracterizado pelo fato de os bits existentes no primeiro período serem mapeados para as posições de bit com confiabilidade mais alta determinada por

$$b_{2xk-0xN+1}=d_k$$

10 em que d indica os bits existentes no primeiro período, b indica os bits com confiabilidade mais alta, e k indica posições dos bits.

15 16. Método, de acordo com qualquer uma das reivindicações 10 a 12, caracterizado pelo fato de os bits existentes no primeiro período serem mapeados para as posições de bit com confiabilidade mais alta determinada por

$$b_{1x(N-1)-2xk}=d_k$$

20 em que d indica os bits existentes no primeiro período, b indica os bits com confiabilidade mais alta, e k indica posições dos bits.

25 17. Método, de acordo com qualquer uma das reivindicações 10 a 12, caracterizado pelo fato de os bits existentes no segundo período serem mapeados para as posições de bit com confiabilidade mais baixa determinada por

$$b_{2xk-1xN+0}=d_k$$

em que d indica os bits existentes no segundo período, b indica os bits com confiabilidade mais baixa, e k indica posições dos bits.

30 18. Método, de acordo com qualquer uma das

reivindicações 10 a 12, caracterizado pelo fato de os bits existentes no segundo período serem mapeados para as posições de bit com confiabilidade mais baixa determinada por

$$b_{2x(N-1)-2xk}=d_k$$

em que d indica os bits existentes no segundo período, b indica os bits com confiabilidade mais baixa, e k indica posições dos bits.

19. Método para mapear um fluxo de bits emitidos de um codificador turbo para um fluxo de bits para modulação 64QAM, Modulação de Amplitude de Quadratura 64-ária, o método caracterizado pelo fato de compreender as etapas de:

dividir o fluxo de bits do codificador turbo em um primeiro período, um segundo período e um terceiro período, em que o primeiro período inclui bits com prioridade mais alta, o segundo período inclui bits com prioridade mais baixa e o terceiro período inclui bits tendo prioridade mais baixa do que os bits no primeiro período e tendo prioridade mais alta do que os bits no segundo período, em que quando o fluxo de bits emitidos do codificador é compreendido de N bits, o primeiro período inclui o primeiro ao $\{(1/3) \times N\}^{\text{ésimo}}$ bits, o segundo período inclui $\{(2/3) \times N + 1\}^{\text{ésimo}}$ ao $N^{\text{ésimo}}$ bits, e o terceiro período inclui $\{(1/3) \times N + 1\}^{\text{ésimo}}$ ao $\{(2/3) \times N\}^{\text{ésimo}}$ bits; e

mapear sequencialmente (803, 805) os bits existentes no primeiro período às posições de bit com confiabilidade mais alta e os bits existentes no segundo período às posições de bit com confiabilidade mais baixa em um fluxo de bits rearrumados, e mapear sequencialmente (806) os bits existentes no terceiro período às posições de bit no fluxo

de bits rearrumados tendo confiabilidade mais baixa do que as posições de bit com confiabilidade mais alta e tendo uma confiabilidade mais alta do que as posições de bit com confiabilidade mais baixa, pelo que o fluxo de bits rearrumados compreende segmentos de 6 bits consecutivos que representam as posições de bit de cada um dos bits para a modulação 64QAM .

20. Método, de acordo com a reivindicação 19, caracterizado pelo fato de compreender ainda entrelaçar o fluxo de bits do codificador turbo através de um entrelaçador, e em que a etapa de divisão é realizada no fluxo de bits entrelaçado.

21. Método, de acordo com a reivindicação 19, caracterizado pelo fato de compreender ainda a etapa de modular o fluxo de bits rearrumados com 64QAM.

22. Método, de acordo com qualquer uma das reivindicações 19 a 21, caracterizado pelo fato de as posições de bit com confiabilidade mais alta incluem a terceira e a sexta posições de bit nos segmentos de 6 bits consecutivos no fluxo de bits rearrumados que representam as posições de bit de cada um dos bits para a modulação 64QAM.

23. Método, de acordo com qualquer uma das reivindicações 19 a 21, caracterizado pelo fato de as posições de bit com confiabilidade mais baixa incluem a segunda e a quinta posições de bit nos segmentos de 6 bits consecutivos no fluxo de bits rearrumados que representam as posições de bit de cada um dos bits para a modulação 64QAM.

24. Método, de acordo com qualquer uma das

reivindicações 19 a 21, caracterizado pelo fato de que as posições de bit que correspondem aos bits existentes no terceiro período incluem a primeira e a quarta posições de bit nos segmentos de 6 bits consecutivos no fluxo de bits rearrumados que representam as posições de bit de cada um dos bits para 64QAM.

25. Método, de acordo com qualquer uma das reivindicações 19 a 21, caracterizado pelo fato de os bits existentes no primeiro período serem mapeados para as posições de bit com confiabilidade mais alta determinada por

$$b_{3 \times k - 0 \times N + 2} = d_k$$

em que d indica os bits existentes no primeiro período, b indica os bits com confiabilidade mais alta, e k indica posições dos bits.

26. Método, de acordo com qualquer uma das reivindicações 19 a 21, caracterizado pelo fato de os bits existentes no primeiro período serem mapeados para as posições de bit com confiabilidade mais alta determinada por

$$b_{1 \times (N-1) - 3 \times k} = d_k$$

em que d indica os bits existentes no primeiro período, b indica os bits com confiabilidade mais alta, e k indica posições dos bits.

27. Método, de acordo com qualquer uma das reivindicações 19 a 21, caracterizado pelo fato de os bits existentes no segundo período serem mapeados para as posições de bit com confiabilidade mais baixa determinada por

$$b_{3 \times k - 2 \times N + 0} = d_k$$

em que d indica os bits existentes no segundo período, b indica os bits com confiabilidade mais baixa, e k indica posições dos bits.

28. Método, de acordo com qualquer uma das reivindicações 19 a 21, caracterizado pelo fato de os bits existentes no segundo período serem mapeados para as posições de bit com confiabilidade mais baixa determinada por

$$b_{3x(N-1)-3xk}=d_k$$

em que d indica os bits existentes no segundo período, b indica os bits com confiabilidade mais baixa, e k indica posições dos bits.

29. Método, de acordo com qualquer uma das reivindicações 19 a 21, caracterizado pelo fato de os bits existentes no terceiro período serem mapeados para as posições de bit com confiabilidade mais alta determinada por

$$b_{3xk-1xN+1}=d_k$$

em que d indica os bits existentes no terceiro período, b indica os bits com confiabilidade mais alta, e k indica posições dos bits.

30. Método, de acordo com qualquer uma das reivindicações 19 a 21, caracterizado pelo fato de os bits existentes no terceiro período serem mapeados para as posições de bit com confiabilidade mais alta determinada por

$$b_{2x(N-1)-3xk}=d_k$$

em que d indica os bits existentes no terceiro período, b indica os bits com confiabilidade mais baixa, e k indica posições dos bits.

31. Aparelho de transmissão em um sistema de comunicação, compreendendo:

um codificador turbo (110) adaptado para emitir um fluxo de bits;

5 um mapeador de sequência (130) adaptado para mapear o fluxo de bits do codificador turbo (110) para um fluxo de bits rearrumados; e

um modulador (140) adaptado para modular os bits do fluxo de bits rearrumados de acordo com uma modulação 8PSK,
10 Modulação por deslocamento de fase 8-ária;

o aparelho de transmissão caracterizado pelo fato de:

o mapeador de sequência (130) ser adaptado para dividir um fluxo de bits do codificador turbo (110) em pelo menos um primeiro período e um segundo período, o primeiro
15 período incluindo bits com prioridade mais alta e o segundo período incluindo bits com prioridade mais baixa, em que o fluxo de bits emitidos do codificador turbo é compreendido de N bits, o primeiro período inclui o primeiro ao $\{(2/3) \times N\}^{\text{ésimo}}$ bits, e o segundo período inclui $\{(2/3) \times N + 1\}^{\text{ésimo}}$ ao
20 $N^{\text{ésimo}}$ bits; e

ser adaptado para mapear sequencialmente os bits existentes no primeiro período às posições de bit com confiabilidade mais alta e os bits existentes no segundo período às posições de bit com confiabilidade mais baixa em
25 um fluxo de bits rearrumados, o fluxo de bits rearrumados compreendendo segmentos de 3 bits consecutivos que representam as posições de bit de cada um dos bits para modulação 8PSK.

32. Aparelho de transmissão, de acordo com a
30 reivindicação 31, caracterizado pelo fato de compreender

ainda um entrelaçador adaptado para entrelaçar o fluxo de bits do codificador turbo, e o mapeador de sequência sendo adaptado para dividir o fluxo de bits entrelaçados do entrelaçador.

5 33. Aparelho de transmissão, de acordo com a reivindicação 31 ou 32, caracterizado pelo fato de o modulador ser adaptado para modular o fluxo de bits rearrumados com 8PSK.

10 34. Aparelho de transmissão, de acordo com a reivindicação 31 ou 32, caracterizado pelo fato de o mapeador de sequência ser adaptado para mapear os bits existentes no segundo período para as posições de bit com confiabilidade mais baixa determinada por

$$b_{3x(N-1)-3xk}=d_k$$

15 em que d indica os bits existentes no segundo período, b indica os bits com confiabilidade mais baixa, e k indica posições dos bits.

20 35. Aparelho de transmissão, de acordo com a reivindicação 31 ou 32, caracterizado pelo fato de que as posições de bit com confiabilidade mais alta incluem a segunda e a terceira posições de bit nos segmentos de 3 bits consecutivos no fluxo de bits rearrumados que representam as posições de bit de cada um dos bits para a modulação 8PSK.

25 36. Aparelho de transmissão, de acordo com qualquer uma das reivindicações 31 a 35, caracterizado pelo fato de que as posições de bit com confiabilidade mais baixas inclui a primeira posição de bit nos segmentos de 3 bits consecutivos no fluxo de bits rearrumados que representam
30 as posições de bit de cada um dos bits para a modulação

8PSK.

37. Aparelho de transmissão, de acordo com qualquer uma das reivindicações 31 a 33, caracterizado pelo fato de o mapeador de seqüência ser adaptado para mapear os bits existentes no primeiro período para as posições de bit com confiabilidade mais alta determinada por

$$b_{3x \lfloor k/2 \rfloor + (k \bmod 2) + 1} = d_k$$

em que d indica os bits existentes no primeiro período, b indica os bits com confiabilidade mais alta, k indica posições dos bits, 'A mod B' indica um resto obtido pela divisão de A por B, e $\lfloor x \rfloor$ indica uma integral máxima inferior a X.

38. Aparelho de transmissão, de acordo com qualquer uma das reivindicações 31 a 33, caracterizado pelo fato de o mapeador de seqüência ser adaptado para mapear os bits existentes no primeiro período para as posições de bit com confiabilidade mais alta determinada por

$$b_{1x(N-1) - (3x \lfloor k/2 \rfloor + (k \bmod 2))} = d_k$$

em que d indica os bits existentes no primeiro período, b indica os bits com confiabilidade mais alta, k indica posições dos bits, 'A mod B' indica um resto obtido pela divisão de A por B, e $\lfloor x \rfloor$ indica uma integral máxima inferior a X.

39. Aparelho de transmissão, de acordo com qualquer uma das reivindicações 31 a 33, caracterizado pelo fato de o mapeador de seqüência ser adaptado para mapear os bits existentes no segundo período para as posições de bit com confiabilidade mais baixa determinada por

$$b_{3xk - 2xN} = d_k$$

em que d indica os bits existentes no segundo período, b

indica os bits com confiabilidade mais baixa, e k indica posições dos bits.

40. Aparelho de transmissão em um sistema de comunicação compreendendo:

5 um codificador turbo (110) adaptado para emitir um fluxo de bits;

um mapeador de seqüência (130) adaptado para mapear o fluxo de bits do codificador turbo para um fluxo de bits rearrumados; e

10 um modulador (140) adaptado para modular os bits do fluxo de bits rearrumados de acordo com uma modulação 16QAM, Modulação de Amplitude de Quadratura 16-ária;

o aparelho de transmissão caracterizado pelo fato de:

o mapeador de seqüência (130) ser adaptado para
15 dividir um fluxo de bits do codificador turbo (110) em pelo menos um primeiro período e um segundo período, o primeiro período incluindo bits com prioridade mais alta e o segundo período incluindo bits com prioridade mais baixa, em que quando o fluxo de bits emitidos do codificador turbo é
20 compreendido de N bits, o primeiro período inclui o primeiro ao $\{(1/2) \times N\}^{\text{ésimo}}$ bits, e o segundo período inclui $\{(1/2) \times N + 1\}^{\text{ésimo}}$ ao $N^{\text{ésimo}}$ bits; e

ser adaptado para mapear sequencialmente os bits existentes no primeiro período às posições de bit com
25 confiabilidade mais alta e os bits existentes no segundo período às posições de bit com confiabilidade mais baixa em um fluxo de bits rearrumados, o fluxo de bits rearrumados compreendendo segmentos de 4 bits consecutivos que representam as posições de bit de cada um dos bits para
30 modulação 16QAM.

41. Aparelho de transmissão, de acordo com a reivindicação 40, caracterizado pelo fato de o modulador ser adaptado para modular o fluxo de bits rearrumados com 16QAM.

42. Aparelho de transmissão, de acordo com a reivindicação 40 ou 41, caracterizado pelo fato de o mapeador de seqüência ser adaptado para mapear os bits existentes no segundo período para as posições de bit com confiabilidade mais baixa determinada por

$$b_{2x(N-1)-2xk}=d_k$$

em que d indica os bits existentes no segundo período, b indica os bits com confiabilidade mais baixa, e k indica posições dos bits.

43. Aparelho de transmissão, de acordo com qualquer uma das reivindicações 40 a 42, caracterizado pelo fato de as posições de bit com confiabilidade mais alta incluem a segunda e a quarta posições de bit nos segmentos de 4 bits consecutivos no fluxo de bits rearrumados que representam as posições de bit de cada um dos bits para a modulação 16QAM.

44. Aparelho de transmissão, de acordo com qualquer uma das reivindicações 40 a 42, caracterizado pelo fato de as posições de bit com confiabilidade mais baixa incluem a primeira e a terceira posições de bit nos segmentos de 4 bits consecutivos no fluxo de bits rearrumados que representam as posições de bit de cada um dos bits para a modulação 16QAM.

45. Aparelho de transmissão, de acordo com qualquer uma das reivindicações 40 a 42, caracterizado pelo fato de o mapeador de seqüência ser adaptado para mapear os bits

existentes no primeiro período para as posições de bit com confiabilidade mais alta determinada por

$$b_{2 \times k - 0 \times N + 1} = d_k$$

em que d indica os bits existentes no primeiro período, b indica os bits com confiabilidade mais alta, e k indica posições dos bits.

46. Aparelho de transmissão, de acordo com qualquer uma das reivindicações 40 a 42, caracterizado pelo fato de o mapeador de seqüência ser adaptado para mapear os bits existentes no primeiro período para as posições de bit com confiabilidade mais alta determinada por

$$b_{1 \times (N-1) - 2 \times k} = d_k$$

em que d indica os bits existentes no primeiro período, b indica os bits com confiabilidade mais alta, e k indica posições dos bits.

47. Aparelho de transmissão, de acordo com qualquer uma das reivindicações 40 a 42, caracterizado pelo fato de o mapeador de seqüência ser adaptado para mapear os bits existentes no segundo período para as posições de bit com confiabilidade mais baixa determinada por

$$b_{2 \times k - 1 \times N + 0} = d_k$$

em que d indica os bits existentes no segundo período, b indica os bits com confiabilidade mais baixa, e k indica posições dos bits.

48. Aparelho de transmissão em um sistema de comunicação compreendendo:

um codificador turbo (110) adaptado para emitir um fluxo de bits;

um mapeador de seqüência (130) adaptado para mapear o fluxo de bits do codificador turbo para um fluxo de bits

rearrumados; e

um modulador (140) adaptado para modular os bits do fluxo de bits rearrumados de acordo com uma modulação 64QAM, Modulação de Amplitude de Quadratura 64-ária;

5 o aparelho de transmissão caracterizado pelo fato de:

o mapeador de sequência (130) ser adaptado para dividir um fluxo de bits do codificador turbo (110) em pelo menos um primeiro período, um segundo período, e um terceiro período, o primeiro período incluindo bits com
10 prioridade mais alta, o segundo período incluindo bits com prioridade mais baixa, e o terceiro período incluindo bits com prioridade mais baixa que os bits no primeiro período e prioridade mais alta que os bits no segundo período, em que quando o fluxo de bits emitidos do codificador turbo é
15 compreendido de N bits, o primeiro período inclui o primeiro ao $\{(1/3) \times N\}^{\text{ésimo}}$ bits, o segundo período inclui $\{(2/3) \times N + 1\}^{\text{ésimo}}$ ao $N^{\text{ésimo}}$ bits, e o terceiro período inclui $\{(1/3) \times N + 1\}^{\text{ésimo}}$ ao $\{(2/3) \times N\}^{\text{ésimo}}$ bits; e

ser adaptado para mapear sequencialmente os bits
20 existentes no primeiro período às posições de bit com confiabilidade mais alta, os bits existentes no segundo período às posições de bit com confiabilidade mais baixa em um fluxo de bits rearrumados, e os bits existentes no terceiro período às posições de bit de bits
25 rearrumados tendo confiabilidade mais baixa que as posições de bit com confiabilidade mais alta e tendo confiabilidade mais alta que as posições de bits com confiabilidade mais baixa, o fluxo de bits rearrumados compreendendo segmentos de 6 bits consecutivos que representam as posições de bit
30 dos bits para modulação 16QAM.

49. Aparelho de transmissão, de acordo com a reivindicação 48, caracterizado pelo fato de o modulador ser adaptado para modular o fluxo de bits rearrumados com 16QAM.

5 50. Aparelho de transmissão, de acordo com a reivindicação 48 ou 49, caracterizado pelo fato de o mapeador de seqüência ser adaptado para mapear os bits existentes no terceiro período para as posições de bit com confiabilidade mais alta determinada por

10
$$b_{2x(N-1)-3xk}=d_k$$

em que d indica os bits existentes no terceiro período, b indica os bits com confiabilidade mais alta, e k indica posições dos bits.

51. Aparelho de transmissão, de acordo com qualquer uma das reivindicações 48 a 50, caracterizado pelo fato de que as posições de bit com confiabilidade mais alta incluem a terceira e a sexta posições de bit nos seguimentos de 6 bits consecutivos no fluxo de bits rearrumados que representam as posições de bit de cada um dos bits para a modulação 64QAM.

52. Aparelho de transmissão, de acordo com qualquer uma das reivindicações 48 a 50, caracterizado pelo fato de que as posições de bit com confiabilidade mais baixa incluem a segunda e a quinta posições de bit nos seguimentos de 6 bits consecutivos no fluxo de bits rearrumados que representam as posições de bit de cada um dos bits para a modulação 64QAM.

53. Aparelho de transmissão, de acordo com qualquer uma das reivindicações 48 a 50, caracterizado pelo fato de que as posições de bits que correspondem aos bits

existentes no terceiro período incluem a primeira e a quarta posições de bit nos seguimentos de 6 bits consecutivos no fluxo de bits rearrumados que representam as posições de bit de cada um dos bits para a modulação 64QAM.

54. Aparelho de transmissão, de acordo com qualquer uma das reivindicações 48 a 50, caracterizado pelo fato de o mapeador de seqüência ser adaptado para mapear os bits existentes no primeiro período para as posições de bit com confiabilidade mais alta determinada por

$$b_{3xk-0xN+2}=d_k$$

em que d indica os bits existentes no primeiro período, b indica os bits com confiabilidade mais alta, e k indica posições dos bits.

55. Aparelho de transmissão, de acordo com qualquer uma das reivindicações 48 a 50, caracterizado pelo fato de o mapeador de seqüência ser adaptado para mapear os bits existentes no primeiro período para as posições de bit com confiabilidade mais alta determinada por

$$b_{1x(N-1)-3xk}=d_k$$

em que d indica os bits existentes no primeiro período, b indica os bits com confiabilidade mais alta, e k indica posições dos bits.

56. Aparelho de transmissão, de acordo com qualquer uma das reivindicações 48 a 50, caracterizado pelo fato de o mapeador de seqüência ser adaptado para mapear os bits existentes no segundo período para as posições de bit com confiabilidade mais baixa determinada por

$$b_{3xk-2xN+0}=d_k$$

em que d indica os bits existentes no segundo período, b

indica os bits com confiabilidade mais baixa, e k indica posições dos bits.

57. Aparelho de transmissão, de acordo com qualquer uma das reivindicações 48 a 50, caracterizado pelo fato de o mapeador de seqüência ser adaptado para mapear os bits existentes no segundo período para as posições de bit com confiabilidade mais baixa determinada por

$$b_{3x(N-1)-3xk}=d_k$$

em que d indica os bits existentes no segundo período, b indica os bits com confiabilidade mais baixa, e k indica posições dos bits.

58. Aparelho de transmissão, de acordo com qualquer uma das reivindicações 48 a 50, caracterizado pelo fato de o mapeador de seqüência ser adaptado para mapear os bits existentes no terceiro período para as posições de bit com confiabilidade mais alta determinada por

$$b_{3xk-1xN+1}=d_k$$

em que d indica os bits existentes no terceiro período, b indica os bits com confiabilidade mais alta, e k indica posições dos bits.

59. Método para mapear um fluxo de bits emitido de um codificador turbo para um fluxo de bits rearrumado, o fluxo de bits rearrumado sendo usado para modulação 8PSK, Modulação por deslocamento de fase 8-ária, o método caracterizado pelo fato de compreender as etapas de:

dividir o fluxo de bits do codificador turbo em um primeiro período e um segundo período, em que o primeiro período inclui bits com prioridade mais alta e o segundo período inclui bits com prioridade mais baixa; e

mapear (312) cada bit do fluxo de bits do codificador

turbo para uma das 3 posições de bit de um bit da modulação 8PSK, pelo qual os bits do fluxo rearrumado são determinados por:

$$S_0(i) = x(2N+i)$$

$$5 \quad S_1(i) = x(2i)$$

$$S_2(i) = x(2i+1)$$

onde $x(0) \dots x(2N-1)$ indicam os bits do primeiro período, $x(2N) \dots x(3N-1)$ indicam os bits do segundo período, o número de bits no fluxo de bits emitido do codificador turbo é $3N$, $S_0(i)$ indica um primeiro bit dos 3 bits correspondentes ao i -ésimo bit de modulação PSK 8-ária, $S_1(i)$ indica um segundo bit dos 3 bits correspondentes ao i -ésimo bit de modulação PSK 8-ária, $S_2(i)$ indica um terceiro bit dos 3 bits correspondentes ao i -ésimo bit de modulação PSK 8-ária, e i indica os bits de modulação PSK 8-ária e se estende de 0 a $N-1$.

60. Método para mapear um fluxo de bits emitido de um codificador turbo para um fluxo de bits rearrumado, o fluxo de bits rearrumado sendo usado para modulação 16QAM, Modulação de Amplitude de Quadratura 16-ária, o método caracterizado pelo fato de compreender as etapas de:

dividir o fluxo de bits do codificador turbo em um primeiro período e um segundo período, em que o primeiro período inclui bits com prioridade mais alta e o segundo período inclui bits com prioridade mais baixa; e

mapear (412) cada bit do fluxo de bits do codificador turbo para uma das 4 posições de bit de um bit da modulação 16QAM, pelo qual os bits do fluxo rearrumado são determinados por:

$$30 \quad S_0(i) = x(2N+2i)$$

$$S_1(i) = x(2i)$$

$$S_2(i) = x(2N+2i+1)$$

$$S_3(i) = x(2i+1)$$

onde $x(0) \dots x(2N-1)$ indicam os bits do primeiro período,
 5 $x(2N) \dots x(4N-1)$ indicam os bits do segundo período, o
 número de bits no fluxo de bits emitido do codificador
 turbo é $4N$, $S_0(i)$ indica um primeiro bit dos 4 bits
 correspondentes ao i -ésimo bit de modulação 16QAM, $S_1(i)$
 indica um segundo bit dos 4 bits correspondentes ao i -ésimo
 10 bit de modulação 16QAM, $S_2(i)$ indica um terceiro bit dos 4
 bits correspondentes ao i -ésimo bit de modulação 16QAM,
 $S_3(i)$ indica um quarto bit dos 4 bits correspondentes ao i -
 éximo bit de modulação 16QAM, e i indica os bits de
 modulação 16QAM e se estende de 0 a $N-1$.

15 61. Método para mapear um fluxo de bits emitido de um
 codificador turbo para um fluxo de bits rearrumado, o fluxo
 de bits rearrumado sendo usado para modulação 64QAM,
 Modulação de Amplitude de Quadratura 64-ária, o método
caracterizado pelo fato de compreender as etapas de:

20 dividir o fluxo de bits do codificador turbo em um
 primeiro período, um segundo período, e um terceiro
 período, em que o primeiro período inclui bits com
 prioridade mais alta, o segundo período inclui bits com
 prioridade mais baixa, e o terceiro período inclui bit bits
 25 com prioridade mais baixa que os bits no primeiro período e
 tendo prioridade mais alta que os bits no segundo período;
 e

mapear (512) cada bit do fluxo de bits do codificador
 turbo para uma das 6 posições de bit de um bit da modulação
 30 64QAM, pelo qual os bits do fluxo rearrumado são

determinados por:

$$S_0(i) = x(4N + 2i)$$

$$S_1(i) = x(2N + 2i)$$

$$S_2(i) = x(2i)$$

$$5 \quad S_3(i) = x(4N + 2i + 1)$$

$$S_4(i) = x(2N + 2i + 1)$$

$$S_5(i) = x(2i + 1)$$

onde $x(0) \dots x(2N-1)$ indicam os bits do primeiro período,
 $x(2N) \dots x(4N-1)$ indicam os bits do segundo período,
 10 $x(4N) \dots x(6N-1)$ indicam os bits do terceiro período, o
 número de bits no fluxo de bits emitido do codificador
 turbo é $6N$, $S_0(i)$ indica um primeiro bit dos 6 bits
 correspondentes ao i -ésimo bit de modulação 64QAM, $S_1(i)$
 indica um segundo bit dos 6 bits correspondentes ao i -ésimo
 15 bit de modulação 64QAM, $S_2(i)$ indica um terceiro bit dos 6
 bits correspondentes ao i -ésimo bit de modulação 64QAM,
 $S_3(i)$ indica um quarto bit dos 6 bits correspondentes ao i -
 éximo bit de modulação 64QAM, $S_4(i)$ indica um quinto bit
 dos 6 bits correspondentes ao i -ésimo bit de modulação
 20 64QAM, $S_5(i)$ indica um sexto bit dos 6 bits correspondentes
 ao i -ésimo bit de modulação 64QAM e i indica os bits de
 modulação 64QAM e se estende de 0 a $N-1$.

62. Aparelho de transmissão em um sistema de
 comunicações, caracterizado pelo fato de compreender:

25 um codificador turbo;

um mapeador de seqüência adaptado para dividir o fluxo
 de bits do codificador turbo em um primeiro período e um
 segundo período, em que o primeiro período inclui bits com
 prioridade mais alta e o segundo período inclui bits com
 30 prioridade mais baixa, e para mapear cada bit do fluxo de

bits do codificador turbo para uma das 3 posições de bit de um bit da modulação 8PSK, pelo qual os bits do fluxo rearrumado são determinados por:

$$S_0(i) = x(2N+i)$$

$$5 \quad S_1(i) = x(2i)$$

$$S_2(i) = x(2i+1)$$

onde $x(0) \dots x(2N-1)$ indicam os bits do primeiro período, $x(2N) \dots x(3N-1)$ indicam os bits do segundo período, o número de bits no fluxo de bits emitido do codificador turbo é $3N$, $S_0(i)$ indica um primeiro bit dos 3 bits correspondentes ao i -ésimo bit de modulação PSK 8-ária, $S_1(i)$ indica um segundo bit dos 3 bits correspondentes ao i -ésimo bit de modulação PSK 8-ária, $S_2(i)$ indica um terceiro bit dos 3 bits correspondentes ao i -ésimo bit de modulação PSK 8-ária, e i indica os bits de modulação PSK 8-ária e se estende de 0 a $N-1$; e

um modulador para modulação 8PSK dos bits mapeados.

63. Aparelho de transmissão em um sistema de comunicações, caracterizado pelo fato de compreender:

20 um codificador turbo;

um mapeador de sequência adaptado para dividir o fluxo de bits do codificador turbo em um primeiro período e um segundo período, em que o primeiro período inclui bits com prioridade mais alta e o segundo período inclui bits com prioridade mais baixa, e para mapear cada bit do fluxo de bits do codificador turbo para uma das 4 posições de bit de um bit da modulação 16QAM, pelo qual os bits do fluxo rearrumado são determinados por:

$$S_0(i) = x(2N+2i)$$

$$30 \quad S_1(i) = x(2i)$$

$$S_2(i) = x(2N + 2i + 1)$$

$$S_3(i) = x(2i + 1)$$

onde $x(0) \dots x(2N-1)$ indicam os bits do primeiro período, $x(2N) \dots x(4N-1)$ indicam os bits do segundo período, o número de bits no fluxo de bits emitido do codificador turbo é $4N$, $S_0(i)$ indica um primeiro bit dos 4 bits correspondentes ao i -ésimo bit de modulação 16QAM, $S_1(i)$ indica um segundo bit dos 4 bits correspondentes ao i -ésimo bit de modulação 16QAM, $S_2(i)$ indica um terceiro bit dos 4 bits correspondentes ao i -ésimo bit de modulação 16QAM, $S_3(i)$ indica um quarto bit dos 4 bits correspondentes ao i -ésimo bit de modulação 16QAM, e i indica os bits de modulação 16QAM e se estende de 0 a $N-1$; e

um modulador para modulação 16QAM dos bits mapeados.

64. Aparelho de transmissão em um sistema de comunicações, caracterizado pelo fato de compreender:

um codificador turbo;

um mapeador de sequência adaptado para dividir o fluxo de bits do codificador turbo em um primeiro período, um segundo período, e um terceiro período, em que o primeiro período inclui bits com prioridade mais alta, o segundo período inclui bits com prioridade mais baixa, e o terceiro período inclui bit bits com prioridade mais baixa que os bits no primeiro período e tendo prioridade mais alta que os bits no segundo período, para mapear cada bit dos bits no primeiro período para posições de bit de uma Modulação de amplitude de quadratura 64-ária, 64QAM, bit de modulação com alta confiabilidade, e para mapear cada bit do fluxo de bits do codificador turbo para uma das 6 posições de bit de um bit da modulação 64QAM, pelo qual os bits do fluxo

rearrumado são determinados por:

$$S_0(i) = x(4N + 2i)$$

$$S_1(i) = x(2N + 2i)$$

$$S_2(i) = x(2i)$$

$$5 \quad S_3(i) = x(4N + 2i + 1)$$

$$S_4(i) = x(2N + 2i + 1)$$

$$S_5(i) = x(2i + 1)$$

onde $x(0) \dots x(2N-1)$ indicam os bits do primeiro período,
 $x(2N) \dots x(4N-1)$ indicam os bits do segundo período,
 10 $x(4N) \dots x(6N-1)$ indicam os bits do terceiro período, o
 número de bits no fluxo de bits emitido do codificador
 turbo é $6N$, $S_0(i)$ indica um primeiro bit dos 6 bits
 correspondentes ao i -ésimo bit de modulação 64QAM, $S_1(i)$
 indica um segundo bit dos 6 bits correspondentes ao i -ésimo
 15 bit de modulação 64QAM, $S_2(i)$ indica um terceiro bit dos 6
 bits correspondentes ao i -ésimo bit de modulação 64QAM,
 $S_3(i)$ indica um quarto bit dos 6 bits correspondentes ao i -
 éximo bit de modulação 64QAM, $S_4(i)$ indica um quinto bit
 dos 6 bits correspondentes ao i -ésimo bit de modulação
 20 64QAM, $S_5(i)$ indica um sexto bit dos 6 bits correspondentes
 ao i -ésimo bit de modulação 64QAM e i indica os bits de
 modulação 64QAM e se estende de 0 a $N-1$; e

um modulador para modulação 64QAM dos bits mapeados.

65. Método para mapear um fluxo de bits emitido de um
 25 codificador turbo para um fluxo de bits rearrumado, o fluxo
 de bits rearrumado sendo usado para modulação 8PSK,
 Modulação por deslocamento de fase 8-ária, o método
caracterizado pelo fato de compreender as etapas de:

dividir o fluxo de bits do codificador turbo em um
 30 primeiro período e um segundo período, em que o primeiro

período inclui bits com prioridade mais alta e o segundo período inclui bits com prioridade mais baixa; e

mapear (612) cada bit do fluxo de bits do codificador turbo para uma das 3 posições de bit de um bit da modulação 8PSK, pelo qual os bits do fluxo rearrumado são determinados por:

$$S_0(N-1-i)=x(2N+i)$$

$$S_1(N-1-i)=x(2i+1)$$

$$S_2(N-1-i)=x(2i)$$

onde $x(0) \dots x(2N-1)$ indicam os bits do primeiro período, $x(2N) \dots x(3N-1)$ indicam os bits do segundo período, o número de bits no fluxo de bits emitido do codificador turbo é $3N$, $S_0(i)$ indica um primeiro bit dos 3 bits correspondentes ao i -ésimo bit de modulação PSK 8-ária, $S_1(i)$ indica um segundo bit dos 3 bits correspondentes ao i -ésimo bit de modulação PSK 8-ária, $S_2(i)$ indica um terceiro bit dos 3 bits correspondentes ao i -ésimo bit de modulação PSK 8-ária, e i indica os bits de modulação PSK 8-ária e se estende de 0 a $N-1$.

66. Método para mapear um fluxo de bits emitido de um codificador turbo para um fluxo de bits rearrumado, o fluxo de bits rearrumado sendo usado para modulação 16QAM, Modulação de Amplitude de Quadratura 16-ária, o método caracterizado pelo fato de compreender as etapas de:

dividir o fluxo de bits do codificador turbo em um primeiro período e um segundo período, em que o primeiro período inclui bits com prioridade mais alta e o segundo período inclui bits com prioridade mais baixa; e

mapear (712) cada bit do fluxo de bits do codificador turbo para uma das 4 posições de bit de um bit da modulação

16QAM, pelo qual os bits do fluxo rearrumado são determinados por:

$$S_0(N-1-i) = x(2N+2i+1)$$

$$S_1(N-1-i) = x(2i+1)$$

$$5 \quad S_2(N-1-i) = x(2N+2i)$$

$$S_3(N-1-i) = x(2i)$$

onde $x(0) \dots x(2N-1)$ indicam os bits do primeiro período, $x(2N) \dots x(4N-1)$ indicam os bits do segundo período, o número de bits no fluxo de bits emitido do codificador turbo é $4N$, $S_0(i)$ indica um primeiro bit dos 4 bits correspondentes ao i -ésimo bit de modulação 16QAM, $S_1(i)$ indica um segundo bit dos 4 bits correspondentes ao i -ésimo bit de modulação 16QAM, $S_2(i)$ indica um terceiro bit dos 4 bits correspondentes ao i -ésimo bit de modulação 16QAM, $S_3(i)$ indica um quarto bit dos 4 bits correspondentes ao i -ésimo bit de modulação 16QAM, e i indica os bits de modulação 16QAM e se estende de 0 a $N-1$.

67. Método para mapear um fluxo de bits emitido de um codificador turbo para um fluxo de bits rearrumado, o fluxo de bits rearrumado sendo usado para modulação 64QAM, Modulação de Amplitude de Quadratura 64-ária, o método caracterizado pelo fato de compreender as etapas de:

dividir o fluxo de bits do codificador turbo em um primeiro período, um segundo período, e um terceiro período, em que o primeiro período inclui bits com prioridade mais alta, o segundo período inclui bits com prioridade mais baixa, e o terceiro período inclui bits com prioridade mais baixa que os bits no primeiro período e tendo prioridade mais alta que os bits no segundo período;

30 e

mapear (812) cada bit do fluxo de bits do codificador turbo para uma das 6 posições de bit de um bit da modulação 64QAM, pelo qual os bits do fluxo rearrumado são determinados por:

$$\begin{aligned}
 5 \quad & S_0(N-1-i) = x(4N+2i+1) \\
 & S_1(N-1-i) = x(2N+2i+1) \\
 & S_2(N-1-i) = x(2i+1) \\
 & S_3(N-1-i) = x(4N+2i) \\
 & S_4(N-1-i) = x(2N+2i) \\
 10 \quad & S_5(N-1-i) = x(2i)
 \end{aligned}$$

onde $x(0) \dots x(2N-1)$ indicam os bits do primeiro período, $x(2N) \dots x(4N-1)$ indicam os bits do segundo período, $x(4N) \dots x(6N-1)$ indicam os bits do terceiro período, o número de bits no fluxo de bits emitido do codificador turbo é $6N$, $S_0(i)$ indica um primeiro bit dos 6 bits correspondentes ao i -ésimo bit de modulação 64QAM, $S_1(i)$ indica um segundo bit dos 6 bits correspondentes ao i -ésimo bit de modulação 64QAM, $S_2(i)$ indica um terceiro bit dos 6 bits correspondentes ao i -ésimo bit de modulação 64QAM, $S_3(i)$ indica um quarto bit dos 6 bits correspondentes ao i -ésimo bit de modulação 64QAM, $S_4(i)$ indica um quinto bit dos 6 bits correspondentes ao i -ésimo bit de modulação 64QAM, $S_5(i)$ indica um sexto bit dos 6 bits correspondentes ao i -ésimo bit de modulação 64QAM e i indica os bits de modulação 64QAM e se estende de 0 a $N-1$.

68. Aparelho de transmissão em um sistema de comunicações, caracterizado pelo fato de compreender:

um codificador turbo;

um mapeador de seqüência adaptado para dividir o fluxo de bits do codificador turbo em um primeiro período e um

segundo período, em que o primeiro período inclui bits com prioridade mais alta e o segundo período inclui bits com prioridade mais baixa, e para mapear cada bit do fluxo de bits do codificador turbo para uma das 3 posições de bit de um bit da modulação 8PSK, pelo qual os bits do fluxo rearrumado são determinados por:

$$S_0(N-1-i)=x(2N+i)$$

$$S_1(N-1-i)=x(2i+1)$$

$$S_2(N-1-i)=x(2i)$$

onde $x(0) \dots x(2N-1)$ indicam os bits do primeiro período, $x(2N) \dots x(3N-1)$ indicam os bits do segundo período, o número de bits no fluxo de bits emitido do codificador turbo é $3N$, $S_0(i)$ indica um primeiro bit dos 3 bits correspondentes ao i -ésimo bit de modulação PSK 8-ária, $S_1(i)$ indica um segundo bit dos 3 bits correspondentes ao i -ésimo bit de modulação PSK 8-ária, $S_2(i)$ indica um terceiro bit dos 3 bits correspondentes ao i -ésimo bit de modulação PSK 8-ária, e i indica os bits de modulação PSK 8-ária e se estende de 0 a $N-1$; e

um modulador para modulação 8PSK dos bits mapeados.

69. Aparelho de transmissão em um sistema de comunicações, caracterizado pelo fato de compreender:

um codificador turbo;

um mapeador de seqüência adaptado para dividir o fluxo de bits do codificador turbo em um primeiro período e um segundo período, em que o primeiro período inclui bits com prioridade mais alta e o segundo período inclui bits com prioridade mais baixa, e para mapear cada bit do fluxo de bits do codificador turbo para uma das 4 posições de bit de um bit da modulação 16QAM, pelo qual os bits do fluxo

rearrumado são determinados por:

$$S_0(N-1-i) = x(2N+2i+1)$$

$$S_1(N-1-i) = x(2i+1)$$

$$S_2(N-1-i) = x(2N+2i)$$

$$5 \quad S_3(N-1-i) = x(2i)$$

onde $x(0) \dots x(2N-1)$ indicam os bits do primeiro período, $x(2N) \dots x(4N-1)$ indicam os bits do segundo período, o número de bits no fluxo de bits emitido do codificador turbo é $4N$, $S_0(i)$ indica um primeiro bit dos 4 bits correspondentes ao i -ésimo bit de modulação 16QAM, $S_1(i)$ indica um segundo bit dos 4 bits correspondentes ao i -ésimo bit de modulação 16QAM, $S_2(i)$ indica um terceiro bit dos 4 bits correspondentes ao i -ésimo bit de modulação 16QAM, $S_3(i)$ indica um quarto bit dos 4 bits correspondentes ao i -ésimo bit de modulação 16QAM, e i indica os bits de modulação 16QAM e se estende de 0 a $N-1$; e

um modulador para modulação 16QAM dos bits mapeados.

70. Aparelho de transmissão em um sistema de comunicações, caracterizado pelo fato de compreender:

20 um codificador turbo;

um mapeador de sequência adaptado para dividir o fluxo de bits do codificador turbo em um primeiro período, um segundo período, e um terceiro período, em que o primeiro período inclui bits com prioridade mais alta, o segundo período inclui bits com prioridade mais baixa, e o terceiro período inclui bits com prioridade mais baixa que os bits no primeiro período e tendo prioridade mais alta que os bits no segundo período, para mapear cada bit dos bits no primeiro período para posições de bit de uma Modulação de amplitude de quadratura 64-ária, 64QAM, bit de modulação

25

30

com alta confiabilidade, e para mapear cada bit do fluxo de bits do codificador turbo para uma das 6 posições de bit de um bit da modulação 64QAM, pelo qual os bits do fluxo rearrumado são determinados por:

$$\begin{aligned}
 5 \quad & S_0(N-1-i) = x(4N+2i+1) \\
 & S_1(N-1-i) = x(2N+2i+1) \\
 & S_2(N-1-i) = x(2i+1) \\
 & S_3(N-1-i) = x(4N+2i) \\
 & S_4(N-1-i) = x(2N+2i) \\
 10 \quad & S_5(N-1-i) = x(2i)
 \end{aligned}$$

onde $x(0) \dots x(2N-1)$ indicam os bits do primeiro período, $x(2N) \dots x(4N-1)$ indicam os bits do segundo período, $x(4N) \dots x(6N-1)$ indicam os bits do terceiro período, o número de bits no fluxo de bits emitido do codificador turbo é $6N$, $S_0(i)$ indica um primeiro bit dos 6 bits correspondentes ao i -ésimo bit de modulação 64QAM, $S_1(i)$ indica um segundo bit dos 6 bits correspondentes ao i -ésimo bit de modulação 64QAM, $S_2(i)$ indica um terceiro bit dos 6 bits correspondentes ao i -ésimo bit de modulação 64QAM, $S_3(i)$ indica um quarto bit dos 6 bits correspondentes ao i -ésimo bit de modulação 64QAM, $S_4(i)$ indica um quinto bit dos 6 bits correspondentes ao i -ésimo bit de modulação 64QAM, $S_5(i)$ indica um sexto bit dos 6 bits correspondentes ao i -ésimo bit de modulação 64QAM e i indica os bits de modulação 64QAM e se estende de 0 a $N-1$; e

um modulador para modulação 64QAM dos bits mapeados.

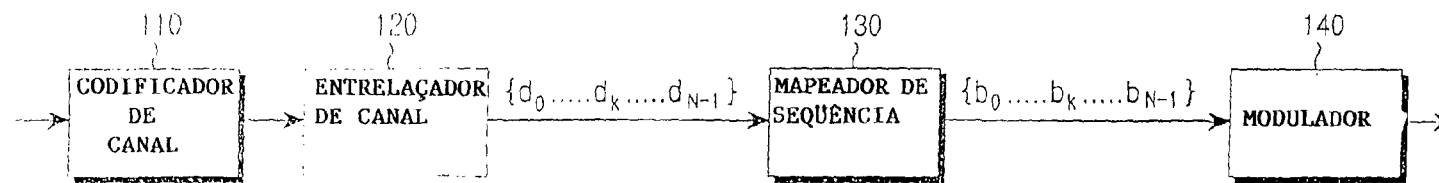


FIG.1

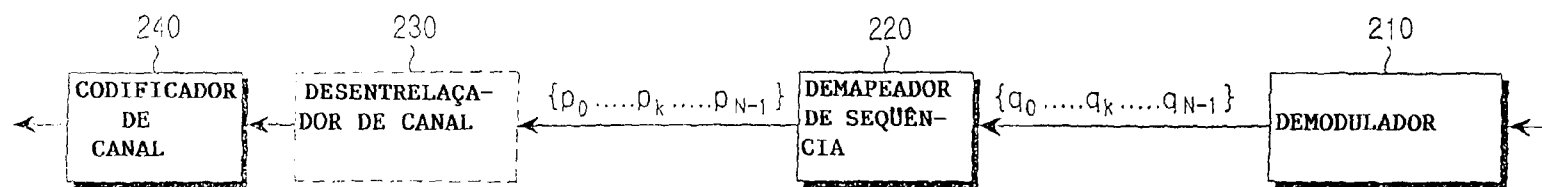


FIG.2

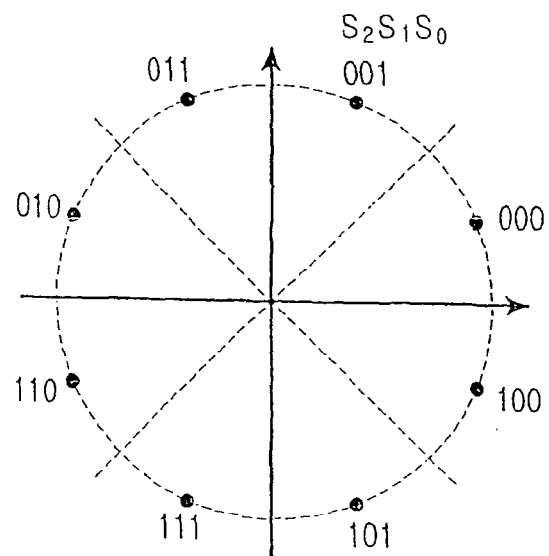


FIG.3

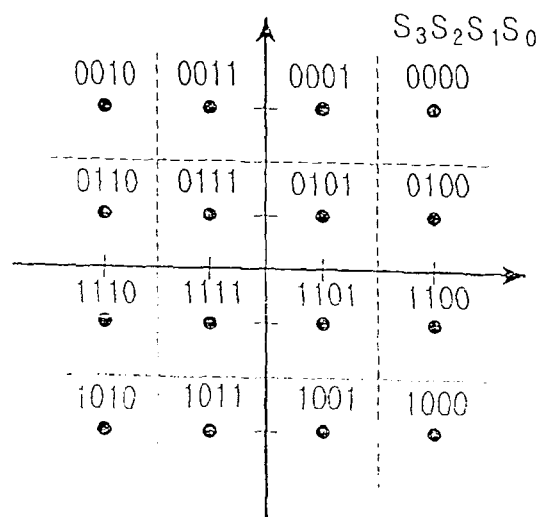


FIG.4

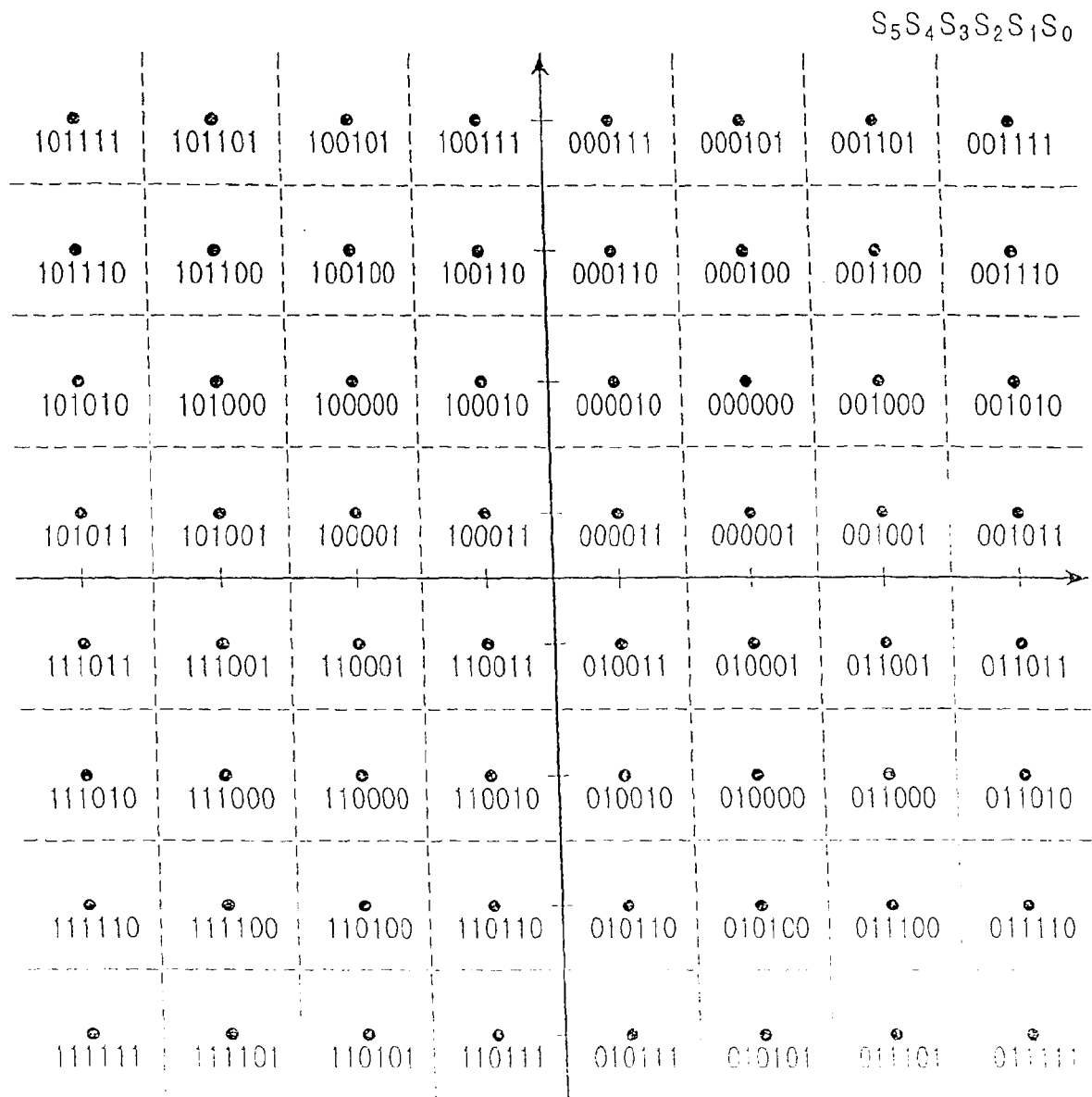


FIG.5

NÍVEL DE POTÊNCIA
ALOCADA



FIG.6

NÍVEL DE POTÊNCIA
ALOCADA



FIG.7

NÍVEL DE POTÊNCIA
ALOCADA

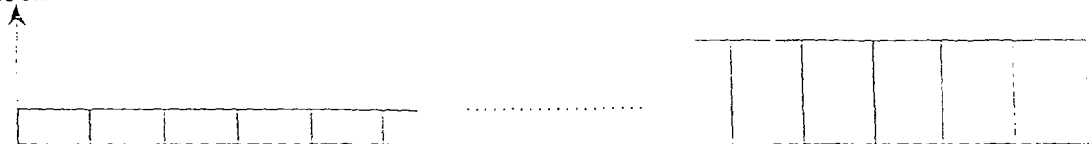


FIG.8

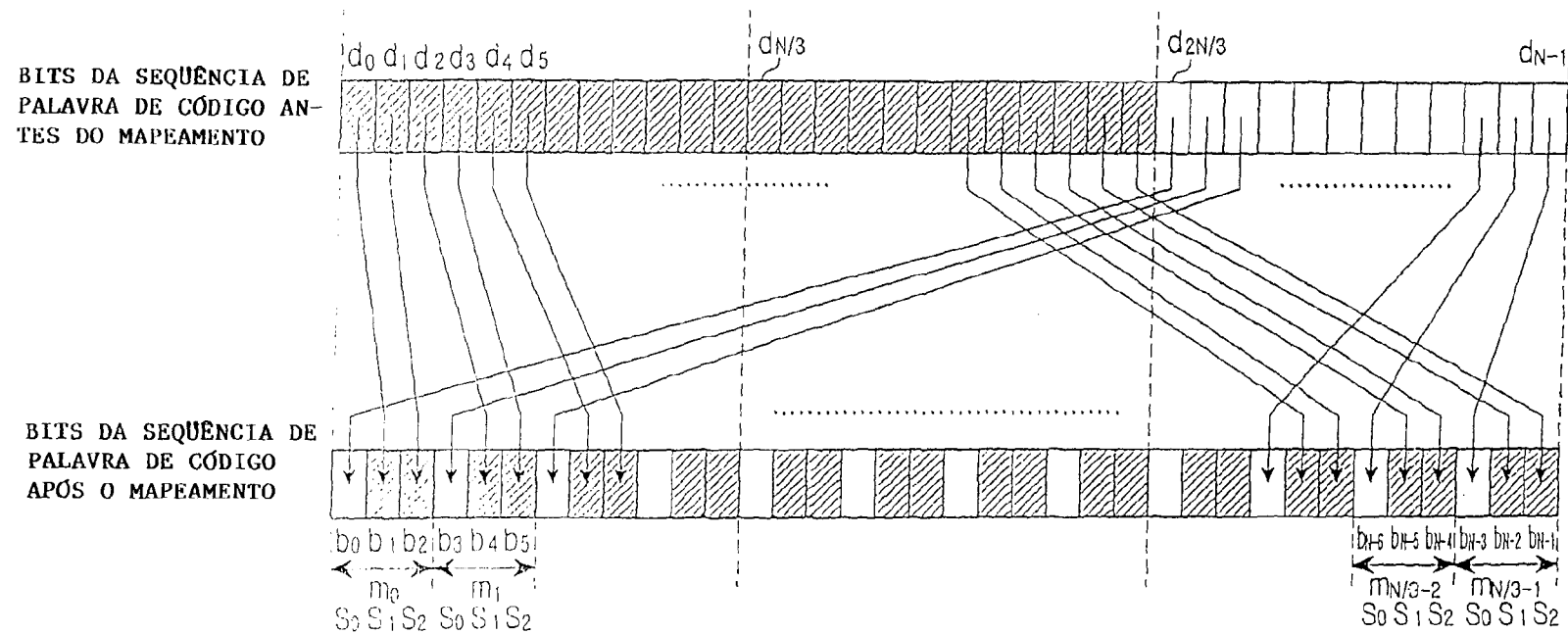


FIG.9

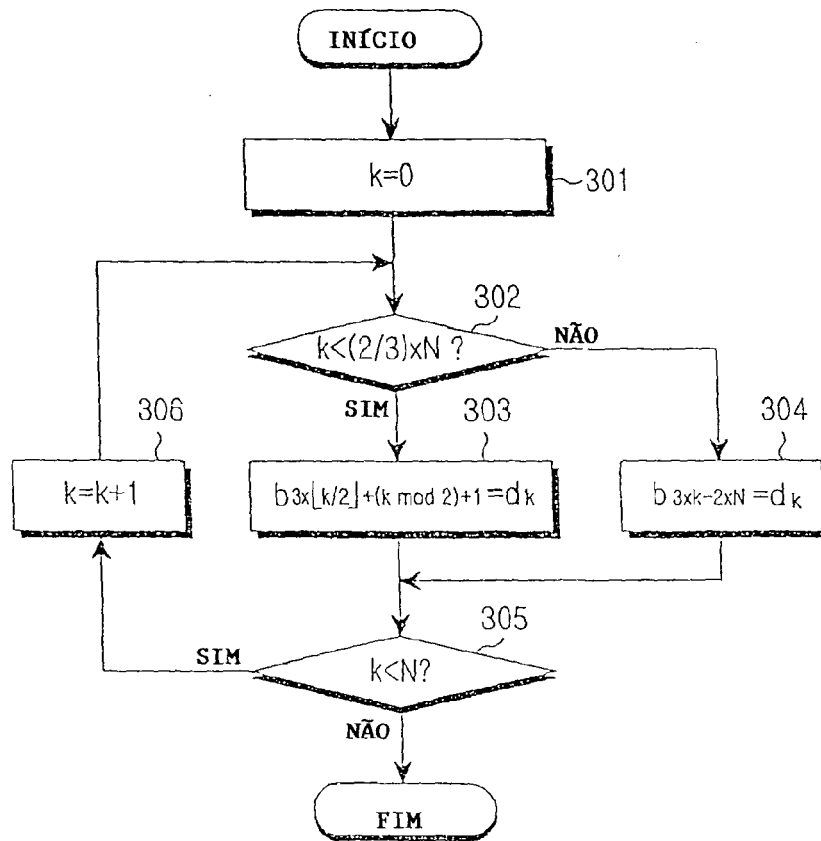


FIG.10

BITS DA SEQUÊNCIA DE
PALAVRA DE CÓDIGO AN-
TES DO MAPEAMENTO

BITS DA SEQUÊNCIA DE
PALAVRA DE CÓDIGO
APÓS O MAPEAMENTO

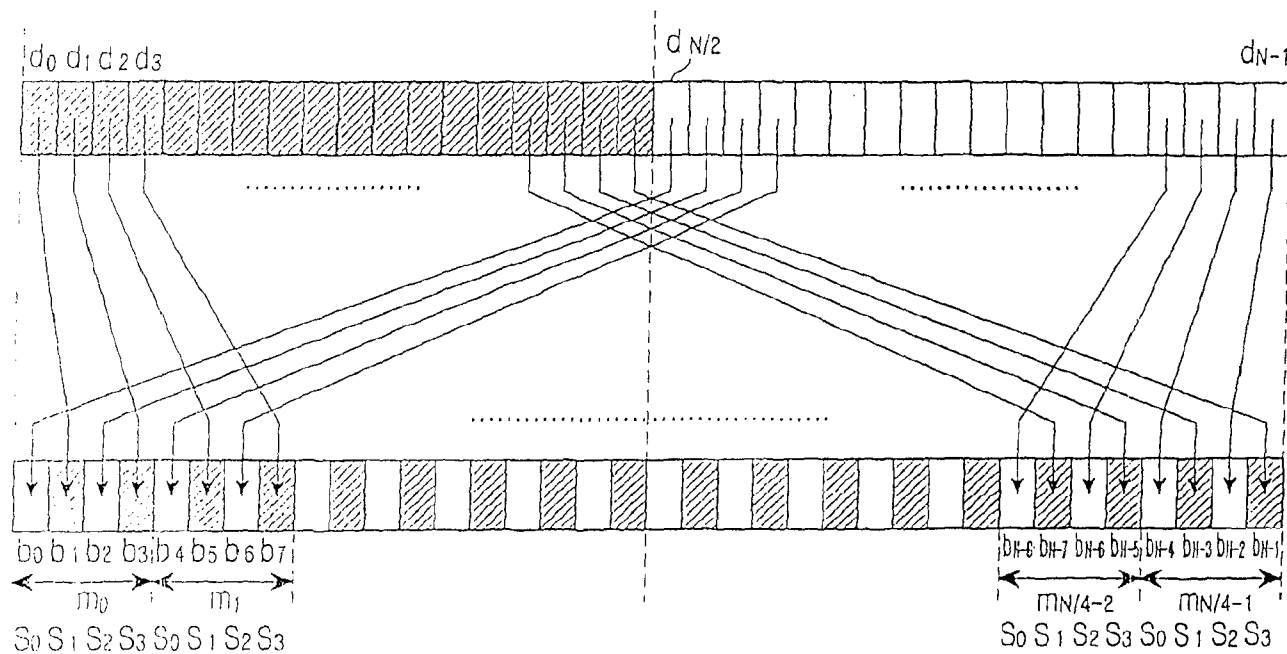


FIG11

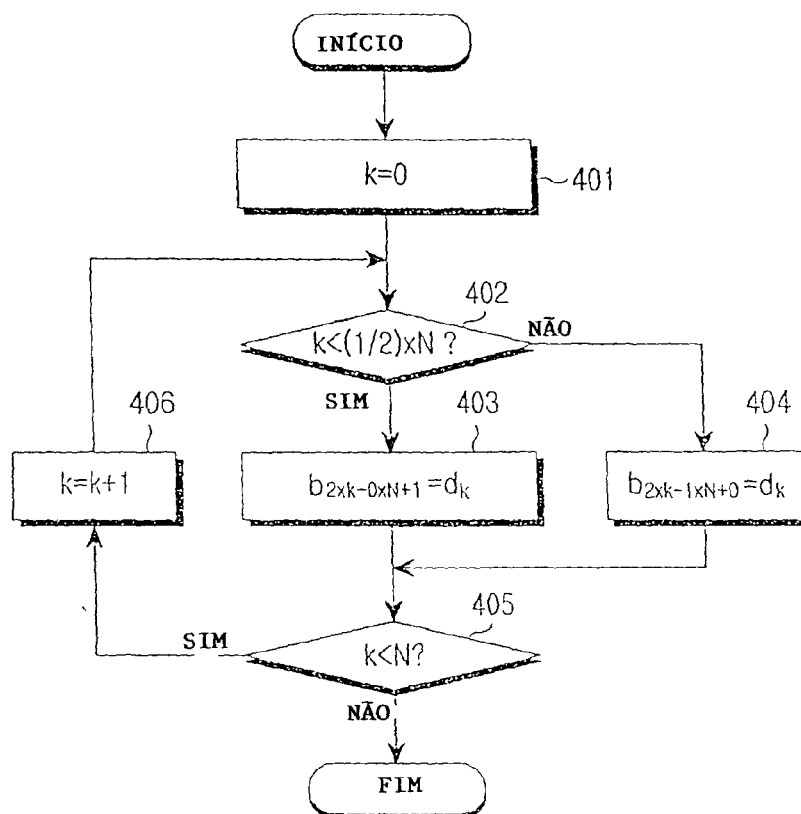


FIG.12

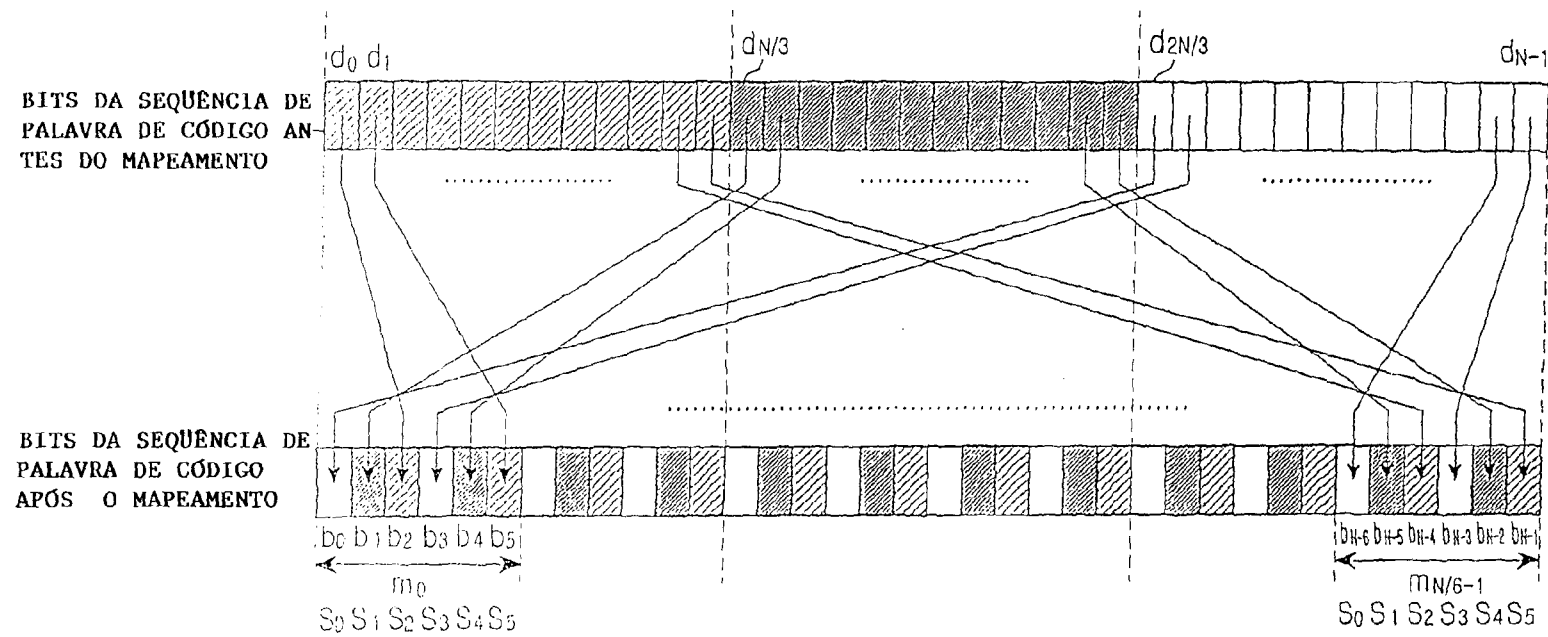


FIG.13

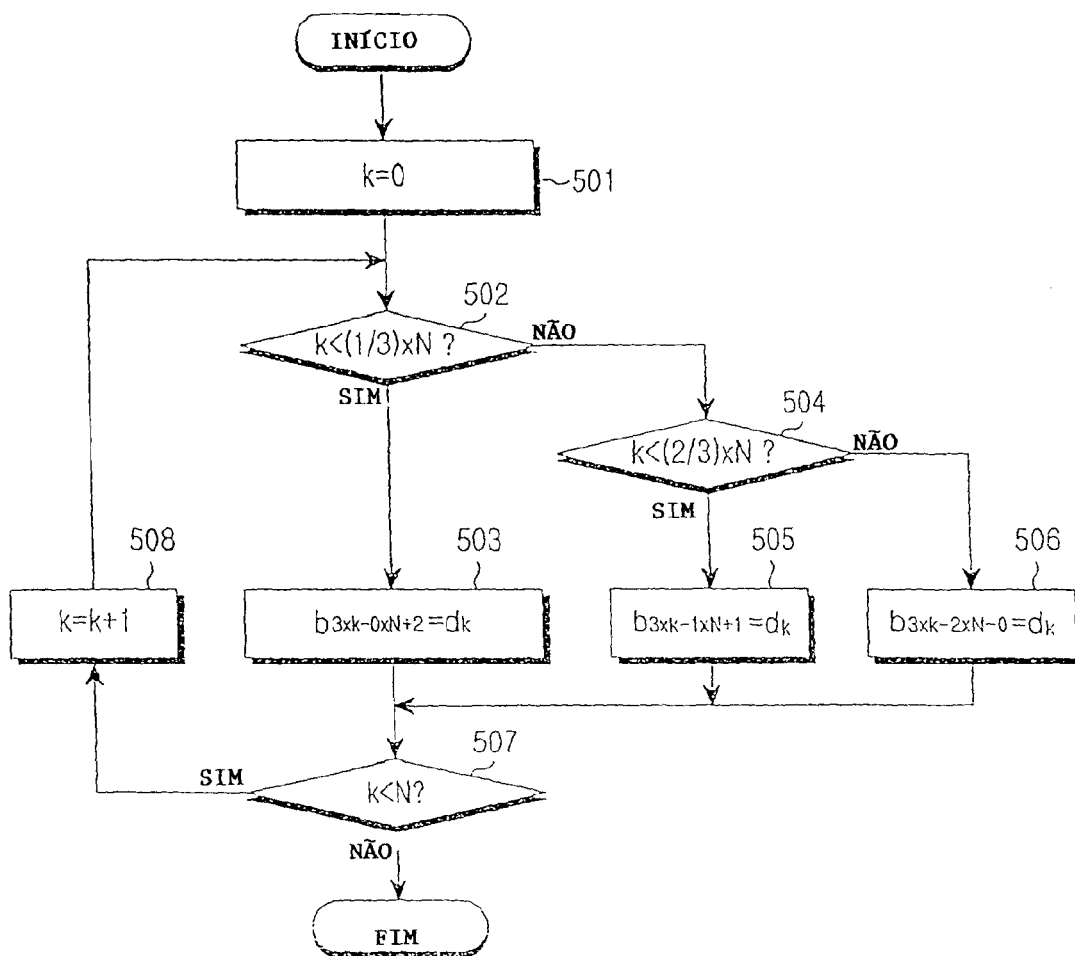


FIG. 14

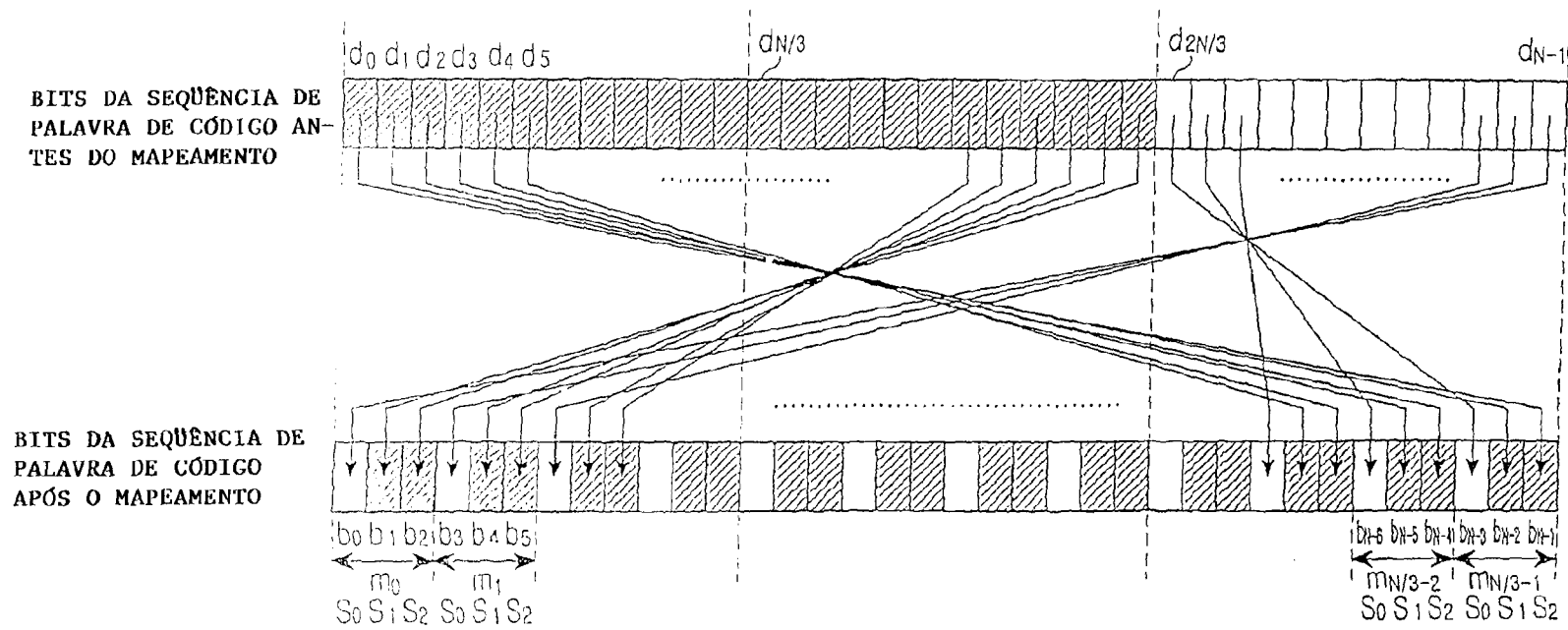


FIG.15

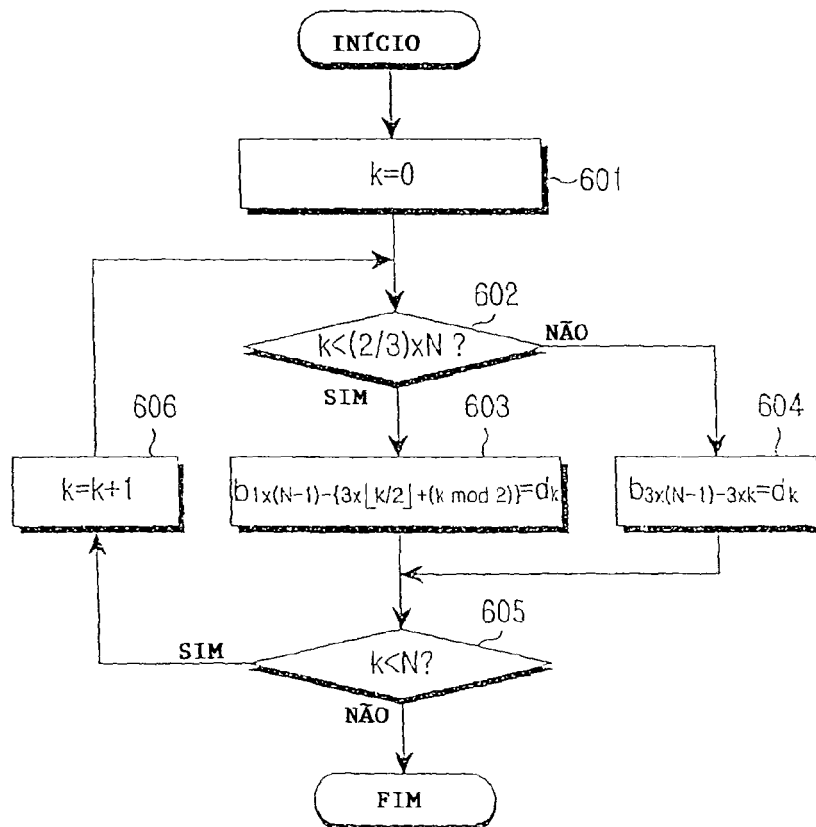


FIG.16

BITS DA SEQUÊNCIA DE
PALAVRA DE CÓDIGO AN-
TES DO MAPEAMENTO

BITS DA SEQUÊNCIA DE
PALAVRA DE CÓDIGO
APÓS O MAPEAMENTO

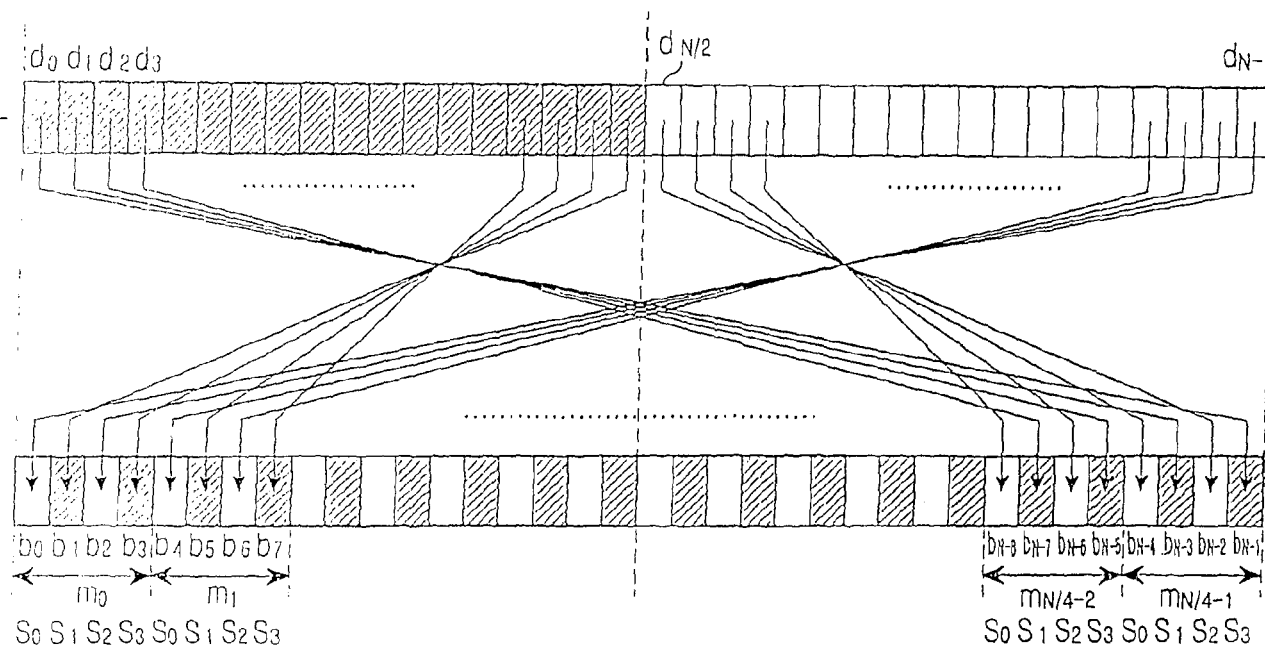


FIG.17

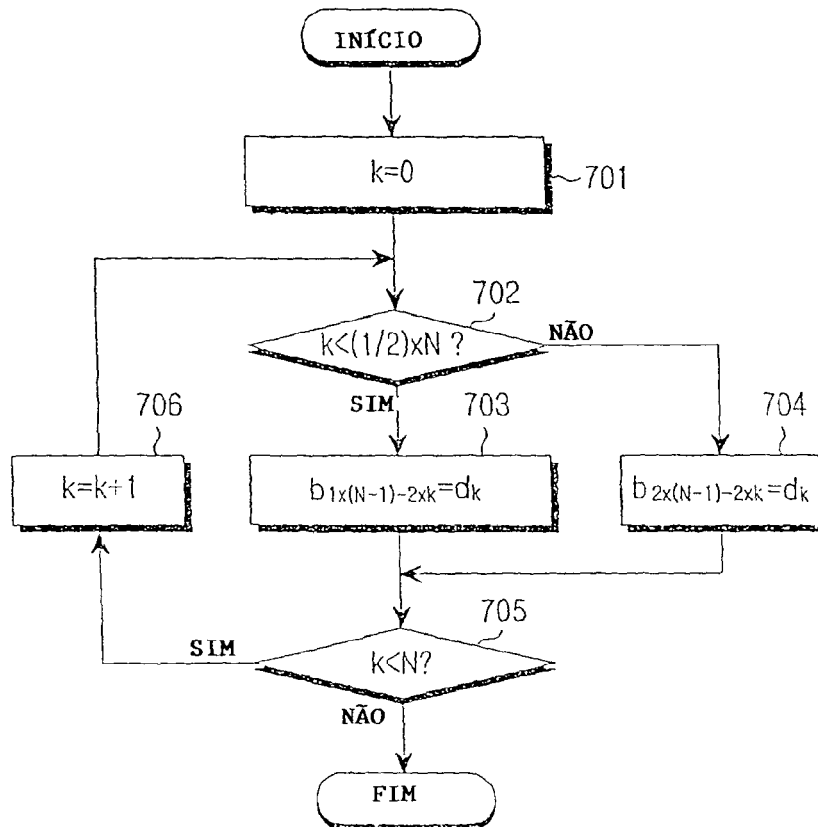


FIG.18

BITS DA SEQUÊNCIA DE
PALAVRA DE CÓDIGO ANTES
DO MAPEAMENTO

BITS DA SEQUÊNCIA DE
PALAVRA DE CÓDIGO
APÓS O MAPEAMENTO

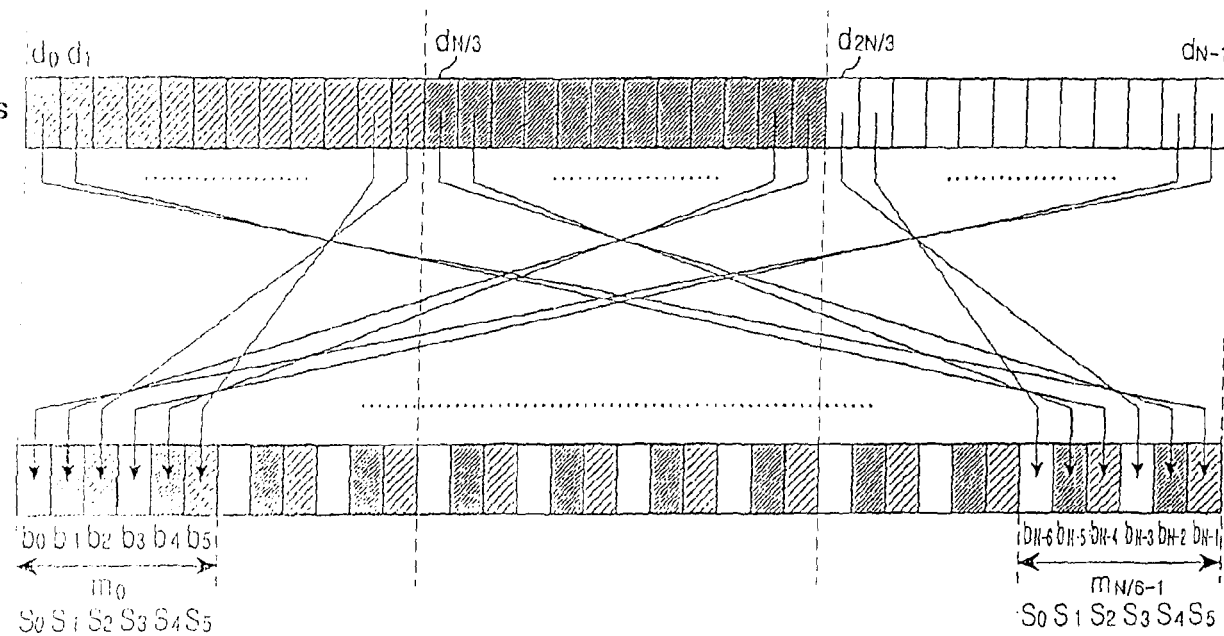


FIG.19

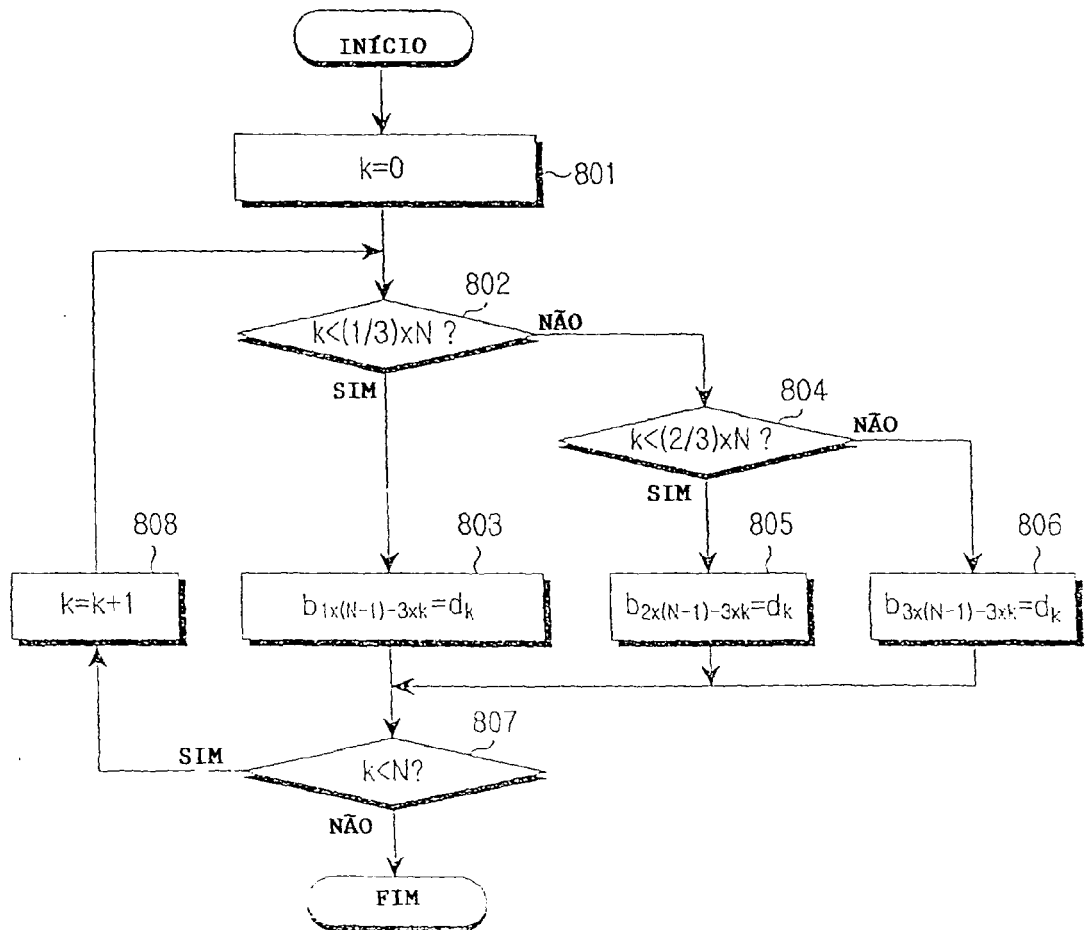


FIG. 20

BITS DA SEQUÊNCIA DE
PALAVRA DE CÓDIGO AN-
TES DO MAPEAMENTO

BITS DA SEQUÊNCIA DE
PALAVRA DE CÓDIGO
APÓS O MAPEAMENTO

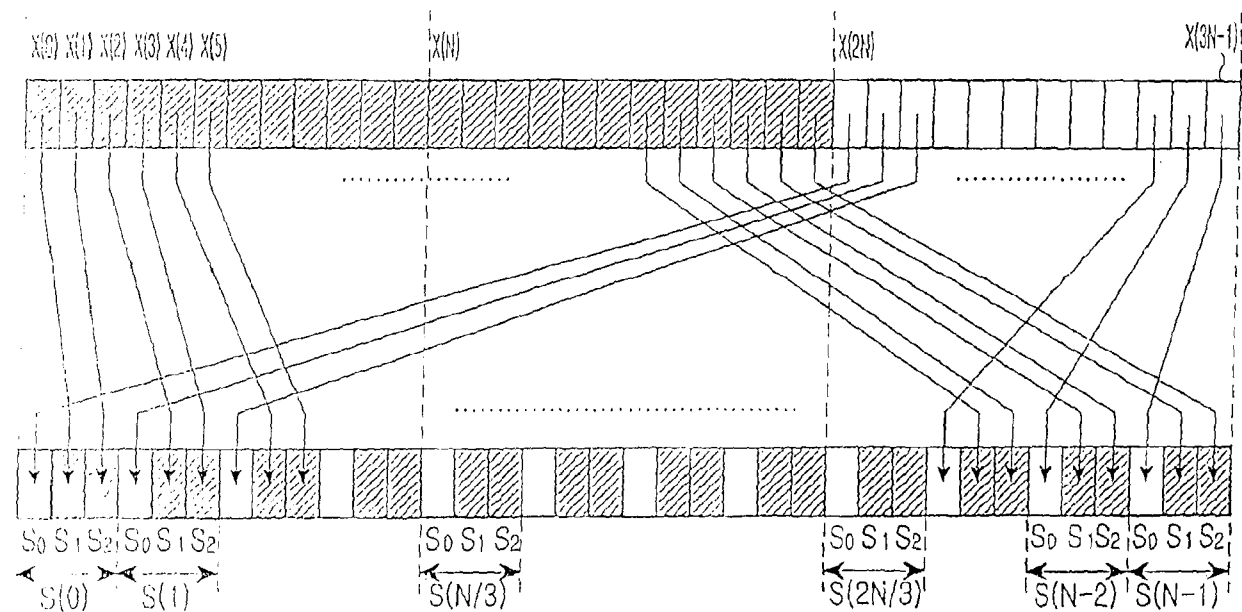


FIG.21

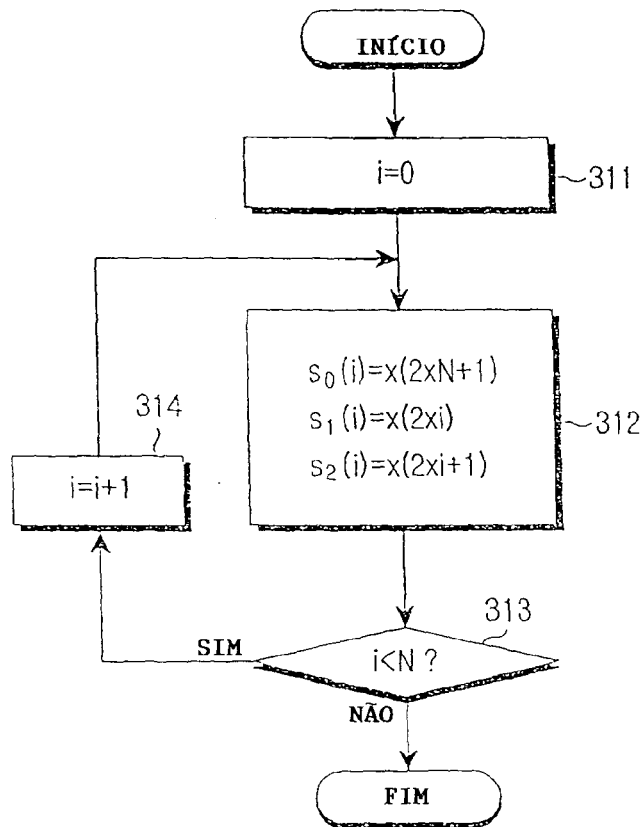


FIG.22

BITS DA SEQUÊNCIA DE
PALAVRA DE CÓDIGO AN-
TES DO MAPEAMENTO

BITS DA SEQUÊNCIA DE
PALAVRA DE CÓDIGO
APÓS O MAPEAMENTO

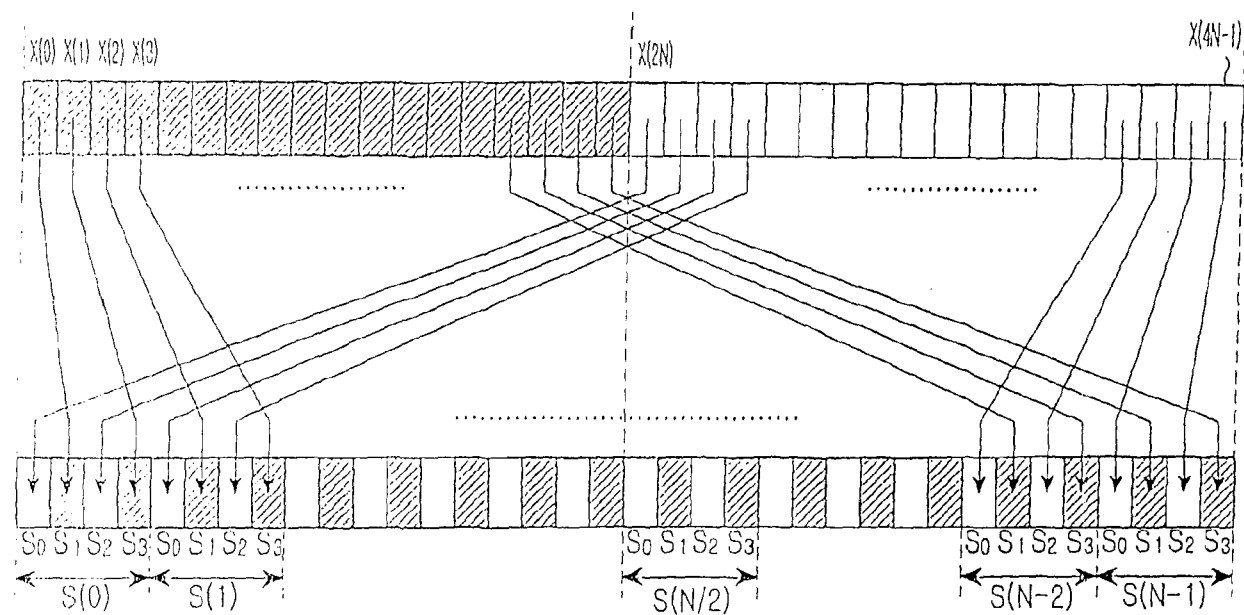


FIG.23

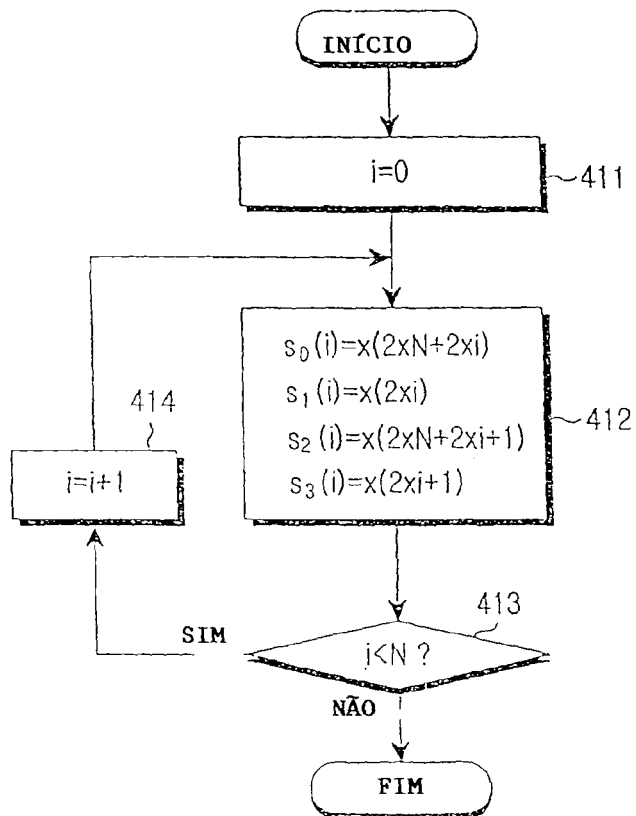


FIG.24

BITS DA SEQUÊNCIA DE
PALAVRA DE CÓDIGO AN-
TES DO MAPEAMENTO

BITS DA SEQUÊNCIA DE
PALAVRA DE CÓDIGO APÓS
O MAPEAMENTO

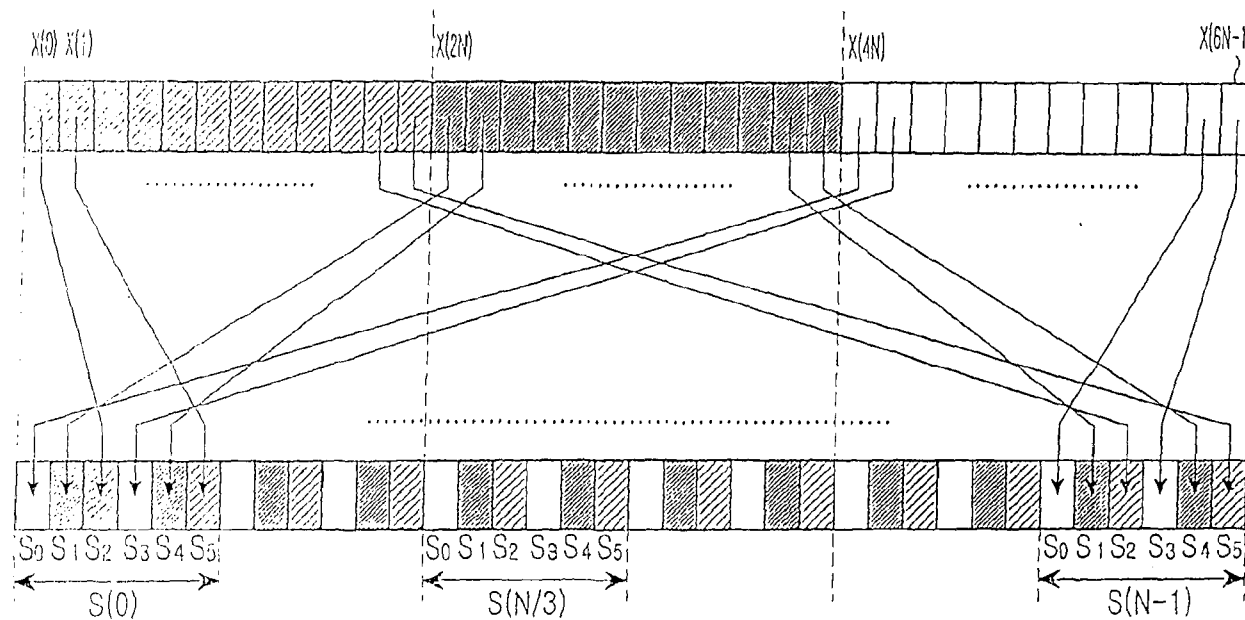


FIG.25

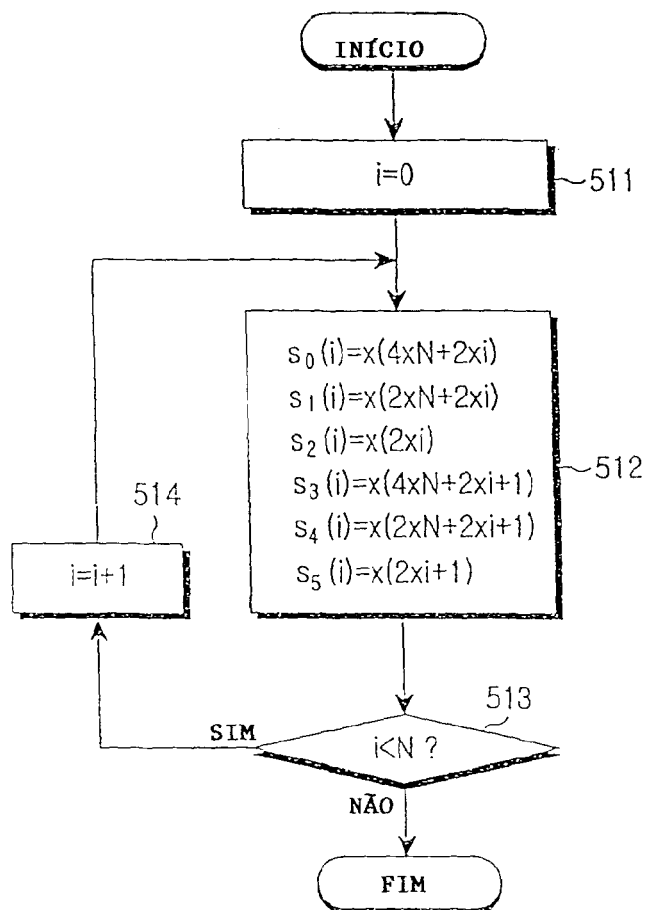


FIG.26

BITS DA SEQUÊNCIA DE
PALAVRA DE CÓDIGO AN-
TES DO MAPEAMENTO

BITS DA SEQUÊNCIA DE
PALAVRA DE CÓDIGO
APÓS O MAPEAMENTO

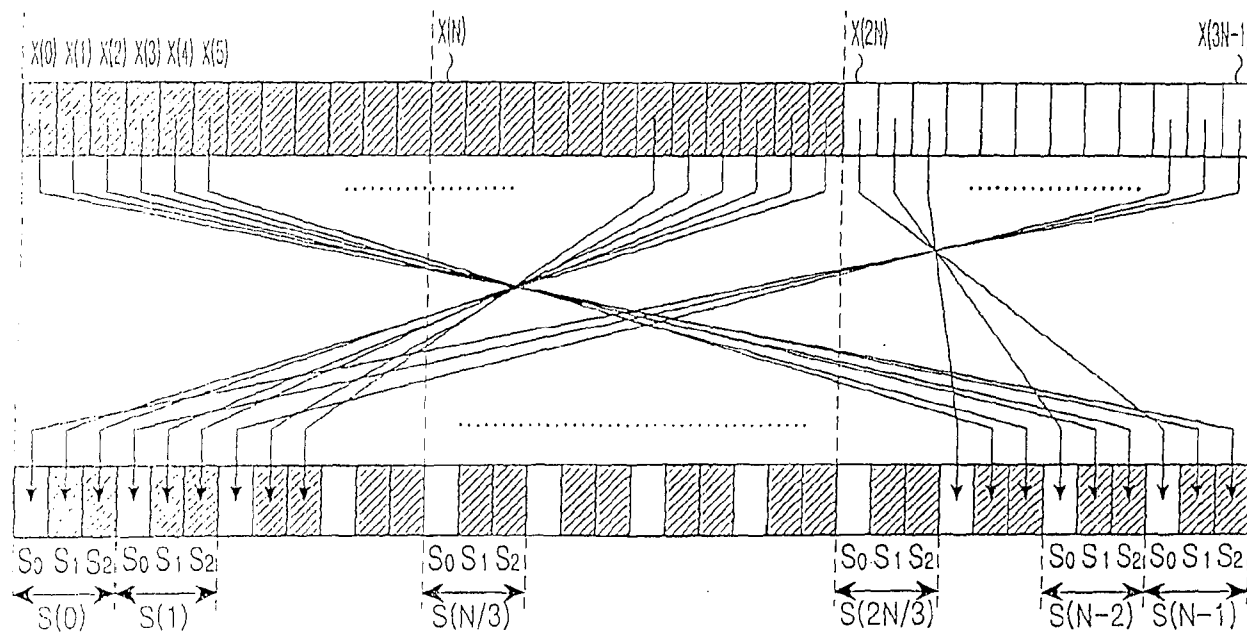


FIG.27

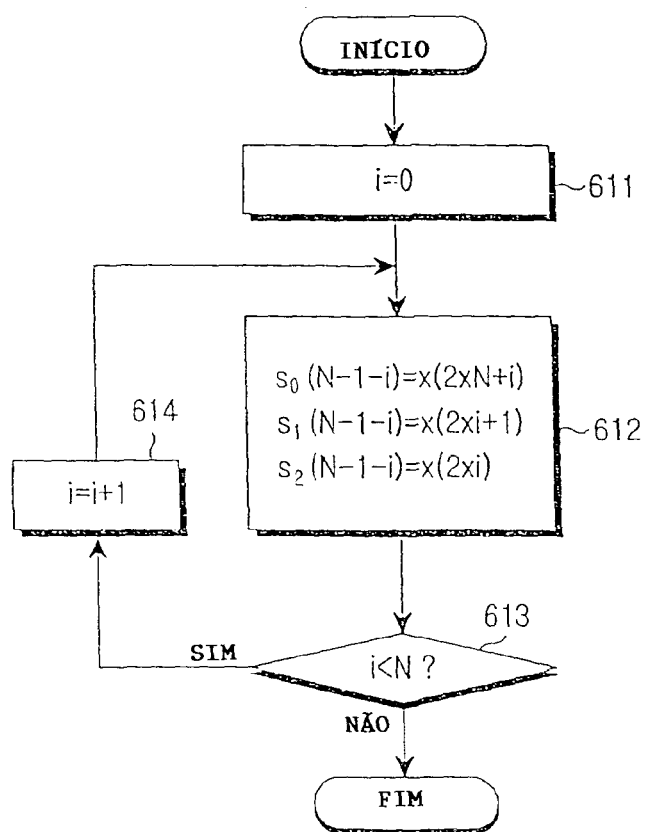


FIG.28

BITS DA SEQUÊNCIA DE
PALAVRA DE CÓDIGO ANTES
DO MAPEAMENTO

BITS DA SEQUÊNCIA DE
PALAVRA DE CÓDIGO
APÓS O MAPEAMENTO

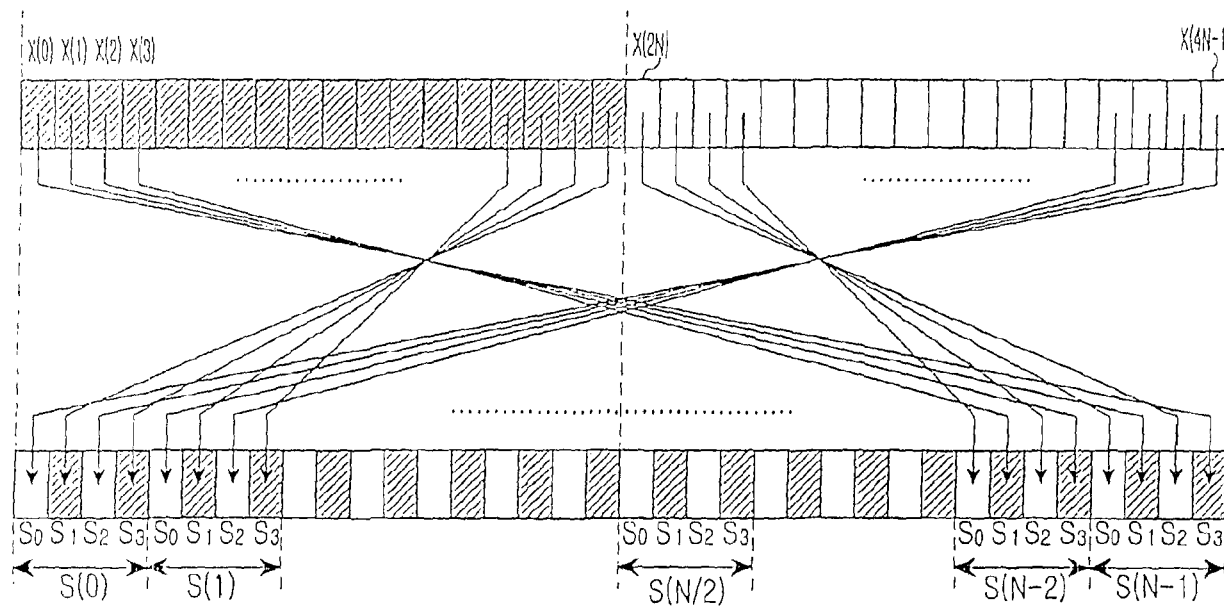


FIG.29

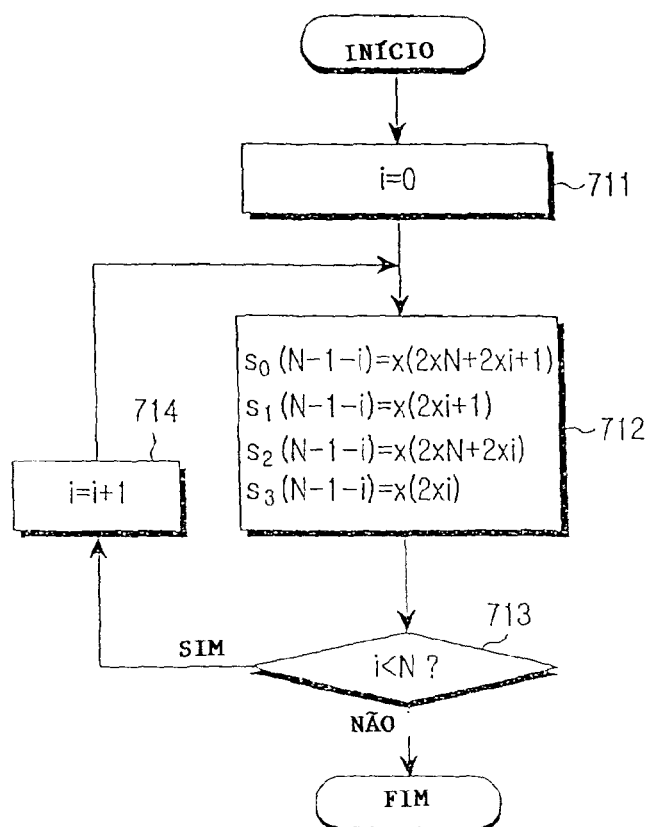


FIG.30

BITS DA SEQUÊNCIA DE
PALAVRA DE CÓDIGO AN-
TES DO MAPEAMENTO

BITS DA SEQUÊNCIA DE
PALAVRA DE CÓDIGO
APÓS O MAPEAMENTO

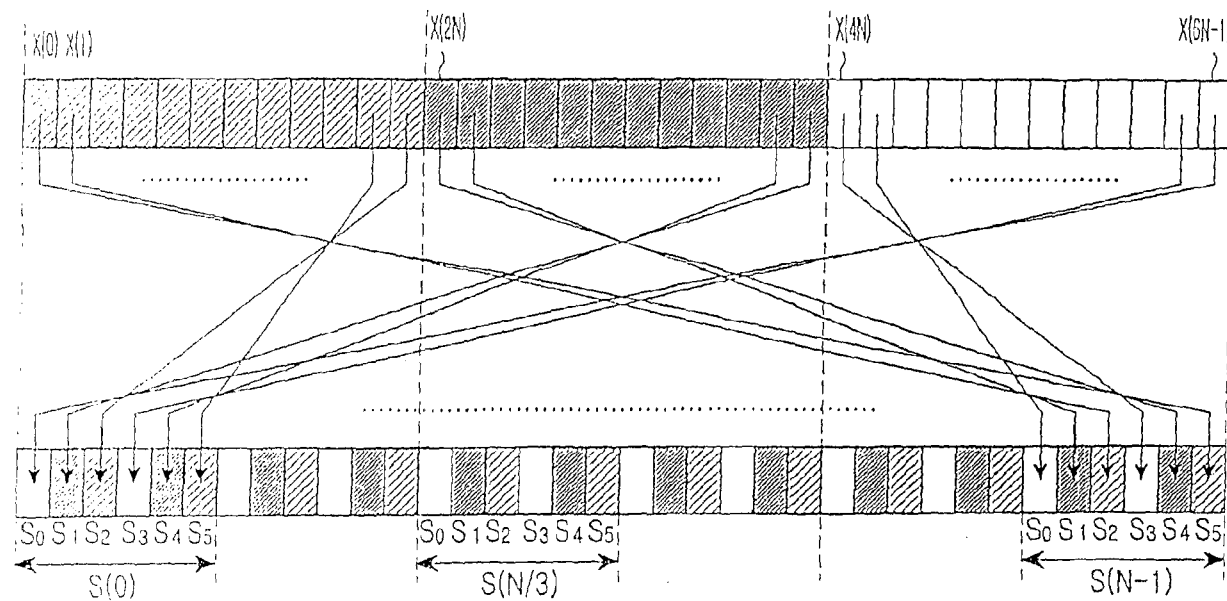


FIG.31

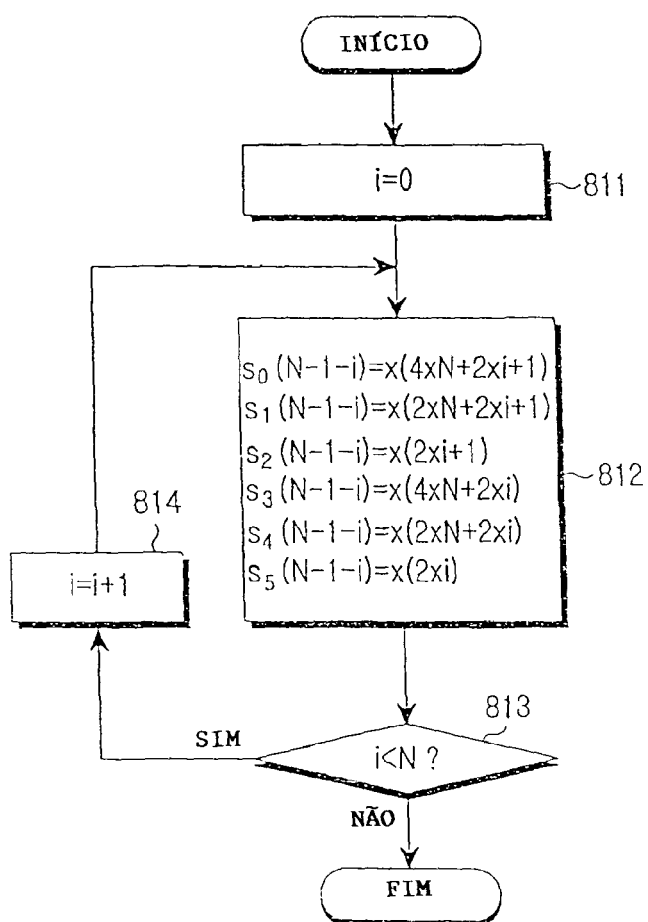


FIG.32

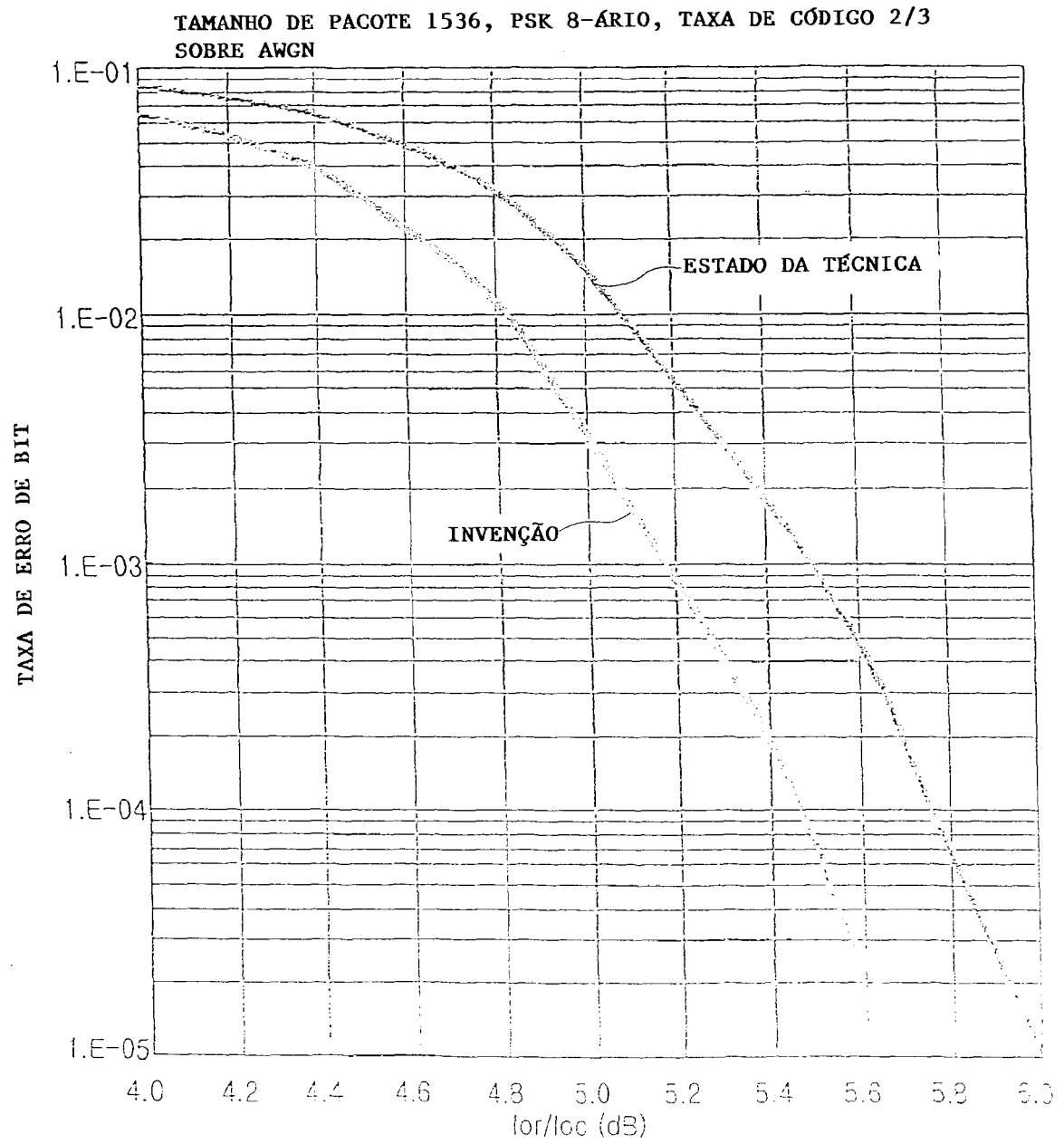


FIG.33

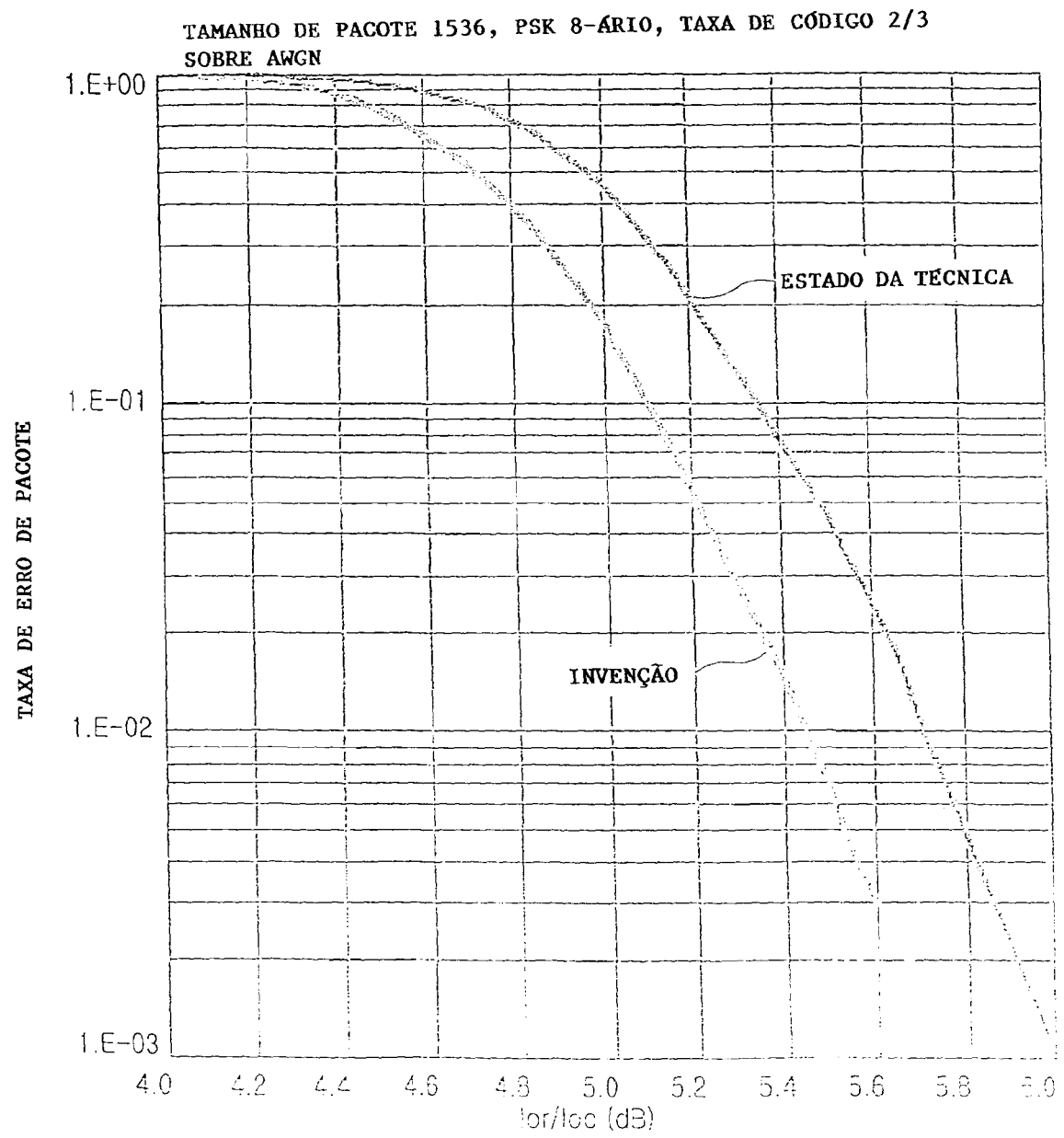


FIG.34

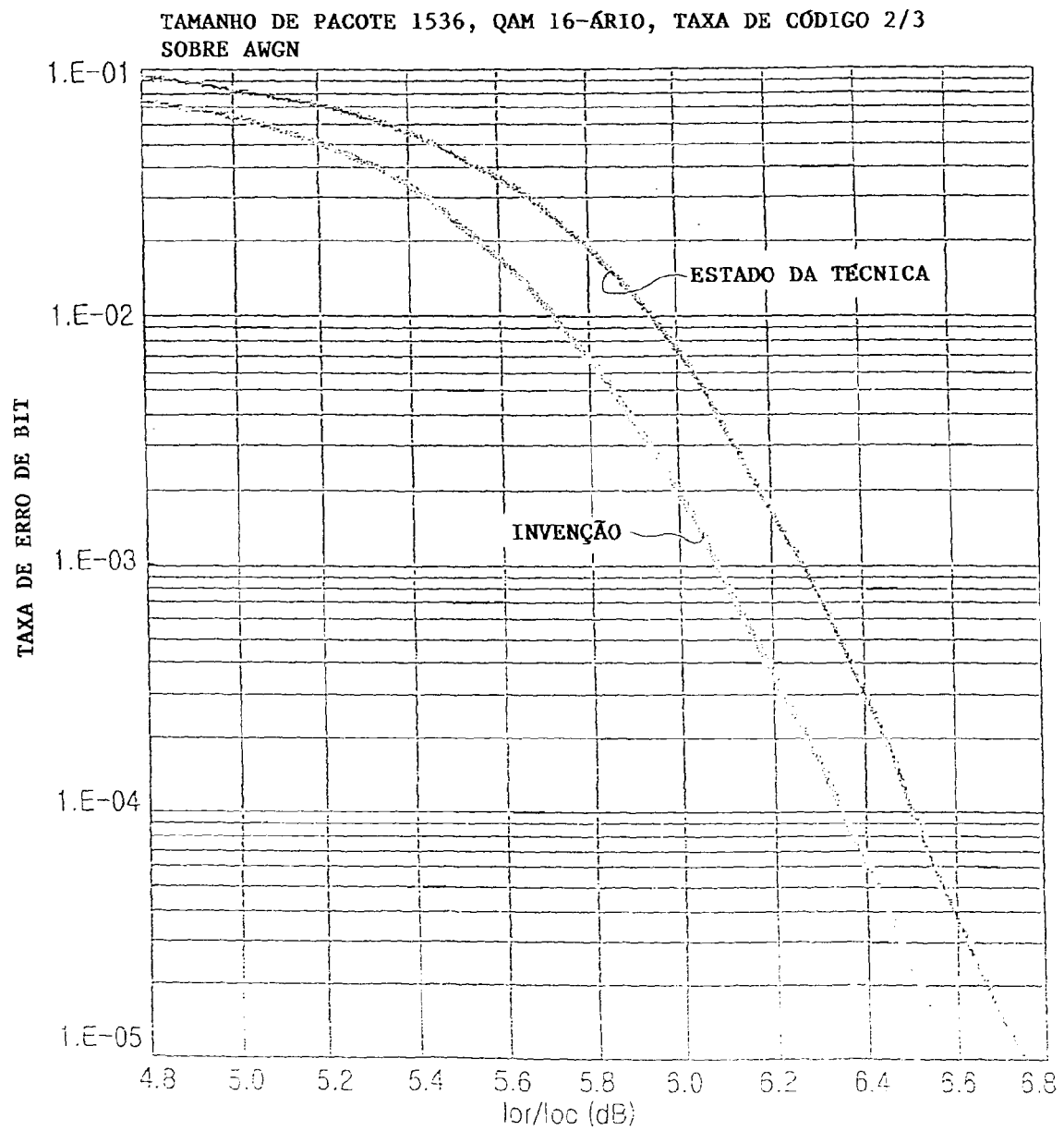


FIG.35

TAMANHO DE PACOTE 1536, QAM 16-ÁRIO, TAXA DE CÓDIGO 2/3
SOBRE AWGN

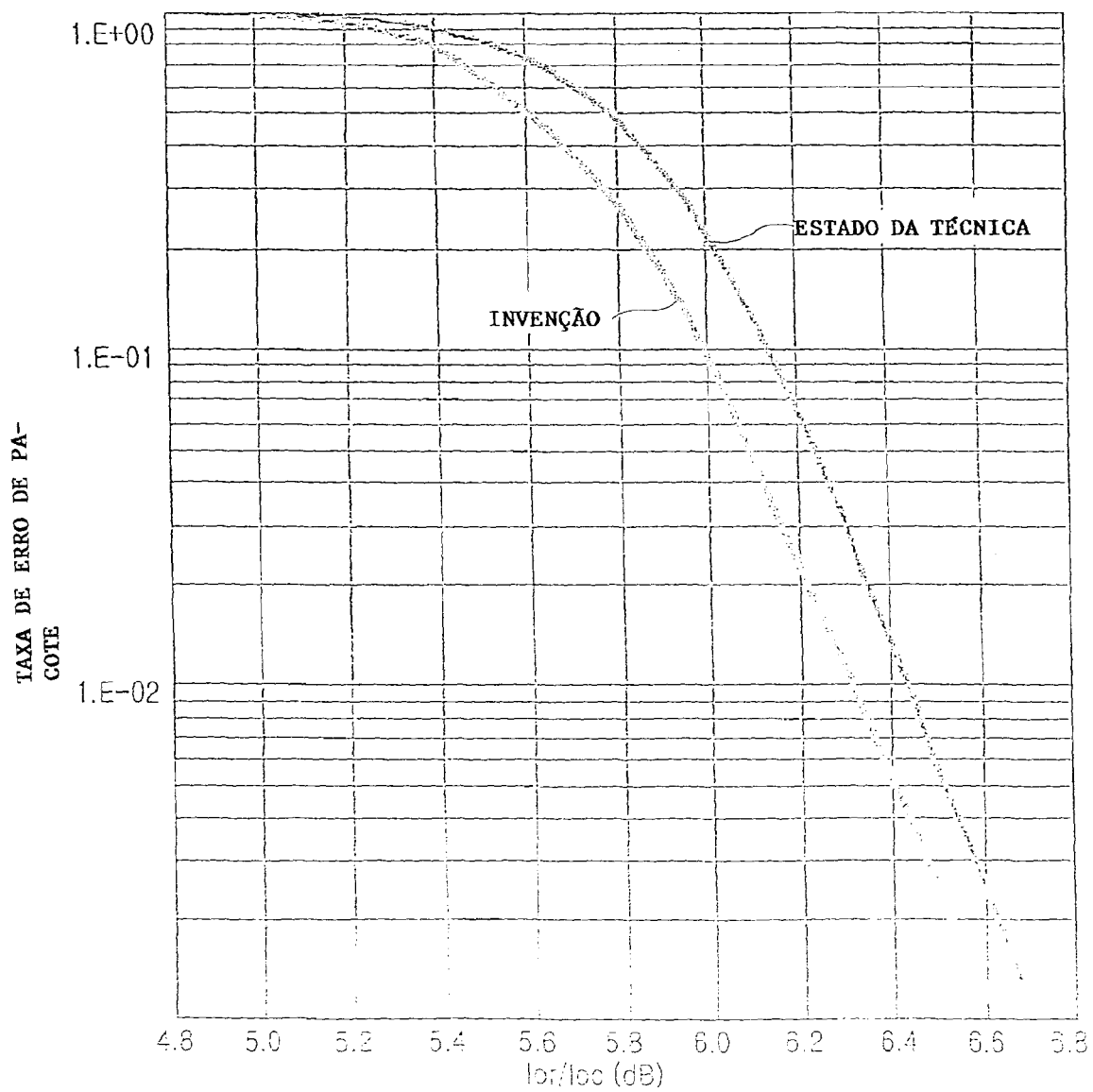


FIG.36