

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-106529

(P2014-106529A)

(43) 公開日 平成26年6月9日(2014.6.9)

(51) Int.Cl.			F I			テーマコード (参考)	
G09G	3/20	(2006.01)	G09G	3/20	650A	5B069	
G06F	3/153	(2006.01)	G06F	3/153	333A	5B077	
H04L	7/02	(2006.01)	H04L	7/02	Z	5C006	
H04N	5/66	(2006.01)	H04N	5/66	Z	5C058	
G09G	3/30	(2006.01)	G09G	3/20	633C	5C080	

審査請求 有 請求項の数 7 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2013-169383 (P2013-169383)
 (22) 出願日 平成25年8月19日 (2013.8.19)
 (31) 優先権主張番号 10-2012-0136118
 (32) 優先日 平成24年11月28日 (2012.11.28)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 501426046
 エルジー ディスプレイ カンパニー リミテッド
 大韓民国 ソウル、ヨンドンポグ、ヨウィーテロ 128
 (74) 代理人 100110423
 弁理士 曾我 道治
 (74) 代理人 100111648
 弁理士 梶並 順
 (74) 代理人 100147566
 弁理士 上田 俊一
 (74) 代理人 100161171
 弁理士 吉田 潤一郎
 (74) 代理人 100117776
 弁理士 武井 義一

最終頁に続く

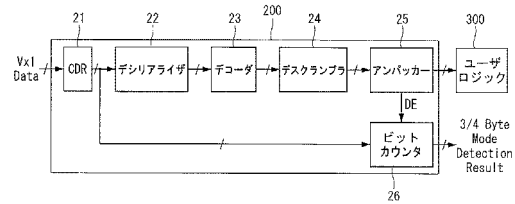
(54) 【発明の名称】 データビット深度検出方法及び表示装置

(57) 【要約】

【課題】別のオプションピンなしでデータビット深度を自動的に判断することができるデータビット深度検出方法及び表示装置を提供する。

【解決手段】ホストシステムに内蔵されたインタフェース送信端と、タイミングコントローラに内蔵されたインタフェース受信端とを含み、前記インタフェース送信端は、前記送信端と受信端との間の物理的な接続が確認された後、CDR (Clock Data Recovery) トレーニングパターン信号、アライメントトレーニングパターン信号、及び表示データの順に入力データを前記インタフェース受信端に伝送し、前記インタフェース受信端は、前記CDRトレーニングパターン信号が入力される内蔵CDR回路を用いてクロックを発生し、前記アライメントトレーニングパターン信号に含まれるピクセルデータのビットまたは前記クロックをカウントし、その結果に基づいて入力データのデータビット深度を判断する。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

インタフェース送信端とインタフェース受信端との間の物理的な接続が確認された後、前記インタフェース送信端から C D R (Clock Data Recovery) トレーニングパターン信号が前記インタフェース受信端に伝送される段階と、

前記 C D R トレーニングパターン信号を用いて前記インタフェース受信端の C D R 回路からクロックが出力される段階と、

前記 C D R トレーニングパターン信号に続いて、前記インタフェース送信端からアライメントトレーニングパターン信号が、前記受信端に受信される段階と、

前記インタフェース受信端で前記アライメントトレーニングパターン信号に含まれるピクセルデータのビットまたは前記クロックをカウントし、その結果に基づいて入力データのデータビット深度を判断する段階と

を含むことを特徴とするデータビット深度検出方法。

【請求項 2】

前記インタフェース受信端で前記アライメントトレーニングパターン信号からデータイネーブル信号を分離する段階をさらに含み、

前記インタフェース受信端は、前記データイネーブル信号のハイ区間またはロー区間で前記カウント結果として得られた累積カウント値に基づいて、前記データビット深度を判断することを特徴とする、請求項 1 記載のデータビット深度検出方法。

【請求項 3】

表示パネルと、データ駆動回路と、スキャン駆動回路と、タイミングコントローラとを含む表示装置において、

ホストシステムに内蔵されたインタフェース送信端と、

前記タイミングコントローラに内蔵されたインタフェース受信端とを含み、

前記インタフェース送信端は、前記送信端と前記受信端との間の物理的な接続が確認された後、C D R (Clock Data Recovery) トレーニングパターン信号、アライメントトレーニングパターン信号、及び表示データの順に入力データを前記インタフェース受信端に伝送し、

前記インタフェース受信端は、

前記 C D R トレーニングパターン信号が入力される内蔵 C D R 回路を用いてクロックを発生し、前記アライメントトレーニングパターン信号に含まれるピクセルデータのビットまたは前記クロックをカウントし、その結果に基づいて入力データのデータビット深度を判断することを特徴とする表示装置。

【請求項 4】

前記インタフェース受信端は、

前記アライメントトレーニングパターン信号からデータイネーブル信号を分離し、

前記データイネーブル信号のハイ区間またはロー区間で前記のカウント結果として得られた累積カウント値に基づいて、前記データビット深度を判断することを特徴とする、請求項 3 記載の表示装置。

【請求項 5】

前記インタフェース受信端は、前記データイネーブル信号のハイ区間またはロー区間で累積カウント値が 9 0 0 ~ 1 0 5 0 の場合、3 バイトモードと判断する一方、1 2 0 0 ~ 1 4 0 0 の場合、4 バイトであると判断することを特徴とする、請求項 4 記載の表示装置。

【請求項 6】

前記インタフェース受信端は、所定の基準値と前記累積カウント値とを比較し、その結果に基づいて前記データビット深度を判断することを特徴とする、請求項 4 記載の表示装置。

【請求項 7】

前記インタフェース受信端は、前記データイネーブル信号のハイ区間またはロー区間内

10

20

30

40

50

で前記の累積カウント値が1100以下の場合、3バイトモードと判断する一方、1100より大きい場合は4バイトであると判断することを特徴とする、請求項5記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データビット深度 (Bit Depth) 検出方法とそれを用いた表示装置に関する。

【背景技術】

【0002】

ほとんどの液晶表示装置においてデータ伝送のためのインタフェース方式はLVDS (Low-Voltage Differential Signaling) インタフェースが利用されている。しかし、LVDSインタフェースは、液晶表示装置の高解像度、色深度 (Color Depth) の拡張、応答速度を向上させるための2倍速または4倍速駆動によるデータ量の増加に適切に対応することができない。Full HD (1920×1080) で10ビット色深度の120Hzパネルでは、LVDSインタフェースを採用する時24ペア48本の配線が必要である。LVDSインタフェースでは、データと共にクロック信号も伝送される。したがって、LVDSインタフェースでは、データ量が多くなるほど、クロック周波数も高くなりEMI (Electromagnetic interference) の制御が必要である。

【0003】

LVDSインタフェース規格によると、グランド (GND) から1.2Vの電圧を中心に变化する信号を伝送しなければならない。LSI (Large Scale Integration) の微細化の工程の具現により、LVDSインタフェースで要求される信号電圧の規格がLSI設計上の大きな制約をもたらすことになった。このような状況で、DVI (Digital Video Interface) とHDMI (登録商標) (High Definition Multimedia Interface)、DisplayPortなどのインタフェースが提案され実用化された。

【0004】

DVIとHDMIはスキュー (Skew) 調整機能があり、HDMIには、コンテンツ保護機能として HDCP (High-bandwidth digital Content Protection) が内蔵されているため、機器間の映像信号の伝送に多くの利点があるが、ライセンス料が必要であり、機器内部の映像信号の伝送には、機能が冗長で消費電力が大きい欠点もある。

【0005】

DisplayPortはVESA (Video Electronics Standards Association) からLVDSを置き換えることができる仕様で規格化された。DisplayPortはHDMIと同様に機器間の伝送を考慮してHDCPが内蔵されており、機能が冗長で消費電力増大の問題があり、伝送速度が固定され、低周波で信号を伝送するときに損失が発生し、受信側でクロックを再生する必要がある。

【0006】

V-by-oneインタフェースはTHine Electronics社によって開発された。V-by-oneのインタフェースは、イコライザ機能の導入により、従来のLVDSインタフェースと比較する時信号の伝送品質が向上し、高速化 (最大1ペア当たり3.75Gbps) を実現し、さらに高速化された。また、V-by-oneのインタフェースは、CDR (Clock Data Recovery) の採用により、LVDSインタフェースのクロック伝送で発生するスキュー (Skew) の調整の問題を解決した。そして、V-by-oneのインタフェースは、既存のLVDSで必ず必要としていたクロック伝送がないため、クロック伝送によるEMIノイズを減らすことができる。このようなV-by-oneのインタフェースは、データ量が増加し、高倍速化になる趨勢に効果的に対応でき、従来のLVDSインタフェースの代替技術として脚光を浴びている。

【0007】

現在の液晶表示装置に適用されたV-by-oneのインタフェースは、8ビットデー

10

20

30

40

50

タまたは10ビットデータを伝送することができる。このようなデータビット深度をインタフェース受信端でわかるようにV-by-oneインタフェースの送信端と受信端には別の外部のオプション(option)端子が設けられている。送信端と送信端の外部オプション端子に接続された配線を介してデータビット深度情報が伝送される。この場合、V-by-oneインタフェースの送信端と受信端にオプションピンが追加されて送信端と受信端を接続するケーブルの配線数とコネクタの配線数も増加する。また、別の外部オプション端子を介したデータビット深度情報の伝送方法は、データビット深度が変更されると、オプションのピン設定を変更しなければならない。

【発明の概要】

【発明が解決しようとする課題】

10

【0008】

本発明は、前述した問題点に鑑みてなされたものであり、その目的は、別のオプションピンなしでデータビット深度を自動的に判断することができるデータビット深度検出方法と表示装置を提供することにある。

【課題を解決するための手段】

【0009】

前記課題を解決するために、本発明のデータビット深度検出方法は、インタフェースの送信端とインタフェース受信端との間の物理的な接続が確認された後、前記インタフェース送信端からCDR(Clock Data Recovery)トレーニングパターン信号が前記インタフェース受信端に伝送される段階と、前記CDRトレーニングパターン信号を用いて前記インタフェース受信端のCDR回路からクロックが出力される段階と、前記CDRトレーニングパターン信号に続いて、前記インタフェース送信端からアライメントトレーニングパターン信号が、前記受信端に受信される段階と、前記インタフェース受信端で前記アライメントトレーニングパターン信号に含まれるピクセルデータのビットまたは前記クロックをカウントし、その結果に基づいて入力データのデータビット深度を判断する段階とを含む。

20

【0010】

本発明の表示装置は、ホストシステムに内蔵されたインタフェースの送信端、及びタイミングコントローラに内蔵されたインタフェースの受信端を含み、前記インタフェース送信端は、前記送信端と前記受信端との間の物理的な接続が確認された後、CDR(Clock Data Recovery)トレーニングパターン信号、アライメントトレーニングパターン信号、及び表示データの順に入力データを前記インタフェース受信端に伝送し、前記インタフェース受信端は、前記CDRトレーニングパターン信号が入力される内蔵CDR回路を用いてクロックを発生し、前記アライメントトレーニングパターン信号に含まれるピクセルデータのビットまたは前記クロックをカウントし、その結果に基づいて、入力データのデータビット深度を判断する。

30

【発明の効果】

【0011】

本発明は、インタフェース受信端で生成されたクロックまたはインタフェース受信端に入力された入力データビットをカウントし、その結果に基づいて、データビット深度を判断する。その結果、本発明は、表示装置のインタフェース装置から別のオプションピンなしでインタフェース受信端内でデータビット深度を自動的に判断できるようにする。

40

【図面の簡単な説明】

【0012】

【図1】本発明の実施形態に係るインタフェース装置を示す図である。

【図2】V-by-oneインタフェースのシーケンスを示す波形図である。

【図3】V-by-oneインタフェースのシーケンスを示す波形図である。

【図4】図1に示された受信端を詳細に示す回路図である。

【図5】本発明の実施形態に係る表示装置を示すブロック図である。

【発明を実施するための形態】

50

【0013】

以下、添付図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。明細書全体にかけて同一の参照番号は実質的に同一の構成要素を意味する。以下の説明で、本発明に関する公知の機能や構成についての具体的な説明が本発明の要旨を不必要に不明確にすると判断される場合には、その詳細な説明を省略する。

【0014】

図1～図3を参照すると、本発明のインタフェース装置は、送信端(Vx1Tx)100と、受信端(Vx1Rx)200を含む。このインタフェース装置は、V-by-oneインタフェースを例示したが、これに限定されない。

【0015】

V-by-oneインタフェースを介したデータ通信のためには、送信端100と受信端200との間でデータが伝送されるメインリンク(Main Link)以外に、補助信号(LOCKN、HTPDN)が伝送される補助信号伝送リンクがなければならない。V-by-oneのインタフェースは、図2のようなシーケンスに従って表示装置に表示するデータを伝送する。

【0016】

V-by-oneのインタフェースのパワーオン(Power on)後、受信端200は、HTPDN信号をロー(low)レベルに下げ、送信端100は、ローレベルのHTPDN信号に応答してCDRトレーニングパターン信号を受信端200に伝送する。受信端200は、クロックを復元するためのCDR回路を内蔵している。受信端200のCDR回路は、CDRトレーニングパターン信号の入力を受け、出力の位相と周波数を固定(lock)し、LOCKN信号をローレベルに下げる。送信端100は、LOCKN信号がローレベルに低くなるとアライン(Align、ALN)トレーニングパターンの信号を受信端200に所定時間の間伝送した後、表示装置に表示されるデータ(Display Data)を伝送する。

【0017】

アライメントパターン信号には、表示装置に表示されないアライメントデータ(ALNDATA)が伝送される。アラインデータ(ALNDATA)は、V-by-oneインタフェースの通信規約で定められていて、受信端200でデータ受信スタートのタイミングを判断することにする。受信端200は、アライメントデータ(ALNDATA)が受信されると、表示パネルに表示されるピクセルデータ(図2、Display data)のスタートタイミングを判断する。アライメントパターン信号に続いて受信端200に受信されるピクセルデータ(図2、Display data)が表示パネルに表示される。本発明は、受信端200でアライメントパターン信号に伝送されるピクセルデータのビット数をカウントし、別のオプションピンなしで受信端200でデータビット深度を判断するようにする。

【0018】

V-by-oneインタフェースの仕様で定められたアライメントパターン信号伝送規定を調べてみると、データイネーブル信号(Data Enable signal、DE)のハイ区間に32個のピクセルデータ(PIX)が伝送され、また、データイネーブル信号のロー区間に32個のピクセルデータが伝送される。1ピクセルは、R(赤)データ、G(緑)データとB(青)データを含む。データビット深度はRGB各々8ビットのとき24ビット/3バイト(Byte)であり、RGB各々10ビットの場合30ビット/4バイトである。しかし、送信端100のエンコーダは、ANSI 8/10エンコード方式で8ビットを10ビットにエンコードする。このようなエンコード方式により、24ビット/3バイトのピクセルデータは30ビットで伝送され、30ビット/4バイトは40ビットで伝送される。したがって、受信端は、アライメントパターン信号でピクセルデータのビット数をカウントすると、受信されるデータビット深度を判断することができる。

【0019】

例えば、送信端100は、3バイトモード(8ビット入力)でアライメントパターントレーニング期間の間、32個のピクセルデータを960ビット(=32PIX×30ビット)で伝送する。これに対し、受信端200は、4バイトモード(10ビット入力)で

10

20

30

40

50

アライメントパターントレーニング期間の間、32個のピクセルデータを1280ビット (=32PIXかける40ビット)で伝送する。したがって、受信端は、アライメントパターントレーニング期間中にデータインーブルのハイ区間またはロー区間内のデータビットまたは内部回路から出力されるクロック信号をカウントし、その累積カウント値に基づいてデータビット深度が3バイトモードであるか、そうでなければ4バイトモードかを判断する。

【0020】

受信端200は、データインーブル信号(DE)のハイ区間またはロー区間で累積カウント値が900~1050の場合、3バイトモードであると判断する一方、1200~1400の場合、4バイトとして判断することができる。また、受信端200は、3バイトモードの累積カウント値と4バイトモードの累積カウント値の間で定められた基準値と累積カウント値を比較して、データビット深度を判断することができる。例えば、受信端200は、データインーブル信号(DE)のハイ区間またはロー区間で累積カウント値が1100(基準値)以下であれば3バイトモードであると判断する一方、1100より大きい場合は4バイトとして判断することができる。

10

【0021】

図4は、受信端200を詳細に示す回路図である。

【0022】

図4を参照すると、受信端200は、CDR回路21、デシリアライザ(Deserializer)22、デコーダ(Decoder)23、デスクランブラ(Descrambler)24、アンパッカー(Unpacker)25、ビットカウンタ(bit counter)26などを含む。

20

【0023】

CDR回路21は、パワーオン以後インタフェースの初期化過程でCDRトレーニングパターン信号の入力を受けCDRトレーニングパターン信号に内蔵されたクロックを復元し、そのクロック信号の位相と周波数が固定されるとLOCKN信号をローレベルに反転する。CDR回路21によって復元されたクロック信号の周波数は、ピクセルデータのデータレートと同じ周波数で発生される。したがって、CDR回路21から出力されたクロック信号をカウントすると、データビットをカウントするのと同じ結果を得ることができる。

【0024】

デシリアライザ22は、メインリンクを介して受信した直列データを10ビットの並列データに変換する。デコーダ23は、送信端100のエンコーダでANSI 8/10エンコード方式に変換された10ビットデータを元の8ビットデータにデコードする。デスクランブラ24は、送信端100で16ビットLFSR(Linear Feedback Shift Register)によってスクランブルされたデータを元のデータに復元する。

30

【0025】

アンパッカー25は、送信端100から受信したデータをピクセルデータ、コントロールデータ、およびタイミングデータに分離する。ここで、送信端100から受信されたデータは、図2及び図3でアライメントデータ(ALNDATA)とディスプレイデータ(Display Data)を含む。タイミングデータは、垂直同期信号(Vsync)、水平同期信号(Hsync)、およびデータインーブル信号(DE)を含む。そして、アンパッカー25は、送信端100のデータマッピング(Data Mapping)方式に合わせてデータを並べ替え(Re-arrange)する。アンパッカー25から出力されたピクセルデータ、コントロールデータとタイミングデータは、ユーザロジック300に伝送される。ユーザロジック300は、図5のように平板の表示装置のタイミングコントローラ(Timing controller)で有り得る。

40

【0026】

ビットカウンタ26は、アンパッカー25からのデータインーブル信号(DE)を入力受け、CDR回路21から生成されたクロック信号を入力受ける。ビットカウンタ26は、前述したように、データインーブル信号(DE)のハイ区間内またはロー区間でピク

50

セルデータのビットまたはCDR回路21から出力されるクロックをカウントし、その累積カウント値に基づいて、入力データのデータビット深度を判断する。

【0027】

本発明の表示装置は、液晶表示装置(Liquid Crystal Display、LCD)、電界放出表示装置(Field Emission Display: FED)、プラズマディスプレイパネル(Plasma Display Panel、PDP)、有機発光ダイオード表示装置(Organic Light Emitting Display、OLED)、電気泳動表示素子(Electrophoresis、EPD)などの平板表示装置に実現することができる。

【0028】

図5を参照すると、本発明の表示装置は、表示パネル10、データ駆動回路20、スキャン駆動回路30、タイミングコントローラ300などを含む。

10

【0029】

表示パネル10のピクセルアレイは、データラインDLとスキャンラインSLにより定義されたピクセル領域に形成されたピクセルを含み入力映像のデータを表示する。

【0030】

データ駆動回路20は、タイミングコントローラ300から入力されるピクセルデータ(デジタルデータ)をガンマ報償電圧に変換してアナログデータ信号を発生し、そのデータ信号をデータラインDLに供給する。スキャン駆動回路30は、データ信号に同期されるスキャン信号をスキャンラインSLに順次供給する。

【0031】

タイミングコントローラ300は、受信端200を介して受信されたピクセルデータをデータ駆動回路20に伝送し、受信端200を介して受信されたタイミングデータを利用して、データ駆動回路20とスキャン駆動回路30の動作タイミングを制御する。受信端200は、タイミングコントローラ300に内蔵することができる。受信端200は、前述したように、アライメントパターントレーニング期間の間に受信されたピクセルデータのビットまたはクロックをカウントして入力データのデータビット深度を判断する。

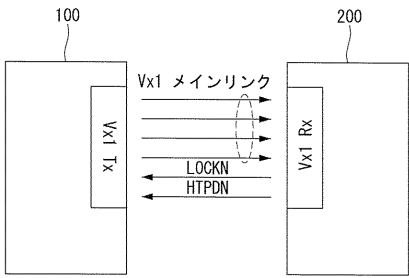
20

【0032】

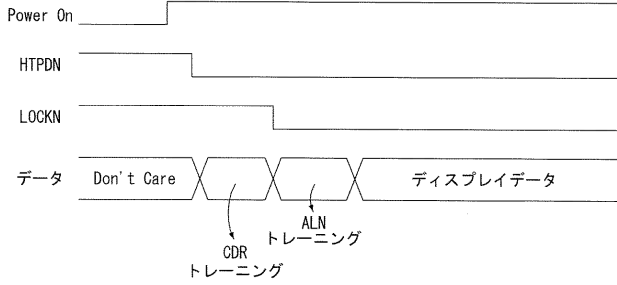
送信端100は、図示しない外部のホストシステム(host system)に配置されてピクセルデータ、タイミングデータとコントロールデータを受信端200に伝送する。送信端100は、ホストシステムに内蔵される。ホストシステムは、テレビシステム、セットトップボックス、ナビゲーションシステム、DVDプレーヤー、ブルーレイプレーヤー、パーソナルコンピュータ(PC)、ホームシアターシステム、電話システム(Phone system)のうちいずれか1つで実現することができる。ホストシステムは、スケーラ scaler)を内蔵したSoC(System on chip)を含み入力映像のデジタルビデオデータ(RGB)を表示パネル10の表示するに適合する形式に変換する。ホストシステムは、デジタルビデオデータと一緒にタイミング信号(Vsync、Hsync、DE、MCLK)をタイミングコントローラ300に伝送する。

30

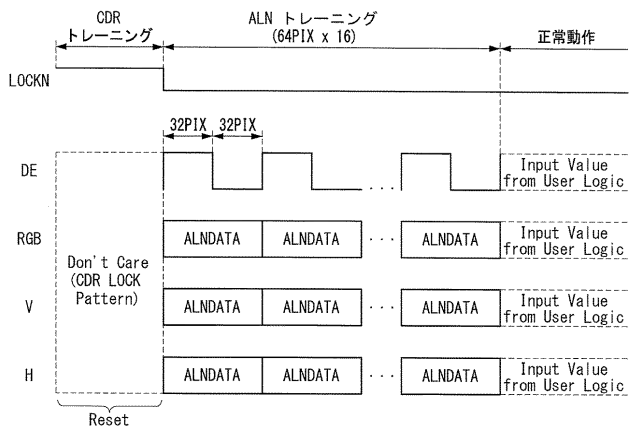
【 図 1 】



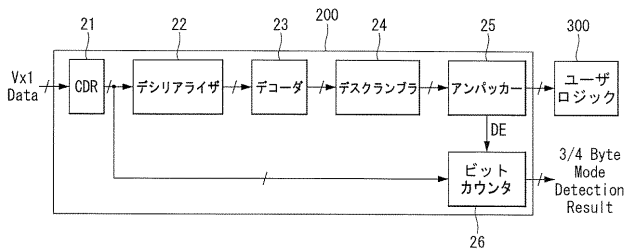
【 図 2 】



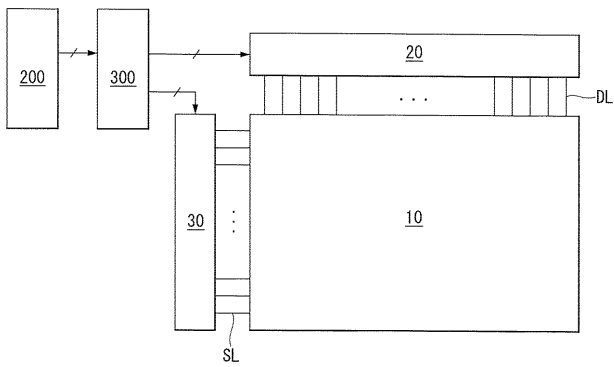
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
G 0 9 G 3/36 (2006.01)	G 0 9 G 3/20 6 3 3 E	5 C 0 8 2
G 0 9 G 5/00 (2006.01)	G 0 9 G 3/30 H	5 C 3 8 0
G 0 6 F 13/42 (2006.01)	G 0 9 G 3/36	5 K 0 4 7
	G 0 9 G 5/00 5 2 0 T	
	G 0 6 F 13/42 3 5 0 B	

(74)代理人 100188329

弁理士 田村 義行

(74)代理人 100188514

弁理士 松岡 隆裕

(72)発明者 ヤンソク、チョン

大韓民国、4 1 3 - 1 9 0 キョンギ - ド、パジュ - シ、ワドン - ドン、ガラム・マウル 1 1
ダンジ・アパートメント 1 1 0 1 - 1 7 0 2

(72)発明者 ヨンドク、リ

大韓民国、4 1 3 - 8 3 5 キョンギ - ド、パジュ - シ、キョハ - ミョン、ヤダン・2 - リ、ハン
ビット・マウル 8 ダンジ・アパートメント 8 0 4 - 1 6 0 1

Fターム(参考) 5B069 BA04 KA05 LA18

5B077 GG07 GG11 MM02

5C006 AA22 AF53 BB16 FA07

5C058 BA01 BB01

5C080 AA05 AA06 AA10 AA13 BB05 CC03 DD28 JJ02 JJ04 KK02

KK23 KK43 KK47

5C082 CB01

5C380 AA01 AB06 AB34 AC07 AC08 AC11 AC13 BA30 CE21 FA30

5K047 DD02 GG11 GG13 GG16 HH43 JJ09