

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4149268号
(P4149268)

(45) 発行日 平成20年9月10日(2008.9.10)

(24) 登録日 平成20年7月4日(2008.7.4)

(51) Int.Cl.

F I

G 0 6 F 1/24 (2006.01)

G 0 6 F 1/00 3 5 1

請求項の数 20 (全 10 頁)

(21) 出願番号	特願2002-580146 (P2002-580146)	(73) 特許権者	590000248
(86) (22) 出願日	平成14年4月5日(2002.4.5)		コーニンクレッカ フィリップス エレク
(65) 公表番号	特表2004-524631 (P2004-524631A)		トロニクス エヌ ヴィ
(43) 公表日	平成16年8月12日(2004.8.12)		オランダ国 5 6 2 1 ベーアー アイン
(86) 国際出願番号	PCT/IB2002/001096		ドーフエン フルーネヴァウツウェッハ
(87) 国際公開番号	W02002/082246		1
(87) 国際公開日	平成14年10月17日(2002.10.17)	(74) 代理人	100075812
審査請求日	平成17年4月4日(2005.4.4)		弁理士 吉武 賢次
(31) 優先権主張番号	09/826,570	(74) 代理人	100088889
(32) 優先日	平成13年4月5日(2001.4.5)		弁理士 橋谷 英俊
(33) 優先権主張国	米国 (US)	(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘

最終頁に続く

(54) 【発明の名称】 リセット回路及びリセット方法

(57) 【特許請求の範囲】

【請求項 1】

リセット信号に応じて内部リセットを可能に構成された複数の回路モジュールをリセットするリセット回路であって、

前記リセット信号を生成するリセットモジュールと、

外部クロック基準を受信する入力、及び、前記複数の回路モジュールのそれぞれのための少なくとも1つのクロックモジュール出力を有し、生成された前記リセット信号に応じて前記複数の回路モジュールのそれぞれに対して、前記クロックモジュール出力を介して、前記外部クロック基準の周波数を有するリセットクロック信号を供給するクロックモジュールと、

前記複数の回路モジュールのうちの1つに各1つがそれぞれ対応して接続され、前記リセットモジュールに接続されたりセット入力ポートと、前記クロックモジュール出力のうちの1つに接続されたクロック入力ポートとを有し、前記リセット信号と前記リセットクロック信号とを用いて、前記リセットクロック信号によってそれぞれが同期された内部リセット信号を、接続されたそれぞれの前記回路モジュールにおいて与える、複数の同期モジュールと、

を備えたりセット回路。

【請求項 2】

前記同期モジュールは、デアサートされた前記リセット信号に応じて、前記内部リセット信号を同時に解除することを特徴とする請求項 1 に記載のリセット回路。

【請求項 3】

前記クロックモジュールは、前記リセット信号がデアサートされた後、セットされたクロックサイクル数で、前記リセットクロック信号を無効にし、前記クロックモジュール出力をそれぞれの回路モジュールに対する機能クロック信号へ切り替えるレジスタを含むことを特徴とする請求項 2 に記載のリセット回路。

【請求項 4】

前記リセットモジュールは、前記リセットモジュールへのリセット入力信号に応じて、前記リセット信号を生成することを特徴とする請求項 1 に記載のリセット回路。

【請求項 5】

前記同期モジュールは、所定のクロックサイクル量の間、前記内部リセット信号を保持し、デアサートされた前記リセット信号に応じて、所定のクロックサイクル量が経過した後、前記内部リセット信号を無効にすることを特徴とする請求項 1 に記載のリセット回路。

10

【請求項 6】

前記同期モジュールは、前記リセット信号がデアサートされた後、1クロックサイクルの間、前記内部リセット信号を保持する少なくとも1つのフリップフロップを有することを特徴とする請求項 5 に記載のリセット回路。

【請求項 7】

前記複数の回路モジュールは、リセットを実行する非同期リセット信号を必要とする第1の回路モジュールと、リセットを実行する同期リセット信号を必要とする第2の回路モジュールとを含むことを特徴とする請求項 1 に記載のリセット回路。

20

【請求項 8】

前記リセットモジュールは、システムパワーアップ信号に応じて前記リセット信号を生成し、前記回路モジュールのパワーアップ前の選択された期間、前記リセット信号を保持することを特徴とする請求項 1 に記載のリセット回路。

【請求項 9】

前記外部クロック基準は、前記回路モジュールをリセットするために用いられる唯一のクロック基準であることを特徴とする請求項 1 に記載のリセット回路。

【請求項 10】

前記リセットクロック信号が前記回路モジュールに適用される間、前記回路モジュールの一部に機能クロック信号を供給する機能モジュールクロックをさらに備えることを特徴とする請求項 1 に記載のリセット回路。

30

【請求項 11】

前記同期モジュールは、前記回路モジュールの動作をテストするテストロジックで作成されたことを特徴とする請求項 1 に記載のリセット回路。

【請求項 12】

前記同期モジュールの少なくとも1つは、前記クロックモジュール出力に接続された第1及び第2のフリップフロップを含み、

前記第1のフリップフロップは、前記リセット入力ポートに接続され、前記第2のフリップフロップは前記第1のフリップフロップの出力に接続され、前記第2のフリップフロップの出力は、前記同期モジュールが接続された前記回路モジュールにおいて前記内部リセット信号として用いられることを特徴とする請求項 1 に記載のリセット回路。

40

【請求項 13】

前記同期モジュールの少なくとも1つは、ANDゲートと、前記クロックモジュール出力に接続された第1及び第2のフリップフロップとを含み、前記第1のフリップフロップは前記リセット入力ポートに接続され、前記第2のフリップフロップは前記第1のフリップフロップの出力に接続され、前記ANDゲートは、前記リセット入力ポートと前記第2のフリップフロップの出力に接続され、前記ANDゲートの出力は、前記同期モジュールが接続された前記回路モジュールにおいて前記内部リセット信号として用いられることを特徴とする請求項 1 に記載のリセット回路。

50

【請求項 1 4】

リセット信号に応じて内部リセット可能な複数の回路モジュールをリセットするリセット回路であって、

リセット信号を生成する手段と、

生成された前記リセット信号に応じて前記回路モジュールのそれぞれに、外部クロック基準の周波数を有するリセットクロック信号を供給する手段と、

前記リセット信号及び前記リセットクロック信号を用いて、前記リセットクロック信号によってそれぞれが同期された内部リセット信号を、接続されたそれぞれの前記回路モジュールにおいて供給する手段と、

を備えたりセット回路。

10

【請求項 1 5】

リセット信号に応じて内部リセット可能な複数の回路モジュールをリセットするリセット方法であって、

リセット信号を生成し、

生成された前記リセット信号に応じて前記回路モジュールのそれぞれに、外部クロック基準の周波数を有するリセットクロック信号を供給し、

前記リセット信号及び前記リセットクロック信号を用いて、前記リセットクロック信号によってそれぞれが同期された内部リセット信号を、接続されたそれぞれの前記回路モジュールにおいて供給する、

リセット方法。

20

【請求項 1 6】

リセット信号の生成は、システムパワーアップ信号に応じて前記リセット信号を生成することを含む請求項 1 5 に記載のリセット方法。

【請求項 1 7】

リセットクロック信号の供給は、所定量のクロックサイクルの間、前記リセット信号を維持し、前記所定量のクロックサイクルが通過した後、前記リセット信号をデアサートすることを含む請求項 1 5 に記載のリセット方法。

【請求項 1 8】

さらに、前記リセット信号の前記デアサートに応じて、前記回路モジュールにおいて前記内部リセット信号を同期して解除する請求項 1 7 に記載のリセット方法。

30

【請求項 1 9】

さらに、前記リセット信号がデアサートされた後、セットされた数のクロックサイクルで、前記回路モジュールに機能クロック信号を与える請求項 1 7 に記載のリセット方法。

【請求項 2 0】

前記複数の回路モジュールは、リセットを実行するのに非同期リセット信号を必要とする第 1 の回路モジュールと、リセットを実行するのに同期リセット信号を必要とする第 2 の回路モジュールとを含み、各回路モジュールをリセットするために同期されたりセット信号を用いることは、前記第 1 及び第 2 の回路モジュールでリセット信号を同期して無効にすることを含む請求項 1 5 に記載のリセット方法。

【発明の詳細な説明】

40

【技術分野】**【0001】****本発明の技術分野**

本発明の装置は、広く電子装置に関し、とりわけ、非類似のリセット手段を提示する電子装置及び電子部品に関する。

【0002】**本発明の背景**

大規模システムに対する設計及び開発サイクルの時間を抑え、また、潜在的に短縮するため、以前に設計した部品、すなわちモジュールが一般的に用いられる。そのようなモジュールは、異なるリセット要件を有するシステムに対して設計されてきており、しばしば

50

、異なるクロック及びタイミング制約を有する。例えば、いくつかのモジュールは、非同期リセットスキーム、同期リセットスキーム、あるいはこれらの混合を用いる。また、他のいくつかのモジュールは、ポジティブ・エッジ・トリガクロックスキーム、ネガティブ・エッジ・トリガクロックスキーム、レベルセンシティブスキーム、マルチフェーズスキームなどを用いる。同様に、それぞれのモジュールをリセットするのに用いられる取り決めも異なり得る。それぞれのモジュールに対して用いられるリセット方法は、それぞれのモジュールに用いられる特定のクロックスキームに関わるタイミング制約をもたらす。そのようなタイミング制約の例としては、同期リセットは、クロックのアクティブエッジの前、特定期間、モジュールに到来していなければならない、また／あるいは、クロックエッジの後、特定期間、そのアクティブ状態で保持されなければならない、非同期リセットは、レベルセンシティブクロック設計において、クロックの状態の変化に対して近接した状態で解除されるべきでなく、リセット信号は、セット信号のアサートあるいはデアサートに近接した状態で、アサートあるいはデアサートされるべきでなく、リセット信号の解除は好適には全てのモジュールに対してほぼ同時になされる、などがある。システムの観点から、異なるリセット及びクロック方法は、組合わさった複雑な、設計制約のセットを引き起こす。

【 0 0 0 3 】

モジュール間での異なるクロック手段を実現するため、従来のシステムは、適正なシステムの動作のために互いに関連づけられた適切な周波数及びフェーズで、異なるクロック信号を生成するモジュール・クロック・ジェネレータを含む。異なるリセット手段の実現は、通常、あまり構造化されてない。典型的には、組合わさった問題の性質により、特定のリセット回路が、各モジュールに対して、あるいは、リセット及びクロック設定の類似の組み合わせを有する各モジュールセットに対して、設計される。それぞれのリセット回路の設計は過度に過酷でないかもしれないが、これらの回路のそれぞれを適正に定義、設定、テストするシステムレベル設計タスクは、重大であり得る。

【 0 0 0 4 】

特定の時間依存のリセット回路を用いることは、テクノロジー変化あるいは他の特徴のような“スケール”を伴って、そのような回路を伴って、設計されたシステムが、そのシステムに加えられる可能性をさらに最小にする。同様に、より大きいシステムにおいて将来のモジュールとしてそのようなシステムを用いることは、異なるリセット手段及びタイミング制約を有するモジュールに関わる問題を悪化させるだけである。

【 0 0 0 5 】

本発明の要約

本発明は、簡単で安全な物理設計の実行ができ、従来技術の欄で述べた問題を解決できる、モジュール式の、スケラブルな、簡易なリセット回路を提供する。本発明は多くの実施例と応用例で実証され、それらのいくつかが以下に要約される。

【 0 0 0 6 】

本発明のある実施例によれば、リセット回路は、従来技術の欄で述べた問題を解決する手段によって、複数の回路モジュールをリセットする。このリセット回路は、リセット信号を生成するリセットモジュールと、クロックモジュールと、複数の同期モジュールとを含む。クロックモジュールは、外部クロック基準を受信する入力と、複数の回路モジュールのそれぞれのための少なくとも1つのクロックモジュール出力とを有する。リセットクロック信号は、生成されたりセット信号に対応して、クロックモジュール出力を介して、回路モジュールのそれぞれに供給される。クロックモジュールの周波数は、外部クロック基準に選択可能である。各同期モジュールは、複数の回路モジュールの1つに接続され、リセットモジュールに接続されたりセット入力ポートと、クロックモジュール出力の1つに接続されたクロック入力ポートとを有する。同期モジュールは、リセットクロック信号に対してリセット信号を同期し、各回路モジュールに対して同期されたりセット信号を供給する。回路モジュールは、リセット信号に応じて内部リセットを実行する。

【 0 0 0 7 】

本発明の別の実施例によれば、リセット信号に応じて内部リセットを実行する複数の回路モジュールは、従来技術の欄で述べた問題を解決する方法を用いて、リセットされる。リセット信号が生成され、外部クロック基準の周波数を有するリセットクロック信号が、生成されたりリセット信号に応じて各回路モジュールに送られる。リセット信号は、各回路モジュールに対するリセットクロック信号に同期され、同期されたりリセット信号は各回路モジュールをリセットする。リセット信号が無効にされると、各回路モジュールは、ほとんど同時に内部リセットを解除する。

【 0 0 0 8 】

上述の要約は、各実施例あるいは本発明のあらゆる実施形態を述べようとしたものではない。

【 0 0 0 9 】

詳細な説明

以下の詳細な説明及び図面によって上述の実施例がさらに詳細に実証される。

【 0 0 1 0 】

本発明は、種々の異なるタイプの電子デバイスに適用可能であり、特に、非アナログのリセット手段を表すデバイスと共に用いることが特に好ましい。本発明は、そのようなデバイスに制限されないが、本発明の種々の特徴は、この出願を用いた種々の実施例の説明によって最も良く理解される。

【 0 0 1 1 】

本発明のある実施例によれば、リセット方法及びシステムは、複数の回路モジュール（例えば周辺装置）でのリセットを実行するのに用いられる。このシステムは、クロックモジュールと複数の回路モジュールのそれぞれに接続されたりリセット信号生成器を有する。クロックモジュールは、外部クロック基準に接続され、且つ、回路モジュールに対するクロック出力を介して回路モジュールのそれぞれに接続されている。基準クロック周波数を有するリセットクロック信号は、クロック出力を介して回路モジュールのそれぞれに送られる。それぞれの回路モジュールは、クロックモジュールから受け取ったクロック信号を用いて、全回路モジュール間でリセット信号を同期する同期モジュールを有する。クロックモジュールは選択された時間量の間、リセットクロック信号を維持し、それから、その信号を外部クロックから解放する。リセット信号は、その後、それぞれの回路モジュールにおいて同期して解除される。

【 0 0 1 2 】

図 1 は、本発明の実施例に従って回路をリセットする方法を説明するためのフローチャートである。

【 0 0 1 3 】

ブロック 1 1 0 に示すように、リセット信号が生成され、その信号は、クロックモジュール、及び 2 以上の回路モジュールに供給される。ブロック 1 2 0 に示すように、クロックモジュールからの全てのクロック出力は、基準クロック周波数で作動させられる。ブロック 1 3 0 に示すように、クロック出力は、各回路モジュールで受信され、回路モジュール間でリセット信号を同期するのに用いられる。ブロック 1 4 0 に示すように、リセット信号は、選択されたクロック期間の数の間、アサートされ、そして、ブロック 1 5 0 に示すように、リセット信号は、各回路モジュールでリセット信号の同時のデアサートがもたらされるように、選択されたクロック期間の数が到来した後、無効にされる。

【 0 0 1 4 】

クロックモジュールのタイミングと、回路モジュールにおけるリセットは、種々の手段で達成され得る。図 2 は、本発明の別の実施例に従った電子システムに関するタイミングチャートを示す。モジュールクロックサイクルは、線 2 4 0 として示され、クロックサイクル 2 1 2 において、電源 V_{dd} （線 2 2 0）がシステムに供給される。線 2 3 0 で示されるように、外部リセット入力 $reset_in_n$ がアサートされ、1 ms 間、維持される。そのリセット入力により、線 2 4 0 に示されるように、クロックモジュール及び回路モジュールへの周辺リセット $peri_rst_n$ が、アサートされる。 $peri_rst_n$ がアサートされると、ク

10

20

30

40

50

ロックモジュールは、回路モジュールすなわち周辺装置へのモジュールクロック出力を外部クロックで作動させる。外部クロックは、線 250 によって示すように、peri_srt_n 信号と外部クロック信号とを用いて、同期された内部リセットmod_int_rst_nを各回路モジュールに加えるのに用いられる。rset_in_n信号がノード232でデアサートされると、その後、peri_rst_n信号は、1クロックサイクル後、ノード242において、デアサートされる。全ての回路モジュールは、ノード252において、内部リセットを、同時に、あるいはほぼ同時に解除し、このことは、システムブートへの安全な移行を行う性能を改善する。外部クロックは、選択された期間、アサートされ続け、クロックモジュールは、リセットが解除された後、各モジュールのための機能クロックへ切り替わる。機能クロックは、例えば、各回路モジュールにおける要求や、システム全体のタイミング制約上に関連した、特定の周波数及びフェーズを有するクロック信号を含む。

10

【0015】

ある実施例では、外部クロックがアサートされる選択期間は、多くのクロックサイクルのための外部クロックを保持するように作成されたクロックモジュールにおけるレジスタによって達成される。reset_in_n信号がデアサートされたとき、レジスタ内のソフトウェアは、基準クロックから各回路モジュールのための機能クロックへクロックを切り替えるように動作する。切替えは、内部リセットが解除されるのに必要な多くのクロックサイクルが作成された後で、達成される。より好ましい実施例においては、各回路モジュールでの内部リセットは、peri_rst_nがデアサートされた後、2クロックサイクルで解除される。この場合、ソフトウェアは、基準クロックから機能クロックへ切り替えるために少なくとも2クロックサイクルを用い、そして、内部リセットが外部クロック基準を用いて同時に解除されることを確実にする。

20

【0016】

リセットは、種々のリセット回路装置を用いて達成され得る。図3は、本発明の別の実施例に従った、そのような回路装置300の1つを示す。この回路装置は、リセット信号生成器310を含み、このリセット信号生成器310は、入力信号312に応答して、クロックモジュール320、周辺装置1(符号330)、周辺装置2(符号332)、周辺装置N(符号334)にリセット信号314を送出する。クロックモジュール320はクロック出力clk1(符号322)、clk2(符号324)、clk3(符号326)、clkn(符号327)を含み、周辺装置のそれぞれにクロック信号を送出する。さらに、図3は、3つの周辺装置と、4つのクロック出力とを示しているが、このシステム300は、ダッシュラインによって示すように、“N”番の装置までさらに周辺装置を収容可能に構成され、このことは、周辺装置のそれぞれに対するクロック出力についても同様である。

30

【0017】

各周辺装置330、332、334は、同期モジュール340、342、344を含み、これら同期モジュール340、342、344は、それぞれ、クロック出力を受信する少なくとも1つの入力ポートと、リセット信号314を受信する入力ポートとを有する。同期モジュール340は、クロック出力clk1、clk2を受信し、モジュール342は、クロック出力clk3を受信し、モジュール344は、クロック出力clknを受信する。これら同期モジュールは、クロック出力及びリセット信号を用いて、内部リセット信号350、351、352、353を生成する。各周辺装置がそのクロック入力を用いてリセットされるように、各内部リセット信号は同期され、従って、リセット信号が無効にされると、各装置は、ほとんど同時にリセットから解除される。

40

【0018】

以上に述べたリセット回路及び方法は、それぞれ異なったリセット手段を有する種々の周辺装置に適用できる。図4A及び図4Bは、本発明の別の実施例に従った、図3に関連して記述された、リセット回路と共に用いられるシンクロナイズ例を示す。図4Aにおけるシンクロナイズ410は、リセット信号を非同期に生成し、図4Bにおけるシンクロナイズ460はリセット信号を同期して生成する。両装置は、周辺装置において、リセットの同時のデアサートを達成する。

50

【 0 0 1 9 】

図 4 A に示すように、リセット入力信号 4 1 4 がフリップフロップ 4 2 0 と A N D ゲート 4 4 0 で受信される。クロック信号 4 1 6 がフリップフロップ 4 2 0 をサイクルし、リセット入力信号がフリップフロップ 4 3 0 に与えられる。クロック信号 4 1 6 がフリップフロップ 4 3 0 をサイクルし、フリップフロップからのリセット入力信号が A N D ゲート 4 4 0 に与えられ、この結果、内部リセット信号 4 1 8 が順々に、シンクロナイザが用いられる周辺装置に供給される。

【 0 0 2 0 】

図 4 B に示すように、シンクロナイザ 4 6 0 は、クロック信号 4 6 6 に従ってサイクルするフリップフロップ 4 7 0 においてリセット入力信号 4 6 4 を受け取る。フリップフロップ 4 7 0 がサイクルさせられると、リセット信号がフリップフロップ 4 8 0 に与えられ、このフリップフロップ 4 8 0 はさらにクロック信号 4 6 6 に応答する。フリップフロップ 4 8 0 はサイクルさせられ、シンクロナイザが用いられる周辺装置へ内部リセット信号 4 6 8 を供給する。

10

【 0 0 2 1 】

本発明がいくつかの好ましい実施例を参照して述べられてきたが、当業者であれば、それらに対して多くの変形が可能である。例えば、試験回路やロジック回路を、同期モジュールのような種々の構成部品に追加できる。これら及び他の変形も本発明の範囲を超えない範囲で可能である。

【 図面の簡単な説明 】

20

【 0 0 2 2 】

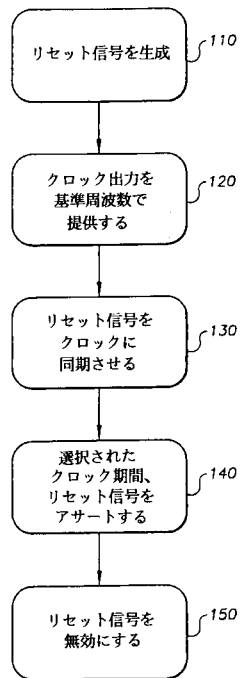
【 図 1 】 本発明の実施の形態に従った回路リセット方法を説明するフローチャートである。

【 図 2 】 本発明の別の実施の形態に従った回路リセット方法を説明するタイミングチャートである。

【 図 3 】 本発明の別の実施の形態に従ったリセット回路を示す図である。

【 図 4 】 図 4 A は、本発明の別の実施の形態に従った非同期リセットモジュールである。図 4 B は、本発明の別の実施の形態に従った同期リセットモジュールである。

【図 1】



【図 2】

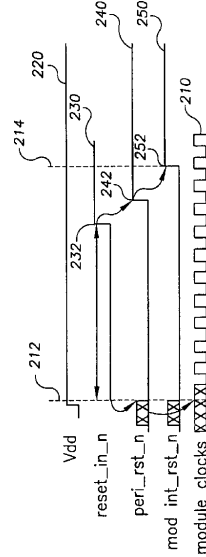
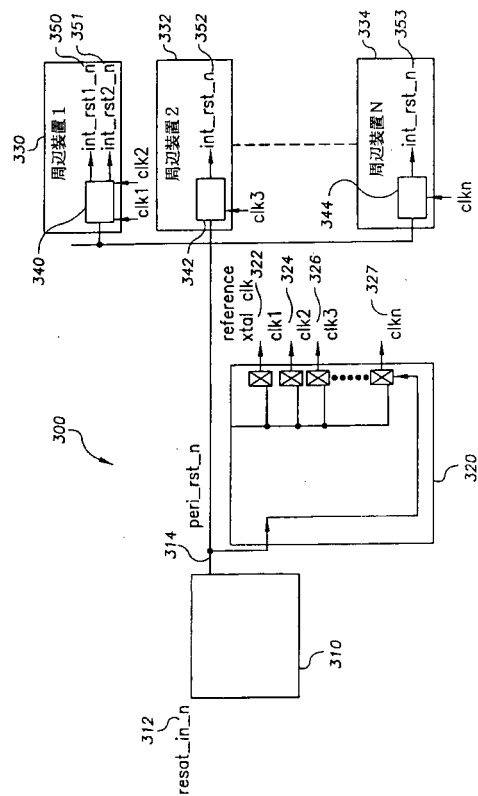


FIG. 2

【図 3】



【図 4 A】

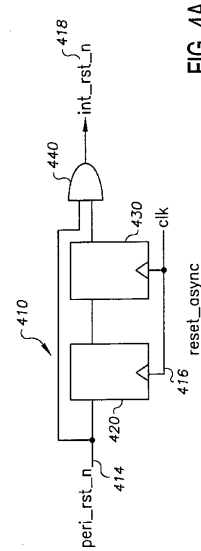
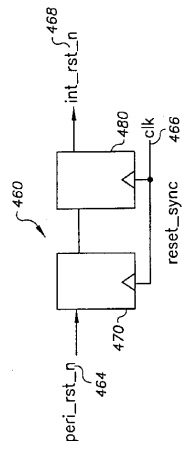


FIG. 4A



【 図 4 B 】

フロントページの続き

(74)代理人 100103263

弁理士 川崎 康

(74)代理人 100118876

弁理士 岡澤 順生

(72)発明者 ルネ、イエンセン

オランダ国 5 6 5 6、アーアー、アインドーフエン、プロフ・ホルストラーン、6

審査官 杉藤 泰子

(56)参考文献 特開平 0 6 - 3 2 4 7 5 7 (J P , A)

特開平 0 7 - 1 6 8 6 5 2 (J P , A)

特開平 0 7 - 0 4 6 1 1 9 (J P , A)

特開平 0 8 - 1 6 1 0 8 4 (J P , A)

特開平 0 5 - 3 4 1 8 8 3 (J P , A)

特開昭 6 2 - 0 8 4 3 6 2 (J P , A)

特開平 1 1 - 1 1 0 0 6 8 (J P , A)

特開平 0 5 - 0 9 4 4 2 6 (J P , A)

特開平 0 8 - 2 4 9 0 8 9 (J P , A)

特開平 0 1 - 1 2 9 3 1 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G06F 1/24