



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1555902** **A2**

(51) 5 Н 04 L 27/22

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГНТ СССР

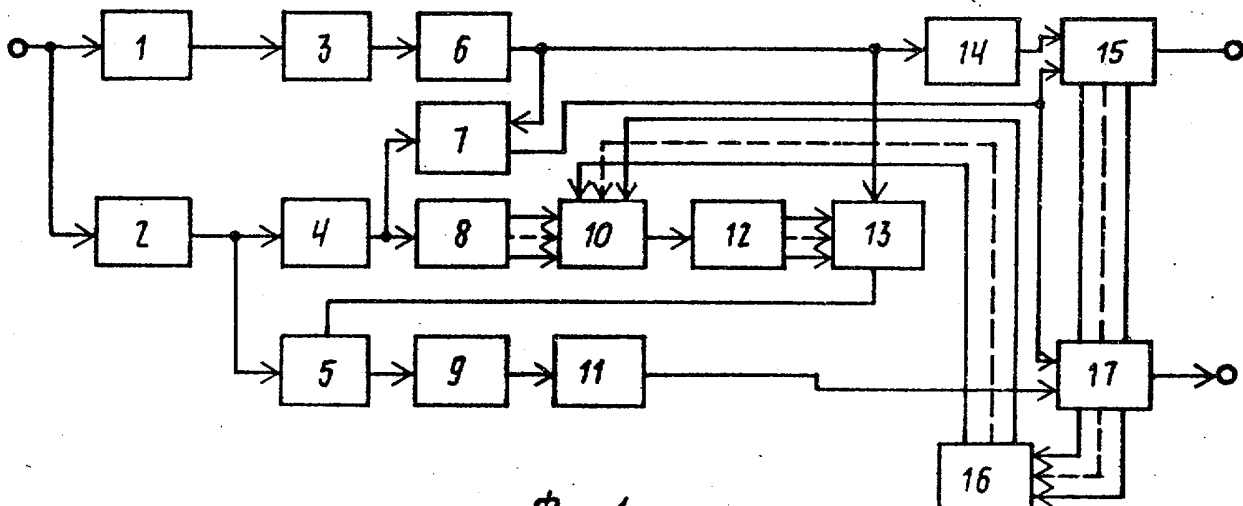
ВСЕСОЮЗНАЯ
ПАТЕНТНО-ТЕХНИЧЕСКАЯ
БИБЛИОТЕКА

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) 1262744
(21) 4434306/24-09
(22) 02.06.88
(46) 07.04.90. Бюл. № 13
(72) И.И. Сватовский, М.А.Иванов
и А.В. Кондратьев
(53) 621.394.62(088.8)
(56) Авторское свидетельство СССР
№ 1262744, кл. Н 04 L 27/22, 1985.

(54) УСТРОЙСТВО ДЛЯ ПРИЕМА СИГНАЛОВ
С ЧАСТОТНО-ФАЗОВОЙ МОДУЛЯЦИЕЙ
(57) Изобретение относится к радио-
технике. Цель изобретения - повыше-
ние достоверности приема сигналов.
Устройство для приема сигналов с час-

отно-фазовой модуляцией содержит
частотный детектор 1, линии 2 и 14
задержки, интеграторы 3 и 9, блок 4
выделения несущей, фазовый детектор
5, АЦП 6 и 11, блок 7 тактовой син-
хронизации, блок 8 фазовращателей,
ключи 10 и 13, г-р 12 частот, блок 15
декодирования сверточного кода час-
тотного подканала, блок 16 дешифра-
торов и блок 17 декодирования сверточ-
ного кода фазового подканала. Цель
достигается путем повышения надеж-
ности сигнальной синхронизации в фа-
зовом подканале. Устройство по п.2
ф-лы отличается выполнением блока 18
декодирования. 1 з.п.ф-лы, 2 ил.



Фиг. 1

(19) **SU** (11) **1555902** **A2**

Изобретение относится к радиотехнике, в частности к радиосистемам передачи информации, может использоваться для совершенствования широкого класса цифровых систем передачи дискретных сообщений, представленных в виде сверточных кодов, и является усовершенствованием изобретения по авт.св. № 1262744.

Цель изобретения - повышение достоверности приема сигналов путем повышения надежности сигнальной синхронизации в фазовом подканале.

На фиг. 1 изображена структурная электрическая схема предлагаемого устройства; на фиг. 2 - схема блока декодирования сверточного кода фазового подканала.

Устройство содержит частотный детектор 1, первую линию 2 задержки, первый интегратор 3, блок 4 выделения несущей, фазовый детектор 5, первый аналого-цифровой преобразователь (АЦП) 6, блок 7 тактовой синхронизации, блок 8 фазовращателей, второй интегратор 9, второй ключ 10, второй АЦП 11, генератор 12 частот, первый ключ 13, вторую линию 14 задержки, блок 15 декодирования сверточного кода частотного подканала, блок 16 дешифратора, блок 17 декодирования сверточного кода фазового подканала, состоящий из преобразователя 18 последовательного кода в параллельный, m каналов, каждый из которых состоит из первого коммутатора 19, блока 20 задержки, формирователя 21 контрольного сигнала, второго коммутатора 22, анализатора 23 контрольного сигнала и декодера 24.

Устройство работает следующим образом.

На его вход поступает частотно-фазоманипулированный сигнал, который можно представить в виде

$$S(t) = A \sin(\omega_0 t + \int_0^t \Delta\omega(t) dt + \Delta\varphi(t) + \varphi_0),$$

где A - амплитуда огибающей сигнала;

$$\omega_0 = 2\pi f_0$$

f_0 - круговая частота и начальная фаза несущего колебания;

$\Delta\omega(t)$ - закон изменения частоты несущего колебания;

$\Delta\varphi(t)$ - закон изменения фазы сигнала.

С входа приемника сигнал поступает на входы частотного детектора 1 и первой линии 2 задержки. На выходе частотного детектора 1 формируется напряжение, которое является монотонной функцией величины отклонения значения частоты принимаемого элемента сигнала (т.е. сигнала, принимаемого за тактовый интервал времени) f_c от частоты настройки частотного детектора 1 f_n :

$$U_{\omega\Delta} = F_{\omega\Delta}(f_c - f_n).$$

Данное напряжение интегрируется за время такта первым интегратором 3, передаточная функция которого определяется выражением

$$U_n = \frac{1}{T} \int_0^T U_{\omega\Delta}(t) dt,$$

где T - постоянная времени интегрирования.

Напряжение с выхода интегратора 3 поступает на вход АЦП 6, который преобразует данное напряжение в последовательность двоичных символов (код), соответствующую частоте принимаемого элемента сигнала. Данный код поступает на управляющие входы ключа 13 и через линию 14 задержки на вход блока 15.

Сигнал, задержанный линией 2 задержки на время, равное длительности обработки элемента сигнала в частотном подканале (1 такт), поступает на вход блока 4, в котором производится выделение опорного колебания. Данное опорное колебание поступает на вход блока 8, который производит фазовый сдвиг данного колебания на $0, \frac{\pi}{2^{m-1}}, \frac{\pi}{2^{m-2}}, \dots, (2m-1) \frac{\pi}{2^{m-1}}$.

Это опорное колебание поступает на первый вход блока 7, который по поступающему на его второй вход сигналу формирует из опорного колебания синхронизирующие импульсы с частотой, равной тактовой частоте формируемых АЦП 6 символов. Опорные колебания с указанными выше фазовыми сдвигами поступают на сигнальные входы ключа 13, который производит подключение одного из своих входов к выходу в соответствии с управляющим сигналом. При этом в начальное время приема, пока не установлен сигнальный синхронизм, ключ 13 подключает к выходу свой первый вход, на который подается опорное колебание с нулевым сдвигом

Данное опорное колебание поступает на вход генератора 12 частот, который формирует сетку опорных частот, поступающих на сигнальные входы ключа 13. По управляющему сигналу с выхода АПП 6, соответствующему частоте принятого элемента сигнала, ключ 13 пропускает на свой выход опорное колебание с частотой принятого элемента сигнала, поступающего на второй вход фазового детектора 5, на первый вход которого подается сигнал с выхода линии 2 задержки. На выходе фазового детектора 5 формируется напряжение, являющееся монотонной функцией значения разности фаз принятого и опорного сигналов:

$$U_{срА} = F_{срА}(\varphi_c - \varphi_{оп}).$$

Данное напряжение выделяется интегратором 9 и поступает на вход АПП 6, который преобразует его в код, соответствующий фазе принятого сигнала.

Код из фазового подканала поступает на вход блока 17. Одновременно с ним на вход блока 15 поступает код из частотного подканала, задержанный линией 14 задержки на время принятия решения в фазовом подканале (1 такт). Блок 15 производит установление циклового синхронизма по выделению фазы фазировочной последовательности, накладываемой при передаче на проверочные символы сверточного кода путем суммирования по модулю два. При установлении циклового синхронизма коммутация входов декодера 24 устанавливается управляющими сигналами с первых выходов анализаторов 23 контрольных сигналов в соответствии с определенными данными анализаторами 23 контрольных сигналов в блок 15 положениями информационных и проверочных символов в кодовой комбинации принятого сверточного кода.

Эти управляющие сигналы с выходов анализаторов 23 контрольных сигналов (выходов блока 15) поступают на входы блока 17, устанавливая первые коммутаторы 19 и вторые коммутаторы 22 в положения, соответствующие установленной цикловой синхронизации в блок 15. При этом сверточные коды, поступающие на входы каналов декодирования с выходов преобразователя 18, аналогичные кодам, поступающим в блок 15 (т.е. одинаковыми являются образующие полиномы данных кодов), и передаются синхронно с ними, а работа

анализаторов 23 контрольных сигналов в блоке 15 и анализаторов 23 контрольных сигналов в блоке 17 синхронизируется тактовыми импульсами, поступающими с выхода блока 7.

С установлением циклового синхронизма становится возможным правильное выделение фазировочной последовательности в каналах декодирования блока 17, каждый из которых обрабатывает сверточный код, передаваемый по соответствующему крату фазовой манипуляции. Выделение фазировочной последовательности в каждом из каналов декодирования производится аналогично данному выделению в блоке 15. При этом прием неискаженной фазировочной последовательности соответствует появлению на первых выходах анализаторов 23 контрольного сигнала логической "1", а прием искаженной из-за случайного сдвига фазы фазировочной последовательности - сигнала логического "0". Для выбранного манипуляционного кода существует однозначное соответствие комбинаций одновременно принятых и непринятых в m каналах фазировочных последовательностей произошедшим случайным перескокам фазы опорного колебания которые кратны

$$\frac{\pi}{2^{m-1}}.$$

Сигналы с первых выходов анализаторов 23 контрольного сигнала поступают на входы блока 16, который опознает вид комбинации единиц и нулей и выдает единичный сигнал на соответствующий управляющий вход коммутатора 19 для выбора определенного корректирующего фазового сдвига опорного колебания. К примеру, прием вместо переданной кодовой комбинации 101 комбинации 000 означает произошедший скачок фазы опорного колебания на $\frac{\pi}{2}$,

при котором фазировочная последовательность правильно выделена только во втором канале декодирования, и блок

16 по поступившей на его входы комбинации 010 выдает сигнал логической "1" на тот управляющий вход ключа 10, который подключает к его выходу опорное колебание со сдвигом на $3\frac{\pi}{2}$, т.е. корректирующий сдвиг фазы удовлетворяет равенству

$$\Delta\varphi' + \Delta\varphi'' = 2\pi,$$

где $\Delta\varphi'$ - случайный сдвиг фазы;
 $\Delta\varphi''$ - изменение фазы опорного колебания.

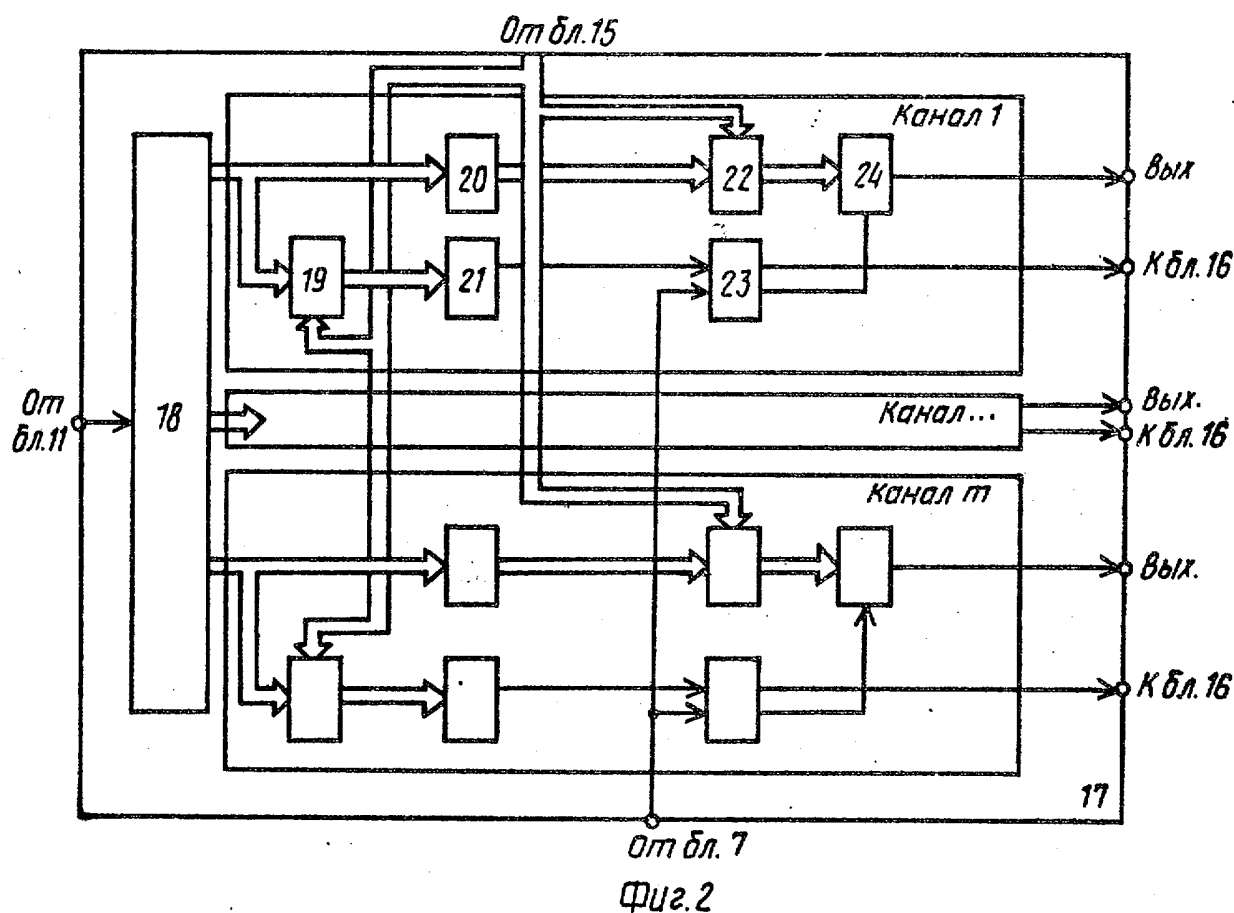
Символы кодов, поступившие из фазового подканала на вход преобразователя 18, декодируются декодерами 24, на входы которых поступают информационные символы с выходов коммутаторов 22 и символы синдромов с вторых выходов анализаторов 23 контрольного сигнала. Информация с выходов декодера 24 поступает на выход блока 17. Аналогично обрабатываются символы кодов в блоке 15. При этом, гарантированное правильное установление циклового синхронизма в блоке 15 происходит при передаче количества символов сверточного кода, не превышающего длины кодового ограничения, а правильное установление сигнального синхронизма в блоке 17 - при передаче количества символов, не превышающего удвоенной длины кодового ограничения. Дальнейшая работа приемника происходит аналогично описанному, причем в установившемся режиме циклового синхронизма осуществляется непрерывный контроль однозначности фазы опорного колебания и оперативная коррекция перескоков данной фазы.

Ф о р м у л а и з о б р е т е н и я

1. Устройство для приема сигналов с частотно-фазовой модуляцией по авт. св. № 1262744, отличающееся тем, что, с целью повышения достоверности приема сигналов путем повышения надежности сигнальной синхронизации в фазовом подканале, введены блок тактовой синхронизации, блок фазовращателей, второй ключ, вторая линия задержки, блок дешифраторов, последовательно соединенные блоки декодирования, сверточного кода частотного и фазового подканалов, причем выход блока выделения несущей соединен с входом генератора частот через последовательно соединенные блок фазовращателей, и второй ключ, другие входы которого соединены с выходами блока дешифраторов, входы которого соединены с выходами блока декодирования сверточного кода фазового подканала, синхронизирующий вход которого и синхронизирующий вход блока декодирования сверточного кода частотного подканала соединены с выходом блока тактовой синхронизации,

первый и второй входы которого соединены соответственно с выходами первого аналого-цифрового преобразователя и блока выделения несущей, выход первого аналого-цифрового преобразователя через вторую линию задержки соединен с входом блока декодирования сверточного кода частотного подканала, выход которого является выходом частотного канала устройства, выход второго аналого-цифрового преобразователя соединен с соответствующим входом блока декодирования сверточного кода фазового канала, выход которого является выходом фазового канала.

2. Устройство по п. 1, отличающееся тем, что блок декодирования сверточного кода фазового подканала содержит преобразователь последовательного кода в параллельный, вход которого является соответствующим входом блока декодирования сверточного кода фазового подканала, m групп выходов преобразователя последовательного кода в параллельный соединены с входами m каналов декодирования, каждый из которых содержит два коммутатора, блок задержки, формирователь контрольного сигнала, анализатор контрольного сигнала и декодер, причем соединенные сигнальные входы первого коммутатора и входы блока задержки являются входами канала декодирования, выходы блока задержки соединены с сигнальными входами второго коммутатора, управляющие входы которого, объединенные с управляющими входами первого коммутатора, являются входами блока декодирования сверточного кода фазового подканала, входы формирователя контрольного сигнала соединены с выходами первого коммутатора, выход формирователя контрольного сигнала соединен с первым входом анализатора контрольного сигнала, второй вход которого является синхронизирующим входом блока декодирования сверточного кода фазового подканала, выходы второго коммутатора и первый выход анализатора контрольного сигнала соединены с входами декодера, выход которого является выходом фазового канала, второй выход анализатора контрольного сигнала является выходом блока декодирования сверточного кода фазового подканала.



Составитель Н. Лазарева

Редактор М. Фланар

Техред М. Дидык

Корректор М. Максимитинцев

Заказ 565

Тираж 525

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101