(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2007-201399
(P2007-201399A)
(43)公開日　平成19年8月9日(2007.8.9)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 21/768	(2006.01)	H01L 21/90	A	2H092
H01L 21/336	(2006.01)	H01L 29/78	612D	5F033
H01L 29/786	(2006.01)	H01L 29/78	627A	5F110
G02F 1/1343	(2006.01)	G02F 1/1343		
G02F 1/1362	(2006.01)	G02F 1/1362		

審査請求 未請求　請求項の数 15　ＯＬ　（全 38 頁）

(21)出願番号　特願2006-169536 (P2006-169536)
(22)出願日　平成18年6月20日 (2006.6.20)
(31)優先権主張番号　特願2005-189020 (P2005-189020)
(32)優先日　平成17年6月28日 (2005.6.28)
(33)優先権主張国　日本国(JP)
(31)優先権主張番号　特願2005-379975 (P2005-379975)
(32)優先日　平成17年12月28日 (2005.12.28)
(33)優先権主張国　日本国(JP)

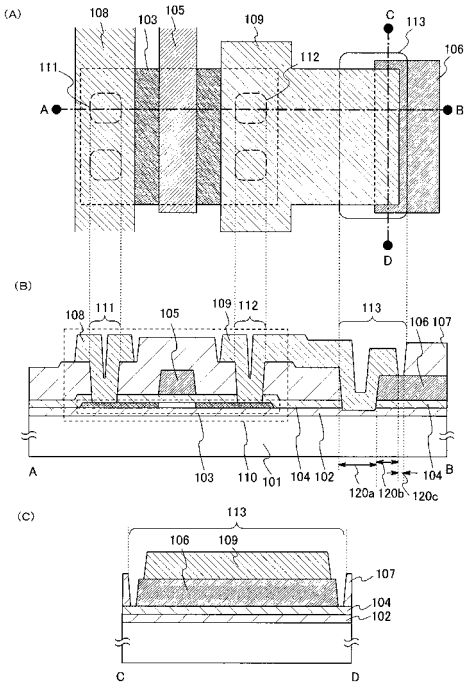
(71)出願人　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　坂倉　真之
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　宮崎　彩
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

Ｆターム(参考)　2H092 GA29 GA59 JA25 JA46 JB42 JB56 NA04 NA19

最終頁に続く

(54)【発明の名称】半導体装置

(57)【要約】
【課題】配線の凹凸差を緩和することが可能な構造の半導体装置を提供することを課題とする。
【解決手段】第１の導電層と、第２の導電層と、第１の導電層及び第２の導電層の間に形成されると共に、接続孔を有する絶縁層と、第１の導電層及び第２の導電層に接続すると共に、少なくとも端部の一部が接続孔の内側に形成される第３の導電層と、を有する半導体装置である。第２の導電層及び第３の導電層が接続する接続孔付近において、第３の導電層が第１の絶縁層を介して第２の導電層に重畳せず、第３の導電層の端部が第１の絶縁層上に形成されない。このため、第３の導電層の凹凸を低減することが可能である。
【選択図】図１



【特許請求の範囲】
【請求項１】
第１の導電層と、
第１の導電層上の絶縁層と、
前記絶縁層に形成された少なくとも１つの接続孔と、
前記絶縁層上に形成され、前記接続孔において前記第１の導電層と接する第２の導電層と、
を有し、
前記第２の導電層は端部の一部を前記接続孔の内側に有し、前記第２の導電層の端部の一部は前記第１の導電層に電気的に接することを特徴とする半導体装置。
【請求項２】
請求項１において、前記第１の導電層は、第１の膜厚の領域と第２の膜厚の領域を有し、前記第１の膜厚は、前記第２の膜厚より薄く、前記第２の導電層は、前記第１の導電層の前記第１の膜厚の領域で電気的に接続することを特徴とする半導体装置。
【請求項３】
請求項１または請求項２において、前記第１の導電層に電気的に接続される画素電極を有することを特徴とする半導体装置。
【請求項４】
請求項１乃至請求項３のいずれか一項において、前記第２の導電層と接続する第１の導電層の端部の一部が前記接続孔の内側に形成されることを特徴とする半導体装置。
【請求項５】
請求項１乃至請求項４のいずれか一項において、前記第２の導電層は前記第１の導電層の一部を重畳することを特徴とする半導体装置。
【請求項６】
第１の導電層と、
第２の導電層と、
前記第１の導電層及び前記第２の導電層の間に形成されると共に、接続孔を有する絶縁層と、
前記第１の導電層及び前記第２の導電層に電気的に接続すると共に、少なくとも端部の一部が前記接続孔の内側に形成される第３の導電層と、
を有することを特徴とする半導体装置。
【請求項７】
第１の導電層と、
第２の導電層と、
前記第１の導電層及び前記第２の導電層の間に形成されると共に、接続孔を有する絶縁層と、
前記第１の導電層及び前記第２の導電層に電気的に接続すると共に、少なくとも前記第２の導電層に接続する端部が前記接続孔の内側に形成される第３の導電層と、
を有することを特徴とする半導体装置。
【請求項８】
請求項６又は請求項７において、前記第１の導電層及び前記第３の導電層が電気的に接続する接続孔と、前記第２の導電層及び前記第３の導電層が電気的に接続する接続孔とが異なることを特徴とする半導体装置。
【請求項９】
請求項６乃至請求項８のいずれか一項において、前記第１の導電層及び前記第３の導電層が電気的に接続する接続孔と、前記第２の導電層及び前記第３の導電層が電気的に接続する接続孔とが同一であることを特徴とする半導体装置。
【請求項１０】
請求項６乃至請求項９のいずれか一項において、前記第１の導電層及び前記第２の導電層の間に前記第１の導電層及び前記第２の導電層を絶縁する絶縁層を有し、前記第２の導

電層は前記第１の導電層の一部を重畳することを特徴とする半導体装置。
【請求項１１】
請求項６乃至請求項１０のいずれか一項において、前記第２の導電層は、第１の膜厚の領域と第２の膜厚の領域を有し、前記第１の膜厚は、前記第２の膜厚より薄く、前記第３の導電層は、前記第２の導電層の前記第１の膜厚の領域で電気的に接続することを特徴とする半導体装置。
【請求項１２】
請求項６乃至請求項１１のいずれか一項において、前記第２の導電層に電気的に接続される画素電極を有することを特徴とする半導体装置。
【請求項１３】
請求項６乃至請求項１２のいずれか一項において、前記第１の導電層は、ソース領域又はドレイン領域であることを特徴とする半導体装置。
【請求項１４】
請求項６乃至請求項１３のいずれか一項において、前記第１の導電層は、第１のトランジスタのソース領域又はドレイン領域であり、前記第２の導電層は、第２のトランジスタのゲート電極であることを特徴とする半導体装置。
【請求項１５】
請求項６乃至請求項１４のいずれか一項において、前記第３の導電層と電気的に接続する第２の導電層の端部の一部が前記接続孔の内側に形成されることを特徴とする半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、配線が積層された半導体装置に関する。
【背景技術】
【０００２】
近年、配線基板及び半導体装置は、半導体素子の集積度が向上し、高集積化されている。このため、配線幅がより微細化されていると共に、配線の本数が増大している。更には、配線の多層化により半導体装置の面積の縮小化が図られている。
【０００３】
半導体装置を構成する半導体素子の代表例として、薄膜トランジスタを図１６を用いて説明する。図１６（Ａ）は薄膜トランジスタの上面図であり、図１６（Ｂ）、（Ｃ）は、それぞれ図１６（Ａ）のＡ－Ｂ及びＣ－Ｄの断面図を示す。なお、図１６（Ａ）において、図１６（Ｂ）、及び（Ｃ）に示される基板１０１、絶縁層１０２、１０７、１１５及びゲート絶縁層１０４は省略する。
【０００４】
図１６（Ｂ）に示すように、薄膜トランジスタ１１０は、半導体領域１０３とゲート電極１０５とがゲート絶縁層１０４で絶縁され、ゲート電極１０５と配線１０８、１０９とが絶縁層１０７で絶縁されている。また、ゲート絶縁層１０４上にゲート電極１０５と同時に導電層１０６が形成されており、導電層１０６と配線１０９とが、絶縁層１０７を介して絶縁されている。
【０００５】
また、絶縁層１０７に形成される接続孔１１１を介して半導体領域１０３のソース領域又はドレイン領域の一方と配線１０８とが接続されている。また、絶縁層１０７に形成される接続孔１１２を介して半導体領域１０３のソース領域又はドレイン領域の他方と配線１０９とが接続されており、絶縁層１０７に形成される接続孔１１３を介して配線１０９と導電層１０６とが接続されている。
【０００６】
このような構造により、薄膜トランジスタの半導体領域、ゲート電極、配線等を積層することが可能である。

【０００７】
図１６（Ａ）に示すように、配線１０８、１０９は、接続孔１１１～１１３の面積より広い断面積で形成されている。また、絶縁層１０７をＣＶＤ法やスパッタリング法等の薄膜形成方法を用いて形成する場合、絶縁層１０７の表面が平坦化されず、絶縁層１０７の下地となる層の凹凸の影響を受ける。このため、配線１０８、１０９や絶縁層１０７の表面は、図１６（Ｂ）に示すように、凹凸が増加する。
【０００８】
液晶表示装置において、このような薄膜トランジスタを用いて画素電極を駆動する素子を形成する場合、絶縁層の凹凸が配向膜のラビングむらの原因となり、液晶の配向乱れ、及びそれに伴う画質の低下が生じるという問題がある。このため、絶縁層１０７及び配線１０８、１０９上に平坦化された絶縁層１１５を形成する。
【発明の開示】
【発明が解決しようとする課題】
【０００９】
絶縁層１１５の形成方法としては、ＣＶＤ法やＰＶＤ法で形成した絶縁膜をＣＭＰ等の研磨により平坦化する方法や、塗布法により平坦性の高い絶縁層を形成する方法がある。
【００１０】
塗布法により平坦性の高い絶縁層１１５を形成する場合、絶縁層を形成する組成物を、スピンコート法、スリットコート法等の塗布法により塗布した後、組成物を焼成して絶縁層１１５を形成する。しかしながら、絶縁層１１５の下地となる配線１０８、１０９や絶縁層１０７の凸部では、絶縁層１１５の膜厚は薄くて済むが、凹部では絶縁層１１５の膜厚を厚くする必要がある。この結果、凹凸差が少ない絶縁層及び配線上に絶縁層を形成する場合と比較して、絶縁層１１５を形成する組成物の量が増大し、材料コストが増大すると共に生産性が低下するという問題がある。また、絶縁層１１５を感光性材料を用いて形成し、後の工程で露光する場合、膜厚が厚いと露光時間が増大するという問題がある。
【００１１】
また、図１６（Ｂ）に示すように、膜厚の厚い導電層１０６及び絶縁層１０７が重畳する配線１０９の領域１１６は、導電層１０６が存在しない絶縁層１０７を重畳する配線１０９の領域１１７と比較して、凹凸差が大きい。このため、領域１１６及び領域１１７における組成物の塗布むらの原因となり、絶縁層１１５の領域１１６においては、膜厚が薄くなる。この結果、絶縁層１１５上に形成される配線と配線１０９とが短絡しやすくなる問題がある。
【００１２】
そこで本発明は、配線の凹凸差を緩和することが可能な構造の半導体装置を提供することを課題とする。
【課題を解決するための手段】
【００１３】
本発明の一は、第１の導電層と、第１の導電層上の絶縁層と、前記絶縁層に形成された少なくとも１つの接続孔と、前記絶縁層上に形成され、前記接続孔において前記第１の導電層と接する第２の導電層と、を有し、前記第２の導電層は端部の一部を前記接続孔の内側に有し、前記第２の導電層の端部の一部は前記第１の導電層に接することを特徴とする半導体装置である。
【００１４】
即ち、接続孔において、第１の領域及び第２の領域を有し、第１の領域は第２の導電層が第１の導電層と接する領域であり、第２の領域は第２の導電層が第１の導電層と接しない領域である。
【００１５】
さらには、接続孔において、上記第１の領域及び第２の領域に加えて、第３の領域を有してもよい。第３の領域は、第１の導電層が第２の導電層と接しない領域である。
【００１６】

なお、第２の導電層は第１の導電層の一部を重畳する。

【００１７】

また、前記第１の導電層は、第１の膜厚の領域と第２の膜厚の領域を有し、前記第１の膜厚は、前記第２の膜厚より薄く、前記第２の導電層は、前記第１の導電層の前記第１の膜厚の領域で接続してもよい。

【００１８】

また、前記第１の導電層に接続される画素電極を有してもよい。

【００１９】

また、前記第２の導電層と接続する第１の導電層の端部の一部が前記接続孔の内側に形成されてもよい。

【００２０】

また、本発明の一は、第１の導電層と、第２の導電層と、前記第１の導電層及び前記第２の導電層の間に形成されると共に、接続孔を有する絶縁層と、前記第１の導電層及び前記第２の導電層に接続すると共に、少なくとも端部の一部が前記接続孔の内側に形成される第３の導電層と、を有することを特徴とする半導体装置である。

【００２１】

また、本発明の一は、第１の導電層と、第２の導電層と、前記第１の導電層及び前記第２の導電層の間に形成されると共に、接続孔を有する絶縁層と、前記第１の導電層及び前記第２の導電層に接続すると共に、少なくとも前記第２の導電層に接続する端部が前記接続孔の内側に形成される第３の導電層と、を有することを特徴とする半導体装置である。

【００２２】

即ち、接続孔において、第１の領域及び第２の領域を有し、第１の領域は第３の導電層が第２の導電層と接する領域であり、第２の領域は第３の導電層が第２の導電層と接しない領域である。

【００２３】

さらには、接続孔において、上記第１の領域及び第２の領域に加えて、第３の領域を有してもよい。第３の領域は、第２の導電層が第３の導電層と接しない領域である。

【００２４】

なお、前記第３の導電層と接続する第２の導電層の端部の一部が前記接続孔の内側に形成される。

【００２５】

また、前記第１の導電層及び前記第３の導電層が接続する接続孔と、前記第２の導電層及び前記第３の導電層が接続する接続孔とが異なってもよい。また、前記第１の導電層及び前記第３の導電層が接続する接続孔と、前記第２の導電層及び前記第３の導電層が接続する接続孔とが同一であってもよい。

【００２６】

また、前記第１の導電層及び前記第２の導電層の間に前記第１の導電層及び前記第２の導電層を絶縁する絶縁層を有し、前記第２の導電層は前記第１の導電層の一部を重畳してもよい。

【００２７】

また、前記第２の導電層は、第１の膜厚の領域と第２の膜厚の領域を有し、前記第１の膜厚は、前記第２の膜厚より薄く、前記第３の導電層は、前記第２の導電層の前記第１の膜厚の領域で接続してもよい。

【００２８】

また、前記第２の導電層に接続される画素電極を有してもよい。

【００２９】

また、前記第１の導電層として、第１のトランジスタのソース領域又はドレイン領域として用い、前記第２の導電層として、第２のトランジスタのゲート電極を用いることができる。第３の導電層としてソース領域又はドレイン領域の一方とゲート電極とを接続する配線を用いることができる。

【００３０】
なお、ここでの端部とは、導電層を基板の上面から見たときの導電層の端を意味する。
【発明の効果】
【００３１】
本発明の半導体装置は、第１の導電層、及び第１の導電層と接続する第２の導電層において、第２の導電層の端部の少なくとも一部が接続孔内に位置する。即ち、第１の導電層及び第２の導電層が接続する接続孔付近において、第２の導電層が第１の絶縁層を介さず第１の導電層に重畳し、第２の導電層の端部が第１の絶縁層上に形成されない。このため、第２の導電層の凹凸を低減することが可能である。
【００３２】
このため、第２の導電層上に形成される第２の絶縁層の凹凸も低減することが可能である。
【００３３】
本発明の半導体装置は、第１の導電層及び第２の導電層を接続する第３の導電層において、第２の導電層及び第３の導電層が接続孔で接続し、第３の導電層の端部の少なくとも一部が接続孔内に位置する。即ち、第２の導電層及び第３の導電層が接続する接続孔付近において、第３の導電層が第１の絶縁層を介して第２の導電層に重畳せず、第３の導電層の端部が第１の絶縁層上に形成されない。このため、第３の導電層の凹凸を低減することが可能である。
【００３４】
このため、第３の導電層上に形成される第２の絶縁層の凹凸も低減することが可能である。塗布法により平坦性の高い第２の絶縁層を形成する場合、第２の絶縁層を厚くしないで済むため材料を削減することが可能である。よって、コストを削減することが可能であると共に生産性を高めることが可能である。
【００３５】
また、第２の絶縁層が感光性材料で形成する場合、第２の絶縁層の膜厚を相対的に均一に形成することが可能である。従来と比較すると、第２の絶縁層を厚くしないですむため露光する時間を短縮することが可能である。このため、スループットを向上させることが可能である。
【００３６】
また、第２の絶縁層の凹凸を低減すること可能であり、第２の絶縁層の上下間に形成される導電層同士が短絡することを防止することが可能であり、半導体装置の信頼性を高めることが可能であるとともに、歩留まりを向上させることができる。
【００３７】
また、第２の絶縁層の凹凸を低減すること可能であり、第２の絶縁層上に形成される上下電極の間隔の狭い素子、例えば上下電極に挟まれる有機化合物層の膜厚の薄いＥＬ素子等を形成しても、上下電極が短絡することを防止することが可能であり、半導体装置の信頼性を高めることが可能であるとともに、歩留まりを向上させることができる。
【００３８】
また、塗布法により平坦性の高い第２の絶縁層を形成する場合、材料の塗布むらを低減することが可能である。このため、第２の絶縁層上に形成される第４の導電層と第３の導電層との短絡を回避することが可能である。このため、信頼性高く半導体装置を作製することが可能である。
【発明を実施するための最良の形態】
【００３９】
以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる形態で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り

返しの説明は省略する。

【００４０】

（実施の形態１）

本実施の形態では、絶縁層を介して形成される複数の導電層において、複数の導電層が接続孔内で接続し、一方の導電層の端部の少なくとも一部が接続孔内に位置することを特徴とする半導体装置について説明する。代表的には、第１の導電層及び第２の導電層に接続する第３の導電層を有する半導体装置において、第２の導電層及び第３の導電層が接続孔で接続し、第３の導電層の端部が接続孔内に位置すると共に、第３の導電層が、第１の導電層及び第２の導電層と異なる接続孔で接続することを特徴とする半導体装置について図１を用いて説明する。

【００４１】

ここでは、第１の導電層としては、第１のトランジスタの半導体領域のソース領域又はドレイン領域の一方を用い、第２の導電層としては、第２のトランジスタのゲート電極を用い、第３の導電層としては、ソース領域又はドレイン領域の一方と、ゲート電極とを接続する配線を用いて説明する。ここでは、第１のトランジスタ及び第２のトランジスタとして、それぞれ薄膜トランジスタを用いて示す。

【００４２】

なお、本実施の形態では、第１の導電層の膜厚としては、２０ｎｍ以上１００ｎｍ以下、さらには４０ｎｍ以上６０ｎｍ以下が好ましい。また、第２の導電層の膜厚としては、２００ｎｍ以上６００ｎｍ以下、さらには３００ｎｍ以上５００ｎｍ以下が好ましい。

【００４３】

なお、本実施の形態では、第１の導電層として、第１のトランジスタのソース領域又はドレイン領域を用いて説明したが、これに限定されるものではなく、金属層で形成される配線、電極、端子、画素電極等を適宜適用することが可能である。また、第２の導電層として、第２のトランジスタのゲート電極を用いて説明したが、これに限定されるものではなく、金属層で形成される配線、他の電極、端子、画素電極や、ソース領域、ドレイン領域等を適宜適用することが可能である。

【００４４】

図１（Ａ）は、第１のトランジスタの上面図であり、図１（Ｂ）及び図１（Ｃ）はそれぞれ図１（Ａ）のＡ－Ｂ、Ｃ－Ｄの断面図である。なお、図１（Ａ）において、図１（Ｂ）、及び（Ｃ）に示される基板１０１、絶縁層１０２、１０７、及びゲート絶縁層１０４は省略する。

【００４５】

図１（Ｂ）に示すように、基板１０１上に絶縁層１０２が形成され、絶縁層１０２上に第１のトランジスタとして薄膜トランジスタ１１０が形成される。薄膜トランジスタ１１０は、絶縁層１０２上に形成される半導体領域１０３、ゲート電極１０５、配線１０８、１０９、半導体領域１０３とゲート電極を絶縁するゲート絶縁層１０４、ゲート電極１０５及び配線１０８、１０９を絶縁する絶縁層１０７を有する。

【００４６】

また、ゲート絶縁層１０４上にゲート電極１０５と同時に形成される第２のトランジスタのゲート電極として機能する導電層（以下、ゲート電極１０６と示す。）が形成される。

【００４７】

本実施の形態では、第１の導電層である半導体領域のソース領域又はドレイン領域と、第３の導電層である配線１０９が、絶縁層１０７に形成された接続孔１１２において接続されている。また、第３の導電層である配線１０９と第２の導電層であるゲート電極１０６とが、絶縁層１０７に形成された接続孔１１３において接続されている。更には、第３の導電層である配線１０９の端部の一部が接続孔１１３内に配置されている。このため、第３の導電層である配線１０９と第２の導電層であるゲート電極１０６とが重畳する領域において、配線１０９の端部が絶縁層１０７上に形成されない。この結果、配線の凹凸を

低減することが可能である。特に、膜厚の厚い導電層（ここでは、ゲート電極１０６及び配線１０９）が接する領域において、導電層の端部が絶縁層上に形成されないため、配線の凹凸を低減することが可能である。

【００４８】

さらには、第２の導電層であるゲート電極１０６において、第３の導電層である配線１０９と接する端部も接続孔１１３内に配置されている。

【００４９】

即ち、接続孔１１３において、第３の導電層である配線１０９が第２の導電層であるゲート電極１０６と接する第１の領域１２０ｂと、第３の導電層である配線１０９が第２の導電層であるゲート電極１０６と接しない第２の領域１２０ａを有する。

【００５０】

さらには、接続孔において、上記第１の領域及び第２の領域に加えて、第２の導電層であるゲート電極１０６が第３の導電層である配線１０９と接しない第３の領域１２０ｃを有する。

【００５１】

なお、第１の導電層であるソース領域又はドレイン領域を含む半導体領域１０３の厚さが２０ｎｍ以上１００ｎｍ以下、さらには４０ｎｍ以上６０ｎｍ以下の場合、半導体領域１０３に重なる絶縁層１０７上に第３の導電層である配線１０９を形成することができる。これは、第１の導電層であるソース領域又はドレイン領域を含む半導体領域１０３の厚さが、第２の導電層であるゲート電極１０６の厚さと比較して薄いため、半導体領域１０３に重なる絶縁層１０７上の配線１０９が、ゲート電極１０５を覆う絶縁層１０７の表面より凸状に突出しにくいためである。

【００５２】

また、図１（Ｃ）に示すように、第３の導電層である配線１０９の端部は、絶縁層１０７上に形成されず、第２の導電層であるゲート電極１０６上に形成されている。また、接続孔１１３の内側において、第３の導電層である配線１０９と第２の導電層であるゲート電極１０６の端部が位置する。

【００５３】

なお、第２の導電層であるゲート電極１０６及び第３の導電層である配線１０９が接続する接続孔の形状において、図１（Ｃ）に示す接続孔１１３のように、接続孔１１３の内側において、第３の導電層である配線１０９と第２の導電層であるゲート電極１０６の端部が位置する形状の代わりに、図８（Ａ）及び（Ｃ）に示すように、絶縁層１７１の端部が第２の導電層であるゲート電極１０６上に位置してもよい。即ち、第２の導電層であるゲート電極１０６及び第３の導電層である配線１０９が接する付近において、第２の導電層であるゲート電極１０６の端部が絶縁層１７１に覆われて露出せず、第３の導電層である配線１０９の端部のみが露出してもよい。

【００５４】

なお、本実施の形態において、接続孔１１１、１１２の上面形状を円形、矩形、楕円形等の形状を適宜用いることができる。また、接続孔１１３を一つ形成しているが、複数の接続孔を形成してもよい。

【００５５】

ここで、第１のトランジスタである薄膜トランジスタ１１０の構成について説明する。

【００５６】

基板１０１としては、ガラス基板、石英基板、セラミックス基板、後工程の処理温度に耐え得る耐熱性を有するプラスチック基板、シリコンウェハ、金属板等を用いることができる。なお、基板にガラス基板、金属基板等を用いる場合は、基板から後に形成される半導体層へ不純物が拡散することを防止するために絶縁層１０２を形成することが望ましい。絶縁層１０２は、酸化シリコン（ＳｉＯｘ）、窒化シリコン（ＳｉＮｘ）、酸化窒化シリコン、窒化アルミニウム（ＡｌＮｘ）などを用いて形成する。また、基板１０１として、ＳＯＩ（Ｓｉｌｉｃｏｎ　ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板を用いて半導体膜を形成し

ても良い。また、基板１０１がガラス基板の場合、３２０ｍｍ×４００ｍｍ、３７０ｍｍ×４７０ｍｍ、５５０ｍｍ×６５０ｍｍ、６００ｍｍ×７２０ｍｍ、６８０ｍｍ×８８０ｍｍ、１０００ｍｍ×１２００ｍｍ、１１００ｍｍ×１２５０ｍｍ、１１５０ｍｍ×１３００ｍｍのような大面積基板を用いることができる。なお、基板１０１にプラスチック基板を用いる場合、ＰＣ（ポリカーボネート）、ＰＥＳ（ポリエチレンスルホン）、ＰＥＴ（ポリエチレンテレフタレート）もしくはＰＥＮ（ポリエチレンナフタレート）等のガラス転移点が比較的高いものを用いることが好ましい。さらには、基板１０１にガラス基板、石英基板、シリコンウェハを用いる場合、基板を研磨しても良い。この工程により、後に形成する半導体装置を薄膜化することが可能である。

【００５７】

なお、絶縁層１０２として、酸化シリコン（ＳｉＯｘ）、窒化シリコン（ＳｉＮｘ）、酸化窒化シリコンを形成する場合、基板１０１の表面を高密度プラズマによって処理することによって形成してもよい。高密度プラズマは例えば２．４５ＧＨｚのマイクロ波を用いることによって生成され、電子密度が1×10^{11}～1×10^{13}／cm^3かつ電子温度が２ｅＶ以下、イオンエネルギーが５ｅＶ以下のものであるとする。このような高密度プラズマは活性種の運動エネルギーが低く、従来のプラズマ処理と比較してプラズマによるダメージが少なく、欠陥の少ない膜を形成することができる。

【００５８】

例えば窒素と希ガスを含む雰囲気下、または窒素と水素と希ガスを含む雰囲気下、またはアンモニアと希ガスを含む雰囲気下において、上記高密度プラズマ処理を行うことによって基板１０１の表面を窒化することができる。基板１０１としてガラス基板、石英基板またはシリコンウェハなどを用いた場合、上記高密度プラズマによる窒化処理を行うことで、基板１０１表面に窒素、珪素を主成分とする窒化珪素層を形成することができる。この窒化珪素層の上に酸化珪素層または酸化窒化珪素層をプラズマＣＶＤ法により形成して複数層よりなる絶縁層１０２としてもよい。

【００５９】

また酸化珪素層や酸化窒化珪素層などの表面に同様に高密度プラズマによる窒化処理を行うことによって、窒素、珪素を主成分とする窒化珪素層を形成することができる。

【００６０】

ここでは、基板１０１としてガラス基板を用いる。また、絶縁層１０２として、プラズマＣＶＤ法により窒化酸化珪素層を形成する。

【００６１】

薄膜トランジスタの半導体領域１０３は、結晶構造を有する半導体で形成される層であり、非単結晶半導体若しくは単結晶半導体を用いることができる。特に、非晶質若しくは微結晶質の半導体を、レーザ光の照射により結晶化させた結晶性半導体、加熱処理により結晶化させた結晶性半導体、加熱処理とレーザ光の照射を組み合わせて結晶化させた結晶性半導体を適用することが好ましい。加熱処理においては、シリコン半導体の結晶化を助長する作用のあるニッケルなどの金属元素を用いた結晶化法を適用することができる。

【００６２】

半導体にレーザビームを照射して結晶化する場合には、連続発振型のレーザビーム（ＣＷ（Ｃｏｎｔｉｎｕｏｕｓ Ｗａｖｅ Ｌａｓｅｒ）レーザビーム）やパルス発振型のレーザビーム（パルスレーザビーム）を用いることができる。ここで用いることができるレーザビームは、Ａｒレーザ、Ｋｒレーザ、エキシマレーザなどの気体レーザ、単結晶のＹＡＧ、YVO_4、フォルステライト（Mg_2SiO_4）、$YAlO_3$、$GdVO_4$、若しくは多結晶（セラミック）のＹＡＧ、Y_2O_3、YVO_4、$YAlO_3$、$GdVO_4$に、ドーパントとしてＮｄ、Ｙｂ、Ｃｒ、Ｔｉ、Ｈｏ、Ｅｒ、Ｔｍ、Ｔａのうち１種または複数種添加されているものを媒質とするレーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ｔｉ：サファイアレーザ、銅蒸気レーザまたは金蒸気レーザのうち一種または複数種から発振されるものを用いることができる。このようなレーザビームの基本波、及びこれらの基本波の第２高調波から第４高調波のレーザビームを照射することで、

大粒径の結晶を得ることができる。例えば、Ｎｄ：ＹＶＯ$_4$レーザ（基本波１０６４ｎｍ）の第２高調波（５３２ｎｍ）や第３高調波（３５５ｎｍ）を用いることができる。このときレーザのエネルギー密度は０．０１～１００ＭＷ／ｃｍ^{2}程度（好ましくは０．１～１０ＭＷ／ｃｍ^2）が必要である。そして、走査速度を１０～２００ｃｍ／ｓｅｃ程度として照射する。

【００６３】

なお、単結晶のＹＡＧ、ＹＶＯ$_4$、フォルステライト（Ｍｇ$_2$ＳｉＯ$_4$）、ＹＡｌＯ$_3$、ＧｄＶＯ$_4$、若しくは多結晶（セラミック）のＹＡＧ、Ｙ$_2$Ｏ$_3$、ＹＶＯ$_4$、ＹＡｌＯ$_3$、ＧｄＶＯ$_4$に、ドーパントとしてＮｄ、Ｙｂ、Ｃｒ、Ｔｉ、Ｈｏ、Ｅｒ、Ｔｍ、Ｔａのうち１種または複数種添加されているものを媒質とするレーザ、Ａｒイオンレーザ、またはＴｉ：サファイアレーザは、連続発振をさせることが可能であり、Ｑスイッチ動作やモード同期などを行うことによって１０ＭＨｚ以上の発振周波数でパルス発振をさせることも可能である。１０ＭＨｚ以上の発振周波数でレーザビームを発振させると、半導体膜がレーザによって溶融してから固化するまでの間に、次のパルスのレーザビームが半導体膜に照射される。従って、発振周波数が低いパルスレーザを用いる場合と異なり、半導体中において固液界面を連続的に移動させることができるため、レーザビームの走査方向に向かって連続的に成長した結晶粒を得ることができる。

【００６４】

レーザの媒質としてセラミック（多結晶）を用いると、短時間かつ低コストで自由な形状に媒質を形成することが可能である。レーザの媒質として単結晶を用いる場合、直径数ｍｍ、長さ数十ｍｍの円柱状の媒質が用いられているが、セラミックを用いる場合はさらに大きいものを作ることが可能である。

【００６５】

発光に直接寄与する媒質中のドーパントの濃度は、単結晶中でも多結晶中でも大きくは変えられないため、濃度を増加させることによるレーザの出力向上にはある程度限界がある。しかしながら、セラミックの場合、単結晶と比較して媒質の大きさを著しく大きくすることができるため大幅な出力向上が期待できる。

【００６６】

さらに、セラミックの場合では、平行六面体形状や直方体形状の媒質を容易に形成することが可能である。このような形状の媒質を用いて、発振光を媒質の内部でジグザグに進行させると、発振光路を長くとることができる。そのため、増幅が大きくなり、大出力で発振させることが可能になる。また、このような形状の媒質から射出されるレーザビームは射出時の断面形状が四角形状であるため、丸状のビームと比較すると、線状ビームに整形するのに有利である。このように射出されたレーザビームを、光学系を用いて整形することによって、短辺の長さ１ｍｍ以下、長辺の長さ数ｍｍ～数ｍの線状ビームを容易に得ることが可能となる。また、励起光を媒質に均一に照射することにより、線状ビームは長辺方向にエネルギー分布の均一なものとなる。

【００６７】

上記結晶化工程を、ガラス基板の耐熱温度（約６００℃）以下の結晶化プロセスを用いる場合、大面積ガラス基板を用いることが可能である。このため、基板あたり大量の半導体装置を作製することが可能であり、低コスト化が可能である。

【００６８】

また、ガラス基板の耐熱温度以上の加熱により、結晶化工程を行い、半導体領域１０３を形成してもよい。代表的には、基板１０１に石英基板を用い、非晶質若しくは微結晶質の半導体を７００度以上で加熱して半導体領域１０３を形成する。この結果、結晶性の高い半導体を形成することが可能である。このため、応答速度や移動度などの特性が良好で、高速な動作が可能な薄膜トランジスタを提供することができる。

【００６９】

さらには、半導体領域１０３として、単結晶半導体を用いてＭＯＳトランジスタを形成してもよい。

【００７０】
このような単結晶半導体で半導体層が形成されるＭＯＳトランジスタは、応答速度や移動度などの特性が良好なために、高速な動作が可能なトランジスタを提供することができる。また、トランジスタは、その特性のバラツキが少ないために、高い信頼性を実現した半導体装置を提供することができる。
【００７１】
ゲート絶縁層１０４は、ＣＶＤ法やＰＶＤ法等の薄膜形成方法により、酸化珪素層、窒化珪素層、酸化窒化珪素層等を適宜形成する。また、半導体領域表面を、酸素、水素、及び希ガス流入しながら高密度プラズマによって処理することによって形成してもよい。高密度プラズマは例えば２．４５ＧＨｚのマイクロ波を用いることによって生成され、電子密度が1×10^{11}～1×10^{13}／cm^3かつ電子温度が２ｅＶ以下、イオンエネルギーが５ｅＶ以下のものであるとする。この結果、緻密で膜厚の薄いゲート絶縁層を形成することが可能である。また、ＣＶＤ法やＰＶＤ法等の薄膜形成方法により、酸化珪素層、窒化珪素層、酸化窒化珪素層等を適宜形成した後、その表面を酸素、水素、及び希ガス流入しながら高密度プラズマによって処理してもよい。更には、半導体領域表面を酸素、水素、及び希ガス流入しながら高密度プラズマ処理した後、ＣＶＤ法やＰＶＤ法により酸化珪素層、窒化珪素層、酸化窒化珪素層等を適宜形成してもよい。
【００７２】
ゲート電極１０５、１０６は金属又は一導電型の不純物を添加した多結晶半導体で形成することができる。金属を用いる場合は、タングステン（Ｗ）、モリブデン（Ｍｏ）、チタン（Ｔｉ）、タンタル（Ｔａ）、アルミニウム（Ａｌ）などを用いることができる。また、金属を窒化させた金属窒化物を用いることができる。或いは、当該金属窒化物からなる第１の層と当該金属から成る第２の層とを積層させた構造としても良い。積層構造とする場合には、第１の層の端部が第２の層の端部より外側に突き出した形状としても良い。このとき第１の層を金属窒化物で形成することで、バリアメタルとすることができる。すなわち、第２の層の金属が、ゲート絶縁層１０４やその下層の半導体領域１０３に拡散することを防ぐことができる。
【００７３】
ゲート電極１０５、１０６の側面には、サイドウォール（側壁スペーサ）が形成されてもよい。サイドウォールは、基板上にＣＶＤ法により酸化珪素で形成される絶縁層を形成し、該絶縁層をＲＩＥ（Ｒｅａｃｔｉｖｅ ｉｏｎ ｅｔｃｈｉｎｇ：反応性イオンエッチング）法により異方性エッチングすることで形成できる。
【００７４】
絶縁層１０７は、酸化シリコン及び酸化窒化シリコンなどの無機絶縁材料で形成する。形成方法としては、ＣＶＤ法又はＰＶＤ法等の薄膜形成方法を用いる。
【００７５】
絶縁層１０７の接続孔１１１、１１２において半導体領域１０３と接続される配線１０８、１０９は、ゲート電極１０５、１０６と同時に形成される配線と交差して設けることが可能であり、当該構成により多層配線構造を形成している。絶縁層１０７と同様に絶縁層を複数積層して、その層上に配線を形成することで多層配線構造を形成することができる。配線１０８、１０９は、チタン（Ｔｉ）とアルミニウム（Ａｌ）の積層構造、モリブデン（Ｍｏ）とアルミニウム（Ａｌ）との積層構造など、アルミニウム（Ａｌ）のような低抵抗材料と、チタン（Ｔｉ）やモリブデン（Ｍｏ）などの高融点金属材料を用いたバリアメタルとの組み合わせで形成することが好ましい。
【００７６】
半導体領域１０３、ゲート絶縁層１０４、ゲート電極１０５、配線１０８、１０９などを組み合わせて構成される薄膜トランジスタは、シングルドレイン構造、ＬＤＤ（低濃度ドレイン）構造、ゲートオーバーラップドレイン構造など各種構造を適用することができる。ここでは、シングルドレイン構造の薄膜トランジスタを示す。また、シングルゲート構造、等価的には同電位のゲート電圧が印加されるトランジスタが直列に接続された形と

なるマルチゲート構造、半導体層を上下にゲート電極で挟むデュアルゲート構造を適宜適用することができる。

【００７７】

本実施の形態に示すように、第１の導電層及び第２の導電層に接続する第３の導電層である配線１０９を有する半導体装置において、第２の導電層及び第３の導電層である配線１０９が接続孔で接続し、第３の導電層である配線１０９の端部が接続孔内に位置する構造により、第３の導電層である配線１０９の凹凸を低減することが可能である。このため、第３の導電層である配線１０９上に形成される絶縁層の凹凸も低減することが可能であり、塗布法により平坦性の高い絶縁層を形成する場合、材料を削減することが可能である。よって、コストを削減することが可能であると共に生産性を高めることが可能である。

【００７８】

（実施の形態２）

本実施の形態では、第１の導電層及び第２の導電層に接続する第３の導電層を有する半導体装置において、第２の導電層及び第３の導電層が接続孔で接続し、第３の導電層の端部が接続孔内に位置すると共に、第１の導電層及び第３の導電層が接続する接続孔と第２の導電層及び第３の導電層接続する接続孔が、同一であることを特徴とする半導体装置について図２を用いて説明する。

【００７９】

ここでも実施の形態１と同様に、第１の導電層としては、第１のトランジスタの半導体領域のソース領域又はドレイン領域の一方を用い、第２の導電層としては、第２のトランジスタのゲート電極を用い、第３の導電層としては、ソース領域又はドレイン領域の一方と、ゲート電極を接続する配線を用いて説明する。また、第１のトランジスタ及び第２のトランジスタとして、それぞれ薄膜トランジスタを用いて示す。

【００８０】

図２（Ａ）は、第１のトランジスタの上面図であり、図２（Ｂ）及び図２（Ｃ）はそれぞれ図２（Ａ）のＡ－Ｂ、Ｃ－Ｄの断面図である。なお、図２（Ａ）において、図２（Ｂ）、及び（Ｃ）に示される基板１０１、絶縁層１３１、１３３、及びゲート絶縁層１３２は省略する。

【００８１】

図２（Ｂ）に示すように、基板１０１上に絶縁層１３１が形成され、絶縁層１３１上に第１のトランジスタとして薄膜トランジスタ１１０が形成される。薄膜トランジスタ１１０は、絶縁層１３１上に形成される半導体領域１０３、ゲート電極１０５、配線１３４、１３５、半導体領域１０３とゲート電極とを絶縁するゲート絶縁層１３２、ゲート電極１０５及び配線１３４、１３５を絶縁する絶縁層１３３を有する。

【００８２】

また、ゲート絶縁層１３２上にゲート電極１０５と同時に形成される第２のトランジスタの第２の導電層であるゲート電極１０６が形成される。

【００８３】

絶縁層１３１、ゲート絶縁層１３２、配線１３４、１３５、絶縁層１３３はそれぞれ、実施の形態１の絶縁層１０２、ゲート絶縁層１０４、配線１０８、１０９、絶縁層１０７を適宜用いることが可能である。

【００８４】

なお、接続孔１３６において、半導体領域１０３と第２の導電層であるゲート電極１０６に覆われていない絶縁層１３１は、接続孔１１１、１３６を形成する際にオーバーエッチングされる場合がある。ここでは、当該オーバーエッチングにより、一部膜厚が薄くなっている絶縁層１３１を示す。また、同様に、第２の導電層であるゲート電極１０６に覆われていないゲート絶縁層１３２は、接続孔１１１、１３６を形成する際にエッチングされる。

【００８５】

本実施の形態では、第１の導電層である半導体領域のソース領域又はドレイン領域及び

配線１３５が、絶縁層１３３及びゲート絶縁層１３２に形成された接続孔１３６において接続されている。また、同様の接続孔１３６において、配線１３５と第２の導電層であるゲート電極１０６とが接続されている。更には、配線１３５の端部の一部が接続孔１３６内に配置されている。このため、配線１３５と第２の導電層であるゲート電極１０６とが接する領域において、配線１３５の端部が絶縁層１３３上に形成されない。この結果、配線の凹凸を低減することが可能である。特に、膜厚の厚い導電層（ここでは、配線１３５及び第２の導電層であるゲート電極１０６）が接する領域において、導電層の端部が絶縁層上に形成されないため、配線の凹凸を低減することが可能である。

【００８６】

また、第２の導電層であるゲート電極１０６において、第３の導電層である配線１３５と接する端部も接続孔１３６内に配置されている。

【００８７】

即ち、接続孔１３６において、第３の導電層である配線１３５が第２の導電層であるゲート電極１０６と接する第１の領域１２１ｂと、第３の導電層である配線１３５が第２の導電層であるゲート電極１０６と接しない第２の領域１２１ａ、１２１ｄを有する。なお領域１２１ｄでは、第３の導電層である配線１３５は第１の導電層である半導体領域１０３と接する領域である。

【００８８】

さらには、接続孔において、上記第１の領域及び第２の領域に加えて、第２の導電層であるゲート電極１０６が第３の導電層である配線１３５と接しない第３の領域１２１ｃを有する。

【００８９】

また、図２（Ｃ）に示すように、配線１３５の端部は、絶縁層１３３上に形成されず、第２の導電層であるゲート電極１０６上に形成されている。また、接続孔１３６の内側において、配線１３５と第２の導電層であるゲート電極１０６の端部が位置する。

【００９０】

なお、第２の導電層であるゲート電極１０６及び第３の導電層である配線１３５が接続する接続孔１３６の形状において、実施の形態１の図８（Ｃ）に示す構造と同様に、絶縁層１０７の端部が第２の導電層であるゲート電極１０６上に位置してもよい。即ち、第２の導電層であるゲート電極１０６及び第３の導電層である配線１３５が接する付近において、第２の導電層であるゲート電極１０６の端部が絶縁層１３３に覆われて露出せず、第３の導電層である配線１３５の端部のみが露出してもよい。

【００９１】

本実施の形態により、第１の導電層及び第３の導電層の接触面積を増大させると共に、第２の導電層と第３の導電層との接触面積を増大させることが可能である。このため、接触抵抗を低下させることが可能であり、高速動作が可能な半導体装置を作製することが可能である。

【００９２】

また、１の導電層及び第２の導電層に接続する第３の導電層を有する半導体装置において、第２の導電層及び第３の導電層が接続孔で接続し、第３の導電層の端部が接続孔内に位置する構造により、第３の導電層の凹凸を低減することが可能である。このため、第３の導電層上に形成される絶縁層の凹凸も低減することが可能であり、塗布法により平坦性の高い絶縁層を形成する場合、材料を削減することが可能である。よって、コストを削減することが可能であると共に生産性を高めることが可能である。

【００９３】

（実施の形態３）

本実施の形態では、実施の形態２において第２の導電層の一部が第１の導電層の一部を重畳することを特徴とする半導体装置について図３を用いて説明する。

【００９４】

本実施の形態では、実施の形態１と同様に、第１の導電層としては、第１のトランジスタ

の半導体領域のソース領域又はドレイン領域の一方を用い、第２の導電層としては、第２のトランジスタのゲート電極を用い、第３の導電層としては、ソース領域又はドレイン領域の一方と、ゲート電極を接続する配線を用いて説明する。また、第１のトランジスタ及び第２のトランジスタとして、それぞれ薄膜トランジスタを用いて示す。

【００９５】

図３（Ａ）は、第１のトランジスタの上面図であり、図３（Ｂ）及び図３（Ｃ）はそれぞれ図３（Ａ）のＡ－Ｂ、Ｃ－Ｄの断面図である。なお、図３（Ａ）において、図３（Ｂ）、及び（Ｃ）に示される基板１０１、絶縁層１０２、１４３、及びゲート絶縁層１０４は省略する。

【００９６】

図３（Ｂ）に示すように、基板１０１上に絶縁層１０２が形成され、絶縁層１０２上に第１のトランジスタとして薄膜トランジスタ１１０が形成される。薄膜トランジスタ１１０は、絶縁層１０２上に形成される半導体領域１０３、ゲート電極１０５、配線１４４、１４５、半導体領域１０３とゲート電極１０５を絶縁するゲート絶縁層１０４、ゲート電極１０５及び配線１４４、１４５を絶縁する絶縁層１４３を有する。

【００９７】

また、ゲート絶縁層１０４上に、ゲート電極１０５と同時に形成される第２のトランジスタのゲート電極１４２が形成される。ここで、第２のトランジスタのゲート電極１４２の一部は、第１のトランジスタの半導体領域１０３の一部を重畳している。このため、半導体領域１０３において、ゲート電極１４２と重畳する領域は、ゲート電極１０５に覆われる半導体領域（チャネル領域）１００と同様に、不純物が添加されない領域１４７を有する。

【００９８】

なお、本実施の形態において、ゲート電極１４２、配線１４４、１４５、絶縁層１４３はそれぞれ、実施の形態１の第２の導電層であるゲート電極１０６、配線１０８、１０９、絶縁層１０７を適宜用いることが可能である。

【００９９】

本実施の形態では、第１の導電層である半導体領域１０３のソース領域又はドレイン領域と、配線１４５が、絶縁層１４３及びゲート絶縁層１０４に形成された接続孔１４６において接続されると共に、第２の薄膜トランジスタのゲート電極１４２とも接続されている。更には、配線１４５とゲート電極１４２とが接する領域において、配線１４５の端部の一部が接続孔１４６内に配置されている。このため、配線１４５とゲート電極１４２とが接する領域において、配線１４５の端部が絶縁層１４３上に形成されない。この結果、配線の凹凸を低減することが可能である。特に、膜厚の厚い導電層（ここでは、ゲート電極１４２及び配線１４５）が接する領域において、配線１４５の端部が絶縁層上に形成されないため、配線の凹凸を低減することが可能である。

【０１００】

また、第２の導電層であるゲート電極１４２において、第３の導電層である配線１４５と接する端部も接続孔１４６内に配置されている。

【０１０１】

即ち、接続孔１４６において、第３の導電層である配線１４５が第２の導電層であるゲート電極１４２と接する第１の領域１２２ｂと、第３の導電層である配線１４５が第２の導電層であるゲート電極１４２と接しない第２の領域１２２ａを有する。なお領域１２２ａにおいて、第３の導電層である配線１４５は第１の導電層である半導体領域１０３と接する領域を有する。

【０１０２】

さらには、接続孔１４６において、上記第１の領域及び第２の領域に加えて、第２の導電層であるゲート電極１４２が第３の導電層である配線１４５と接しない第３の領域１２２ｃを有する。

【０１０３】

また、図３（Ｃ）に示すように、配線１４５の端部は、絶縁層１４３上に形成されず、ゲート電極１４２上に形成されている。また、接続孔１４６の内側において、配線１４５とゲート電極１４２の端部が位置する。

【０１０４】

なお、第２の導電層であるゲート電極１４２及び第３の導電層である配線１４５が接続する接続孔１４６の形状において、実施の形態１の図８（Ｃ）に示す構造と同様に、絶縁層１４３の端部が第２の導電層であるゲート電極１４２上に位置してもよい。即ち、第２の導電層であるゲート電極１４２及び第３の導電層である配線１４５が接する付近において、第２の導電層であるゲート電極１４２の端部が絶縁層１４３に覆われて露出せず、第３の導電層である配線１４５の端部のみが露出してもよい。

【０１０５】

本実施の形態により、第２のトランジスタのゲート電極１４２が、第１のトランジスタの半導体領域１０３の一部を重畳しているため、単位面積当たりに、より多くのトランジスタを形成することが可能である。この結果、高集積化された半導体装置を作製することが可能である。

【０１０６】

また、１の導電層及び第２の導電層に接続する第３の導電層を有する半導体装置において、第２の導電層及び第３の導電層が接続孔で接続し、第３の導電層の端部が接続孔内に位置する構造により、第３の導電層の凹凸を低減することが可能である。このため、第３の導電層上に形成される絶縁層の凹凸も低減することが可能であり、塗布法により平坦性の高い絶縁層を形成する場合、材料を削減することが可能である。よって、コストを削減することが可能であると共に生産性を高めることが可能である。

【０１０７】

（実施の形態４）

本実施の形態では、実施の形態１乃至実施の形態３において第２の導電層が膜厚の薄い領域と膜厚の厚い領域とを有し、膜厚の薄い領域において、第２の導電層及び第３の導電層が接続することを特徴とする半導体装置について図４を用いて説明する。本実施の形態では、実施の形態１を用いて説明するが、実施の形態２及び実施の形態３に適宜適用することが可能である。

【０１０８】

本実施の形態においては、実施の形態１と同様に、第１の導電層としては、第１のトランジスタの半導体領域のソース領域又はドレイン領域の一方を用い、第２の導電層としては、第２のトランジスタのゲート電極を用い、第３の導電層としては、ソース領域又はドレイン領域の一方と、ゲート電極を接続する配線を用いて説明する。また、第１のトランジスタ及び第２のトランジスタとして、それぞれ薄膜トランジスタを用いて示す。

【０１０９】

図４（Ａ）は、第１のトランジスタの上面図であり、図４（Ｂ）及び図４（Ｃ）はそれぞれ図４（Ａ）のＡ－Ｂ、Ｃ－Ｄの断面図である。なお、図４（Ａ）において、図４（Ｂ）、及び（Ｃ）に示される基板１０１、絶縁層１５１、１５５、及びゲート絶縁層１５２は省略する。

【０１１０】

図４（Ｂ）に示すように、基板１０１上に絶縁層１５１が形成され、絶縁層１５１上に第１のトランジスタとして薄膜トランジスタ１１０が形成される。薄膜トランジスタ１１０は、絶縁層１５１上に形成される半導体領域１０３、ゲート電極１５３、配線１５６、１５７、半導体領域１０３とゲート電極を絶縁するゲート絶縁層１５２、ゲート電極１５３及び配線１５６、１５７を絶縁する絶縁層１５５を有する。

【０１１１】

また、ゲート絶縁層１５２上にゲート電極１５３と同時に形成される第２のトランジスタのゲート電極１５４が形成される。

【０１１２】

ゲート電極１５３、１５４はそれぞれ、膜厚の薄い領域１５３ａ、１５４ａ、及び膜厚の厚い領域１５３ｂ、１５４ｂを有する。

【０１１３】

本実施の形態においては、絶縁層１５１、ゲート絶縁層１５２、配線１５６、１５７、絶縁層１５５はそれぞれ、実施の形態１の絶縁層１０２、ゲート絶縁層１０４、配線１０８、１０９、絶縁層１０７を適宜用いることが可能である。

【０１１４】

また、半導体領域１０３において、ゲート電極１５３の膜厚の薄い領域１５３ａと重畳する領域は、低濃度不純物領域１５０ａ、１５０ｂが形成される。

【０１１５】

なお、接続孔１５９において、半導体領域１０３やゲート電極１５４に覆われていない絶縁層１５１は、接続孔１１１、１５８、１５９を形成する際にオーバーエッチングされる場合がある。ここでは、当該オーバーエッチングにより、一部膜厚が薄くなっている絶縁層１５１を示す。また、同様に、ゲート電極１５４に覆われていないゲート絶縁層１５２は、接続孔１１１、１５８、１５９を形成する際にエッチングされる。

【０１１６】

本実施の形態では、第１の導電層である半導体領域のソース領域又はドレイン領域と、配線１５７が、絶縁層１５５及びゲート絶縁層１５２に形成された接続孔１５８において接続されている。また、配線１５７とゲート電極１５４の膜厚の薄い領域１５４ａとが、絶縁層１５５及びゲート絶縁層１５２に形成された接続孔１５９において接続されている。更には、配線１５７の端部の一部が接続孔１５９内に配置されている。

【０１１７】

また、第２の導電層であるゲート電極１５４において、第３の導電層である配線１５７と接する端部も接続孔１５９内に配置されている。

【０１１８】

本実施の形態においては、第２のトランジスタのゲート電極の膜厚の薄い領域１５４ａにおいて、配線１５７と接続されている。このため、実施の形態１乃至実施の形態３と比較して、絶縁層１５５の表面よりも高く突出する配線の割合を低減することが可能である。

【０１１９】

また、図４（Ｃ）に示すように、配線１５７の端部は、絶縁層１５５上に形成されず、ゲート電極１５４の膜厚の薄い領域１５４ａ上に形成されている。また、接続孔１５９の内側において、配線１５７とゲート電極１５４の膜厚の薄い領域１５４ａの端部が位置する。

【０１２０】

なお、第２の導電層であるゲート電極１５４及び第３の導電層である配線１５７が接続する接続孔１５９の形状において、実施の形態１の図８（Ｃ）に示す構造と同様に、絶縁層１５５の端部が第２の導電層であるゲート電極１５４上に位置してもよい。即ち、第２の導電層であるゲート電極１５４及び第３の導電層である配線１５７が接する付近において、第２の導電層であるゲート電極１５４の端部が絶縁層１５５に覆われて露出せず、第３の導電層である配線１５７の端部のみが露出してもよい。

【０１２１】

ここで、図９を用いて膜厚の薄い領域１５３ａ、１５４ａ、及び膜厚の厚い領域１５３ｂ、１５４ｂを有するゲート電極１５３、１５４の形成方法について説明する。

【０１２２】

図９（Ａ）に示すように、ゲート絶縁層１５２上に導電層２０４を形成し、導電層２０４上にレジスト２０５を塗布する。次いで、回折格子パターン或いは半透膜からなる光透過率低減する補助パターンを設置したフォトマスクまたはレチクルを用いて、レジストの一部を露光し、現像して導電層２０４をエッチング加工するためのマスクパターンを形成する。ここでは、導電層２０４として単層で形成される導電層を示したが、これに限られず

、複数の導電層を積層させた構造としてもよい。例えば、ゲート絶縁層１５２上に、タングステン（Ｗ）、モリブデン（Ｍｏ）、チタン（Ｔｉ）、タンタル（Ｔａ）、アルミニウム（Ａｌ）などのいずれかの金属窒化物で形成される第１の導電層を形成し、その上に上記金属のいずれかで形成される第２の導電層を積層させた構造としても良い。

【０１２３】

回折格子パターンとは、解像度限界以下の間隔を有する複数スリットである。当該スリットからレジストへ光を照射することで、感光及び非感光の途中の状態を与えるレベル（グレーレベル）の光をレジストへ照射することができる。

【０１２４】

半透膜からなる光透過率を低減する補助パターンとは、露光光を遮断する領域と、感光及び非感光の途中の状態を与えるレベル（グレーレベル）の露光を行うことのできる領域とを有する補助パターンである。

【０１２５】

ここでは、珪化モリブデン（$MoSi_x$）で形成される半透膜２０２ａ及びクロム（Ｃｒ）で形成される遮光膜２０２ｂを有する補助パターン２０２、並びに珪化モリブデン（$MoSi_x$）で形成される半透膜２０３ａ及びクロム（Ｃｒ）で形成される遮光膜２０３ｂを有する補助パターン２０３が設置されたフォトマスク２００を用いてレジスト２０５の一部を露光し、現像する。

【０１２６】

この結果、図９（Ｂ）に示すように、マスクパターンの断面形状において、中央部においての膜厚が厚い領域２１２ｂ、２１３ｂと、端部において膜厚の薄い領域２１２ａ、２１３ａを有するマスクパターン２１２、２１３を形成する。

【０１２７】

膜厚の異なるマスクパターン２１２、２１３を用いて導電層２０４をエッチングすると、マスクパターン２１２、２１３の形状が、形成される導電層の形状に反映する。このような作用を有効に利用すると、１回のフォトリソグラフィー工程（１回の露光）で、膜厚の異なる領域を有する導電層を形成することができる。図９（Ｃ）において、マスクパターン２１２で覆われた導電層をエッチングすることで、膜厚の厚い領域１５３ｂ、１５４ｂ、及び膜厚の薄い領域１５３ａ、１５４ａを有するゲート電極１５３、１５４を形成することができる。

【０１２８】

また、上記のような回折格子又は補助パターンを有するフォトマスク又はレチクルを用いずとも、特開２００２－２５２３５２号公報で示される方法により、膜厚の厚い導電層及び膜厚の薄い導電層が積層された導電層を形成することが可能である。具体的には、エッチング速度異なる導電層を２層積層し、これらの導電層をテーパー状になるようなエッチング及び異方性エッチングして、膜厚の薄い導電層及び膜厚の厚い導電層を形成してもよい。

【０１２９】

（実施の形態５）

本実施の形態では、トランジスタの配線に接続する画素電極において、配線の膜厚に由来する画素電極の被覆率の低減に伴う切断を回避することが可能な構造を、図５を用いて説明する。本実施の形態では、実施の形態１を用いて説明するが、適宜実施の形態２乃至実施の形態４を適用することが可能である。

【０１３０】

ここでは、第１の導電層としては、薄膜トランジスタの半導体領域のソース領域又はドレイン領域の一方を用い、第２の導電層としては、画素電極と配線とを接続する接続用導電層を用い、第３の導電層としては、半導体領域のソース領域又はドレイン領域の一方と、接続用導電層を接続する配線を用いて説明する。また、トランジスタとして、薄膜トランジスタを用いて示す。

【０１３１】

図５（Ａ）は、トランジスタの上面図であり、図５（Ｂ）は図５（Ａ）のＡ－Ｂの断面図である。なお、図５（Ａ）において、図５（Ｂ）、及び（Ｃ）に示される基板１０１、絶縁層１６０、１６３、及びゲート絶縁層１０４は省略する。

【０１３２】

図５（Ｂ）に示すように、基板１０１上に絶縁層１６０が形成され、絶縁層１６０上にトランジスタとして薄膜トランジスタ１１０が形成される。薄膜トランジスタ１１０は、絶縁層１６０上に形成される半導体領域１０３、ゲート電極１０５、配線１０８、１０９、半導体領域１０３及びゲート電極を絶縁するゲート絶縁層１０４、ゲート電極１０５及び配線１０８、１０９を絶縁する絶縁層１６３を有する。

【０１３３】

また、ゲート絶縁層１０４上にゲート電極１０５と同時に形成される接続用導電層１６４が形成される。

【０１３４】

なお、本実施の形態において、絶縁層１６３は、実施の形態１の絶縁層１０７を適宜用いることが可能である。

【０１３５】

本実施の形態では、第１の導電層である半導体領域１０３のソース領域又はドレイン領域及び配線１０９が、絶縁層１６３及びゲート絶縁層１０４に形成された接続孔１１２において接続さている。また、配線１０９と接続用導電層１６４とが、絶縁層１６３及びゲート絶縁層１０４に形成された接続孔１１３において接続されている。なお、配線１０９の端部の一部が接続孔１１３内に配置されている。更には、接続用導電層１６４と画素電極１６１とが、絶縁層１６３に形成される接続孔１６２において接続される。

【０１３６】

また、第２の導電層である接続用導電層１６４において、第３の導電層である配線１０９と接する端部も接続孔１１３内に配置されている。

【０１３７】

また、図１７に示すように、絶縁層１６３及びゲート絶縁層１０４に形成された接続孔１８１の内側に接続用導電層１８２が配置され、当該接続孔１８１において配線１０９及び接続用導電層１８２が接続すると共に、画素電極１８３及び接続用導電層１８２が接続する。なお、図１７においては、接続用導電層１８２は、配線１０９及び画素電極１８３に接する端部のみが接続孔１８１の内側に配置されていれば良く、接続用導電層１８２において配線１０９及び画素電極１８３に接しない領域においては、接続孔１８１の外側に接続用導電層１８２が配置されていても良い。即ち、配線１０９及び画素電極１８３に接しない接続用導電層１８２の端部は、接続孔１８１の外側に配置されていても良い。

【０１３８】

また、第２の導電層である接続用導電層１８２において、第３の導電層である配線１０９と接する端部も接続孔１８１内に配置されている。更には、画素電極１８３が接続用導電層１８２と接する端部も接続孔１８１内部に配置されている。

【０１３９】

更には、図１８に示すように、絶縁層１６３及びゲート絶縁層１０４に形成された接続孔１９１の内側において配線１０９及び接続用導電層１６４が接続すると共に、画素電極１９２及び接続用導電層１６４が接続される。図１８においては、接続孔１９１の一部が接続用導電層１６４上に形成されており、当該領域において接続用導電層１６４及び画素電極１９２が接続する。

【０１４０】

また、第２の導電層である接続用導電層１６４において、第３の導電層である配線１０９と接する端部も接続孔１９１内に配置されている。更には、画素電極１９２が接続用導電層１６４と接する端部も接続孔１９１内部に配置されている。

【０１４１】

また、図１８においては、接続用導電層１６４は、接続孔１９１の外側においても、画

素電極１９２と重畳している。
【０１４２】
本実施の形態においては、配線１０９の端部に画素電極が乗り上げない構造で、薄膜トランジスタと画素電極とが接続されている。このため、画素電極の段切れを防止することが可能である。また、特に、膜厚の厚い導電層（ここでは、配線１０９及び接続用導電層１６４）が接続する領域において、配線１０９の端部が絶縁層１６３上に形成されないため、配線の凹凸を低減することが可能である。
【実施例１】
【０１４３】
本実施例では、ＥＬ表示パネルについて図６、７用いて説明する。図７（Ａ）は、ＥＬ表示パネルの一画素の上面図であり、図６は図７（Ａ）のＡ－Ｂにおける断面図である。また、図７（Ｂ）は図７（Ａ）の駆動用のＴＦＴと第１の画素電極とが接続する領域の拡大図である。また、図７（Ｃ）は図７（Ａ）のスイッチング用のＴＦＴの配線と、駆動用のＴＦＴのゲート電極とが接続する領域の拡大図である。
【０１４４】
図６（Ａ）は、ＥＬ表示パネルにおいて、スイッチング用のＴＦＴ６０２、駆動用のＴＦＴ６０３、発光素子６２４で構成される画素が基板６００上に形成される。ここでは、基板６００上に絶縁層６０１が形成され、絶縁層６０１上にスイッチング用のＴＦＴ６０２、駆動用のＴＦＴ６０３が形成される領域を示す。
【０１４５】
ここでは、基板６００としてガラス基板を用い、絶縁層６０１としてＣＶＤ法により膜厚１４０ｎｍの窒化酸化珪素膜、膜厚１００ｎｍの酸化窒化珪素膜を順に積層して形成する。
【０１４６】
スイッチング用のＴＦＴ６０２は、半導体領域６０２ａ、ゲート絶縁層６０４、ゲート電極６０５、絶縁層６０８、半導体領域のソース領域、ドレイン領域に接続する配線６１１、６１２で構成される。配線６１１、６１２は、絶縁層６０８に形成される接続孔６３１、６３２において、半導体領域６０２ａのソース領域、ドレイン領域と接続する。
【０１４７】
駆動用のＴＦＴ６０３は、半導体領域６０３ａ、ゲート絶縁層６０４、ゲート電極６０６、絶縁層６０８、半導体領域のソース領域、ドレイン領域に接続する配線６１３、６１４で構成される。配線６１３、６１４は、絶縁層６０８に形成される接続孔６３３、６３４において、半導体領域６０３ａのソース領域、ドレイン領域と接続する。
【０１４８】
スイッチング用のＴＦＴ６０２の配線６１２は、絶縁層６０８に形成される接続孔６３２において、駆動用のＴＦＴ６０３のゲート電極６０６と接続する。このとき、配線６１２の端部の一部は接続孔６３２の内側に位置する。
【０１４９】
駆動用のＴＦＴ６０３の配線６１４は、ゲート電極６０５、６０６と同時に形成される接続用導電層６０７と接続孔６３４において接続する。また、接続孔６３４において、接続用導電層６０７と第１の画素電極６１５とが接続する。ここでは、配線６１４と第１の画素電極６１５とが重複しないことが好ましい。この構造により、第１の画素電極６１５の段切れを防止することが可能であり、画素の不良を防止することが可能である。
【０１５０】
ここでは、スイッチング用のＴＦＴ６０２として、ｎチャネル型ＴＦＴを形成する。また、駆動用のＴＦＴ６０３としてｐチャネル型のＴＦＴを形成する。半導体領域６０２ａ、６０３ａは、膜厚５０ｎｍの結晶性珪素膜を所望の形状にエッチングして形成する。スイッチング用のＴＦＴ６０２の半導体領域６０２ａのソース領域、ドレイン領域には、リンがドーピングされている。また、駆動用のＴＦＴ６０３の半導体領域６０３ａのソース領域、ドレイン領域には、ボロンがドーピングされている。

【０１５１】
スイッチング用のＴＦＴ６０２の半導体領域６０２ａは、ゲート電極６０５に覆われない領域において、リンが添加された低濃度不純物領域６２５ａ～６２５ｄを有する。また、半導体領域６０２ａにおいて、ゲート電極６０５に覆われる領域６２７ａ、６２７ｂ、及びゲート電極６０６に覆われる６２７ｃには、リンは添加されていない。
【０１５２】
駆動用のＴＦＴ６０３の半導体領域６０３ａは、ゲート電極６０６に覆われる領域において、ボロンが添加された低濃度不純物領域６２８ａ～６２８ｃを有する。また、半導体領域６０３ａにおいて、ゲート電極６０６及び接続用導電層６０７に覆われる領域６２７ｄ～６２７ｆには、リンは添加されていない。
【０１５３】
ゲート絶縁層６０４としては、オルトケイ酸テトラエチル（Ｔｅｔｒａｅｔｈｙｌ　Ｏｒｔｈｏ　Ｓｉｌｉｃａｔｅ：ＴＥＯＳ）とO_2とを原料に用いたＣＶＤ法により膜厚１１０ｎｍの酸化珪素層を形成する。ゲート電極６０５、６０６、接続用導電層６０７は、スパッタリング法を用いて膜厚３０ｎｍの窒化タンタル層と、膜厚３７０ｎｍのタングステン層で形成する。配線６１１～６１４は、スパッタリング法を用いて膜厚１００ｎｍのチタン層、膜厚７００ｎｍのアルミニウム層、膜厚１００ｎｍのチタン層を順に積層して形成する。
【０１５４】
また、絶縁層６０８、配線６１１～６１４、及び画素電極６１５の一部を覆う絶縁層６２１が形成される。絶縁層６２１は各画素を隔てる隔壁として機能する。
【０１５５】
ここでは、絶縁層６０８としては、ＣＶＤ法により、膜厚５０ｎｍの酸化窒化珪素層、膜厚１４０ｎｍの窒化酸化珪素層、膜厚６７０ｎｍの酸化窒化珪素層を形成する。第１の画素電極６１５は、スパッタリング法により膜厚１２５ｎｍの酸化珪素を含むＩＴＯで形成する。絶縁層６２１は、スピンコート法により組成物を塗布し焼成して、膜厚１．２μｍの感光性ポリイミドで形成し、その後露光及び現像して、第１の画素電極６１５の一部を露出して絶縁層６２１を形成する。
【０１５６】
なお、第１の画素電極６１５として、酸化タングステンを含むインジウム酸化物（ＩＷＯ）、酸化タングステンを含むインジウム亜鉛酸化物（ＩＷＺＯ）、酸化チタンを含むインジウム酸化物（ＩＴｉＯ）、酸化チタンを含むインジウム錫酸化物（ＩＴＴｉＯ）、インジウム錫酸化物（ＩＴＯ）、インジウム亜鉛酸化物（ＩＺＯ）などを用いることができる。
【０１５７】
また、絶縁層６２１として、組成物を塗布し焼成して、シロキサン又はアクリルで形成してもよい。
【０１５８】
図６（Ｂ）に示すように、図６（Ａ）の塗布法で形成された絶縁層６２１の代わりに、ＣＶＤ法やＰＶＤ法等により形成された絶縁層６４１を形成してもよい。本実施例の配線の構造により、配線と絶縁層６０８との表面の凹凸差を緩和することが可能であるため、隔壁として機能する絶縁層６４１をＣＶＤ法やＰＶＤ法により形成しても、凹凸が低減される。
【０１５９】
さらには、図１９に示すように、第１の画素電極６８３が、接続用導電層６８１及び配線６８２の両方と接していてもよい。即ち、第１の画素電極６８３は、接続孔６８４において露出する接続用導電層６８１の一部、及び配線６８２の一部に接するように形成される。なお、図１９（Ｂ）は、図１９（Ａ）の駆動用のＴＦＴ６０３及び第１の画素電極６８３の接続領域の拡大図であり、図１９（Ｃ）は図１９（Ｂ）Ｂ－Ｃの断面図である。
【０１６０】

また、第１の画素電極６８３が、配線６８２のみと接してしてもよい。

【０１６１】

なお、図１９（Ｃ）において、絶縁層６２１は、図６（Ａ）と同様に塗布法を用いて形成した図を示したが、絶縁層６２１の代わりに図６（Ｂ）と同様にＣＶＤ法やＰＶＤ法等により形成された絶縁層６４１を形成してもよい。

【０１６２】

さらには、図２０に示すように、絶縁層６０８及び配線６１１～６１４と、絶縁層６２１との間に絶縁層６９１を設けてもよい。絶縁層６９１により、配線６１１～６１４が露出することを防止することが可能であり、外部からの汚染物質がＴＦＴ６０２、６０３に侵入するのを防ぐことができる。

【０１６３】

また、同様に、絶縁層６０８と第１の画素電極６９２との間に、絶縁層６９１を設けてもよい。絶縁層６９１を設けることにより、絶縁層６０８の凹凸を緩和することが可能であり、第１の画素電極６９２の凹凸を低減することが可能である。この結果、第１の画素電極６９２及び第２の画素電極６２３がショートすることを防止することが可能であり、画素の表示欠陥を低減することが可能である。ここでは、第１の画素電極６９２、発光層６２２、及び第２の画素電極６２３により発光素子６９３を構成することができる。

【０１６４】

絶縁層６９１としては、配線６１１～６１４を形成した後、ＣＶＤ法またはスパッタリング法により、配線６１１～６１４及び絶縁層６０８上に厚さ５０ｎｍ～３００ｎｍ、好ましくは１００～１５０ｎｍの酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などで形成される絶縁層を形成する。なお、絶縁層は、単層又は２以上の複数層で形成すればよい。この後、当該絶縁層の一部をエッチングして、接続用導電層６０７の一部を露出させる。さらに、当該露出部において、接続用導電層６０７を介して配線６１４と電気的に接続する第１の画素電極６９２を形成する。

【０１６５】

図２０においては、図６（Ａ）に示されるように、絶縁層６２１は、塗布法を用いて形成した図を示したが、絶縁層６２１の代わりに図６（Ｂ）と同様にＣＶＤ法やＰＶＤ法等により形成された絶縁層６４１を用いて形成してもよい。

【０１６６】

第１の画素電極６９２上に発光層６２２、第２の画素電極６２３が形成される。また、第１の画素電極６９２、発光層６２２、及び第２の画素電極６２３で発光素子６９３が形成される。

【０１６７】

なお、図７に示すように、ゲート電極６０５、接続用導電層６０７、配線６１１、６１２、第１の画素電極６１５それぞれの上面形状は、角部において９０度より大きな角度を有する、好ましくは角部が円弧状であることが望ましい。このような形状をとることで、ドライエッチングの際に、角部においてプラズマが集中的に放電する（異常放電）ことを回避することが可能であり、この結果異常放電による微粉の発生を抑えることが可能である。また、例え微粉が発生しても、洗浄のときに微粉が角部に集まりにくくなり、洗浄効果が高まり、微粉が原因による歩留まり低下を抑制することが可能である。

【０１６８】

ここでは、赤色を表示する発光素子として、第１の画素電極として膜厚１２５ｎｍの酸化珪素を含むＩＴＯ層を形成する。また、発光層として、ＤＮＴＰＤを５０ｎｍ、ＮＰＢを１０ｎｍ、ビス［２，３－ビス（４－フルオロフェニル）キノキサリナト］イリジウム（アセチルアセトナート）（略称：Ｉｒ（Ｆｄｐｑ）$_2$（ａｃａｃ））が添加されたＮＰＢを３０ｎｍ、$Ａｌｑ_3$を３０ｎｍ、及びＬｉＦを１ｎｍ積層して形成する。第２の画素電極として、膜厚２００ｎｍのＡｌ層を形成する。

【０１６９】

また、緑色を表示する発光素子として、第１の画素電極として膜厚１２５ｎｍの酸化珪素

を含むＩＴＯ層を形成する。また、発光層として、ＤＮＴＰＤを５０ｎｍ、ＮＰＢを１０ｎｍ、クマリン５４５Ｔ（Ｃ５４５Ｔ）が添加されたＡｌｑ$_3$を４０ｎｍ、Ａｌｑ$_3$を３０ｎｍ、及びＬｉＦを１ｎｍ積層して形成する。第２の画素電極として、膜厚２００ｎｍのＡｌ層を形成する。

【０１７０】

また、青色を表示する発光素子として、第１の画素電極として膜厚１２５ｎｍの酸化珪素を含むＩＴＯ層を形成する。また、発光層として、ＤＮＴＰＤを５０ｎｍ、ＮＰＢを１０ｎｍ、２，５，８，１１－テトラ（ｔｅｒｔ－ブチル）ペリレン（略称：ＴＢＰ）が添加された、９－［４－（Ｎ－カルバゾリル）］フェニル－１０－フェニルアントラセン（略称：ＣｚＰＡ）を３０ｎｍ、Ａｌｑ$_3$を３０ｎｍ、及びＬｉＦを１ｎｍ積層して形成する。第２の画素電極として、膜厚２００ｎｍのＡｌ層を形成する。

【０１７１】

ここで本実施例において、フルカラー表示する場合の画素における等価回路図を図１０に示す。図１０において、破線で囲まれるＴＦＴ６３８が図６のスイッチング用のＴＦＴ６０２に対応しており、破線で囲まれるＴＦＴ６３９が駆動用のＴＦＴ６０３に対応している。

【０１７２】

赤色を表示する画素は、駆動用のＴＦＴ６３９のドレイン領域に赤色を発光するＯＬＥＤ７０３Ｒが接続され、ソース領域にはアノード側電源線（Ｒ）７０６Ｒが設けられている。また、ＯＬＥＤ７０３Ｒには、カソード側電源線７００が設けられている。また、スイッチング用のＴＦＴ６３８はゲート配線７０５に接続され、駆動用のＴＦＴ６３９のゲート電極は、スイッチング用のＴＦＴ６３８のドレイン領域に接続される。なお、スイッチング用のＴＦＴ６３８のドレイン領域は、アノード側電源線（Ｒ）７０６（Ｒ）に接続された容量素子７０７と接続している。

【０１７３】

また、緑色を表示する画素は、駆動用のＴＦＴのドレイン領域に緑色を発光するＯＬＥＤ７０３Ｇが接続され、ソース領域にはアノード側電源線（Ｇ）７０６Ｇが設けられている。また、スイッチング用のＴＦＴ６３８はゲート配線７０５に接続され、駆動用のＴＦＴ６３９のゲート電極は、スイッチング用のＴＦＴ６３８のドレイン領域に接続される。なお、スイッチング用のＴＦＴ６３８のドレイン領域は、アノード側電源線（Ｇ）７０６（Ｇ）に接続された容量素子７０７と接続している。

【０１７４】

また、青色を表示する画素は、駆動用のＴＦＴのドレイン領域に青色を発光するＯＬＥＤ７０３Ｂが接続され、ソース領域にはアノード側電源線（Ｂ）７０６Ｂが設けられている。また、スイッチング用のＴＦＴ６３８はゲート配線７０５に接続され、駆動用のＴＦＴ６３９のゲート電極は、スイッチング用のＴＦＴ６３８のドレイン領域に接続される。なお、スイッチング用のＴＦＴ６３８のドレイン領域は、アノード側電源線（Ｂ）７０６（Ｂ）に接続された容量素子７０７と接続している。

【０１７５】

それぞれ色の異なる画素にはＥＬ材料に応じて異なる電圧をそれぞれ印加する。

【０１７６】

なお、ここでは、ソース配線７０４とアノード側電源線７０６Ｒ、７０６Ｇ、７０６Ｂとを平行に形成しているが、これに限られず、ゲート配線７０５とアノード側電源線７０６Ｒ、７０６Ｇ、７０６Ｂとを平行に形成してもよい。更には、駆動用のＴＦＴ６３９をマルチゲート電極構造としてもよい。

【０１７７】

また、発光装置において、画面表示の駆動方法は特に限定されず、例えば、点順次駆動方法や線順次駆動方法や面順次駆動方法などを用いればよい。代表的には、線順次駆動方法とし、時分割階調駆動方法や面積階調駆動方法を適宜用いればよい。また、発光装置のソース線に入力する映像信号は、アナログ信号であってもよいし、デジタル信号であっても

よく、適宜、映像信号に合わせて駆動回路などを設計すればよい。

【０１７８】

さらに、ビデオ信号がデジタルの発光装置において、画素に入力されるビデオ信号が定電圧（ＣＶ）のものと、定電流（ＣＣ）のものとがある。ビデオ信号が定電圧のもの（ＣＶ）には、発光素子に印加される信号の電圧が一定のもの（ＣＶＣＶ）と、発光素子に印加される信号の電流が一定のもの（ＣＶＣＣ）とがある。また、ビデオ信号が定電流のもの（ＣＣ）には、発光素子に印加される信号の電圧が一定のもの（ＣＣＣＶ）と、発光素子に印加される信号の電流が一定のもの（ＣＣＣＣ）とがある。

【０１７９】

また、発光装置において、静電破壊防止のための保護回路（保護ダイオードなど）を設けてもよい。

【０１８０】

また、本実施例は実施の形態１、実施の形態２、実施の形態３、実施の形態４、または実施の形態５と自由に組み合わせることができる。

【０１８１】

次に、図６、７、１０で示す画素を、画素部に有するＥＬ表示パネルについて、図１１を用いて説明する。

【０１８２】

図１１は、ＥＬ表示パネルの断面図を示す。ＥＬ表示パネルは、第１の基板６００に形成される絶縁層６０８と第２の基板６４０とがシール材６５０で封止されている。シール材６５０としては、フィラーを含む粘性の高いエポキシ系樹脂を用いるのが好ましい。シール材はできるだけ水分や酸素を透過しない材料であることが望ましい。

【０１８３】

シール材６５０、第１の基板６００、第２の基板６４０の内側において、駆動回路部６４４、画素部６４５を有する。また、シール材６５０の外側に端子部６４３を有する。

【０１８４】

端子部６４３においては、各ＴＦＴのゲート配線、ソース配線に接続される接続端子（図１１においては、ソース配線に接続される接続端子６５４を示す。）が形成されている。また、接続端子は、異方性導電膜６５６を介して入力端子となるＦＰＣ（フレキシブルプリント配線）６５５に接続されており、異方性導電膜６５６を介してビデオ信号やクロック信号を受け取る。

【０１８５】

駆動回路部６４４においては、ソースドライバやゲートドライバ等の画素を駆動する回路が形成される。ここでは、画素部のスイッチング用のＴＦＴ６０２と同様に形成されるｎチャネル型のＴＦＴ６５１、画素部の駆動用のＴＦＴ６０３と同様に形成されるｐチャネル型のＴＦＴ６５２が配置されている。なお、ｎチャネル型のＴＦＴ６５１及びｐチャネル型のＴＦＴ６５２によりＣＭＯＳ回路が形成されている。

【０１８６】

画素部６４５においてスイッチング用のＴＦＴ６０２、駆動用のＴＦＴ６０３、発光素子６２４で構成させる画素（図７（Ａ）の領域６１０）がマトリクス状に配置されている。

【０１８７】

画素部の発光素子６２４及び絶縁層６２１上に、保護層が形成されてもよい。保護層は、発光素子６２４や絶縁層６２１に水分や酸素等が侵入することを防ぐためのものである。保護層は、プラズマＣＶＤ法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、窒化酸化珪素、酸化窒化珪素、酸化窒化アルミニウム、または酸化アルミニウム、ダイアモンドライクカーボン（ＤＬＣ）、窒素含有炭素（ＣＮ）、その他の絶縁性材料を用いて形成することが好ましい。

【０１８８】

本実施例においては、同一基板上にソースドライバ、ゲートドライバ、及び画素部のＴＦＴが形成されている。このため、発光表示パネルを薄くすることができる。

【０１８９】
なお、第２の基板６４０と、保護層６５３との間の領域６４２に、不活性ガス、例えば窒素ガスを充填した空間を有してもよい。このため、発光素子や絶縁層６２１に水分や酸素が侵入することを低減することができる。
【０１９０】
また、第２の基板６４０に着色層を設けることができる。この場合、各画素に白色発光が可能な発光素子を設け、ＲＧＢを示す着色層を別途設けることでフルカラー表示することができる。また、各画素に青色発光が可能な発光素子を設け、色変換層などを別途設けることによってフルカラー表示することができる。このようなＥＬ表示モジュールは、各ＲＧＢの色純度が高く、高精細な表示が可能となる。さらには、各画素において、赤色、緑色、青色の発光を示す発光素子を形成し、且つ着色層を用いることもできる。
【０１９１】
また、発光素子６２４が発光する光が第１の基板６００側へ射出される場合、第１の基板６００の表面に、偏光板及び位相差板を設けても良い。また、発光素子６２４が発光する光が第２の基板６４０側へ射出される場合、第２の基板６４０の表面に、偏光板及び位相差板を設けても良い。さらには、発光素子６２４が発光する光が第１の基板６００及び第２の基板側へ射出される場合、第１の基板６００及び第２の基板６４０の表面に、偏光板及び位相差板を設けても良い。
【０１９２】
また、第１の基板６００又は第２の基板６４０の一方、若しくは両方にフィルム又は樹脂等の基板を用いて発光表示パネルを形成してもよい。このように対向基板を用いず封止すると、表示装置の軽量化、小型化、薄膜化を向上させることができる。
【０１９３】
更には、発光表示パネルに電源回路、コントローラ等の外部回路を接続して、発光表示モジュールを形成することが可能である。
【実施例２】
【０１９４】
本実施例では、液晶表示パネルについて図１２を用いて説明する。液晶表示パネルは、第１の基板６００、第２の基板６６４、及び液晶層６７４がシール材６５０で封止されている。シール材６５０には基板間隔を保持する保持材、代表的にはフィラーを含有していることが好ましい。
【０１９５】
シール材６５０、第１の基板６００、第２の基板６６４の内側において、駆動回路部６６２、画素部６６３を有する。また、シール材６５０の外側に端子部６６１を有する。
【０１９６】
第２の基板６６４には、カラーフィルタやブラックマトリックスとして機能する着色層６６５、第２の画素電極６６６、配向膜として機能する絶縁層６６７が形成されている。また、図示しないが、第１の基板６００、第２の基板６６４の一方又は両方に偏光板が設けられている。
【０１９７】
端子部６６１においては、実施例１で示す端子部６４３と同様に、各ＴＦＴのゲート配線、ソース配線に接続される接続端子（図１２においては、ゲート配線に接続される接続端子６５４を示す。）が形成されている。また、接続端子は、異方性導電膜６５６を介して入力端子となるＦＰＣ（フレキシブルプリント配線）に接続されており、異方性導電膜６５６を介してビデオ信号やクロック信号を受け取る。
【０１９８】
駆動回路部６６２においては、実施例１で示す駆動回路部６４４と同様に、ソースドライバやゲートドライバ等の画素を駆動する回路が形成される。ここでは、ｎチャネル型のＴＦＴ６５１、ｐチャネル型のＴＦＴ６５２が配置されている。なお、ｎチャネル型のＴＦＴ６５１及びｐチャネル型のＴＦＴ６５２によりＣＭＯＳ回路が形成されている。

【０１９９】
画素部６６３には、複数の画素が形成されており、各画素には液晶素子６６８が形成されている。液晶素子６６８は、第１の画素電極６７２、第２の画素電極６６６及びその間に充填されている液晶層６７４が重なっている部分である。液晶素子６６８が有する第１の画素電極６７２は、接続用導電層６７１を介してＴＦＴ６０２と電気的に接続されている。液晶素子６６８の第２の画素電極６６６は、第２の基板６６４側に形成される。また、第１の画素電極６７２と液晶層６７４の間に、配向膜として機能する絶縁層６７３が形成され、第２の画素電極６６６と液晶層６７４の間に配向膜として機能する絶縁層６６７が形成される。
【０２００】
第１の基板６００及び第２の基板６６４の間隔は、表示ムラを低減するため、一定の間隔で保たれることが好ましい。よって、間隔保持材であるスペーサ６７５が第１の基板６００及び第２の基板６６４の間に散布されている。なお、ここでは、スペーサ６７５は、球状スペーサを示したが、これに限られず、柱状のスペーサを用いることもできる。
【実施例３】
【０２０１】
本実施例では、上記実施例に示した表示パネルへの駆動回路の実装について、図１３を用いて説明する。
【０２０２】
図１３（Ａ）に示すように、画素部１４０１の周辺にソースドライバ１４０２、及びゲートドライバ１４０３ａ、１４０３ｂを実装する。図１３（Ａ）では、ソースドライバ１４０２、及びゲートドライバ１４０３ａ、１４０３ｂ等として、異方性導電接着剤、及び異方性導電フィルムを用いた実装方法、ＣＯＧ方式、ワイヤボンディング方法、並びに半田バンプを用いたリフロー処理等により、基板１４００上にＩＣチップ１４０５を実装する。ここでは、ＣＯＧ方式を用いる。そして、ＦＰＣ（フレキシブルプリントサーキット）１４０６を介して、ＩＣチップと外部回路とを接続する。
【０２０３】
なお、ソースドライバ１４０２の一部、例えばアナログスイッチを基板上に一体形成し、かつその他の部分を別途ＩＣチップで実装してもよい。
【０２０４】
また、図１３（Ｂ）に示すように、ＳＡＳや結晶性半導体でＴＦＴを形成する場合、画素部１４０１とゲートドライバ１４０３ａ、１４０３ｂ等を基板上に一体形成し、ソースドライバ１４０２等を別途ＩＣチップとして実装する場合がある。図１３（Ｂ）において、ソースドライバ１４０２として、ＣＯＧ方式により、基板１４００上にＩＣチップ１４０５を実装する。そして、ＦＰＣ１４０６を介して、ＩＣチップと外部回路とを接続する。
【０２０５】
なお、ソースドライバ１４０２の一部、例えばアナログスイッチを基板上に一体形成し、かつその他の部分を別途ＩＣチップで実装してもよい。
【０２０６】
さらに、図１３（Ｃ）に示すように、ＣＯＧ方式に代えて、ＴＡＢ方式によりソースドライバ１４０２等を実装する場合がある。そして、ＦＰＣ１４０６を介して、ＩＣチップと外部回路とを接続する。図１３（Ｃ）において、ソースドライバをＴＡＢ方式により実装しているが、ゲートドライバをＴＡＢ方式により実装してもよい。
【０２０７】
ＩＣチップをＴＡＢ方式により実装すると、基板に対して画素部を大きく設けることができ、狭額縁化を達成することができる。
【０２０８】
ＩＣチップは、シリコンウェハを用いて形成するが、ＩＣチップの代わりにガラス基板上に回路を形成したＩＣ（以下、ドライバＩＣと表記する）を設けてもよい。ＩＣチップ

は、円形のシリコンウェハからＩＣチップを取り出すため、母体基板形状に制約がある。一方ドライバＩＣは、母体基板がガラスであり、形状に制約がないため、生産性を高めることができる。そのため、ドライバＩＣの形状寸法は自由に設定することができる。例えば、ドライバＩＣの長辺の長さを１５～８０ｍｍとして形成すると、ＩＣチップを実装する場合と比較し、必要なドライバＩＣの数を減らすことができる。その結果、接続端子数を低減することができ、製造上の歩留まりを向上させることができる。

【０２０９】

ドライバＩＣは、基板上に形成された結晶質半導体を用いて形成することができ、結晶質半導体は連続発振型のレーザ光を照射することで形成するとよい。連続発振型のレーザ光を照射して得られる半導体膜は、結晶欠陥が少なく、大粒径の結晶粒を有する。その結果、このような半導体膜を有するトランジスタは、移動度や応答速度が良好となり、高速駆動が可能となり、ドライバＩＣに好適である。

【実施例４】

【０２１０】

次に、本発明の半導体装置を実装した電子機器の一態様について図面を参照して説明する。ここで例示する電子機器は携帯電話機であり、筐体２７００、２７０６、パネル２７０１、ハウジング２７０２、プリント配線基板２７０３、操作ボタン２７０４、バッテリ２７０５を有する（図１４参照）。パネル２７０１はハウジング２７０２に脱着自在に組み込まれ、ハウジング２７０２はプリント配線基板２７０３に嵌着される。ハウジング２７０２はパネル２７０１が組み込まれる電子機器に合わせて、形状や寸法が適宜変更される。プリント配線基板２７０３には、パッケージングされた複数の半導体装置が実装されており、このうちの１つとして、本発明の半導体装置を用いることができる。プリント配線基板２７０３に実装される複数の半導体装置は、コントローラ、中央処理ユニット（ＣＰＵ、Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）、メモリ、電源回路、音声処理回路、送受信回路等のいずれかの機能を有する。

【０２１１】

パネル２７０１は、接続フィルム２７０８を介して、プリント配線基板２７０３が接続される。上記のパネル２７０１、ハウジング２７０２、プリント配線基板２７０３は、操作ボタン２７０４やバッテリ２７０５と共に、筐体２７００、２７０６の内部に収納される。パネル２７０１が含む画素領域２７０９は、筐体２７００に設けられた開口窓から視認できるように配置されている。

【０２１２】

上記の通り、本発明の半導体装置は、小型、薄型、軽量であることを特徴としており、上記特徴により、電子機器の筐体２７００、２７０６内部の限られた空間を有効に利用することができる。また、コスト削減が可能であり、信頼性高い半導体装置を有する電子機器を作製することができる。

【実施例５】

【０２１３】

実施の形態や実施例に示される半導体装置を有する電子機器として、テレビジョン装置（単にテレビ、又はテレビジョン受信機ともよぶ）、デジタルカメラ、デジタルビデオカメラ、携帯電話装置（単に携帯電話機、携帯電話ともよぶ）、ＰＤＡ等の携帯情報端末、携帯型ゲーム機、コンピュータ用のモニター、コンピュータ、カーオーディオ等の音響再生装置、家庭用ゲーム機等の記録媒体を備えた画像再生装置等が挙げられる。その具体例について、図１５を参照して説明する。

【０２１４】

図１５（Ａ）に示す携帯情報端末は、本体９２０１、表示部９２０２等を含んでいる。表示部９２０２は、実施の形態１～５、及び実施例１～４で示すものを適用することができる。本発明の一である表示装置を用いることにより、信頼性高い携帯情報端末を安価に提供することができる。

【０２１５】

図１５（Ｂ）に示すデジタルビデオカメラは、表示部９７０１、表示部９７０２等を含んでいる。表示部９７０１は、実施の形態１～５、及び実施例１～４で示すものを適用することができる。本発明の一である表示装置を用いることにより、信頼性高いデジタルビデオカメラを安価に提供することができる。

【０２１６】

図１５（Ｃ）に示す携帯端末は、本体９１０１、表示部９１０２等を含んでいる。表示部９１０２は、実施の形態１～５、及び実施例１～４で示すものを適用することができる。本発明の一である表示装置を用いることにより、信頼性高い携帯端末を安価に提供することができる。

【０２１７】

図１５（Ｄ）に示す携帯型のテレビジョン装置は、本体９３０１、表示部９３０２等を含んでいる。表示部９３０２は、実施の形態１～５、及び実施例１～４で示すものを適用することができる。本発明の一である表示装置を用いることにより、信頼性高い携帯型のテレビジョン装置を安価に提供することができる。このようなテレビジョン装置は携帯電話などの携帯端末に搭載する小型のものから、持ち運びをすることができる中型のもの、また、大型のもの（例えば４０インチ以上）まで、幅広く適用することができる。

【０２１８】

図１５（Ｅ）に示す携帯型のコンピュータは、本体９４０１、表示部９４０２等を含んでいる。表示部９４０２は、実施の形態１～５、及び実施例１～４で示すものを適用することができる。本発明の一である表示装置を用いることにより、高画質な表示が可能な携帯型のコンピュータを安価に提供することができる。

【０２１９】

図１５（Ｆ）に示すテレビジョン装置は、本体９５０１、表示部９５０２等を含んでいる。表示部９５０２は、実施の形態１～５、及び実施例１～４で示すものを適用することができる。本発明の一である表示装置を用いることにより、信頼性高いテレビジョン装置を安価に提供することができる。

【実施例６】

【０２２０】

本実施例では、従来の薄膜トランジスタ及び本発明の薄膜トランジスタにおいて、画素電極及び半導体領域の接続部、並びに、ゲート電極及びドレイン配線の接続部における構造をＦＩＢ（収束イオンビーム加工観察装置（Ｆｏｃｕｓｅｄ　Ｉｏｎ　Ｂｅａｍ　ｓｙｓｔｅｍ））で観察した結果について、図２１、２２を用いて説明する。

【０２２１】

図２１（Ａ）は、本発明の薄膜トランジスタのドレイン電極及び画素電極の上面図を示す。また、図２１（Ａ）のＡ－Ｂの断面をＦＩＢで観察した観察像を図２２（Ａ）に示し、図２２（Ａ）の模式図を図２２（Ｂ）に示す。また、図２１（Ａ）のＣ－Ｄの断面をＦＩＢで観察した観察像を図２２（Ｃ）に示し、図２２（Ｃ）の模式図を図２２（Ｄ）に示す。なお、ＦＩＢの観察は斜め（ｔｉｌｔ角度が６０°）から行っている。

【０２２２】

図２１（Ａ）及び図２２（Ｂ）、（Ｄ）に示すように、基板３０１上に形成される薄膜トランジスタ３５０は、半導体領域３０２ａ、３０２ｂ、ゲート絶縁層３１３、ゲート電極３５１、ソース電極３５２及びドレイン電極３０５ａ～３０５ｃで構成される。また、ソース電極３５２及びドレイン電極３０５ａ～３０５ｃとゲート電極３５１とは層間絶縁層３０６、３０７で絶縁されている。また、ソース電極３５２及びドレイン電極３０５ａ～３０５ｃと接続用導電層３０４とは層間絶縁層３０６、３０７で絶縁されている。また、接続孔３５３を介して、半導体領域３０２ｂ及びソース電極３５２が接続されている。なお、薄膜トランジスタ３５０は、絶縁層３１２を介して基板３０１上に形成されている。

【０２２３】

また、ゲート電極３５１と同時に形成された接続用導電層３０４は、ゲート絶縁層３１

３を介して半導体領域３０２ａと重畳している。又、接続孔３０９において接続用導電層３０４とドレイン電極３０５ａ～３０５ｃが接続している。また、同様に、接続孔３０９において接続用導電層３０４と画素電極３０８が接続している。本発明の薄膜トランジスタ３５０のドレイン電極３０５ａ～３０５ｃの端部は、接続孔３０９の内部に配置されている。また、半導体領域３０２ｂは、ドレイン電極３０５ａ～３０５ｃ及び接続用導電層３０４を介して画素電極３０８と接続されている。

【０２２４】

また、ソース電極３５２、ドレイン電極３０５ａ～３０５ｃ、接続用導電層３０４、画素電極３０８、層間絶縁層３０７上には、塗布法により形成された絶縁層３１１が形成されている。

【０２２５】

ここでは、基板３０１としてガラス基板を用い、絶縁層３１２としてＣＶＤ法により膜厚１４０ｎｍの窒化酸化珪素膜、膜厚１００ｎｍの酸化窒化珪素膜を順に積層して形成する。半導体領域３０２ａ、３０２ｂとして、膜厚５０ｎｍの結晶性珪素層を形成する。ゲート絶縁層３１３として、オルトケイ酸テトラエチル（Ｔｅｔｒａｅｔｈｙｌ　Ｏｒｔｈｏ　Ｓｉｌｉｃａｔｅ：ＴＥＯＳ）とO_2とを原料に用いたＣＶＤ法により膜厚１１０ｎｍの酸化珪素層を形成する。ゲート電極３５１、接続用導電層３０４としては、スパッタリング法を用いて膜厚３０ｎｍの窒化タンタル層と、膜厚３７０ｎｍのタングステン層を形成する。ドレイン電極３０５ａ～３０５ｃとして、スパッタリング法を用いて膜厚１００ｎｍのチタン層、膜厚７００ｎｍのアルミニウム層、膜厚１００ｎｍのチタン層を順に積層して形成する。なお、ソース電極３５２は、図２１（Ａ）では示さないが、ドレイン電極３０５ａ～３０５ｃと同様の構造で積層されている。また、層間絶縁層３０６として、ＣＶＤ法により膜厚１４０ｎｍの窒化酸化珪素層を形成し、層間絶縁層３０７として膜厚６７０ｎｍの酸化窒化珪素層を形成する。画素電極３０８として、スパッタリング法により膜厚１２５ｎｍの酸化珪素を含むＩＴＯを形成する。

【０２２６】

図２２（Ｃ）、（Ｄ）は、図２２（Ａ）、（Ｂ）と交差する方向における断面図である。図２２（Ｃ）、（Ｄ）に示すように、接続用導電層３０４に接続するドレイン電極３０５ａ～３０５ｃの端部が接続孔３０９内部に配置されている。

【０２２７】

図２１（Ｂ）は、従来の薄膜トランジスタのドレイン電極及び画素電極の接続部の上面図を示し、図２１（Ｃ）は、薄膜トランジスタのドレイン電極及び接続用導電層の接続部の上面図を示す。また、図２１（Ｂ）のＡ－Ｂの断面をＦＩＢで観察した観察像を図２３（Ａ）に示し、図２３（Ａ）の模式図を図２３（Ｂ）に示す。また、図２１（Ｃ）のＣ－Ｄの断面をＦＩＢで観察した観察像を図２３（Ｃ）に示し、図２３（Ｃ）の模式図を図２３（Ｄ）に示す。

【０２２８】

図２１（Ｂ）、図２３（Ｂ）に示すように、基板３２１上に形成される薄膜トランジスタ３６０は、半導体領域３２３、ゲート絶縁層３２４、ゲート電極３６１、ソース電極３６２及びドレイン電極３２８ａ～３２８ｃで構成される。また、ソース電極３６２及びドレイン電極３２８ａ～３２８ｃとゲート電極３６１とは層間絶縁層３２５、３２６で絶縁されている。また、接続孔３６３において、半導体領域３２３及びソース電極３６２が接続されている。なお、薄膜トランジスタ３６０は、絶縁層３２２を介して基板３２１上に形成されている。

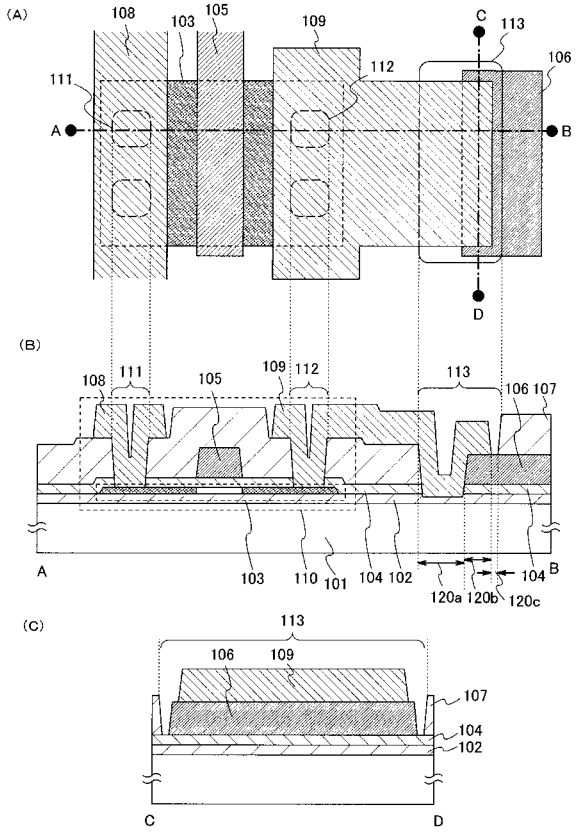
【０２２９】

また、接続孔３３１において半導体領域３２３とドレイン電極３２８ａ～３２８ｃが接続している。また、層間絶縁層３２６の一部及びドレイン電極３２８ｃ上に画素電極３２９が形成され、ドレイン電極３２８ｃと画素電極３２９が接続している。従来例の薄膜トランジスタ３６０のドレイン電極３２８ａ～３２８ｃの端部は、接続孔３３１の内部には配置されず、層間絶縁層３２６上に形成されている。また、半導体領域３２３は、ドレイ

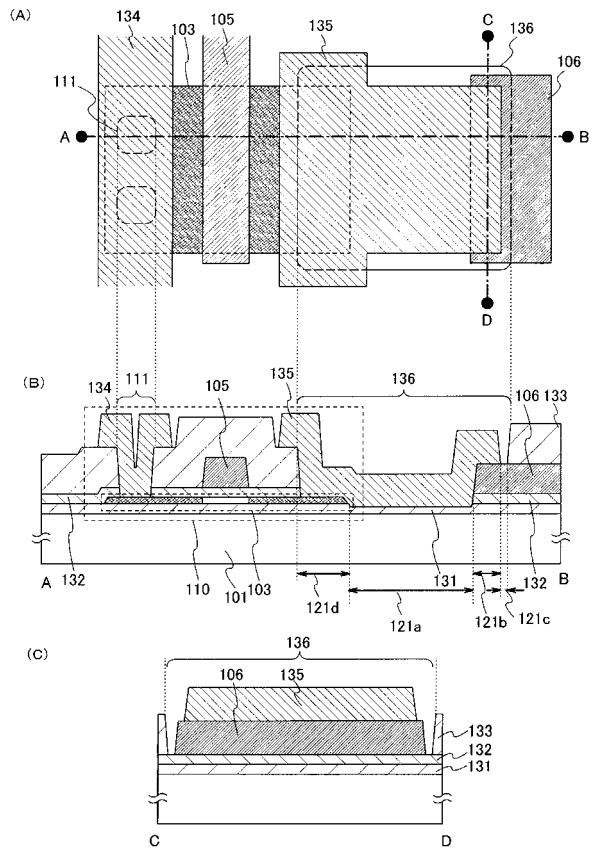
ン電極３２８ａ～３２８ｃを介して画素電極３２９と接続されている。
【０２３０】
また、層間絶縁層３２６、画素電極３２９上には塗布法により形成された絶縁層３３０が形成されている。
【０２３１】
次に、図２１（Ｃ）のＣ－Ｄの断面図に対応する図を図２３（Ｃ）、図２３（Ｄ）に示す。
【０２３２】
図２１（Ｃ）、図２３（Ｄ）に示すように、薄膜トランジスタ３６０と同様に、基板３２１上に形成される薄膜トランジスタ３７０は、半導体領域３７４、ゲート絶縁層３２４、ゲート電極３７１、ソース電極３７２及びドレイン電極３４８ａ～３４８ｃで構成される。また、ソース電極３７２及びドレイン電極３４８ａ～３４８ｃとゲート電極３７１とは層間絶縁層３２５、３２６で絶縁されている。また、接続孔３７３において、半導体領域３７４及びソース電極３７２が接続されている。なお、薄膜トランジスタ３７０は、絶縁層３２２を介して基板３０１上に形成されている。
【０２３３】
また、接続孔３７５において半導体領域３７４とドレイン電極３４８ａ～３４８ｃが接続している。また、ゲート電極３７１と同時に形成される導電層３２７とドレイン電極３４８ａ～３４８ｃとが接続孔３３２において接続されている。従来例の薄膜トランジスタ３７０のドレイン電極３４８ａ～３４８ｃの端部は、接続孔３３２の内部には配置されず、層間絶縁層３２６上に形成されている。
【０２３４】
ここでは、基板３２１としてガラス基板を用い、絶縁層３２２としてＣＶＤ法により膜厚１４０ｎｍの窒化酸化珪素膜、膜厚１００ｎｍの酸化窒化珪素膜を順に積層して形成する。半導体領域３２３として、膜厚５０ｎｍの結晶性珪素層を形成する。ゲート絶縁層３２４として、オルトケイ酸テトラエチル（Ｔｅｔｒａｅｔｈｙｌ　Ｏｒｔｈｏ　Ｓｉｌｉｃａｔｅ：ＴＥＯＳ）とO_2とを原料に用いたＣＶＤ法により膜厚１１０ｎｍの酸化珪素層を形成する。ゲート電極３６１、３７１としては、スパッタリング法を用いて膜厚３０ｎｍの窒化タンタル層と、膜厚３７０ｎｍのタングステン層を形成する。ドレイン電極３２８ａ～３２８ｃ、３４８ａ～３４８ｃとして、スパッタリング法を用いて膜厚１００ｎｍのチタン層、膜厚７００ｎｍのアルミニウム層、膜厚１００ｎｍのチタン層を順に積層して形成する。なお、ソース電極３６２、３７２は、図２１（Ｂ）及び（Ｃ）では示さないが、それぞれドレイン電極３２８ａ～３２８ｃ、３４８ａ～３４８ｃと同様の構造で積層されている。また、層間絶縁層３２５として、ＣＶＤ法により膜厚１４０ｎｍの窒化酸化珪素層を形成し、層間絶縁層３２６として膜厚６７０ｎｍの酸化窒化珪素層を形成する。画素電極３２９として、スパッタリング法により膜厚１２５ｎｍの酸化珪素を含むＩＴＯを形成する。
【０２３５】
図２２（Ａ）～（Ｄ）と、図２３（Ａ）～（Ｄ）とを比較すると、従来例の薄膜トランジスタ３６０、３７０の絶縁層３３０と比較して、本発明の薄膜トランジスタ３５０の絶縁層３１１の凹凸差が少ないことが分かる。このことから、塗布法により平坦性の高い絶縁層を形成することができる。また、当該絶縁層を形成する場合、材料を削減することが可能である。よって、コストを削減することが可能であると共に生産性を高めることが可能である。
【図面の簡単な説明】
【０２３６】
【図１】本発明の半導体装置を示した上面図及び断面図である。
【図２】本発明の半導体装置を示した上面図及び断面図である。
【図３】本発明の半導体装置を示した上面図及び断面図である。
【図４】本発明の半導体装置を示した上面図及び断面図である。

【図５】本発明の半導体装置を示した上面図及び断面図である。
【図６】本発明の半導体装置を示した断面図である。
【図７】本発明の半導体装置を示した上面図である。
【図８】本発明の半導体装置を示した上面図及び断面図である。
【図９】本発明の半導体装置の作製工程を示した断面図である。
【図１０】本発明の半導体装置の等価回路を示した図である。
【図１１】本発明の半導体装置を示した断面図である。
【図１２】本発明の半導体装置を示した断面図である。
【図１３】本発明の半導体装置を示した上面図である。
【図１４】本発明の半導体装置を示した斜視図である。
【図１５】本発明の半導体装置を示した斜視図である。
【図１６】本発明の半導体装置を示した上面図及び断面図である。
【図１７】本発明の半導体装置を示した上面図及び断面図である。
【図１８】本発明の半導体装置を示した上面図及び断面図である。
【図１９】本発明の半導体装置を示した上面図及び断面図である。
【図２０】本発明の半導体装置を示した断面図である。
【図２１】本発明及び従来例の半導体装置を示した上面図である。
【図２２】本発明の半導体装置を示した断面図である。
【図２３】従来の半導体装置を示した断面図である。

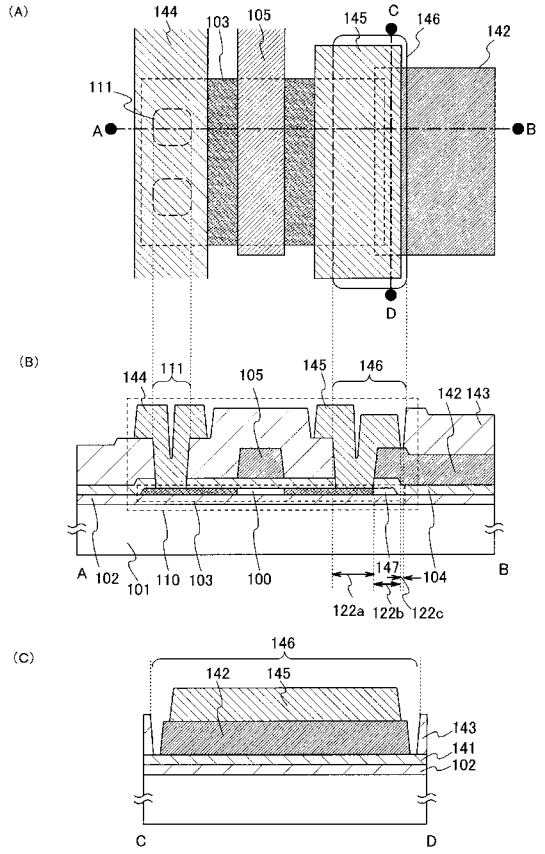
【図１】



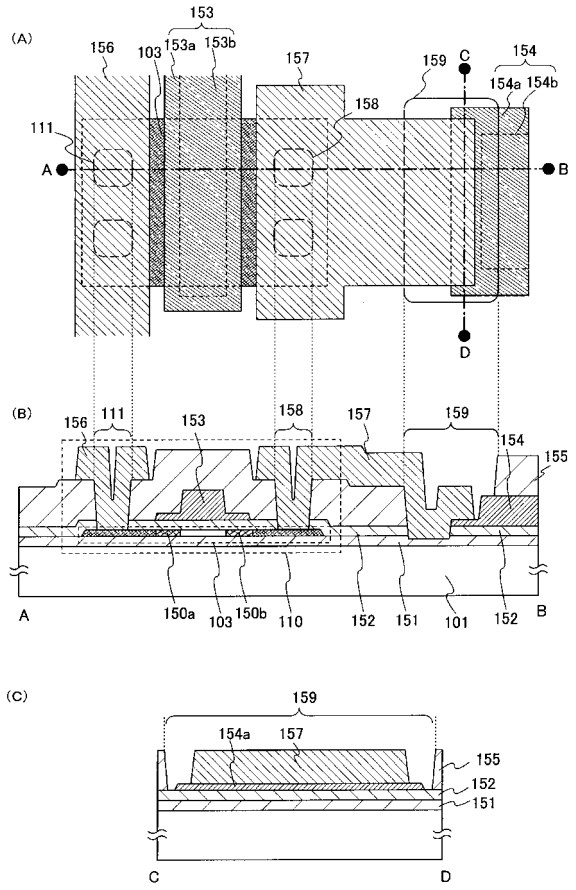
【図２】



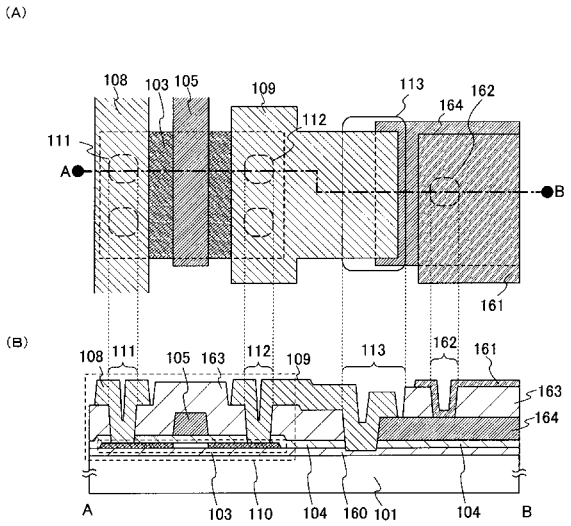
【図３】


(A)
144
103
105
145
C
146
142
111
A
B
D
(B)
144
111
105
145
146
142 143
A
102
101
110
103
100
147
104
B
122a
122b
122c
(C)
146
142
145
143
141
102
C
D

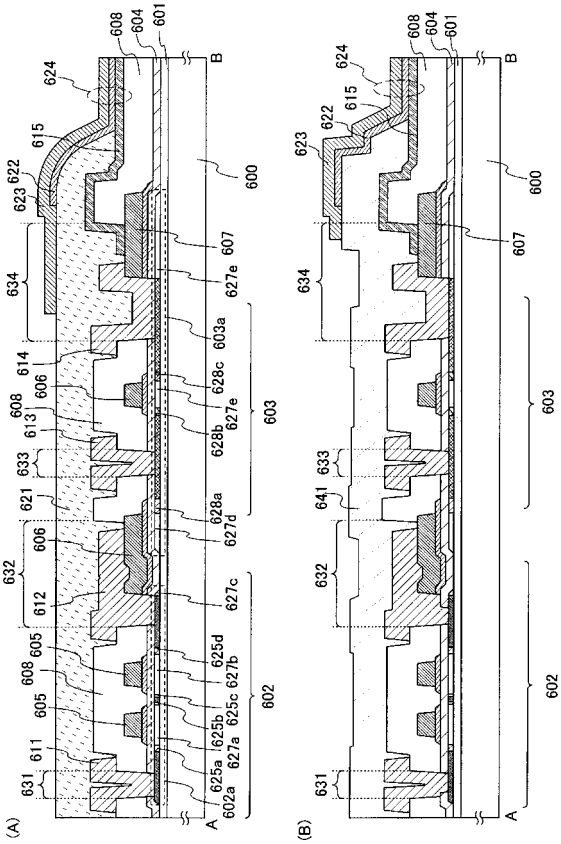
【図４】


(A)
153
156
103
153a
153b
157
159
C
154
154a
154b
158
111
A
B
D
(B)
156
111
153
158
157
159
154
155
A
150a
103
150b
110
152
151
101
152
B
(C)
159
154a
157
155
152
151
C
D

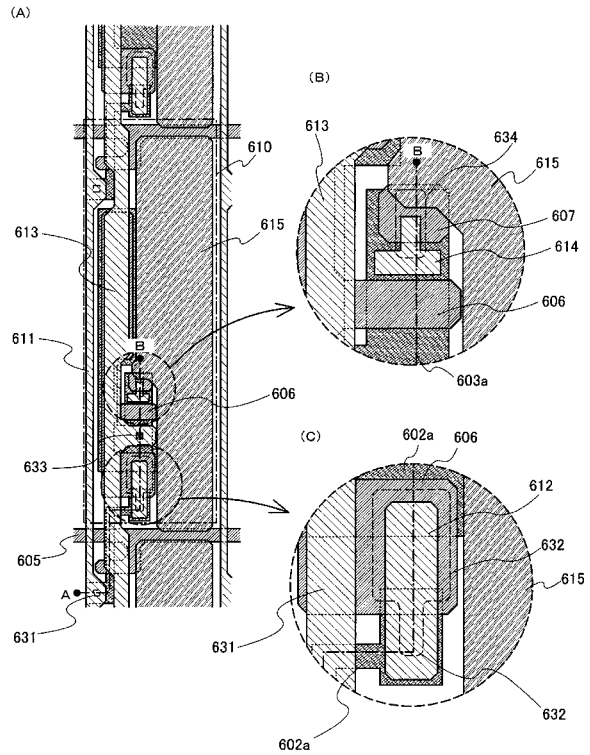
【図５】


(A)
108
103
105
109
113
164
162
112
111
A
B
161
(B)
108
111
105
163
112
109
113
162
161
163
164
A
103
110
104
160
101
104
B

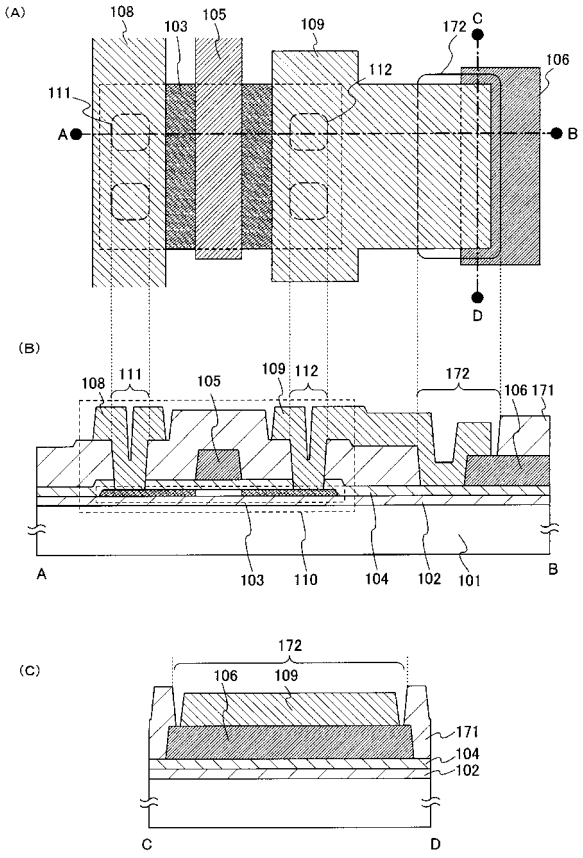
【図６】


608
604
601
B
624
615
622
623
600
607
627e
634
603a
614
606
628c
608
613
628b
627e
603
633
621
628a
627d
606
632
612
627c
605
625d
627b
608
605
625b
625c
602
611
627a
625a
631
602a
A
(A)
(B)

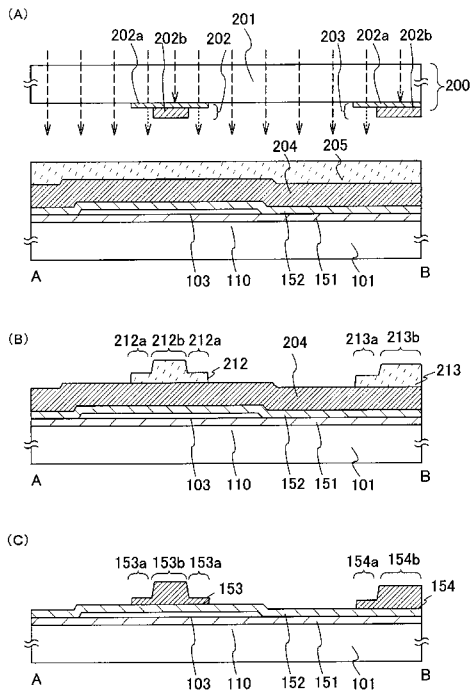
【図７】


(A)
(B)
(C)
610
613
615
611
606
633
605
631
634
607
614
603a
602a
612
632

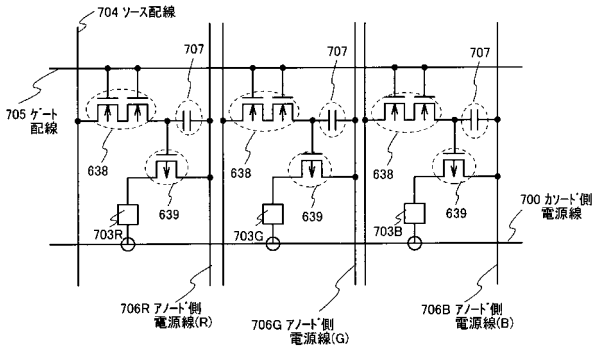
【図８】


(A)
(B)
(C)
108
103
105
109
172
112
106
111
A
B
C
D
171
104
102
101
110

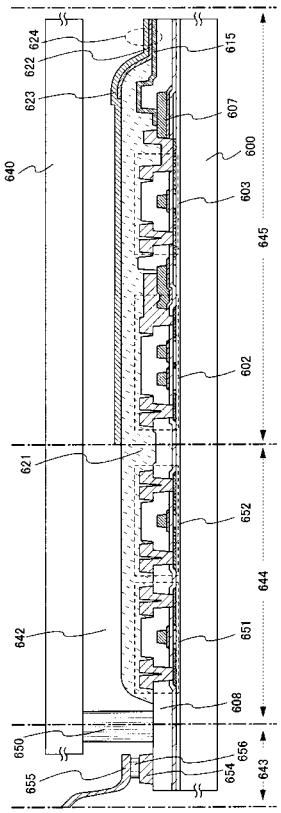
【図９】


(A)
(B)
(C)
202a
202b
202
201
203
200
204
205
212a
212b
212
213a
213b
213
153a
153b
153
154a
154b
154
103
110
152
151
101

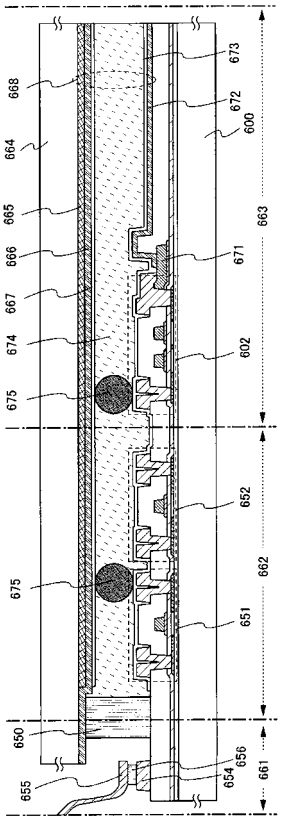
【図１０】


704 ソース配線
705 ゲート配線
707
638
639
703R
703G
703B
700 カソード側電源線
706R アノード側電源線(R)
706G アノード側電源線(G)
706B アノード側電源線(B)

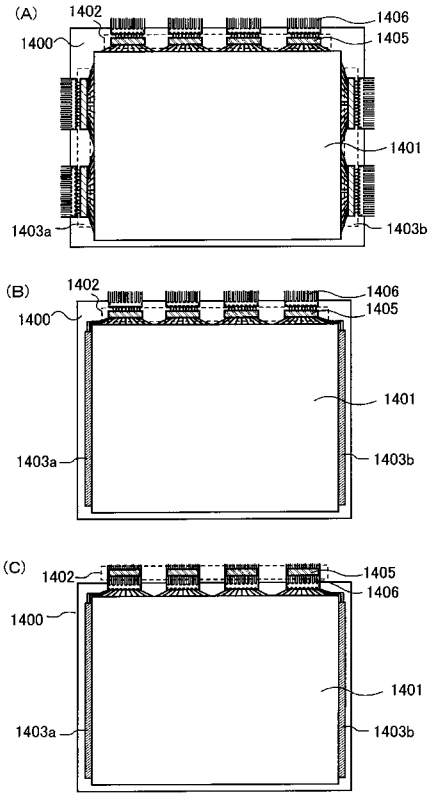
【図１１】



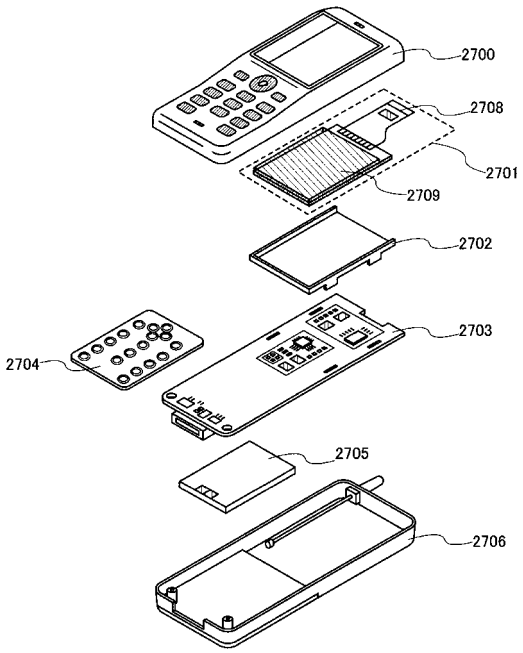
【図１２】



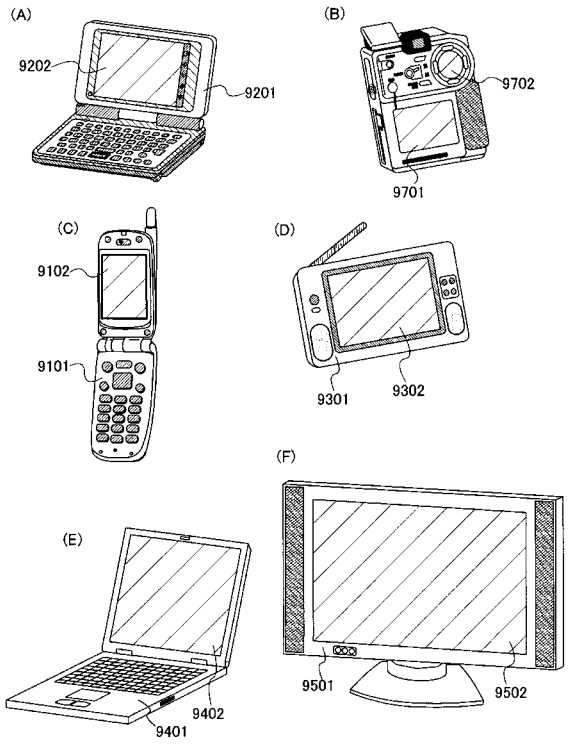
【図１３】



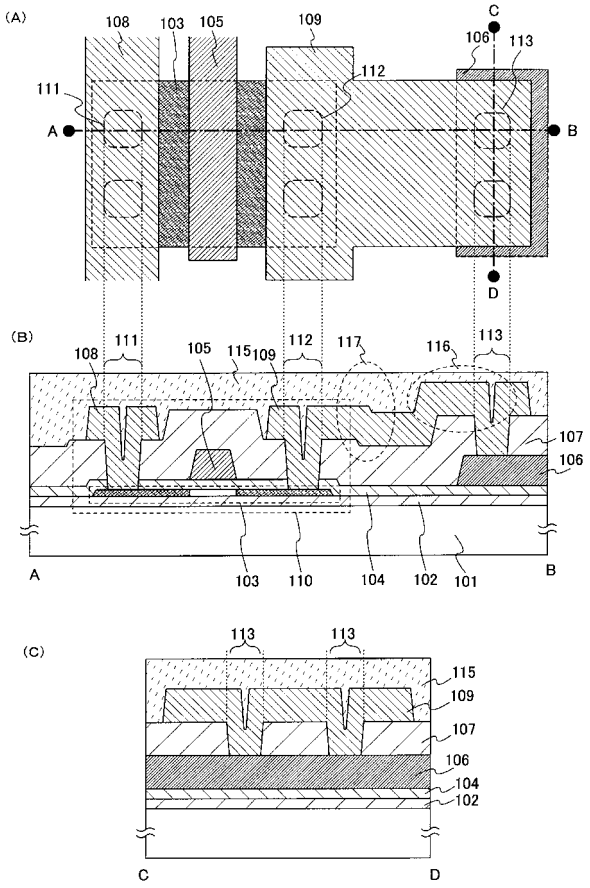
【図１４】



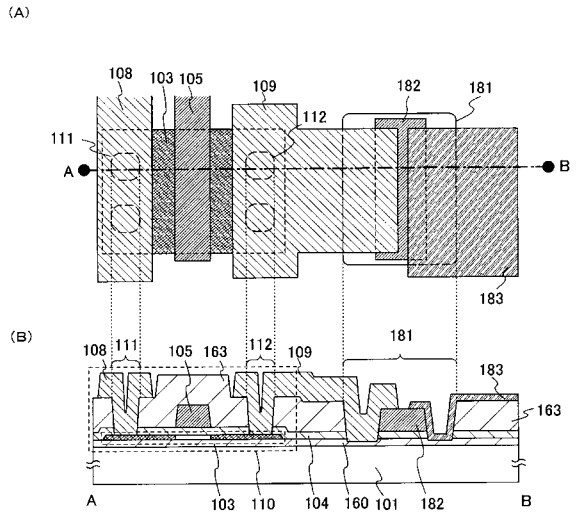
【図１５】



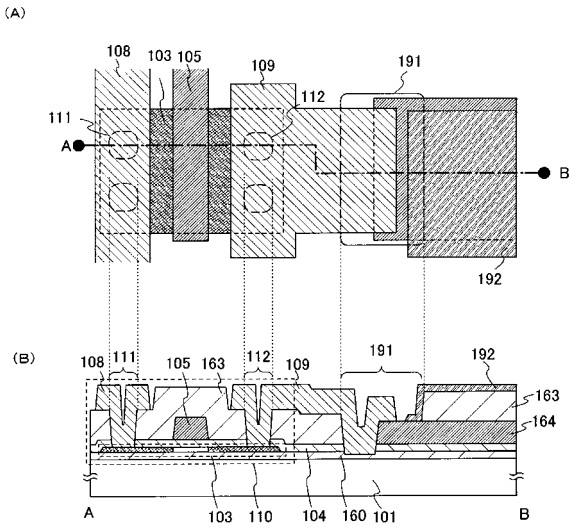
【図１６】



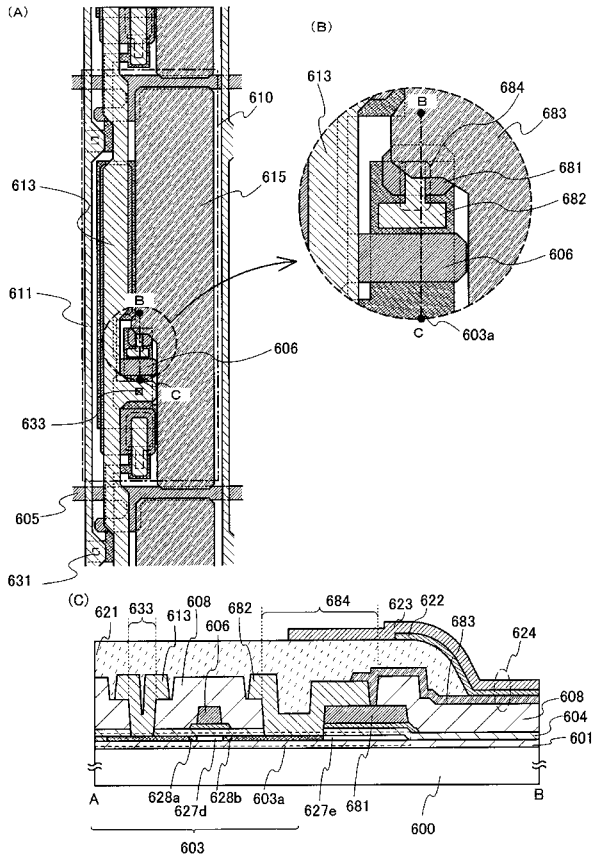
【図１７】



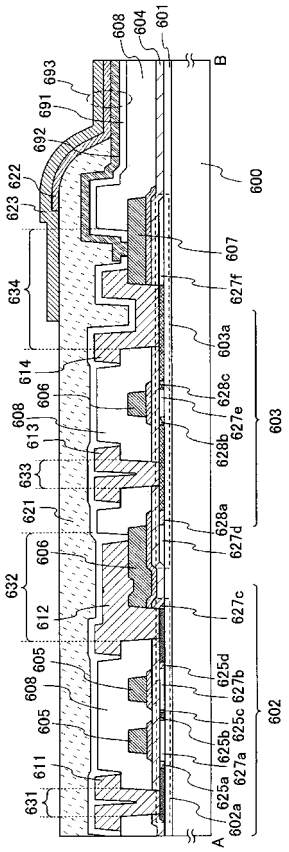
【図１８】



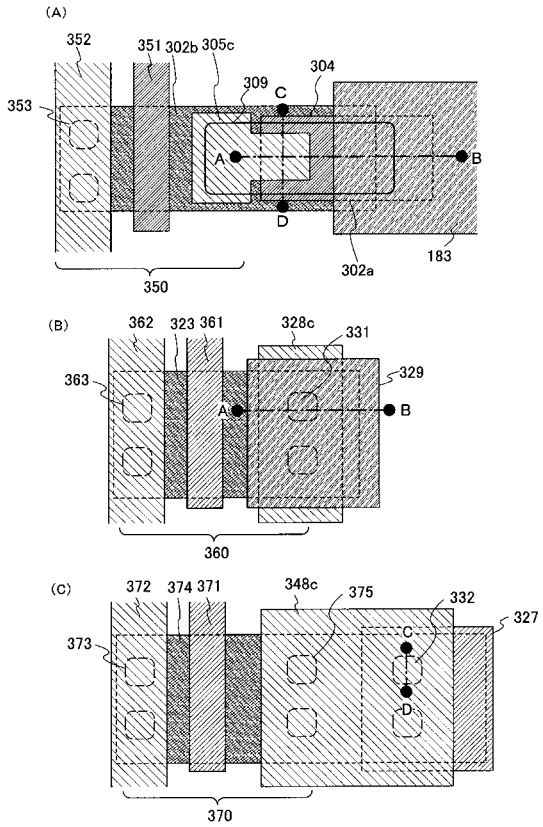
【図１９】


(A)
(B)
(C)
610
613
615
611
606
633
605
631
684
683
681
682
603a
621
608
624
604
601
628a
627d
628b
627e
600
603

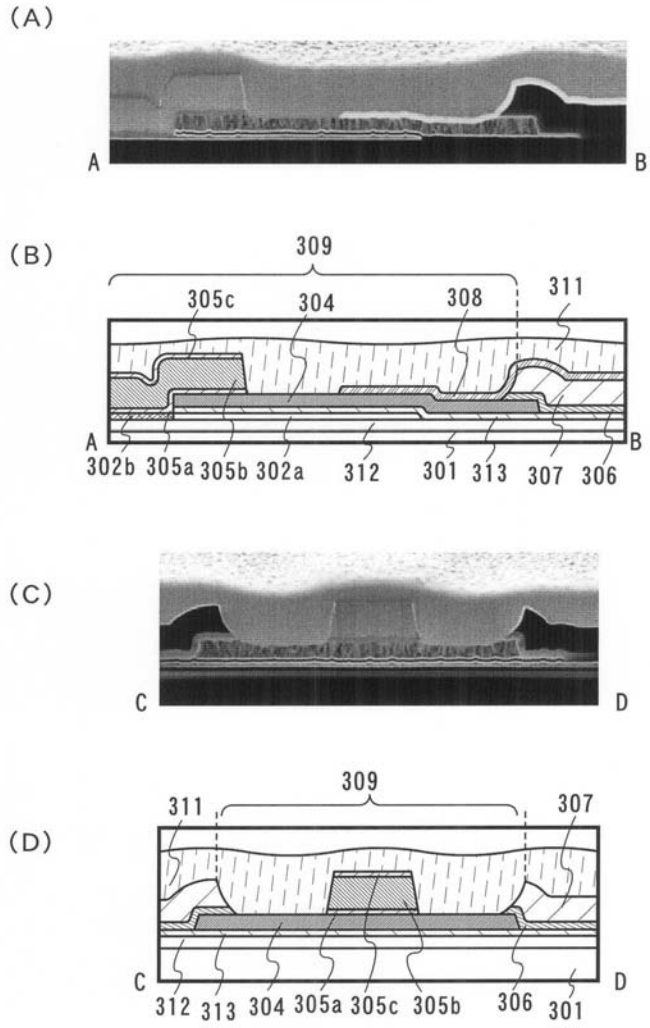
【図２０】


608
604
601
693
691
692
622
623
600
607
634
627f
603a
614
606
628c
627e
603
608
613
628b
633
621
628a
627d
632
606
627c
612
605
625d
627b
608
625c
605
625b
627a
611
631
625a
602a
602

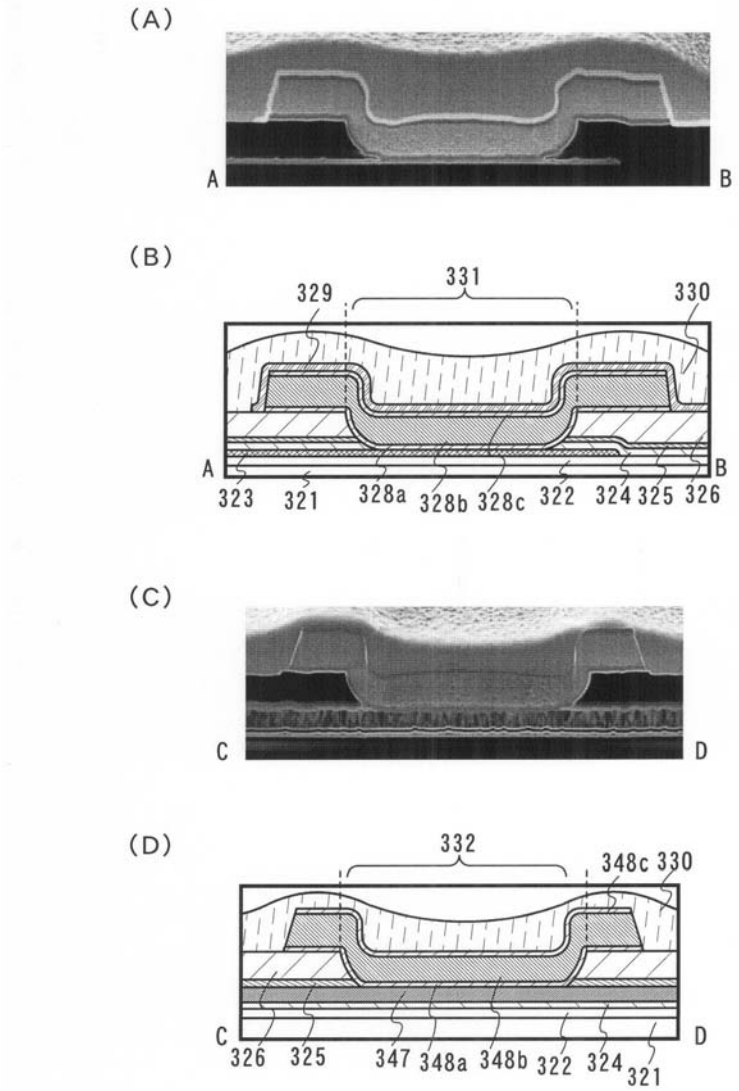
【図２１】


(A)
352
351
302b
305c
309
304
353
A
B
C
D
183
302a
350
(B)
362
323
361
328c
331
363
329
360
(C)
372
374
371
348c
375
332
327
373
370

【図２２】


(A)
A
B
(B)
309
305c
304
308
311
A
B
302b
305a
305b
302a
312
301
313
307
306
(C)
C
D
(D)
309
311
307
C
D
312
313
304
305a
305c
305b
306
301

【図２３】


(A)
A
B
(B)
329
331
330
A
B
323
321
328a
328b
328c
322
324
325
326
(C)
C
D
(D)
332
348c
330
C
D
326
325
347
348a
348b
322
324
321

フロントページの続き

Ｆターム(参考) 5F033 HH08 HH18 HH20 HH38 JJ01 JJ08 JJ18 JJ20 JJ38 KK04
KK08 KK18 KK19 KK20 KK21 KK32 KK33 KK34 MM05 MM17
MM20 NN06 NN12 NN33 NN34 NN37 QQ01 QQ08 QQ09 QQ26
QQ37 RR04 RR08 SS07 SS11 VV15 XX01
5F110 AA18 BB02 BB04 CC02 DD01 DD02 DD03 DD05 DD12 DD13
DD14 DD15 DD17 DD25 EE01 EE03 EE04 EE08 EE15 EE22
EE28 EE30 EE32 EE37 EE38 EE44 FF02 FF03 FF04 FF22
FF27 FF29 FF35 FF36 GG02 GG13 GG25 HJ01 HL03 HL04
HL11 HL14 HM13 HM15 HM17 HM18 HM19 NN03 NN04 NN22
NN23 NN27 NN33 NN35 NN36 NN71 NN72 PP01 PP03 PP04
PP05 PP06 PP29 PP34 QQ02