

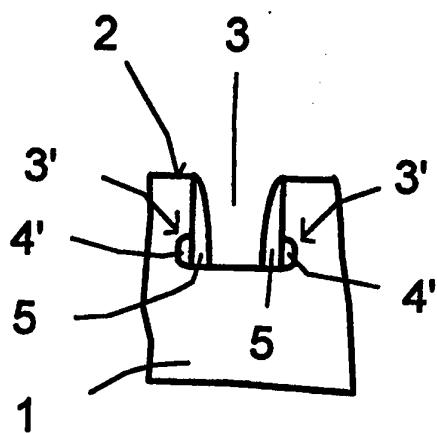
PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro



INTERNATIONALE ANMELDUNG VERÖFFENTLICH NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁶ : H01L 21/8242, 27/108, 21/763, 21/308		A1	(11) Internationale Veröffentlichungsnummer: WO 97/03463 (43) Internationales Veröffentlichungsdatum: 30. Januar 1997 (30.01.97)
(21) Internationales Aktenzeichen: PCT/DE96/01109 (22) Internationales Anmeldedatum: 24. Juni 1996 (24.06.96)		(81) Bestimmungsstaaten: BR, CN, JP, KR, RU, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	
(30) Prioritätsdaten: 195 25 072.9 10. Juli 1995 (10.07.95) DE		Veröffentlicht <i>Mit internationalem Recherchenbericht.</i>	
(71) Anmelder (<i>für alle Bestimmungsstaaten ausser US</i>): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).			
(72) Erfinder; und (75) Erfinder/Anmelder (<i>nur für US</i>): LAU, Frank [DE/DE]; Pfarrer-Loidl-Strasse 19, D-83052 Bruckmühl (DE). KRAUTSCHNEIDER, Wolfgang [DE/DE]; Am Oberfeld 50, D-83104 Hohenhamm (DE). ENGELHARDT, Manfred [DE/DE]; Edelweissstrasse 1a, D-83620 Feldkirchen- Westerham (DE).			
(54) Title: INTEGRATED CIRCUIT ARRANGEMENT WITH AT LEAST TWO COMPONENTS INSULATED FROM ONE ANOTHER AND A PROCESS FOR PRODUCING THE SAID CIRCUIT ARRANGEMENT			
(54) Bezeichnung: INTEGRIERTE SCHALTUNGSANORDNUNG MIT MINDESTENS ZWEI GEGENEINANDER ISOLIERTEN BAUELEMENTEN UND VERFAHREN ZU DEREN HERSTELLUNG			
(57) Abstract			
<p>An integrated circuit arrangement with at least two components comprises an insulating structure (4', 5) in a substrate. The structure in question covers at least one flank of a trench (3) and is wider at the trench floor than at the trench neck. The components are arranged in different planes at the substrate surface and at the trench floor. The insulating structure ensures vertical insulation between the components.</p>			
(57) Zusammenfassung			
<p>Eine integrierte Schaltungsanordnung mit mindestens zwei Bauelementen umfaßt in einem Substrat eine Isolationsstruktur (4', 5) zwischen den Bauelementen, die mindestens eine Flanke eines Grabens (3) bedeckt und die am Grabenboden dicker ist als am Grabenhals. Die Bauelemente sind dabei in verschiedenen Ebenen an der Substratoberfläche und am Grabenboden angeordnet. Die Isolationsstruktur bewirkt eine vertikale Isolation zwischen den Bauelementen.</p>			



LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AM	Armenien	GB	Vereinigtes Königreich	MX	Mexiko
AT	Österreich	GE	Georgien	NE	Niger
AU	Australien	GN	Guinea	NL	Niederlande
BB	Barbados	GR	Griechenland	NO	Norwegen
BE	Belgien	HU	Ungarn	NZ	Neuseeland
BF	Burkina Faso	IE	Irland	PL	Polen
BG	Bulgarien	IT	Italien	PT	Portugal
BJ	Benin	JP	Japan	RO	Rumänien
BR	Brasilien	KE	Kenya	RU	Russisch Föderation
BY	Belarus	KG	Kirgisistan	SD	Sudan
CA	Kanada	KP	Demokratische Volksrepublik Korea	SE	Schweden
CF	Zentrale Afrikanische Republik	KR	Republik Korea	SG	Singapur
CG	Kongo	KZ	Kasachstan	SI	Slowenien
CH	Schweiz	LI	Liechtenstein	SK	Slowakei
CI	Côte d'Ivoire	LK	Sri Lanka	SN	Senegal
CM	Kamerun	LR	Liberia	SZ	Swasiland
CN	China	LK	Litauen	TD	Tschad
CS	Tschechoslowakei	LU	Luxemburg	TG	Togo
CZ	Tschechische Republik	LV	Lettland	TJ	Tadschikistan
DE	Deutschland	MC	Monaco	TT	Trinidad und Tobago
DK	Dänemark	MD	Republik Moldau	UA	Ukraine
EE	Estland	MG	Madagaskar	UG	Uganda
ES	Spanien	ML	Mali	US	Vereinigte Staaten von Amerika
FI	Finnland	MN	Mongolei	UZ	Usbekistan
FR	Frankreich	MR	Mauretanien	VN	Vietnam
GA	Gabon	MW	Malawi		

Beschreibung

5 Integrierte Schaltungsanordnung mit mindestens zwei gegeneinander isolierten Bauelementen und Verfahren zu deren Herstellung.

In der Halbleitertechnologie, speziell der MOS-Technologie werden Grabenisolationen verwendet, um bei einer kleinen
10 Breite eines Isolationsgebietes Bauelemente in einem Substrat elektrisch voneinander zu trennen. Als Grabenisolation wird meist ein Längsgraben verwendet, der vollständig mit SiO₂ aufgefüllt ist. Die Tiefe des Grabens entspricht meist ungefähr der kleinsten Strukturabmessung in der jeweiligen Technologie.
15

Durch die Grabenisolation werden Leckströme im Volumen unterbunden. Sind an der Oberfläche des Grabens isolierende Schichten und leitfähige Schichten angeordnet, so kann es an
20 der Oberfläche zu Leckströmen aufgrund von parasitären MOS-Bauelementen kommen. Auch diese Leckströme müssen durch die Grabenisolation unterbunden werden.

Zur Verbesserung des Isolationsverhaltens der Grabenisolatio-
25 nen werden im Bereich der Grabenisolation dotierte Gebiete eingesetzt, die die Ausbildung leitender Kanäle verhindern. Diese dotierten Gebiete werden in der Regel durch Implantati-
on erzeugt. Diese Implantation beeinflußt jedoch die Parame-
ter der Bauelemente, die voneinander isoliert werden.
30

Ferner ist vorgeschlagen worden, den Querschnitt des Grabens im Bodenabschnittsbereich des Grabens zu vergrößern. Die zu isolierenden Bauelemente sind an der Oberfläche des Substrats angeordnet (siehe DE 38 09 218 A1).
35

Der Erfindung liegt daher das Problem zugrunde, eine integrierte Schaltungsanordnung anzugeben, in der mindestens zwei

Bauelemente auf platzsparende Weise gegeneinander isoliert sind und eine Beeinträchtigung der Eigenschaften der Bauelemente durch für die Isolation erforderliche Implantationen vermieden wird. Darüber hinaus soll ein Verfahren zur Herstellung einer solchen integrierten Schaltungsanordnung angegeben werden.

Dieses Problem wird erfindungsgemäß gelöst durch eine integrierte Schaltungsanordnung gemäß Anspruch 1 sowie ein Verfahren gemäß Anspruch 3. Weitere Ausgestaltungen der Erfindung gehen aus den Unteransprüchen hervor.

Die erfindungsgemäße integrierte Schaltungsanordnung ist in einem Halbleitersubstrat integriert. Das Halbleitersubstrat besteht vorzugsweise aus monokristallinem Silizium oder in der monokristallinen Siliziumschicht eines SOI-Substrates.

In dem Halbleitersubstrat ist ein Graben angeordnet, der von einer Hauptfläche des Halbleitersubstrats in das Halbleitersubstrat hineinreicht. Mindestens eine Flanke des Grabens ist mit einer Isolationsstruktur versehen, die ein erstes Bauelement gegen ein zweites Bauelement isoliert. Die mit der Isolationsstruktur versehene Flanke des Grabens weist eine Ausbuchtung auf, so daß die Weite des Grabens im Bereich des Grabenbodens größer ist als im Bereich der Hauptfläche.

Das erste Bauelement ist an der Hauptfläche und das zweite Bauelement am Grabenboden angeordnet. Die Isolationsstruktur bedeckt die zwischen den beiden Bauelementen angeordnete Flanke. Die erhöhte Dicke der Isolationsstruktur im Bereich der Ausbuchtung stellt sicher, daß ein entlang der Flanke gegebenenfalls entstehendes parasitäres MOS-Bauelement eine so hohe Schwellenspannung hat, daß bei den Betriebsspannungen keine Leckströme an der Oberfläche der Flanke auftreten.

35

Die Isolationsstruktur reicht von der Hauptfläche bis zum Grabenboden. Die Dicke der Isolationsstruktur, das heißt die

- Ausdehnung der Isolationsstruktur senkrecht zu der Flanke, ist dabei im Bereich der Ausbuchtung größer als an der Hauptfläche. Die laterale Ausdehnung der erfindungsgemäßen Isolationsstruktur ist im Substrat größer als an der
- 5 Hauptfläche des Substrats. Dadurch wird die Isolationswirkung der Isolationsstruktur verbessert gegenüber dem Wert, der mit einer Isolationsstruktur, die über die gesamte Tiefe die konstante, laterale Ausdehnung an der Hauptfläche aufweist, erzielt würde.
- 10 Da die Isolationsstruktur an der Flanke des Grabens angeordnet ist, können das erste Bauelement und das zweite Bauelement in der Projektion auf die Hauptfläche unmittelbar nebeneinander angeordnet werden. Da das erste Bauelement an der
- 15 Hauptfläche und das zweite Bauelement am Grabenboden angeordnet sind und zwischen ihnen an der Grabenflanke die Isolationsstruktur angeordnet ist, sind sie gegeneinander isoliert. Das Sperrverhalten der Isolationsstruktur ist dabei insbesondere über deren Dicke im Bereich der Ausbuchtung einstellbar.
- 20 Die Erfindung ist vorteilhaft einsetzbar zum Aufbau einer Speicherzellenanordnung. Dazu umfaßt die integrierte Schaltungsanordnung mehrere gleichartige streifenförmige Gräben, die im wesentlichen parallel verlaufen. Die Flanken der Gräben weisen jeweils im Bereich des Grabenbodens Ausbuchtungen auf und sind jeweils mit einer Isolationsstruktur versehen.
- 25 An der Hauptfläche zwischen benachbarten Gräben und an den Grabenböden sind jeweils mehrere, in Reihe verschaltete MOS-Transistoren der Speicherzellenanordnung angeordnet. Durch
- 30 Einsatz selbstjustierender Herstellverfahren läßt sich eine solche Speicherzellenanordnung mit einem Flächenbedarf pro Speicherzelle von $2F^2$, wobei F die in der jeweiligen Technologie minimale Strukturgröße ist, herstellen.
- 35 Zur Herstellung der erfindungsgemäßen Schaltungsstruktur wird in der Hauptfläche des Substrats ein Graben erzeugt, der im Bereich des Grabenbodens eine größere Weite als an der

Hauptfläche aufweist. Die Ausbuchtungen in der Flanke des Grabens können auf verschiedene Weise erzeugt werden. Zum einen wird der Graben durch Plasmaätzen erzeugt, wobei die Ätzung in einem solchen Parameterbereich durchgeführt wird, daß

5 der sogenannte „Barrelling Effekt“ (auch „Bowing“ genannt) auftritt. Man versteht darunter eine Ausbuchtung im unteren Bereich der Grabenprofile, die beim Plasmaätzen von Silizium bei einer Überhöhung des Druckes über denjenigen Druck, bei dem eine anisotrope Ätzung realisiert wird, auftritt. Der

10 Barrelling-Effekt (bzw. Bowing) ist zum Beispiel aus M. Engelhardt, S. Schwarzl, J. Electrochem. Soc., Bd. 134, Seite 1985 (1987) und VLSI Electronics Microstruktur Science, Volume 8, Plasma Processing for VLSI N. G. Einspruch and D. M. Brown, Chapter 5, Academic Press Inc., Orlando, 1984, Seite

15 124 ff, bekannt. Ebenso wird dieser Effekt (auch „Bowing“ genannt) beobachtbar bei einer Verringerung der RF-Leistung unter diejenige RF-Leistung, bei der eine anisotrope Ätzung realisiert wird. Alternative Prozesse zum Erzeugen von Barrelling/Bowing beim Si-Ätzen sind HBr, O₂, NF₃, mit RF-Leistung

20 < 500 W oder CBrF₃ mit RF-Leistung < 50 W.

Zum anderen kann das Grabenprofil durch eine Kombination von anisotropen und isotropen Ätzprozessen realisiert werden. Vorzugsweise wird in einem ersten Ätzschritt ein anisotropes

25 Plasmaätzverfahren und in einem zweiten Ätzschritt ein isotropes Plasmaätzverfahren oder eine isotrope Naßätzung durchgeführt. Anisotrope Plasmaätzverfahren können so geführt werden, daß es an den Seitenwänden des entstehenden Grabens zur Ablagerung von Ätzprodukten, die als Seitenwandpassivierungen bezeichnet werden, kommt. Beim Ätzen eines Grabens im Silizium bestehen diese Seitenwandpassivierungen aus oxidartigen Verbindungen. Die Dicke der Seitenwandpassivierung nimmt zum Grabenboden hin ab. Dadurch wird in dem isotropen,

30 zweiten Ätzschritt der obere Bereich der Flanke des Grabens vor dem Ätzangriff geschützt und die Ausbuchtung entsteht lediglich im Bereich des Grabenbodens.

Zur Bildung der Isolationsstruktur wird der Graben vorzugsweise mit einer ersten isolierenden Schicht aufgefüllt. Durch anisotropes Ätzen selektiv zu dem Substratmaterial wird die erste isolierende Schicht rückgeätzt. Dabei verbleibt in den

5 Ausbuchtungen des Grabens ein Ätzresiduum aus isolierendem Material. Es füllt die Ausbuchtung im wesentlichen auf. Durch Abscheiden und anisotropes Rückätzen einer zweiten isolierenden Schicht mit im wesentlichen konformer Kantenbedeckung werden an den Flanken des Grabens isolierende Spacer erzeugt,

10 die gemeinsam mit dem in der Ausbuchtung angeordneten Ätzresiduum jeweils die Isolationsstruktur bilden. Auf diese Weise wird die Isolationsstruktur selbstjustiert zum Graben, das heißt ohne Einsatz einer zum Graben zu justierenden Maske, gebildet. Der Graben kann mit einer minimalen Weite von F (F : minimale Strukturbreite in der jeweiligen Technologie) gebildet werden. Die laterale Ausdehnung der Isolationsstruktur wird bestimmt durch die Tiefe der Ausbuchtung senkrecht zur Flanke des Grabens und durch die Schichtdicke der zweiten isolierenden Schicht, aus der die Spacer gebildet werden.

15 Vorzugsweise wird die Ausbuchtung mit einem Radius $< F/4$ ausgeführt. Die Breite des Spacers wird vorzugsweise ebenfalls $< F/4$ ausgeführt. Damit wird die Isolationsspannung zwischen einem Bauelement an der Hauptfläche und einem Bauelement am Grabenboden um etwa einen Faktor 2 gegenüber dem Wert erhöht,

20 25 der sich bei alleiniger Verwendung des Spacers als Isolationsstruktur ergeben würde.

Im weiteren wird die Erfindung anhand der Figuren und der Ausführungsbeispiele näher erläutert.

30 Figur 1 zeigt ein Substrat mit einem Graben, dessen Flanken im Bereich des Grabenbodens Ausbuchtungen aufweisen.

Figur 2 zeigt das Substrat nach Auffüllung des Grabens mit
35 einer ersten isolierenden Schicht.

Figur 3 zeigt das Substrat nach Rückätzen der ersten isolierenden Schicht, wobei in den Ausbuchtungen Ätzresiduen verbleiben.

5 Figur 4 zeigt das Substrat nach Bildung von isolierenden Spacern.

Figur 5 bis Figur 10 zeigt Schritte bei der Herstellung einer Speicherzellenanordnung.

10

Figur 5 zeigt ein Substrat nach einer ersten Kanalimplantation.

15

Figur 6 zeigt das Substrat nach einer Grabenätzung, einer zweiten Kanalimplantation und der Bildung von Isolationsstrukturen.

Figur 7 zeigt das Substrat nach Bildung von Wortleitungen.

20 Figur 8 zeigt den in Figur 7 mit VIII-VIII bezeichneten Schnitt durch das Siliziumsubstrat.

Figur 9 zeigt den in Figur 7 mit IX-IX bezeichneten Schnitt durch das Siliziumsubstrat.

25

Figur 10 zeigt eine Aufsicht auf das in Figur 7 dargestellte Siliziumsubstrat.

Die Darstellungen in den Figuren sind nicht maßstäblich.

30

Ein Substrat 1 aus zum Beispiel monokristallinem Silizium weist eine Hauptfläche 2 auf. Auf die Hauptfläche 2 wird eine Grabenmaske aus zum Beispiel TEOS (nicht dargestellt) aufgebracht. Unter Verwendung der Grabenmaske als Ätzmaske wird 35 ein Graben 3 in das Substrat 1 geätzt (siehe Figur 1). Der Graben 3 weist senkrecht zur Hauptfläche 2 eine Ausdehnung von zum Beispiel F auf. Im Bereich des Grabenbodens weist der

Graben 3 Ausbuchtungen 3' auf. Dadurch ist die Weite des Grabens 3 im Bereich des Grabenbodens größer als an der Hauptfläche 2. An der Hauptfläche 2 weist der Graben 3 eine Weite von zum Beispiel F, auf. Die maximale Weite im Bereich 5 der Ausbuchtungen 3' beträgt dagegen $F + 2 \cdot F/4$. F ist die in der jeweiligen Technologie kleinste herstellbare Strukturgröße. F ist beispielsweise 0,4 µm.

- Der Graben 3 mit den Ausbuchtungen 3' wird zum Beispiel durch 10 Plasmaätzen mit CBrF₃ im Druckbereich > 15 mTorr oder mit HBr, O₂, NF₃ im Druckbereich > 100 mTorr erzeugt. Bei diesem Druck entstehen die Ausbuchtungen 3' durch den Barrelling Effekt.
- 15 Alternativ wird der Graben 3 durch die Kombination aus einem anisotropen Plasmaätzverfahren mit HBr, O₂, NF₃ im Druckbereich > 100 mTorr oder mit CBrF₃ im Druckbereich > 15 mTorr und einem isotropen Plasmaätzverfahren mit NF₃ im Druckbereich von > 500 mTorr erzeugt. Bei dem isotropen Plasmaätzverfahren entstehen die Ausbuchtungen 3'. Bei dem anisotropen Plasmaätzverfahren an den Flanken des Grabens 3 abgeschiedene Seitenwandpassivierungen schützen den oberen Bereich des Grabens 3 bei der isotropen Plasmaätzung.
- 20 Eine weitere Möglichkeit zur Bildung des Grabens 3 mit den Ausbuchtungen 3' besteht in der Kombination aus einem anisotropen Plasmaätzverfahren mit zum Beispiel HBr, O₂, NF₃ im Druckbereich > 100 mTorr oder mit CBrF₃ im Druckbereich > 15 mTorr und einer isotropen naßchemischen Ätzung, zum Beispiel 25 mit Cholin in wäßriger Lösung oder KOH. Auch in diesem Fall wird der obere Bereich der Grabenflanken durch Seitenwandpassivierungen vor dem isotropen Ätzangriff geschützt. Die isotrope Ätzung führt zur Ausbildung der Ausbuchtungen 3'.
- 30 Auf die Hauptfläche 2 wird anschließend eine erste isolierende Schicht aus zum Beispiel SiO₂ aufgebracht. Die erste isolierende Schicht 4 füllt den Graben 3 vollständig aus. Die 35

erste isolierende Schicht 4 wird zum Beispiel in einem CVD-Verfahren in einer Dicke von mindestens F, das heißt 0,4 µm abgeschieden (siehe Figur 2).

- 5 Es folgt eine Planarisierung, bei der die Hauptfläche 2 des Substrats 1 freigelegt wird. Die Planarisierung erfolgt zum Beispiel durch plasmaunterstütztes Rückätzen der ersten isolierenden Schicht oder mittels Chemical Mechanical Polishing (CMP).

10

- In einem anisotropen Ätzverfahren selektiv zu Silizium wird die verbleibende erste isolierende Schicht 4 rückgeätzt. Dabei wird die Siliziumoberfläche am Grabenboden freigelegt. In den Ausbuchtungen 3' verbleiben Ätzresiduen 4' aus SiO₂. Das
15 Rückätzen erfolgt zum Beispiel mit CHF₃, CF₄, Ar im Druckbereich von 50 bis 500 mTorr (siehe Figur 3).

Es wird eine zweite isolierende Schicht zum Beispiel aus SiO₂ mit im wesentlichen konformer Kantenbedeckung abgeschieden.

- 20 Die zweite isolierende Schicht wird zum Beispiel in einem TEOS-CVD-Verfahren in einer Dicke von zum Beispiel 40 nm abgeschieden. Durch anisotropes Ätzen zum Beispiel mit CHF₃, CF₄, Ar im Druckbereich von 50 bis 500 mTorr werden aus der zweiten isolierenden Schicht an den Flanken des Grabens 3

- 25 isolierende Spacer 5 gebildet. Die Spacer 5 weisen eine Breite von etwa 40 nm auf. Zwischen den Spacern 5 an gegenüberliegenden Flanken des Grabens 3 ist der Grabenboden freigelegt (siehe Figur 4).

- 30 Ein erstes Bauelement wird an der Hauptfläche 2, ein zweites Bauelement am Grabenboden erzeugt. Die Bauelemente sind zum Beispiel MOS-Transistoren. Das erste Bauelement ist vom zweiten Bauelement durch die an der dazwischenliegenden Flanke des Grabens 3 angeordnete Isolationsstruktur, die aus dem jeweiligen isolierenden Spacer 5 und dem Ätzresiduum 4' zusammengesetzt ist, isoliert. Ist an der Oberfläche des Spacers 5 eine leitfähige Schicht angeordnet, so entsteht zwischen den

beiden Bauelementen ein parasitäres MOS-Element, das wegen der Dicke der Isolationsstruktur im Bereich der Ausbuchtungen 3' eine Schwellenspannung von über 15 Volt aufweist, das heißt weit oberhalb der üblichen Betriebsspannungen für MOS-
5 Transistoren.

Im folgenden wird anhand der Figuren 5 bis 10 die Herstellung einer Festwertspeicherzellenanordnung mit verbesserter vertikaler Isolation erläutert. Die Festwertspeicherzellenanordnung umfaßt als Speicherzellen zum Beispiel MOS-Transistoren,
10 die je nach in der jeweiligen Speicherzelle eingespeicherte Information unterschiedliche Schwellenspannungen aufweisen.

Zur Herstellung der Festwertspeicherzellenanordnung in einem
15 Substrat 11 aus zum Beispiel monokristallinem Silizium wird zunächst an einer Hauptfläche 12 des Substrats 11 eine Isolationsstruktur erzeugt, die den Bereich für die Festwertspeicherzellenanordnung definiert (nicht dargestellt). Das Substrat 11 ist zum Beispiel p-dotiert mit einer Dotier-
20 stoffkonzentration von zum Beispiel 10^{16} cm^{-3} .

Mit Hilfe eines photolithographischen Verfahrens werden dann Bereiche für die Depletion-Kanäle von MOS-Transistoren definiert. Mit Hilfe einer ersten Kanalimplantation mit Arsen mit
25 einer Energie von 50 keV und einer Dosis von $4 \times 10^{12} \text{ cm}^{-2}$ werden die Depletion-Kanäle 13 gebildet (siehe Figur 5). Die Ausdehnung der Depletion-Kanäle 13 parallel zur Hauptfläche 12 beträgt bei Verwendung einer 0,4 μm -Technologie zum Beispiel 0,6 $\mu\text{m} \times 0,6 \mu\text{m}$.
30

Nach Abscheidung einer SiO_2 -Schicht in einer Dicke von zum Beispiel 200 nm mit Hilfe eines TEOS-Verfahrens wird durch Strukturierung der SiO_2 -Schicht mit Hilfe photolithographischer Verfahren eine Grabenmaske gebildet (nicht dargestellt). Durch anisotropes Ätzen zum Beispiel mit Cl_2 werden unter Verwendung der Grabenmaske als Ätzmaske Längsgräben 14 geätzt. Die Längsgräben 14 weisen eine Tiefe von zum Beispiel

0,6 µm auf. Die Breite der Depletion-Kanäle 13 wird bei der Ätzung der Längsgräben 14 eingestellt. Daher ist die Justierung der Grabenmaske relativ zu den Depletion-Kanälen 13 unkritisch.

5

Die Weite der Längsgräben 14 beträgt bei einer 0,4 µm-Technologie 0,4 µm, der Abstand benachbarter Längsgräben 14 beträgt ebenfalls 0,4 µm. Die Länge der Längsgräben 14 richtet sich nach der Größe der Speicherzellenanordnung und beträgt zum Beispiel 130 µm.

10 Im Bereich des Bodens der Längsgräben 14 weisen die Flanken der Längsgräben 14 Ausbuchtungen 14' auf. Diese Ausbuchtungen werden durch eine isotrope Ätzung zum Beispiel mit Cholin in
15 wäßriger Lösung gebildet. Senkrecht zu den Flanken der Längsgräben 14 weisen die Ausbuchtungen 14' eine maximale Tiefe von zum Beispiel 100 nm auf.

20 Durch eine CVD-Abscheidung einer ersten isolierenden Schicht werden die Längsgräben 14 mit den Ausbuchtungen 14' aufgefüllt. Durch Planarisieren mittels selektivem anisotropen Plasmaätzen oder Chemical Mechanical Polishing (CMP) wird anschließend die Hauptfläche 2 wieder freigelegt. Durch anisotropes Ätzen selektiv zu Silizium mit zum Beispiel CHF₃,
25 CF₄, Ar wird die erste isolierende Schicht rückgeätzt. Dabei wird der Boden der Längsgräben 14 freigelegt. Es verbleiben im Bereich der Ausbuchtungen 14' Ätzresiduen 15 aus SiO₂, die die Ausbuchtungen 14' ausfüllen.

30 Mit Hilfe eines photolithographischen Verfahrens werden anschließend Bereiche für die Depletion-Kanäle für MOS-Transistoren, die nachfolgend am Boden der Längsgräben 14 hergestellt werden, definiert. Mit einer zweiten Kanalimplantation mit zum Beispiel Arsen und einer Energie von zum Beispiel 50 keV und einer Dosis von zum Beispiel $4 \times 10^{12} \text{ cm}^{-2}$ werden die Depletion-Kanäle 16 am Boden der Längsgräben 14 erzeugt (siehe Figur 6). Die Bereiche zwischen benachbarten

Längsgräben 6 sind dabei durch die Grabenmaske maskiert. Die Justierung bei der Definition der Depletion-Kanäle 16 ist daher unkritisch. Bezuglich der Seitenwände der Längsgräben 14 ist die zweite Kanalimplantation selbstjustiert.

5

Anschließend wird die Grabenmaske naßchemisch zum Beispiel mit NH₄F/HF entfernt. Durch Abscheidung einer weiteren SiO₂-Schicht in einem TEOS-Verfahren und anschließendes anisotropes Ätzen werden an den Seitenwänden der Längsgräben 14

10 Spacer 17 aus SiO₂ gebildet. Das anisotrope Ätzen erfolgt zum Beispiel mit CHF₃, CF₄, Ar. Die Spacer 17 und die Ätzresiduen 15 bilden gemeinsam die Isolationsstruktur, die benachbarten MOS-Transistoren gegeneinander isoliert.

15 Nach Aufwachsen und Wegätzen eines Sacrificial-Oxids wird eine Gateoxidschicht 18 in einer Dicke von zum Beispiel 10 nm aufgewachsen. Die Gateoxidschicht 18 ist am Boden der Längsgräben 14 und zwischen den Längsgräben 14 auf der Hauptfläche 12 angeordnet (siehe Figur 7, Figur 8, die den mit VIII-VIII bezeichneten Schnitt durch Figur 7 darstellt, und Figur 9, die den mit IX-IX bezeichneten Schnitt durch Figur 7 darstellt. Der in Figur 7 dargestellte Schnitt ist in Figur 8 und Figur 9 jeweils mit VII-VII bezeichnet).

25 Es wird ganzflächig eine Polysiliziumschicht in einer Dicke von zum Beispiel 400 nm abgeschieden. Durch Strukturierung der Polysiliziumschicht in einem photolithographischen Prozeßschritt werden Wortleitungen 19 gebildet, die entlang der Hauptfläche 12 zum Beispiel senkrecht zu den Längsgräben 14 verlaufen. Breite und Abstand der Wortleitungen 19 entspricht jeweils einer minimalen Strukturgröße F von zum Beispiel F = 30 0,4 µm. Die Wortleitungen 19 verlaufen so, daß am Boden der Längsgräben 14 gebildete Depletion-Kanäle 16 jeweils unterhalb einer Wortleitung 19 angeordnet sind.

35

Anschließend wird eine Source/Drain-Implantation mit zum Beispiel Arsen bei einer Energie von zum Beispiel 25 keV und ei-

- ner Dosis von zum Beispiel $5 \times 10^{15} \text{ cm}^{-2}$ durchgeführt. Bei der Source/Drain-Implantation werden am Boden der Längsgräben 14 sowie in der Hauptfläche 12 zwischen den Längsgräben 14 dotierte Gebiete 20 erzeugt. Die dotierten Gebiete 20 wirken
- 5 jeweils als gemeinsames Source/Drain-Gebiet für zwei entlang einer Zeile angeordnete, benachbarte MOS-Transistoren. Bei der Source/Drain-Implantation werden gleichzeitig die Wortleitungen 19 dotiert.
- 10 Durch Abscheiden und anisotropes Rückätzen einer weiteren SiO_2 -Schicht werden die Flanken der Wortleitungen 19 mit Spacern 21 bedeckt. Die Source/Drain-Implantation erfolgt selbstjustiert bezüglich der Wortleitungen 19. Da die dotierten Gebiete 20 vom gleichen Leitfähigkeitstyp wie die Depletion-Kanäle 13, 16 dotiert werden, ist die Justierung bei der Definition der Depletion-Kanäle in der Richtung parallel zum Verlauf der Längsgräben 14 unkritisch. Entsprechend dem Abstand benachbarter Wortleitungen 19, dem Abstand benachbarter Längsgräben 14 sowie den Abmessungen der Längsgräben 14 be-
- 15 tragt die Fläche der dotierten Gebiete 20 parallel zur Hauptfläche 12 maximal $F \times F$, das heißt zum Beispiel $0,4 \mu\text{m} \times 0,4 \mu\text{m}$.
- 20 Je zwei benachbarte dotierte Gebiete 20 und die dazwischen angeordnete Wortleitung 19 bilden jeweils einen MOS-Transistor. Am Boden der Längsgräben 14 sowie zwischen den Längsgräben 14 ist jeweils eine Zeile von in Reihe verschalteten MOS-Transistoren, die jeweils aus zwei dotierten Gebieten 20 und der dazwischen angeordneten Wortleitung 19 gebildet sind, angeordnet. Die am Boden eines Längsgrabens 14 angeordneten MOS-Transistoren sind von den benachbarten, zwischen den Längsgräben 14 angeordneten MOS-Transistoren durch die aus Spacer 17 und Ätzresiduum 15 zusammengesetzte Isolationsstruktur isoliert. Diese Isolationsstruktur weist eine
- 25 maximale Dicke von etwa 150 nm auf, so daß die Schwellenspannung des an den Flanken der Längsgräben 14 gebildeten, para-

sitären MOS-Transistors ausreichend hoch ist, um einen Leckstrom zu unterbinden.

Jede Zeile ist am Rand der Festwertspeicherzellenanordnung
5 mit zwei Anschlüssen versehen, zwischen denen die in der Zeile angeordneten MOS-Transistoren in Reihe verschaltet sind (nicht dargestellt). Über diese Anschlüsse können die in der jeweiligen Zeile befindlichen MOS-Transistoren im Sinne einer „NAND“-Architektur angesteuert werden.

10

Berücksichtigt man, daß jedes der dotierten Gebiete 20 Source/Drain-Gebiet für zwei angrenzende MOS-Transistoren ist, so beträgt die Länge jedes MOS-Transistors parallel zum Verlauf der Längsgräben 14 zwei F. Die Breite der MOS-Transistoren
15 beträgt jeweils F. Herstellungsbedingt beträgt die Fläche für eine aus einem MOS-Transistor gebildete Speicherzelle daher $2 F^2$. Entlang einer Wortleitung 19 benachbarte Speicherzellen, deren Konturen Z1, Z2 in der Aufsicht in Figur 10 als verstärkte Linie eingezeichnet sind, grenzen in der Projektion
20 auf die Hauptfläche 2 unmittelbar aneinander. Die Speicherzelle Z1 ist am Boden eines Längsgrabens 14 angeordnet, die Speicherzelle Z2 dagegen auf der Hauptfläche 12 zwischen zwei benachbarten Längsgräben 14. Durch die Anordnung benachbarter Speicherzellen in zwei in der Höhe versetzte Ebenen wird die
25 Packungsdichte erhöht, ohne daß die Isolation zwischen benachbarten Speicherzellen verschlechtert würde.

Die Programmierung der Festwertspeicherzellenanordnung erfolgt bei der ersten Kanalimplantation und der zweiten Kanalimplantation. Die Depletion-Kanäle 13, 16 werden nur für diejenigen MOS-Transistoren gebildet, denen ein erster logischer Wert zugeordnet wird. Den anderen MOS-Transistoren wird ein zweiter logischer Wert zugeordnet.

35 Die Festwertspeicherzellenanordnung wird durch Abscheidung eines Zwischenoxids, Kontaktlochätzungen und Aufbringen und

Strukturieren einer Metallschicht fertiggestellt. Diese bekannten Prozeßschritte sind nicht dargestellt.

Patentansprüche

1. Integrierte Schaltungsanordnung,
 - 5 - bei der ein erstes Bauelement und ein zweites Bauelement in einem Halbleitersubstrat (1) integriert sind,
 - 10 - bei der in dem Halbleitersubstrat (1) ein Graben (3) angeordnet ist, der von einer Hauptfläche (2) des Halbleitersubstrats (1) in das Halbleitersubstrat (1) hineinreicht und der mit einer Isolationsstruktur (4', 5) versehen ist, die das erste Bauelement gegen das zweite Bauelement isoliert,
 - 15 - bei der mindestens eine Flanke des Grabens (3) eine Ausbuchtung (3') aufweist, so daß die Weite des Grabens (3) im Bereich des Grabenbodens größer ist als im Bereich der Hauptfläche (2),
 - 20 - bei der die Isolationsstruktur (4', 5) an die Flanke angrenzt und in zur Hauptfläche (2) senkrechter Richtung von der Hauptfläche (2) bis zum Grabenboden reicht, wobei die Dicke der Isolationsstruktur (4', 5) im Bereich der Ausbuchtung (3') größer ist als an der Hauptfläche (2),
 - 25 - bei der das erste Bauelement an der Hauptfläche (2) und das zweite Bauelement am Grabenboden angeordnet sind.
2. Integrierte Schaltungsanordnung nach Anspruch 1,
 - 30 - bei der mehrere gleichartige streifenförmige Gräben (14) vorgesehen sind, die im wesentlichen parallel verlaufen, deren Flanken im Bereich des Grabenbodens Ausbuchtungen (14') aufweisen und deren Flanken jeweils mit einer Isolationsstruktur (14', 17) versehen sind,

- bei der an der Hauptfläche (12) zwischen benachbarten Gräben (14) und an den Grabenböden jeweils mehrere, in Reihe verschaltete MOS-Transistoren einer Speicherzellenanordnung angeordnet sind.

5

- 3. Verfahren zur Herstellung einer integrierten Schaltungsanordnung mit mindestens zwei gegeneinander isolierten Bauelementen,

- 10 - bei dem in einer Hauptfläche (2) eines Halbleitersubstrats (1) ein Graben (3) erzeugt wird, der in mindestens einer Flanke im Bereich des Grabenbodens eine Ausbuchtung (3') aufweist, in der die Grabenweite größer ist als an der Hauptfläche (2),

15

- bei dem an der Flanke mit der Ausbuchtung (3') eine Isolationsstruktur (4', 5) erzeugt wird, die sich von der Hauptfläche (2) bis zum Grabenboden erstreckt und die im Bereich der Ausbuchtung (3') dicker als an der Hauptfläche,

20

- bei dem im Halbleitersubstrat (1) ein erstes Bauelement und ein zweites Bauelement so erzeugt werden, daß sie durch die Isolationsstruktur (4', 5) gegeneinander isoliert sind,

- 25 - bei dem das erste Bauelement an der Hauptfläche (2) des Halbleitersubstrats und das zweite Bauelement am Grabenboden erzeugt werden.

- 30 4. Verfahren nach Anspruch 3,
bei dem zur Erzeugung des Grabens (3) ein Ätzprozeß mit zwei Ätzschritten durchgeführt wird, wobei in einem ersten Ätzschritt anisotrop geätzt wird und in einem zweiten Ätzschritt isotrop geätzt wird.

- 35 5. Verfahren nach Anspruch 4,

bei dem im ersten Ätzschritt ein anisotropes Plasmaätzverfahren und im zweiten Ätzschritt ein isotropes Plasmaätzverfahren oder eine isotrope Naßätzung durchgeführt werden.

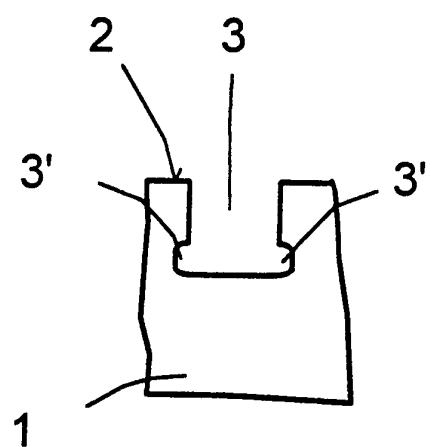
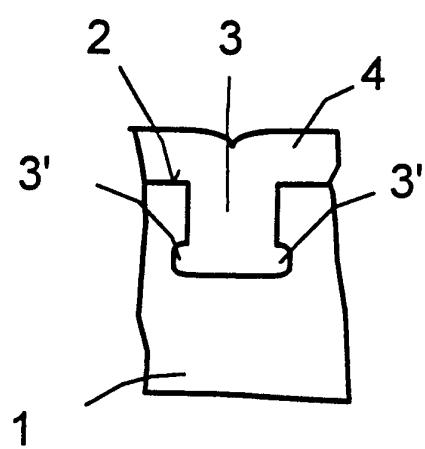
5 6. Verfahren nach einem der Ansprüche 3 bis 5,

- bei dem der Graben (3) als Längsgraben erzeugt wird,
- 10 - bei dem zur Bildung der Isolationsstruktur (4', 5) der Graben (3) mit einer ersten isolierenden Schicht (4) aufgefüllt wird.
- 15 - bei dem durch anisotropes Ätzen selektiv zu dem Halbleitersubstrat (1) die erste isolierende Schicht (4) rückgeätzt wird, wobei ein Ätzresiduum (4') verbleibt, das die Ausbuchtung (3') im wesentlichen auffüllt,
- 20 - bei dem durch Abscheiden und anisotropes Rückätzen einer zweiten isolierenden Schicht mit im wesentlichen konformer Kantenbedeckung mindestens an der Flanke des Grabens (3) ein isolierender Spacer (5) erzeugt wird, der gemeinsam mit dem Ätzresiduum (4') die Isolationsstruktur bildet.

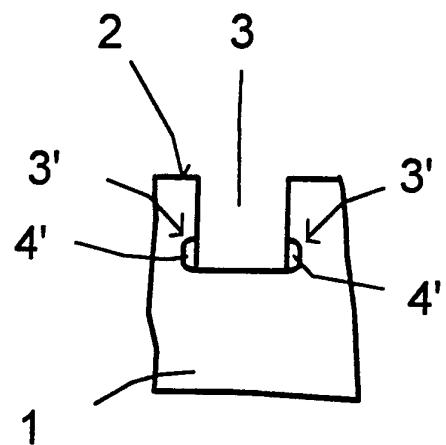
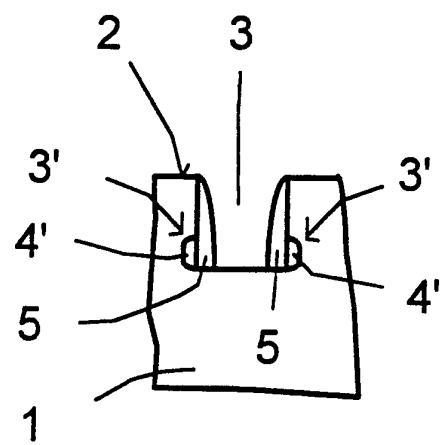
7. Verfahren nach Anspruch 6,

- 25
- bei dem mehrere Längsgräben (14) erzeugt werden, die im wesentlichen parallel verlaufen, deren Flanken im Bereich des Grabenbodens Ausbuchtungen (14') aufweisen und deren Flanken jeweils mit einer Isolationsstruktur (15, 17) versehen werden,
 - 30
 - bei dem an der Hauptfläche (12) zwischen benachbarten Längsgräben (14) und an den Grabenböden jeweils mehrere, in Reihe verschaltete MOS-Transistoren einer Speicherzellenanordnung gebildet werden.
 - 35

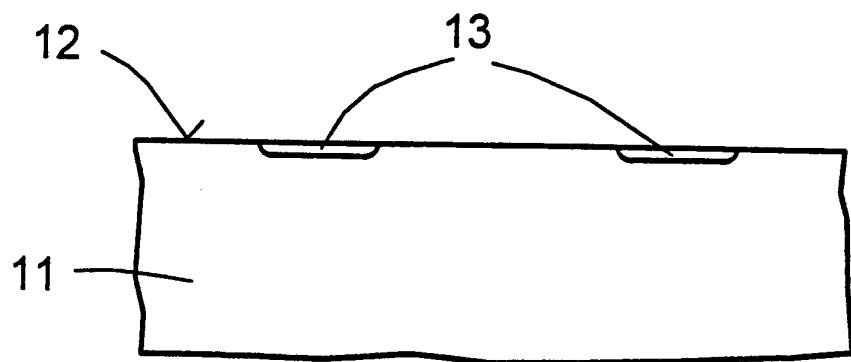
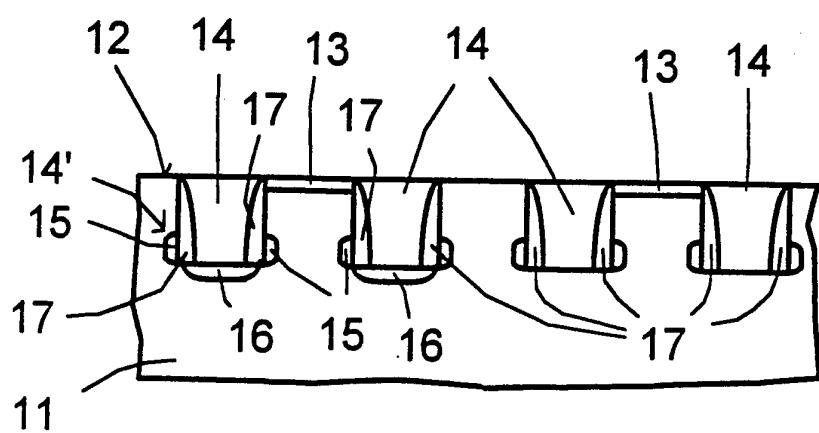
1/5

FIG 1**FIG 2**

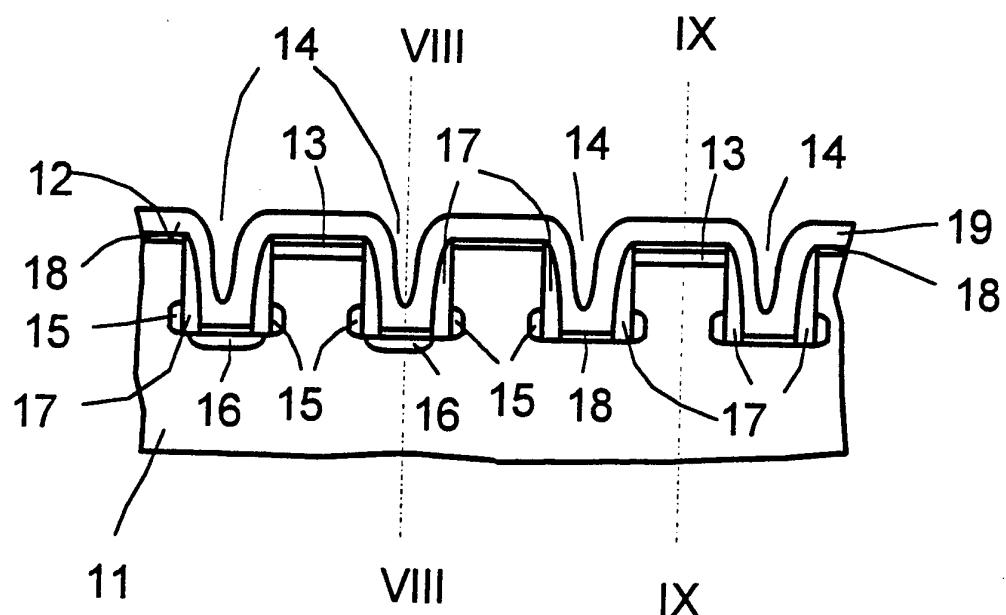
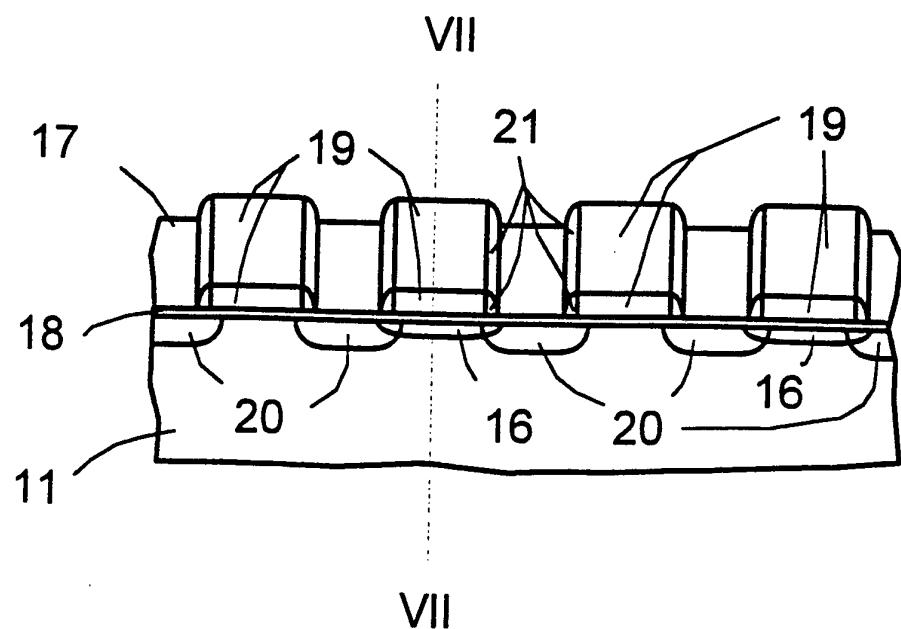
2/5

FIG 3**FIG 4**

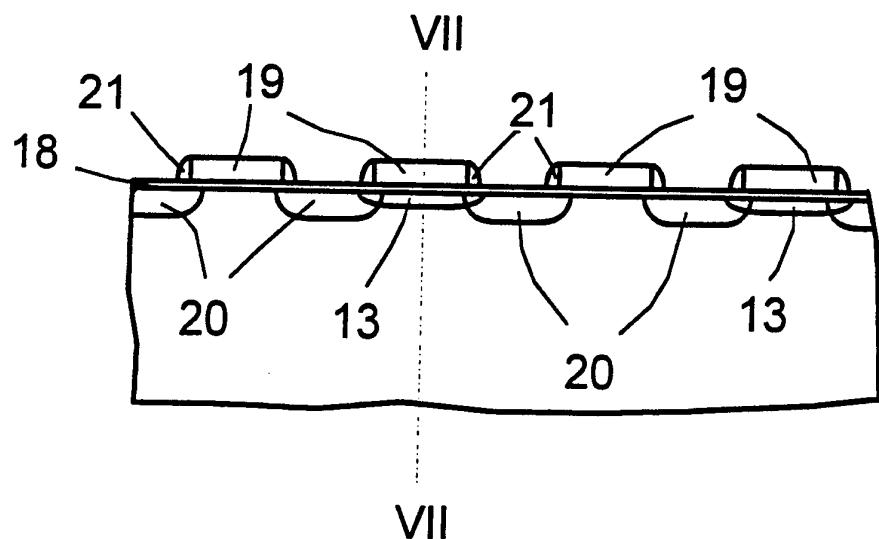
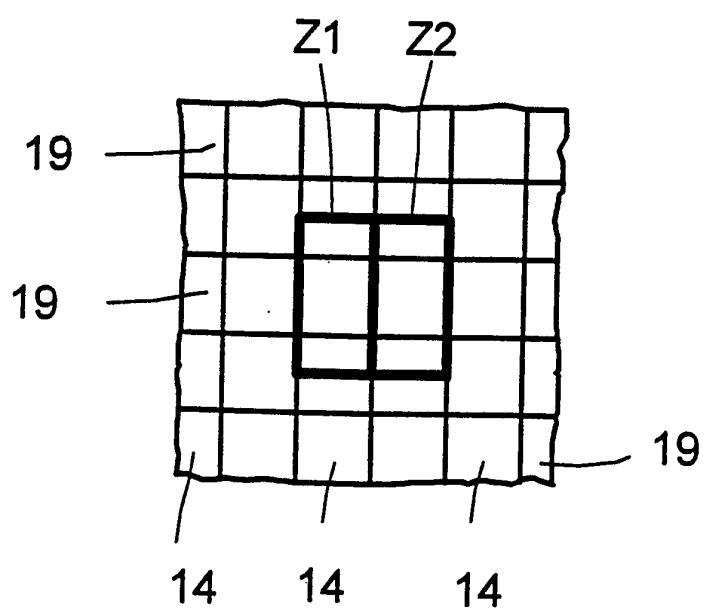
3/5

FIG 5**FIG 6**

4/5

FIG 7**FIG 8**

5/5

FIG 9**FIG 10**

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 96/01109

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H01L21/8242 H01L27/108 H01L21/763 H01L21/308

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US,A,4 835 584 (LANCASTER LOREN T) 30 May 1989 see column 3, line 10 - column 4, line 51; figures 1-5 ---	1,3,7
A	US,A,5 122 848 (LEE RUOJIA ET AL) 16 June 1992 see column 3, line 25 - line 62; figures 3-6 ---	1,3,7
A	DE,A,38 09 218 (MITSUBISHI ELECTRIC CORP) 29 September 1988 see column 7, line 40 - column 8, line 5 ---	1,3-5
P,A	US,A,5 512 517 (BRYANT ANDRES) 30 April 1996 see column 2, line 37 - line 67 -----	1,3,7

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

9 October 1996

Date of mailing of the international search report

25.10.96

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Hammel, E

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 96/01109

Patent document cited in search report	Publication date	Patent family member(s)			Publication date
US-A-4835584	30-05-89	NONE			
US-A-5122848	16-06-92	US-A-	5250450	05-10-93	
DE-A-3809218	29-09-88	JP-A-	63232444	28-09-88	
		JP-A-	1025435	27-01-89	
		US-A-	5112771	12-05-92	
US-A-5512517	30-04-96	NONE			

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 96/01109

A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 IPK 6 H01L21/8242 H01L27/108 H01L21/763 H01L21/308

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 IPK 6 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US,A,4 835 584 (LANCASTER LOREN T) 30.Mai 1989 siehe Spalte 3, Zeile 10 - Spalte 4, Zeile 51; Abbildungen 1-5 ---	1,3,7
A	US,A,5 122 848 (LEE RUOJIA ET AL) 16.Juni 1992 siehe Spalte 3, Zeile 25 - Zeile 62; Abbildungen 3-6 ---	1,3,7
A	DE,A,38 09 218 (MITSUBISHI ELECTRIC CORP) 29.September 1988 siehe Spalte 7, Zeile 40 - Spalte 8, Zeile 5 ---	1,3-5
P,A	US,A,5 512 517 (BRYANT ANDRES) 30.April 1996 siehe Spalte 2, Zeile 37 - Zeile 67 -----	1,3,7

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldeatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldeatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldeatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erforderlicher Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erforderlicher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann nahelegend ist

& Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

Absendedatum des internationalen Recherchenberichts

9.Okttober 1996

25. 10. 96

Name und Postanschrift der Internationale Recherchenbehörde
 Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Hammel, E

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 96/01109

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie			Datum der Veröffentlichung
US-A-4835584	30-05-89	KEINE			
US-A-5122848	16-06-92	US-A-	5250450	05-10-93	
DE-A-3809218	29-09-88	JP-A-	63232444	28-09-88	
		JP-A-	1025435	27-01-89	
		US-A-	5112771	12-05-92	
US-A-5512517	30-04-96	KEINE			