

公告本

申請日期	90 > 15
案 號	90103418
類 別	H01L > 268

A4
C4

488026

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	用以製造內連線結構之保護性硬光罩
	英 文	PROTECTIVE HARDMASK FOR PRODUCING INTERCONNECT STRUCTURES
二、發明 人	姓 名	1.堤摩西 J. 達爾頓 TIMOTHY J. DALTON 2.克里斯托夫 V. 傑尼斯 CHRISTOPHER V. JAHNES 3.喬伊斯 C. 劉 JOYCE C. LIU 4.山普斯 普魯休納曼 SAMPATH PURUSHOTHAMAN
	國 籍	均美國
三、申請人	住、居所	1.美國康乃迪克州瑞吉菲爾德市莎拉畢莎普路72號 2.美國紐澤西州上鞍河市中興路7號 3.美國紐約州后普維爾連接市南崔兒喜灣大道1007號 4.美國紐約州約克湯亥斯市拉渥苑2075號
	姓 名 (名稱)	美商萬國商業機器公司 INTERNATIONAL BUSINESS MACHINES CORPORATION
三、申請人	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市新果園路
三、申請人	代 表 人 姓 名	傑拉德 羅森賽 GERALD ROSENTHAL

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

美國 2000年4月17日 09/550,943 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明背景

1. 發明範圍

本發明係有關一種具有整體降低的介質常數之半導體裝置，以及一種利用一系列保護該裝置的中間層介質材料之硬光罩層製造該裝置之方法。

2. 相關技藝說明

因半導體裝置在外觀尺寸上之降低，線間電容成為問題。當半導體裝置之金屬線路造型愈來愈相近時，為了降低線路間之電容性耦合，則需要降低任何中間層介質(interlayer dielectric，下文簡稱ILD)材料之介質常數k。因此最好使用具有可能低至一介質常數之ILD。總之，當形成半導體裝置內之內連線時，縱使所要的低k之ILD受到可能增加不想要的介質常數之處理狀況，大體而言將增加裝置之整體有效介質常數。當以化學機械平面化(chemical mechanical planarization，下文簡稱CMP)將用來形成內連線之過量金屬移除時，CMP泥漿可能污染或破壞低k之ILD。當硬光罩及罩帽沉積時，沉積過程可能劣化低k之ILD。

波紋處理為提供形成內連線結構以連接多金屬化層方法之一種方式。典型的單一波紋處理係於授予Beyer之美國第4,944,836號專利中說明，將其併於此做為參考。在透過金屬接觸之導電線路及螺栓同時形成之雙波紋處理係於授予Chow之美國第4,789,648號專利中說明，將其併於此做為參考。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(²)

在波紋處理期間將低k之有機矽酸鹽(OSG)硬光罩沉積在ILD上之傳統方法使用反應性前導或前導混合物，類如矽甲烷(SiH_4)、甲基矽甲烷(CH_3SiH_3)、三甲基矽甲烷($(\text{CH}_3)_3\text{SiH}$)或四甲基矽甲烷($(\text{CH}_3)_4\text{Si}$)，以及氧化劑，類如氧化氮、氧、一氧化碳、二氧化碳或水。總之，從這些試樣製造低k硬光罩所需之電漿之反應性氧含量足以損壞整體低k ILD 30，損壞及劣化硬光罩與ILD間之黏著性，或者改變在類如Nanoglass(Allied Signal, Santa Clara, CA)的微細孔材料之氣孔內呈現之覆套/鈍化層。

記住先前技藝之問題及缺陷，因此本發明的目的是要提供一種在半導體處理期間保護低k ILD以保持最終裝置的低整體有效介質常數之方法。

本發明之另一目的是要提供一種在半導體裝置中形成內連線結構而低k ILD之介質常數不會受到任何不要的增加之方法。

本發明尚有之目的是要提供一種具有低整體有效介質常數之半導體裝置。

本發明尚有之其它目的及優點多少將是很明顯的且從說明書內容多少將是很明確的。

發明概述

對熟知此項技藝之人士將是很明顯的，上述及其它目的與優點是可導向至由本發明的第一項特點達成，其為一種在半導體材料處理期間保護在半導體材料上低介質常數層之方法，該方法包含：提供一半導體材料基體，並視需要

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

在其上置一蝕刻停止層；在該半導體材料上沉積一容體低介質常數材料；在該容體低介質常數材料上沉積一含低介質常數材料之第一硬光罩層；在該第一硬光罩層上沉積一犧牲的第二硬光罩層；接續地處理該半導體材料、硬光罩層及容體低介質常數材料；並在永久地將第一硬光罩層保持在該容體低介質常數材料上時移去第二硬光罩層，而由第一硬光罩層材料保護該容體低介質常數材料，俾實質地防止在後續處理期間其介質常數之改變。

沉積一第一硬光罩層之步驟最好包含沉積一具有約2.5-8.0(最好是2.5-4.5)之介質常數之低介質常數材料。沉積該第一及第二硬光罩層之步驟最好包含沉積氮化矽、碳化矽、非晶質加氫碳化矽、氮化碳化矽、有機矽酸鹽玻璃、富氧化矽、二氧化矽、四乙基原矽酸鹽、磷矽酸玻璃、有機矽氧烷聚合體、碳摻雜矽酸鹽玻璃、氫摻雜矽酸鹽玻璃、矽倍半四氫吡喃(Silsesquioxane)玻璃、旋塗式玻璃或加氟矽酸鹽玻璃。

此項特點之方法尚可包含在犧牲的第二硬光罩層上沉積一犧牲的第三硬光罩層之步驟，在後續處理期間將移去該第三硬光罩層。製作內連線結構之後續處理步驟最好包含在硬光罩層及在容體低介質材料中形成開口，並以金屬充填此等開口以從基體至第一硬光罩層之上區域做導電性連接。可使用化學機械研磨法以移除內連線結構內過量的金屬，而第一硬光罩層保護該容體低介質常數材料以免於在其介質常數不要的增加、洩漏不要的增加及因擦傷的良品

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(⁴)

率降低。

沉積該第一及第二硬光罩層之步驟可包含使用一種前導材料並改變沉積狀況之單一沉積，以提供具有不同介質常數的兩層薄膜。目前之特點最好尚可包含將該容體低介質常數材料分成下部及上部之埋入蝕刻停止層。選擇性地，該埋入蝕刻停止層可分離含兩種不同類型材料之容體低介質常數材料。

在第二項特點中，本發明是導向一種形成內連線結構之方法，其包含之步驟為：提供一半導體基體；在該半導體基體上沉積一容體介質材料；沉積一具有大致等於容體介質材料的介質常數之介質常數的第一硬光罩層；在該第一硬光罩層上沉積一第二硬光罩層；在該第二硬光罩層上沉積一第三硬光罩層；透過硬光罩層及容體介質材料蝕刻一或更多介層及/或線路；將一導電材料沉積至介質中；以化學機械平面化移除多餘的導電材料，而第三及第二硬光罩層同時被移除；以及維持第一硬光罩層。

在第三項特點中，本發明是導向一種中間半導體裝置，其中之容體介質材料之介質常數受到不想要的改變之保護，該裝置包含：一基體；一置於其上之容體介質材料；一具有實質上與置於該容體介質材料上的容體介質有相似介質常數之第一硬光罩層；以及置於該第一硬光罩層之上的第二硬光罩層，在形成半導體中間的內連線結構期間，該第二硬光罩層配合被移除。

該中間半導體裝置尚可包含一置於第二硬光罩層之上的

五、發明說明 (5)

第三硬光罩層，在形成半導體中間的內連線結構期間，第三硬光罩層配合被移除。視需要該中間半導體裝置尚可包含一置於基體與容體介質材料間之蝕刻停止層及/或將容體介質材料分成上及下部之埋入蝕刻停止層，在後續的容體介質材料蝕刻期間該埋入蝕刻停止層配合提供均勻的深度。

在第四項特點中，本發明是導向一種具有內連線結構之半導體基體，包含：一基體；一置於該基體之上的容體介質材料；一具有大致與該容體介質材料相似的介質常數之硬光罩層材料，以在後續處理期間保護容體介質材料免於受到容體介質材料其介質常數有不想要的改變；以及一從在該硬光罩層之上的區域至在硬光罩層及容體低介質材料中形成的開口延伸至基體中的接觸裝置之內連線結構。

圖式簡述

相信是嶄新的本發明裝置及本發明元件特性於所附申請專利範圍中特別說明。圖形僅做為例示之目的而未依比例繪出。總之，參考與附圖同時所做之詳細說明最容易瞭解本發明之組織及操作方法兩者。

圖1-10為一種半導體裝置之橫截面圖，示出一種根據本發明之第一較佳具體實施例使用具有三層硬光罩的雙波紋結構以形成內連線結構之方法。

圖11-12為一種半導體裝置之橫截面圖，示出一種根據本發明之第二較佳具體實施例使用具有三層硬光罩及埋入蝕刻停止層的雙波紋結構以形成內連線結構之方法。

五、發明說明 (6)

圖 13 為一種半導體裝置之橫截面圖，示出一種根據本發明之第三較佳具體具體實施例使用具有雙層硬光罩的雙波紋結構以形成內連線結構之方法。

圖 14 為一種半導體裝置之橫截面圖，示出一種根據本發明之第四較佳具體具體實施例使用具有雙層硬光罩及埋入蝕刻停止層的雙波紋結構以形成內連線結構之方法。

圖 15-16 為一種半導體裝置之橫截面圖，示出一種根據本發明之第五較佳具體具體實施例使用具有三層硬光罩的單波紋結構以形成內連線結構之方法。

圖 17 為一種半導體裝置之橫截面圖，示出一種根據本發明之第六較佳具體具體實施例使用具有雙層硬光罩的單波紋結構以形成內連線結構之方法。

圖 18-20 為一種半導體裝置之橫截面圖，示出一種根據本發明之第七較佳具體具體實施例使用具有雙層硬光罩的單波紋結構以形成內連線結構之方法。

較佳具體實施例說明

在說明本發明之較佳具體實施例時，在此將參考附圖之圖 1-20，其中相同數字意指本發明之相同裝置。本發明之裝置並不需要在圖中依比例顯示。

本發明提供一種永久的保護性硬光罩，其保護半導體裝置中具有所要低介質常數的主介質層之介質特性在後續處理步驟期間免受不要的介質常數增加。該保護性硬光罩在製造最終產品期間於低介質材料中形成類如透過開口之內連線結構時特別有用。熟知此項技藝之人士可利用在此揭

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(7)

示之前導流動率及電源以提供形成根據本發明的內連線結構之適當處理狀況。

圖 1-10 說明本發明之第一具體實施例，包含一具有三層硬光罩之雙波紋結構。在矽半導體基體 10 上已沉積一蝕刻停止層 20，包含例如最好由加州 Santa Clara 的 Applied Materials 所售商標名 BLok 之非晶質加氫碳化矽。蝕刻停止層 20 的厚度最好是約 10-100 微米，具有 50 微米厚度更好。理想上蝕刻停止層 20 具有結合之特性：不僅為一蝕刻停止層且對後續之內連線材料(類如銅)為擴散障壁。

蝕刻停止層 20 亦可含類如氮化矽、氮化碳化矽、有機矽酸鹽玻璃(OSG)、富氧化矽(SiRO)、二氧化矽、有機矽氧烷聚合體、碳或氫摻雜矽酸鹽玻璃或矽倍半四氫吡喃玻璃、旋塗式玻璃、加氟或非氟化矽酸鹽玻璃之材料，或任何在此項技藝中所知可用做蝕刻停止材料之材料。在基體 10 及蝕刻停止層 20 之上沉積了厚度最好約 100-2000 微米之容體低介質常數中間層介質材料(容體低-k ILD)30。容體低-k ILD 30 最好是由密西根州 Midland 的 Dow Chemical 所售商標名 SiLK 之有機旋塗式聚合體，具有較佳之厚度約 700 微米。此外，低-k ILD 30 可包含下列任一種：二氧化矽、聚合物、有機矽氧烷聚合體、聚芳基醚、碳或氫摻雜矽酸鹽玻璃或矽倍半四氫吡喃玻璃、旋塗式玻璃、加氟或非氟化矽酸鹽玻璃、似鑽石之非晶質碳、微細孔矽酸鹽或有機矽酸鹽玻璃或矽倍半四氫吡喃聚合體、或任何在此項技藝中所知可用做介質材料之相似低介質常數材料。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 ()

其後，在容體低-k ILD 30上沉積一包含低介質常數材料之第一硬光罩層40。該第一硬光罩層可沉積在約10-200 塵米範圍之厚度，不過低於容體低-k ILD 30之厚度。最佳的第一硬光罩層是由商標名BLoK所售約50 塵米厚度之非晶質加氫碳化矽。用於該第一硬光罩層的第二種較佳材料(具有較Blok材料為低之介質常數)為基於化學合成一SiCOH頭字語具有約50 塵米厚度之有機矽酸鹽玻璃(OSG)。此應用之SiCOH薄膜可在大範圍的沉積狀況下沉積，且亦可以類如四甲基環四矽氧烷($\text{Si}_4\text{C}_4\text{H}_4\text{H}_{16}$)(TMCTS)及八甲基環四矽氧烷($\text{Si}_4\text{C}_8\text{O}_4\text{H}_{24}$)(OMCTS)之不同前導合成。選擇前導之重要因素為含有薄膜元素之分子，且可將之汽化成在電漿增強化學汽相沉積系統(PECVD)內處理之氣體。較佳之前導為TMCTS，乃因其可符合上述之需要，且在低射頻功率下可輕易地分成碎片，因而減少了在PECVD處理期間氧基或離子之形成。PECVD沉積業已由兩種工具型態證明：在射頻功率電極上之晶圓及在接地電極上之晶圓。這兩種型態皆能製出具有相似薄膜性質之SiCOH薄膜。從這兩組工具型態已產生可接受的處理狀況。前導類型可為任何含Si-C-O-H之氣體分子，不過最好是TMCTS。前導之流動範圍從30至750 sccm，不過最好是100至500 sccm。沉積壓力從100 mTorr至5000 mTorr，而最好是介於500至3000 mTorr之間。沉積溫度範圍從攝氏25度至450度，不過最好是約攝氏100度至400度。所用之射頻功率範圍是約5瓦至400瓦。

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

9
五、發明說明 ()

然後沉積厚度約10-200塵米之第二硬光罩層，最好包含厚度約35塵米之PECVD氮化矽。然後沉積具有約10-200塵米厚度之第三硬光罩層60，最好包含約150塵米厚度之PECVD二氧化矽層。此外，硬光罩層40、50及60可包含PECVD氮化矽、碳化矽、非晶質加氫碳化矽、氮化碳化矽、OSG、二氧化矽、有機矽氧烷聚合體、碳或氫摻雜矽酸鹽玻璃或矽倍半四氫吡喃玻璃、旋塗式玻璃(SOG)、加氟或非氟化矽酸鹽玻璃。

在硬光罩層上可沉積約10-200塵米範圍(最好約90塵米)之選擇性反反射塗佈(ARC)70。然後以要打印的線位階層型樣沉積、定型及蝕刻約200-1000塵米厚度(最好約500塵米)之光阻劑層80。其後光阻劑層80之影像傳至反反射塗佈層70上，然後利用傳統的電漿蝕刻法傳入第三硬光罩層60。如圖2所示者，然後光阻劑層80及反反射塗佈層70被移去而留下定型的第三硬光罩層60。最好是在加州Fremont的Lam Research公司所售4520 XL型電漿蝕刻器中蝕刻第三硬光罩層，係在介於約10-1000 mTorr壓力下以0-2000瓦之間的高頻功率及0-2000瓦之間的低頻功率使用0-500標準立方厘米/分(sccm)Ar、0-500 sccm CO、1-20 sccm C₄F₈及0-20 sccm O₂之混合物。在約10-1000 mTorr壓力以介於0-2000瓦間之高及低頻功率使用1-1000 sccm流動率之O₂移去該光阻劑。選擇第三硬光罩層之電漿蝕刻條件使得不會蝕刻到第二硬光罩層50，而同樣地所選之第二硬光罩材料使得不受在形成型樣90後使用的光阻劑移除程

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

序之不利影響。第二硬光罩層50保護低介質第一硬光罩層40免於暴露於前述過程之一，亦即硬光罩影像傳送及光阻劑剝除過程，兩者會損壞第一硬光罩層並以不想要的方式增加其介質常數。

如圖3所示者，在第三硬光罩層60形成線層的影像90之後，然後完成介質位階微影，其包含沉積具有約10-200塵米厚度(最好約90塵米)之反反射塗佈層100，以及具有約200-1000塵米厚度(最好約500塵米)之光阻劑層110。在光阻劑層110中形成影像120，不過不須完全對齊影像90。圖4說明使用傳統電漿蝕刻法將光阻劑層110中影像120經反反射塗佈層100、第三、第二及第一硬光罩層60、50、40並進入容體低-k ILD 30之傳輸。電漿蝕刻最好是在加州Santa Clara的Applied Materials公司所售的IPS型電漿蝕刻器中完成。反反射塗佈100係在約1-100 mTorr壓力下以0-1000瓦內功率源及400-2500瓦外功率源而偏壓在0-1400瓦使用0-500 sccm Ar、0-20 sccm C₄F₈、0-100 sccm C₂F₆、0-100 sccm CHF₃、0-100 sccm CF₄、0-100 sccm O₂、0-100 sccm N₂、0-100 sccm CO、0-100 sccm CO₂蝕刻的。硬光罩層40、50及60與容體低介質材料30係在下列條件下蝕刻的：約1-100 mTorr壓力下以設定在0-1000瓦內功率源及400-2500瓦外功率源而偏壓在0-1400瓦之0-500 sccm Ar、0-20 sccm C₄F₈、0-100 sccm C₂F₆、0-100 sccm CHF₃、0-100 sccm CF₄、0-100 sccm O₂、0-100 sccm N₂、0-100 sccm CO、0-100 sccm CO₂。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 ()

應注意影像120未與影像90對齊之情況。所選之條件使得影像120經所有三硬光罩層60、50及40傳輸的。此確保影像傳輸正確的逼真度並防止傳輸太小尺寸之影像。

圖5示出光阻劑層110中影像120傳輸至容體低-k ILD 30以形成介質125。在介質形成期間，同時蝕刻光阻劑110及反反射塗佈層100。在下列條件下可在Applied Materials公司所售的電漿蝕刻器中完成介質的形成：在約1-100 mTorr壓力下以設定在0-1000瓦內電源及400-2500瓦外電源而偏壓在0-1400瓦之0-500 sccm Ar、0-100 sccm O₂、0-100 sccm N₂、0-100 sccm CO、0-100 sccm CO₂、0-50 sccm C₂H₄、0-50 sccm C₂H₂。選擇此等條件使得在型樣傳輸期間未移除硬光罩層60、50及40。應注意在中間介質層30中介質125的形成並未一路前進蝕刻停止層20而是停在預定的所要距離。

在圖6中，使用傳統的電漿蝕刻法經第一及第二硬光罩40、50傳輸線位階影像90。在下列條件下可由Applied Materials公司的IPS型電漿蝕刻器完成此電漿蝕刻：以設定在0-1000瓦之0-500 sccm Ar、0-20 sccm C₄F₈、0-100 sccm C₂F₆、0-100 sccm CHF₃、0-100 sccm CF₄、0-100 sccm O₂、0-100 sccm N₂、0-100 sccm CO、0-100 sccm CO₂、0-100 sccm CH₃F。選擇此等條件以降低線位階影像區域及容體低-k ILD 30外面之第三硬光罩層60之蝕刻。

如圖7所示者，接著線位階影像90傳輸至容體低-k ILD 30。同時介質125更深入地傳輸至容體低k ILD 30，直到抵

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (¹²)

達蝕刻停止層20為止。容體低-k ILD 30之蝕刻是在降低第三硬光罩層60及蝕刻停止層20之蝕刻的狀況下完成的。例如，當使用Applied Materials的IPS型電漿蝕刻器時最好用下列之條件：在約1-100 mTorr壓力下以0-1000瓦內電源及400-2500瓦外電源而偏壓在0-1400瓦之0-500 sccm Ar、0-100 sccm O₂、0-100 sccm N₂、0-100 sccm CO、0-100 sccm CO₂、0-50 sccm C₂H₄、0-50 sccm C₂H₂。

如圖8所示者，其後介質125經蝕刻停止層20傳輸至接觸基體10上之基礎結構。此係由傳統電漿蝕刻在下列條件下完成的：在約1-100 mTorr壓力下以設定在0-1000瓦內電源及設定在400-2500瓦外電源而偏壓在0-1400瓦之0-500 sccm Ar、0-20 sccm C₄F₈、0-100 sccm C₂F₆、0-100 sccm CHF₃、0-100 sccm CF₄、0-100 sccm O₂、0-100 sccm N₂、0-100 sccm CO、0-100 sccm CO₂、0-100 sccm CH₃F。所選的此等條件再次地是要降低第三硬光罩層60及容體低-k ILD 30之蝕刻。接著此蝕刻步驟之後，進行可為乾(電漿)淨化程序、濕淨化程序或兩者之組合的淨化程序。可由Applied Materials公司出品的MxP型電漿蝕刻器在下列條件下進行乾淨化程序：在約10-1000 mTorr壓力下以0-1000瓦射頻功率而在0-140高斯的磁場內之0-500 sccm Ar、0-1000 sccm H₂、0-1000 sccm NH₃、0-1000 sccm N₂、0-1000 sccm N₂H₂、0-1000 sccm O₂、0-1000 sccm CO、0-1000 sccm CO₂。根據此項技藝所知的方法，可使用加州Fremont的EKC技術所售之溶劑EKC525Cu完成濕淨

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

13
五、發明說明 ()

化。

圖9示出將金屬130沉積至先前蝕刻的開口之結構金屬化。在金屬化之前，可將襯料135沉積至介質125及線條90。襯料可由耐火性金屬(Ta、Ti、W)、耐火性金屬氮化物(TaN、TiN、WN)、耐火性金屬合金(TaSiN)或這些材料之組合組成。導電層可由銅、鋁、鎢或銀組成。在本發明的一個較佳具體實施例中，導電金屬為銅，而相關之襯料由薄的氮化鈮(TaN)層、後接薄的鈮(Ta)層，然後銅種子層所組成。此項技藝熟知形成襯料135之細節。第二種較佳的襯料材料由以CVD法沉積之薄氮化鈦(TiN)層、後接薄的鈮(Ta)層，然後銅種子層所組成。然後如圖10所示者以化學機械平面化(CMP)法移除多餘的金屬130及襯料135。CMP法移除第三硬光罩層60及第二硬光罩層50，過並不移除低介質常數第一硬光罩層40。因CMP法會損壞容體低-k ILD 30並降低其可用的壽命期，故適當維持第一硬光罩層40以確保可靠的半導體裝置是很重要的。較佳的CMP法為授予Landers的美國專利第5,676,587號所揭示之2步驟法，特併於此做為參考。在此法中，以第一CMP程序移除金屬130，而對襯料135為選擇性的。第二CMP程序是用以移除襯料135。本發明之較佳具體實施例尚包含移除襯料135以及第三硬光罩60與第二硬光罩40，不過不移除第一硬光罩40之第二CMP程序。

在CMP程序之後，希望覆蓋結構以使得覆蓋材料150完全地遮蓋導體130及第一硬光罩40，覆蓋材料150可做為要在

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (14)

其上製造的另一內連線層之蝕刻停止層。此外，此層亦做為金屬 130 之擴散障壁以防止其在內連線結構內移動。較佳的覆蓋材料為氮化矽膜，具有約 10-200 塵米範圍之厚度，而最好是約 35 塵米。在容體低-k ILD 30 之低-k 硬光罩 40 用以在覆蓋層 150 沉積期間保護容體低-k ILD 30。第二種較佳的覆蓋材料為 BLoK，具有約 10-100 塵米範圍之厚度，而最好是約 50 塵米。BLoK 的優點是較氮化矽之介質常數為低。

圖 11 及 12 說明本發明之第二較佳具體實施例，其包含具有三層硬光罩且尚含埋入蝕刻停止層之雙波紋結構。在圖 11 中，示出了除容體低-k ILD 分成兩段-具有約 100-2000 塵米厚度之下 ILD 32 及具有約 100-2000 塵米厚度之上 ILD 36 外與圖 1 所示相似之結構。具有約 10-200 塵米厚度之埋入蝕刻停止層 34 分隔二 ILD 層 32 及 36。容體低-k ILD 之上及下部不須為相同材料。其等可為不同的材料，且在某些情況使用兩種不同材料是有益的。例如，使用較強硬不過較高-k 材料做為下 ILD，在介質位階以介質常數的降低換得機械強度。

與第一及第二硬光罩層 40、50 之合成厚度相比較，埋入蝕刻停止層 34 是相當薄的，並被選擇以關於圖 6 所討論蝕刻第一及第二硬光罩層所用之相同化學作用蝕刻。雖然埋入蝕刻停止層 34 可包含與上所揭示蝕刻停止層 20 相同之材料，不過埋入蝕刻停止層 34 最好是具有約 15 塵米厚度之 PECVD 氮化矽。另一較佳的埋入蝕刻停止層為曾 TMCTS 沉

五、發明說明 (¹⁵)

積之 OSG SiCOH 膜，具有約 15 微米之厚度。埋入蝕刻停止層 34 提供一種均勻蝕刻容體低-k ILD 用之裝置。

在圖 12 中，在介質 125 停在埋入蝕刻停止層 34 之前，該結構係以與有關第一具體實施例所說明之相似方式蝕刻的。透過埋入蝕刻停止層 34 及蝕刻停止層 20 繼續蝕刻。在 ILD 32 的厚度大於 ILD 36 之厚度，介質蝕刻須包含充分的過度蝕刻(在線層 ILD 36 上)，使得介質 125 完全透過下 ILD 32 傳輸，直至到達蝕刻停止層 20，而線位階 90 受到蝕刻，直到到達埋入蝕刻停止層 34，然後停止再蝕刻。先前對蝕刻停止層 20 所說明之蝕刻狀況亦可用以蝕刻埋入蝕刻停止層 34 以形成圖 12 說明之結構。

圖 13 說明本發明之第三具體實施例，包含一具有雙層硬光罩之雙波紋結構。除了使掉第一低介質常數硬光罩層 40 外，圖 13 之結構與圖 1 之結構相似。除了所選擇之 CMP 法條件使得硬光罩層 60 被移除而在結構中永遠留下硬光罩層 50 之外，係以相似於關於圖 1-10 所說明之方式進行製造。此一結構具有優於此項技藝熟知的結構之優點，並考慮有機容體低-k ILD 30 之使用，而提供了覆蓋誤差之容忍度、刻版重做能力、高性能、低成本及實際製造可行性。在此具體實施例中，較佳之雙層硬光罩包含一具有約 35 微米(硬光罩層 50)厚度之 PECVD 氮化矽及一具有約 150 微米(硬光罩層 60)厚度之 PECVD 二氧化矽層。

圖 14 說明第四具體實施例，包含一具有雙層硬光罩尚含一埋入蝕刻停止層而與圖 1 及 13 所示結構相似之雙波紋結

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

構。如在圖13中者，省掉低介質常數硬光罩層40。總之，與圖11相似者，該容體低-k ILD 包含兩段：由埋入蝕刻停止層34所分隔的下部ILD 32及上部ILD 36。除了復將移除硬光罩層60而將硬光罩層50永遠地留在最終結構外，與先前所討論一樣地進行定型。

在包含一具有三層硬光罩的單波紋結構之第五具體實施例中，除了容體低-k ILD 30具有所要的線位階厚度且蝕刻停止層20為選擇性外，圖15示出一與圖1的雙波紋結構相似之結構。光阻劑層80受定型及蝕刻，其型樣被蝕刻入第三硬光罩層60及反反射塗佈70。再者，所選擇電漿蝕刻以移去第三硬光罩層60及反反射塗佈70不想要部分之狀況使得第二硬光罩層50未受不利之影響。所選的第二硬光罩層50之材料使得其未受定型第三硬光罩層60之後利用的光阻劑移除程序之不利影響。應注意第二硬光罩層50保護含低-k材料之第一硬光罩層40，使其免於暴露在類如形成影像90的硬光罩影像傳輸之處理過程及免於受光阻劑剝除處理過程，該二者可能損害第一硬光罩層40，而以不想要的方式增加其介質常數。

蝕刻程序如圖16所示地繼續，其中型樣影像是傳送至第二硬光罩層50及第一硬光罩層40。型樣尚以相似於圖7之方法步驟蝕刻入容體低-k ILD 30。若如在圖8中一般使用選擇性之蝕刻停止層20，該蝕刻停止層亦將被蝕透，不過將需要淨化步驟。將如同在圖9中進行金屬化，接著以CMP移除多餘之金屬。

五、發明說明 (17)

在圖17所示之第六具體實施例中，包含一具有雙層硬光罩之單波紋結構，該結構已省掉具有或不具蝕刻停止層20之較低介質常數硬光罩層40。最好包含有機旋塗式聚合體SiLK之容體低-k ILD 30係沉積在基體10之上，而若有蝕刻停止層20，則在該層之上。置於容體低-k ILD 30之上者為最好含具有約35 塵米厚度的PECVD氮化矽之第一硬光罩層50、含具有約150 塵米厚度的PECVD二氧化矽之第二硬光罩層60、反反射塗佈70及光阻劑80。然後該結構如上述地定型及蝕刻，以金屬化及平面化充填。

在圖18所示包含一具有雙層硬光罩的單波紋結構之第七具體實施例中，省掉第三硬光罩層60而導致性能上的幾個改進。圖18之結構包含基體10、具有或不具蝕刻停止層20、最好含有機旋塗式聚合體SiLK之容體低-k ILD 30、含約50 塵米的非晶質加氫碳化矽BLok或類如從TMCTS沉積的SiCOH約50 塵米之OSG之第一硬光罩層40、含具有約70 塵米厚度的PECVD氮化矽之第二硬光罩層50。根據如上所討論之本發明，該結構再次地受定型及蝕刻，並以金屬化及平面化充填。如圖19所示，首先以傳統的電漿蝕刻法將光阻劑層80中之型樣200傳輸至反反射塗佈70上。接著，第二硬光罩層50及低介質常數硬光罩層40受到蝕刻穿過二膜而在硬光罩材料中產生斜坡的程序之蝕刻，使得光阻劑型樣尺寸以第二較小之影像210傳輸至硬光罩內。雖然當第二影像210大於或等於第一影像200時該方法及結構仍然有效，不過讓第二影像200較小一些是有好處的。設

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明()

施愈小愈不可能短路在一起而造成裝置失靈，而增加設施間之分隔將降低設施間之電容性耦合。反反射塗佈70是在Applied Materials公司製造的IPS電漿蝕刻器中於下列條件下蝕刻的：在0-100 mTorr壓力下，以設定在0-1000瓦內電源、設定在400-2500瓦外電源而偏壓在0-1400瓦之0-50 sccm Ar、0-20 sccm C₄FE、0-100 sccm CQF₆、0-100 sccm CHF₃、0-100 sccm CF₄、0-100 sccm O₂、0-100 sccm N₂、0-100 sccm CO、0-100 sccm CO₂。硬光罩層亦可在相同之條件下蝕刻。

第二較小影像210從硬光罩層40、50傳輸至容體低介質常數中間層介質30。可在容體低-k ILD 30蝕刻期間或在分開之處理步驟移除光阻劑層80及反反射塗佈70。若有蝕刻停止層20，須在將其蝕刻穿過後進行所討論之淨化程序。金屬化及平面化係如上對圖9所說明地進行。重要的是要注意此具體實施例提供整合之程序，其中光阻劑80及反反射塗佈材料是在低介質常數中間層介質材料的電漿蝕刻期間如所要地移除。

與特定之較佳具體實施例同時特別說明本發明時，鑑於前述之說明，對熟悉此項技藝之人士而言可做許多替代方式、修改及改變是很明顯的。因此可預期到所附申請專利範圍將涵括在本發明實際範圍及精神內之任何此等替代方式、修改及變化。

因此在說明了本發明後，所申請之專利範圍是：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱：用以製造內連線結構之保護性硬光罩)

本發明提供一種永久的保護性硬光罩，其保護在半導體裝置中具有所要的低介質常數之主介質層的介質特性免於不要的介質常數增加、不要的電流洩漏增加，以及後續處理步驟表面擦傷之低裝置良品率。該保護性硬光罩尚包含在製造最終產品期間當在低介質材料中形成類如透過開口及/或線路之內連線結構時特別有用之單層或雙層犧牲的硬光罩。犧牲的硬光罩層及永久的硬光罩層可在來自相同前導的單一步驟中形成，其中處理條件改變以提供不同介質常數之薄膜。最好是一雙波紋結構具有分別包含碳化矽 BLoK™、PECVD 氮化矽及 PECVD 二氧化矽，而在中間層介質中形成內連線結構前在容體低介質常數中間層介質上形成之三層硬光罩。

英文發明摘要 (發明之名稱：PROTECTIVE HARDMASK FOR PRODUCING INTERCONNECT STRUCTURES)

The present invention provides a permanent protective hardmask which protects the dielectric properties of a main dielectric layer having a desirably low dielectric constant in a semiconductor device from undesirable increases in the dielectric constant, undesirable increases in current leakage, and low device yield from surface scratching during subsequent processing steps. The protective hardmask further includes a single layer or dual layer sacrificial hardmask particularly useful when interconnect structures such as via openings and/or lines are formed in the low dielectric material during the course of making the final product. The sacrificial hardmask layers and the permanent hardmask layer may be formed in a single step from a same precursor wherein process conditions are altered to provide films of differing dielectric constants. Most preferably, a dual damascene structure has a tri-layer hardmask comprising silicon carbide BLoK™, PECVD silicon nitride, and PECVD silicon dioxide, respectively, formed over a bulk low dielectric constant interlevel dielectric prior to forming the interconnect structures in the interlevel dielectric.

(請先閱讀背面之注意事項再填寫本頁各欄)

訂

六、申請專利範圍

1. 一種在半導體材料處理期間保護半導體材料上的低介質常數層之方法，該方法包含：

提供一半導體材料基體，並視需要在其上提供一蝕刻停止層；

在該半導體材料上沉積一容體低介質常數材料；

在該容體低介質常數材料上沉積一包含低介質常數材料之第一硬光罩層；

沉積一置於該第一硬光罩層之上的犧牲的第二硬光罩層；

接著處理該半導體材料、硬光罩層及容體低介質常數材料；以及

移除該第二硬光罩層，而在該容體低介質常數材料上永久地保持該第一硬光罩層，其中該第一硬光罩層材料保護該容體低介質常數材料，以實質地防止在後續處理期間其介質常數之改變。

2. 如申請專利範圍第1項之方法，其中沉積第一硬光罩層之步驟包含沉積一具有約2.5-8.0介質常數之低介質常數材料。
3. 如申請專利範圍第2項之方法，其中沉積該第一及第二硬光罩層之步驟包含沉積氮化矽、碳化矽、非晶質加氫碳化矽、氮化碳化矽、有機矽酸鹽玻璃、富氧化矽、二氧化矽、四乙基原矽酸鹽、磷矽酸玻璃、有機矽氧烷聚合體、碳摻雜矽酸鹽玻璃、氫摻雜矽酸鹽玻璃、矽倍半四氫吡喃玻璃、旋塗式玻璃或加氟矽酸鹽玻璃。

六、申請專利範圍

4. 如申請專利範圍第1項之方法，其中沉積第一硬光罩層之步驟包含沉積一具有約10-200微米厚度之第一硬光罩層。
5. 如申請專利範圍第1項之方法，尚包含在該犧牲的第二硬光罩層上沉積一犧牲的第三硬光罩層之步驟，該第三硬光罩層在後續處理期間被移除。
6. 如申請專利範圍第1項之方法，其中製作內連線結構之後續處理步驟包含在硬光罩層及在容體低介質材料中形成開口，並以金屬充填此等開口以從該基體至該第一硬光罩層之上的區域做電氣傳導性連接。
7. 如申請專利範圍第6項之方法，尚包含以化學機械研磨法移除內連線結構內多餘的金屬之步驟，其中該容體低介質常數材料受該第一硬光罩層保護以免於在其介質常數不要的增加、在洩漏之不要的增加及由於擦傷引起的不良良品率降低。
8. 如申請專利範圍第1項之方法，其中沉積該第一及第二硬光罩層之步驟包含使用一種前導材料並改變沉積狀況之單一沉積，以提供具有不同介質常數之兩層薄膜。
9. 如申請專利範圍第1項之方法，其中在半導體材料之後續處理步驟期間，並未暴露該容體低介質常數材料。
10. 如申請專利範圍第1項之方法，尚包含在該容體低介質常數材料中提供一埋入蝕刻停止層之步驟，將該容體低介質常數材料分成下部及上部。
11. 如申請專利範圍第10項之方法，其中在該容體低介質常

六、申請專利範圍

數材料中提供一埋入蝕刻停止層之步驟中，該容體低介質常數材料包含一具有與上部不同組成之下部。

12. 一種形成內連線結構之方法，包含之步驟為：

提供一半導體基體；

在該半導體基體上沉積一容體介質材料；

沉積一第一硬光罩層，其具有大致等於該容體介質材料的介質常數之介質常數；

在該第一硬光罩層上沉積一第二硬光罩層；

在該第二硬光罩層上沉積一第三硬光罩層；

蝕刻穿過該等硬光罩層及該容體介質材料之一或更多介質；

將一導電材料沉積至介質內；

以化學機械平面化移除多餘的導電材料，其中同時移除第三及第二硬光罩層；以及

維持該第一硬光罩層。

13. 如申請專利範圍第12項之方法，尚包含在該半導體基體與該容體介質材料之間提供一蝕刻停止層之步驟，且尚包含當蝕刻一或更多介質時蝕刻穿過該蝕刻停止層以及將導電材料沉積至該等介質前淨化該等介質之步驟。

14. 如申請專利範圍第12項之方法，尚包含在該容體介質材料內提供一埋入蝕刻停止層俾將該容體介質材料分成下部及上部之步驟。

15. 如申請專利範圍第14項之方法，其中在該容體低介質常數材料內提供一埋入蝕刻停止層之步驟中，該容體低介

六、申請專利範圍

質常數材料包含一具有與上部不同組成之下部。

16. 如申請專利範圍第14項之方法，其中在該容體介質材料內提供一埋入蝕刻停止層之步驟包含將該容體介質分成下部及上部，而上部較下部為厚，其中蝕刻一或更多介質之步驟包含在該容體介質材料之上部中蝕刻一或更多至該埋入蝕刻停止層之介質、移除該埋入蝕刻停止層的一部分以及蝕刻該容體介質材料之下部。
17. 如申請專利範圍第12項之方法，尚包含在將一導電材料沉積至該等介質的步驟之前將一擴散障壁材料沉積至該等介質之步驟。
18. 如申請專利範圍第12項之方法，其中沉積該第一、二及三硬光罩層之步驟在單一沉積步驟發生，使得在改變沉積狀況時使用單一前導以變動該等硬光罩層之介質常數。
19. 如申請專利範圍第12項之方法，尚包含蝕刻一或更多穿過該等硬光罩層並進入該容體介質材料的線路之步驟。
20. 一種中間半導體裝置，其中之容體介質材料受保護使其介質常數免於不要的變動，包含：
 - 一基體；
 - 一置於其上之容體介質材料；
 - 一第一硬光罩層，具有與置於該容體介質材料上的容體介質大致相似之介質常數；及
 - 一第二硬光罩層，在該半導體中間的內連線結構形成期間配合被移除。

六、申請專利範圍

21. 如申請專利範圍第20項之中間半導體裝置，尚包含一置於該第二硬光罩層之上的第三硬光罩層，該第三硬光罩層在該半導體中間的內連線結構形成期間配合被移除。
22. 如申請專利範圍第20項之中間半導體裝置，尚包含一置於該基體與該容體介質材料之間的蝕刻停止層。
23. 如申請專利範圍第20項之中間半導體裝置，尚包含一將該容體介質材料分成上及下部之埋入蝕刻停止層，該埋入蝕刻停止層在該容體介質材料後續蝕刻期間配合提供均勻之深度。
24. 一種具有內連線結構之半導體基體，包含：
 - 一基體；
 - 一置於該基體之上的容體介質材料；
 - 一硬光罩層，具有與該容體介質材料大致相似的介質常數之材料，以保護該容體介質材料在後續處理期間該容體介質材料的介質常數有不要的改變；以及
 - 內連線結構，從該硬光罩層之上區域穿過在該硬光罩層及容體低介質材料中形成的開口延伸至該基體中之接觸裝置。
25. 如申請專利範圍第24項之半導體基體，其中該硬光罩層具有約2.5至約8.0之介質常數。
26. 如申請專利範圍第24項之半導體基體，其中該硬光罩層包含氮化矽、非晶質加氫碳化矽、碳化矽、氮化碳化矽、有機矽酸鹽玻璃、富氧化矽、二氧化矽、四乙基原矽酸鹽、磷矽酸玻璃、有機矽氧烷聚合體、碳摻雜矽酸

六、申請專利範圍

鹽玻璃、氫摻雜矽酸鹽玻璃、矽倍半四氫吡喃玻璃、旋塗式玻璃或加氟矽酸鹽玻璃。

27. 如申請專利範圍第24項之半導體基體，其中該硬光罩層具有約10-200微米之厚度。
28. 如申請專利範圍第24項之半導體基體，其中在該第一硬光罩層上沉積一第二硬光罩層，在內連線結構形成期間該第二硬光罩層被移除，而將該第一硬光罩層永久地保持在該裝置內。
29. 如申請專利範圍第28項之半導體基體，其中在該第一硬光罩層上沉積第二及第三硬光罩層，在內連線結構形成期間該第二及第三硬光罩層被移除，而將該第一硬光罩層永久地保持在該裝置內。
30. 如申請專利範圍第28項之半導體基體，其中該內連線結構包含在該等硬光罩層及在該容體低介質材料中之開口，以金屬充填俾造成從該基體至該第一硬光罩層之上區域的電氣傳導性連接。

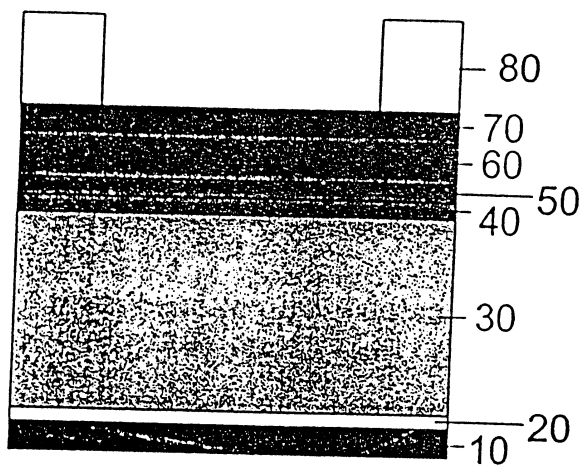


圖 1

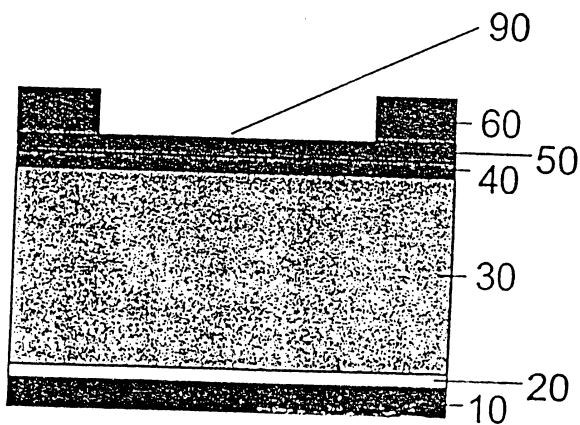


圖 2

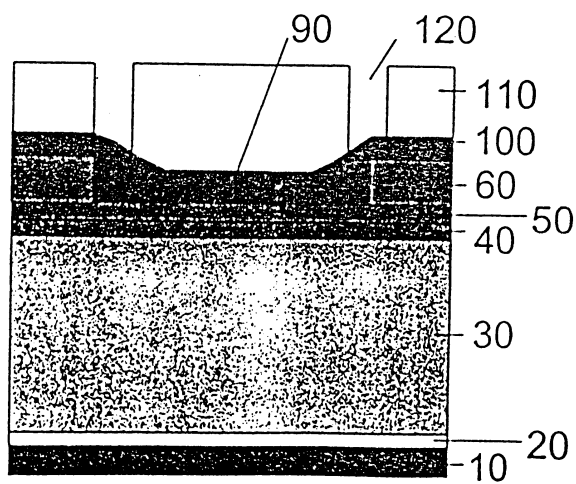


圖 3

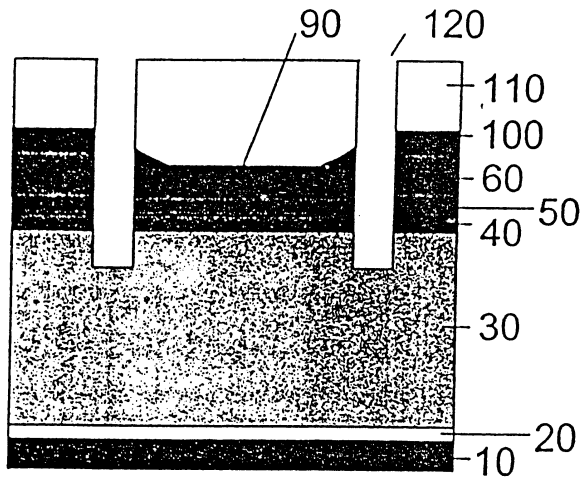


圖 4

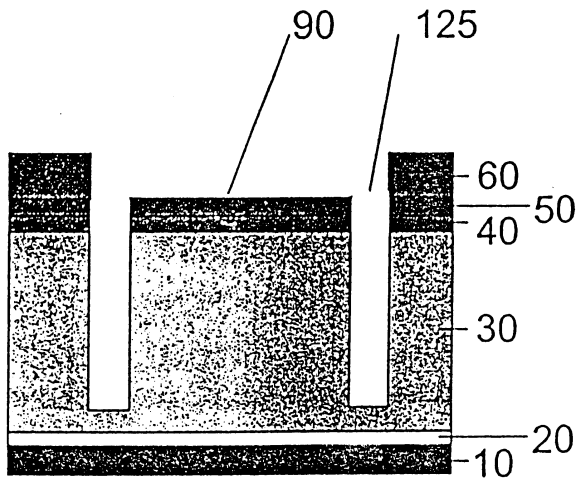


圖 5

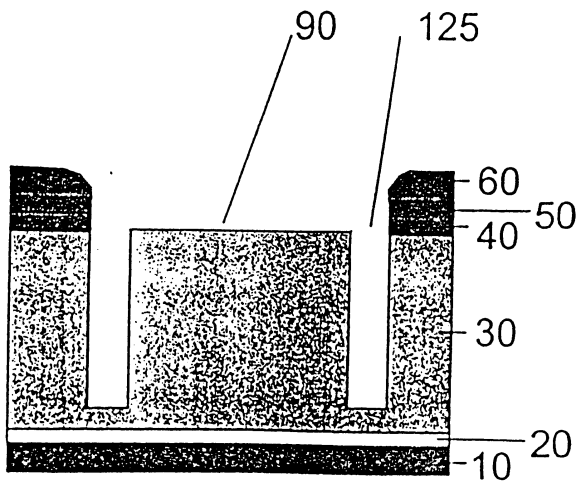


圖 6

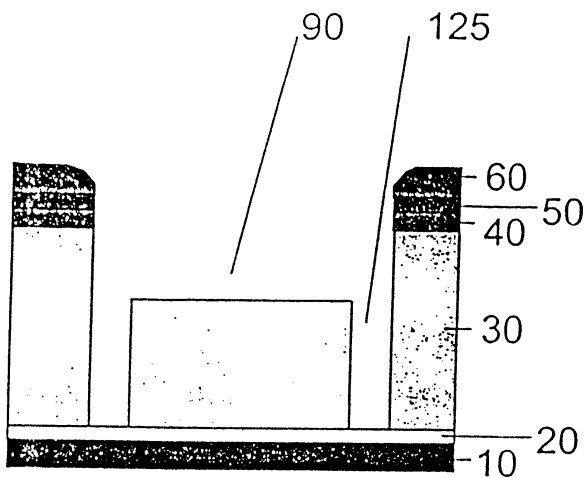


圖 7

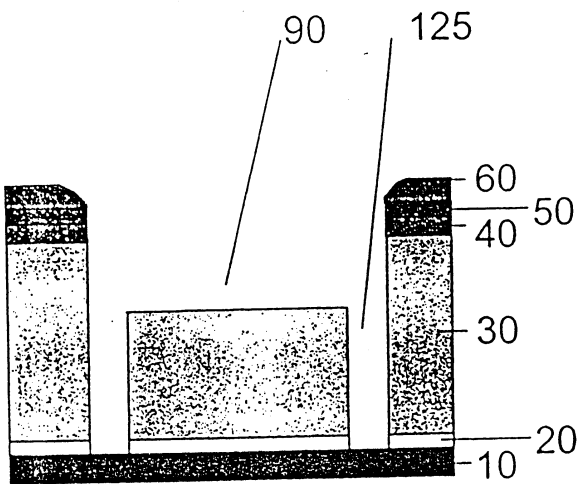


圖 8

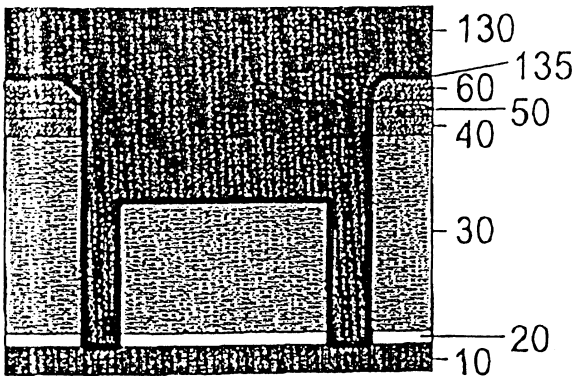


圖 9

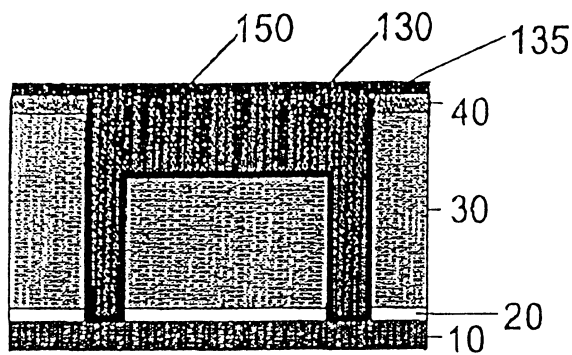


圖 10

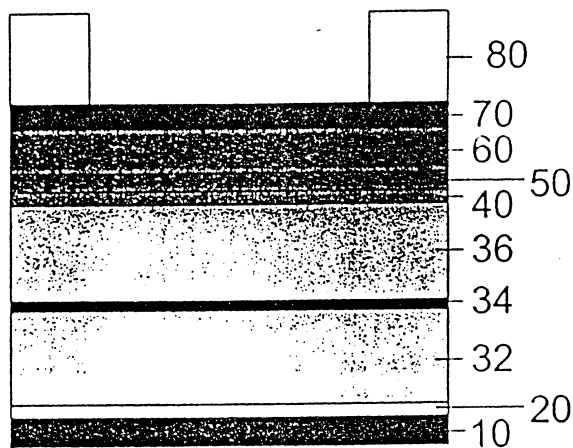


圖 11

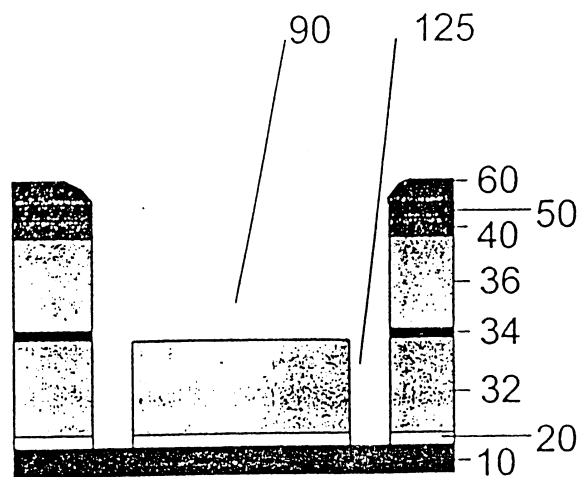


圖 12

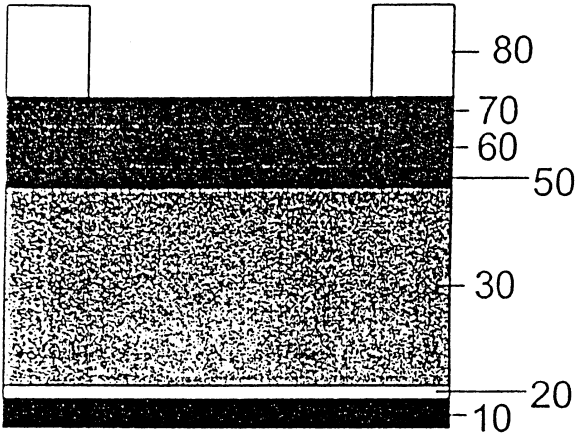


圖 13

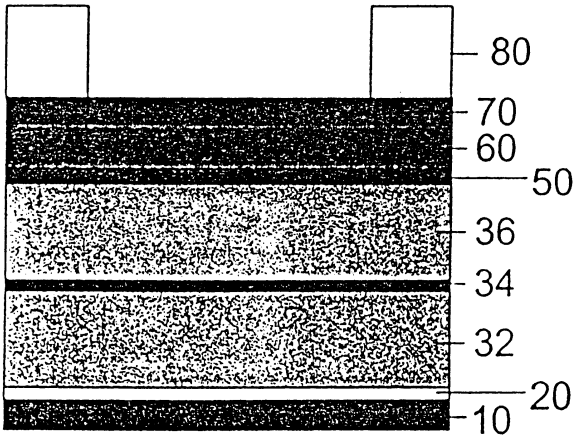


圖 14

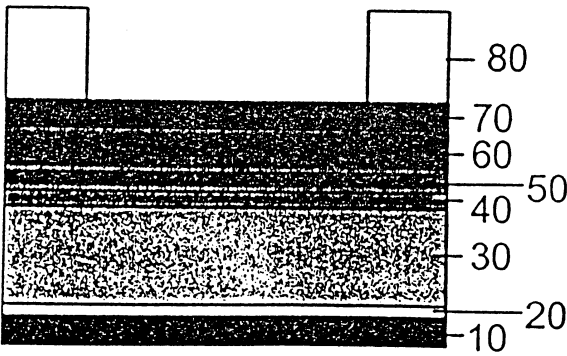


圖 15

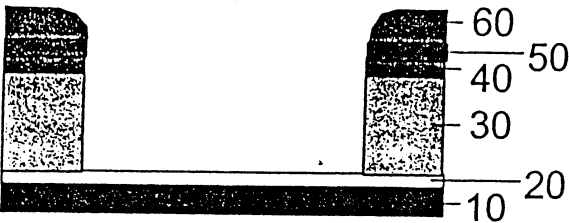


圖 16

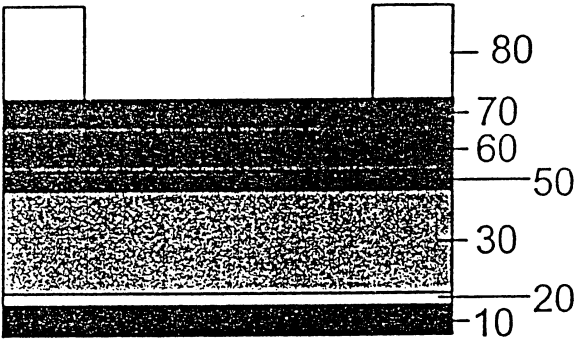


圖 17

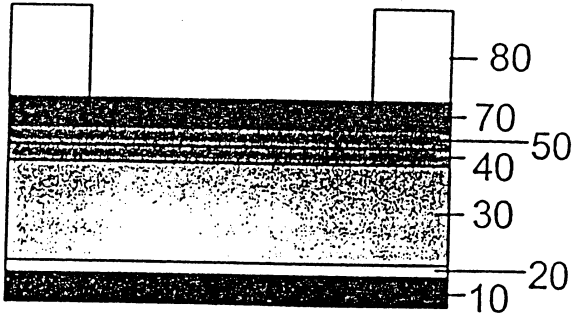


圖 18

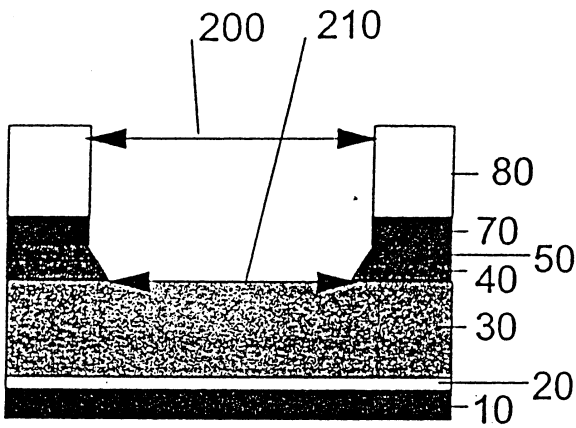


圖 19

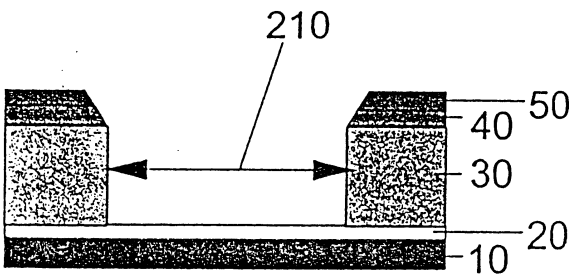


圖 20