

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4942012号
(P4942012)

(45) 発行日 平成24年5月30日(2012.5.30)

(24) 登録日 平成24年3月9日(2012.3.9)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 611C
G02F 1/133 (2006.01)	G09G 3/20 612F
	G09G 3/20 631M
	G09G 3/20 623B
	請求項の数 7 (全 21 頁) 最終頁に続く

(21) 出願番号	特願2005-150024 (P2005-150024)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成17年5月23日(2005.5.23)	(74) 代理人	100102864 弁理士 工藤 実
(65) 公開番号	特開2006-330101 (P2006-330101A)	(72) 発明者	橋本 義春 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
(43) 公開日	平成18年12月7日(2006.12.7)	(72) 発明者	田畑 貴史 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
審査請求日	平成20年4月11日(2008.4.11)	(72) 発明者	久米田 誠之 神奈川県川崎市中原区小杉町1丁目403 番53 NECマイクロシステム株式会社 内 最終頁に続く

(54) 【発明の名称】 表示装置の駆動回路、および駆動方法

(57) 【特許請求の範囲】

【請求項1】

複数の階調データを表示メモリ回路からデータバスを介して順番に読み出し、読み出された前記複数の階調データを複数の表示画素データとして出力するロジック部と、

前記ロジック部から出力された前記複数の表示画素データに基づいて生成された複数のアナログ階調信号を、表示装置の複数のデータ線に出力する駆動部と

を具備し、

前記ロジック部は、

前記表示メモリ回路と前記データバスとの間に設けられ、前記表示メモリ回路から読み出された前記複数の階調データを、p画素単位の階調データ(p:前記表示装置のデータ線総数よりも少ない自然数)として前記データバスに出力するp画素分のセンスアンプと

10

前記データバスに接続され、前記p画素分のセンスアンプから出力された前記p画素単位の階調データに演算処理を行い、第1表示画素データとしてラッチ回路に出力するデータ演算回路と

を具備する

表示装置の駆動回路。

【請求項2】

請求項1に記載の表示装置の駆動回路において、

前記ロジック部と前記駆動部とに第1と第2の電源電圧のうちの少なくとも一方を供給

20

する電源回路

を更に具備し、

前記ロジック部と、前記駆動部と、前記電源回路は同一半導体チップ内に形成されている

表示装置の駆動回路。

【請求項3】

請求項1又は2に記載の表示装置の駆動回路において、

前記駆動部は、

前記ロジック部から出力された前記複数の表示画素データの電圧レベルを変換するためのレベルシフト回路と、

所定数の階調電圧を発生する階調電圧発生回路と、

前記複数のデータ線の各々に対して設けられ、前記レベルシフト回路から出力された前記複数の表示画素データに基づいて前記所定数の階調電圧のうちの1つを選択し、選択された階調電圧に基づいて前記表示装置の1つのデータ線を駆動する複数のD/Aコンバータを有するD/A変換回路と

を具備する

表示装置の駆動回路。

【請求項4】

請求項3に記載の表示装置の駆動回路において、

前記階調電圧発生回路は、

少なくとも2つの基準電圧と、

前記基準電圧を分圧するための抵抗分圧回路と

を具備する

表示装置の駆動回路。

【請求項5】

請求項3に記載の表示装置の駆動回路において、

前記階調電圧発生回路は、

少なくとも2つの基準電圧と、

前記基準電圧を分圧するための抵抗分圧回路と、

前記抵抗分圧回路の出力を増幅するためのバッファアンプ群と、

前記複数の表示画素データに対応する、前記選択された階調電圧のそれぞれが出力されるように、前記データ演算回路で生成される判別信号に基づいて、前記バッファアンプ群のいずれかを活性化するバイアス電圧制御回路と

を具備する

表示装置の駆動回路。

【請求項6】

請求項3乃至5に記載の表示装置の駆動回路において、

前記複数のD/Aコンバータの各々は、

前記レベルシフト回路から出力された前記複数の表示画素データをデコードするデコーダと、

前記デコーダから出力されるデコード結果に従って前記所定数の階調電圧のうちの1つを選択して、前記表示装置の1つのデータ線に供給するセレクタと

を具備する

表示装置の駆動回路。

【請求項7】

複数の階調データを表示メモリ回路から順番に読み出し、読み出された前記複数の階調データを複数の表示画素データとして出力する第1のステップと、

前記複数の表示画素データに基づいて生成された複数のアナログ階調信号を表示装置の複数のデータ線に出力する第2のステップと

を具備し、

10

20

30

40

50

前記第1のステップは、

前記表示メモリ回路の前記複数の階調データを、p画素単位の階調データ（p：前記表示装置のデータ線総数よりも少ない自然数）としてp画素分のセンスアンプに出力するステップと、

前記p画素分のセンスアンプから出力された前記p画素単位の階調データに演算処理を行い、第1表示画素データとして出力するステップと、

順番に出力された前記第1表示画素データのそれぞれを保持して、前記複数の表示画素データとして一括して出力するステップとを備える

表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置の駆動回路に関し、特に表示メモリを有する表示装置の駆動回路と、その回路を集積化した半導体集積回路に関する。

【背景技術】

【0002】

表示装置の一つとして、液晶表示装置が普及してきている。この液晶表示装置は、低消費電力、軽量、薄型という特徴から、携帯電話機など様々な電子機器に採用されている。液晶表示装置の駆動方式としては、単純マトリクス型と、画素回路にTFT（Thin Film Transistor）などのアクティブ素子を用いたアクティブマトリクス型（AMLCD；Active Matrix Liquid Crystal Display）とが挙げられる。

【0003】

表示装置は、携帯電話機などのCPUから供給されるデジタル信号に応じて様々な映像を表示する。このデジタル信号には、各画素の色の濃淡を示すkビットのデジタル階調信号（階調データ）や、コマンド信号やスタンバイ信号などの制御信号が含まれる。

【0004】

表示装置を駆動する駆動回路に表示メモリ回路を内蔵した公知例が特開平7-281634号公報（特許文献1）に記載されている。

【0005】

この公知例を用いた駆動回路として、従来技術のデータ線駆動回路81を図1に示す。データ線駆動回路81は、ロジック部88と、パネル3を駆動する駆動部89とを具備している。

ロジック部88において、表示メモリ（RAM）回路83には、1フレーム分以下の階調データが格納される。表示メモリ回路83は、信号処理回路82から供給されるアドレス制御信号により、RAMの1行分のアドレスを1番目から最終番目であるn番目まで選択し、上記選択されたn個のアドレスから、パネル3の1表示ライン分のn個の階調データを一齐に読み出してラッチ回路B16に出力する。ラッチ回路B16は、そのn個の階調データを保持し、信号処理回路82からのラッチクロックであるラッチ信号（STB信号）に応じて、上記n個の階調データを一齐にデータ演算回路84に出力する。

データ演算回路84は、n個の階調データに所定の論理演算処理を信号処理として施して、駆動部89のレベルシフト回路17を介してD/A変換回路18に出力する。所定の論理演算処理としては、極性反転処理POL、反転処理REV、全黒処理DISP0、全白処理DISP1の少なくとも1つの処理が挙げられ、信号処理回路82からの論理演算処理命令により指定される。極性反転処理POLは、液晶を交流駆動するために階調データを反転する処理である。反転処理REVは、映像表示を全く反対の色にする処理である。全黒または全白処理は、階調データに関わりなく黒または白の信号に変換する処理である。

駆動部89のD/A変換回路18は、階調電圧生成回路19から供給される複数の階調

10

20

30

40

50

電圧の中から、データ演算回路 8 4 からの n 個の階調データのそれぞれに応じた所定の階調電圧を選択し、それぞれ、データ線 $Y 1 \sim Y n$ を介して、パネル 3 の 1 表示ライン分の 1 番目から n 番目までの画素に供給する。

【 0 0 0 6 】

【特許文献 1】特開平 7 - 2 8 1 6 3 4 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 7 】

しかしながら、ロジック部 8 8 では、表示メモリ回路 8 3 からパネル 3 の 1 表示ライン分の階調データを一齐に読み出してラッチ回路 B 1 6 に出力している。また、表示メモリ回路 8 3 は、 k ビット $\times n$ 個のセンスアンプを備えている。このため、データ演算回路 8 4 での階調データに対して論理演算処理を同時に行なうことと、 k ビット $\times n$ 個のセンスアンプの動作電流により、ロジック部 8 8 での回路電流のピーク電流が大きくなり、電源回路から表示パネル 3 の共通電極に供給される V_{com} 電圧にもノイズが伝播してしまい、横縞やフリッカなどにより画質が悪化してしまう。

10

また、データ演算回路 8 4 は、1 表示ライン分の階調データに対して一齐に極性反転処理などの論理演算処理を行なうため、データ演算回路 8 4 の回路規模が大きくなる。

【 0 0 0 8 】

本発明の課題は、ノイズを低減して、画質を向上することができる表示装置の駆動回路を提供することにある。

20

【課題を解決するための手段】

【 0 0 0 9 】

以下に、[発明を実施するための最良の形態] で使用する番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、[特許請求の範囲] の記載と [発明を実施するための最良の形態] の記載との対応関係を明らかにするために付加されたものであるが、[特許請求の範囲] に記載されている発明の技術的範囲の解釈に用いてはならない。

【 0 0 1 0 】

本発明の駆動回路は、複数の階調データを表示メモリ回路 (1 3) からデータバス (2 1 , 2 2 , 2 3) を介して順番に読み出し、複数の前記読み出された階調データを表示画素データとして一括して出力するロジック部 (8) と、前記ロジック部 (8) から出力された前記表示画素データに基づいて生成されたアナログ階調信号で表示装置を駆動する駆動部 (9) とを具備している。これにより、メモリ回路から階調データが p 画素単位に読み出されるので、ロジック部で発生する過渡電流のピーク値を減少させ、ノイズを減らすことができる。

30

【発明の効果】

【 0 0 1 1 】

本発明により、駆動回路内部の過渡電流に起因するノイズを低減して、表示装置の画質を向上することができる。

【 0 0 1 2 】

40

本発明によれば、ロジック部 8 では、メモリ 1 3 から表示装置の 1 表示ライン分の階調データを 1 番目から n 番目まで分割して順番に読み出してバッファ回路 2 0、データバス 2 1、2 2、2 3、データ演算回路 1 4、2 4、ラッチ回路 A 1 5 を介してラッチ回路 B 1 6 に出力する。これにより、センスアンプの数が $1/n$ になるため動作電流も $1/n$ に低減し、バッファ回路 2 0、データ演算回路 1 4、2 4、ラッチ回路 A 1 5 が 1 表示ライン分の階調データに対して一齐に信号処理を施す場合に比べて、同時に信号処理を行わない分、過渡電流のピーク値を減少させてノイズの発生量を低減して、安定した V_{com} 電圧を電源回路 1 1 から表示装置の共通電極 7 に供給することができ、画質を向上することができる。

【 0 0 1 3 】

50

この場合、データ演算回路14, 24は、1表示ライン分の階調データに対して一斉に論理演算処理を行なう必要がなく、1表示ライン分の階調データを1番目からn番目まで順番に信号処理を行なっている。このため、データ演算回路14, 24の回路規模を従来のデータ演算回路84よりも縮小することができる。

【0014】

また、本発明によれば、ロジック部8では、データ演算回路14が多数決演算処理を行なうことにより、データバス22, 23での充放電電力を低減することができる。

【0015】

また、本発明によれば、ロジック部8では、データ演算回路24が表示画素データを判別して不要な階調に対応するバッファアンプ部51のバイアス電流の供給を制御することにより、消費電力を削減することができる。

10

【発明を実施するための最良の形態】

【0016】

以下に、本発明の表示装置の駆動回路について詳細に説明する。ただし、本発明は以下の実施形態に限定されるものではない。

【0017】

[第1実施形態]

図2を参照して、本発明の第1実施形態による駆動回路を説明する。図2に示されるように、本発明の第1実施形態による駆動回路は、例えば、携帯電話機の表示装置に適用することができる。この表示装置は、データ線駆動回路1、走査線駆動回路2、表示パネル3を備えている。また、データ線駆動回路1は表示メモリ(RAM)回路13を内蔵している。表示装置には、携帯電話機などのCPU(Central Processing Unit: 図示せず)からデジタル信号が供給される。このデジタル信号には、各画素の色の濃淡を示す6ビットのデジタル階調信号(階調データ)や、表示メモリ回路13のどの領域に階調データを書き込むかを指定するアドレス制御信号や、コマンド信号や、スタンバイ信号などの制御信号が含まれる。

20

【0018】

表示メモリ回路13は、1フレーム分の階調データを記憶する回路である。携帯電話機などに使用される表示装置の駆動回路では、データ線駆動回路1に表示メモリ回路13が設けられている。次のフレーム表示が現在のフレーム表示から変化しない時には、CPUから表示装置への次のフレームのデジタル信号の供給を止めることにより、CPUと表示装置とのインターフェイス部の消費電力が低減されている。また、次のフレーム表示の一部だけが現在のフレーム表示から変化する時には、変化する領域のアドレス制御信号と変化する部分に対応する階調データが供給される。これにより、CPUでの処理負担が軽減されている。この例では、表示メモリ回路13の記憶容量は、1フレーム分である例を説明するが、記憶容量は1フレーム以上でも、1フレーム以下でもよい。1フレーム以下の例としては、表示パネル3の一部分のみ表示するパーソナルメモリなどが知られている。

30

【0019】

表示パネル3は、複数のデータ線4と、複数の走査線5と、マトリックス状に配置された画素6と、コモン電極線7とを備えている。画素6は、複数のデータ線4と複数の走査線5との交点の各々に設けられ、表示電極と、表示電極に対向する共通電極と、スイッチ素子であるTFT(Thin Film Transistor)とを含んでいる。TFTのドレインは、表示電極に接続され、そのゲートは走査線5に接続され、そのソースはデータ線4に接続されている。表示電極と共通電極の間には液晶層や有機EL層などが設けられている。共通電極は、コモン電極線7が接続されている。走査線駆動回路2は走査線5を順番に駆動する。データ線駆動回路1は、CPUからデジタル信号を受信して格納し、各走査線5が駆動されるとき、デジタル信号をアナログ階調信号に変換し、表示パネル3のデータ線4を介して画素6に一斉に供給される。これにより、表示パネル3全体に映像が表示される。

40

【0020】

50

図3は、データ線駆動回路1の構成を示している。

データ線駆動回路1は、ロジック部8と、駆動部9と、電源回路11とを内蔵している。電源回路11は、ロジック部8と、駆動部9に接続されている。

【0021】

電源回路11は、ロジック部8と駆動部9とに異なる電源電圧を供給する。例えば、ロジック部8、駆動部9に供給される電源電圧は、それぞれ3V以下、3V以上である。一般に集積回路では、3V以下の電源電圧が使用されているが、液晶表示装置の駆動電圧としては3V以上の電源電圧が必要である。また、携帯電話機では、電池から電源電圧が供給されているが、その供給される電圧(VDC)も3V以下であることが多い。そのため、駆動部9に供給される電源電圧を生成する電源回路が必要となる。

10

【0022】

また、液晶表示装置においては、データ線4から画素6に印加される画素電圧の極性が、所定の期間ごとに反転される駆動方法が知られている。つまり、画素6が交流的に駆動される場合がある。ここで、極性とは、液晶の共通電極の電圧(Vcom電圧)を基準とした場合の画素電圧の正負を示す。このような駆動方法は、液晶材料の劣化を防止するために適用されている。この交流駆動方法として、Vcom電圧に直流電圧を印加し、データ線4に供給する正極及び負極のアナログ階調信号を1走査線ごと及びフレームごとに反転するドット反転駆動法や、また、別の駆動方法として、Vcom電圧が1走査線駆動ごとに反転されるコモン反転駆動法が知られている。いずれの場合にも、電源回路11は、Vcom電圧を生成する。

20

【0023】

電源回路11は、定電圧発生回路(図示せず)と、スイッチと容量で構成されるDCDCコンバータ回路(図示せず)とを備えている。定電圧発生回路には、上記のVDC電圧が供給され、一定の電圧を生成する。DCDCコンバータ回路は、その電圧に基づいて、システムグランド(SGND)に対するロジック電圧、駆動電圧、Vcom電圧を生成する。システムグランドは、電源回路11の共通電源であり、電源回路11、ロジック部8、駆動部9に供給される。ロジック電圧は、システムグランドに対して3V以下の電源電圧であり、ロジック部8に供給される。駆動電圧は、システムグランドに対して3V以上の電源電圧であり、駆動部9に供給される。Vcom電圧は、システムグランドに対するコモン電圧を表し、コモン電極線7に供給される。

30

【0024】

このシステムグランド(SGND)や、定電圧発生回路にノイズが伝播すると、電源回路11から表示パネル3の共通電極に供給されるVcom電圧にもノイズが伝播してしまう。その結果、フリッカやクロストークなどにより画質が劣化する。このノイズは、駆動回路内部で発生し、デジタル信号の変化に応じてノイズのピーク値は増減する。ロジック部8、駆動部9でのノイズの発生を抑制するには、信号処理におけるピーク電流値を少なくすることが有効である。そのため、ロジック部8では、表示メモリ回路13から表示パネル3の1表示ライン分の階調データを一斉に読み出すのではなく、表示メモリ回路13から表示パネル3の1表示ライン分の階調データをp画素単位(p:自然数)に1番目から最終番目であるn番目(nは整数)まで分割して順番に読み出すのがよい。以降の説明では、R、G、Bの3画素を1単位、つまりp=3として説明する。

40

【0025】

ロジック部8について説明する。ロジック部8は、信号処理回路12、表示メモリ回路13、データ演算回路14、ラッチ回路A15、ラッチ回路B16、バッファ回路20、データバス21、22を備えている。

【0026】

信号処理回路12は、ロジック部8、駆動部9内の各回路に接続されている。信号処理回路12は、CPUから供給されるデジタル信号を受信する。このデジタル信号には、各画素の階調を示す階調データと、コマンド信号と、アドレス制御信号と、論理演算処理命令とが含まれる。この例では、画素6に対応する階調データは、赤、緑、青に対して各6

50

ビット（64階調）の18ビットで構成されている。コマンド信号は、表示メモリ回路13に対する書き込み命令又は読み出し命令を含んでいる。アドレス制御信号は、表示メモリ回路13に対する書き込み又は読み出しの開始アドレスを含んでいる。信号処理回路12は、これらの信号や、後述の水平クロック信号、垂直クロック信号などに基づいてメモリ制御信号を生成する。階調データとメモリ制御信号は表示メモリ回路13に供給されている。また、コマンド信号には、クロック周波数を設定するためのクロック周波数設定信号が含まれる。この場合、信号処理回路12は、発振回路（図示せず）を備え、その発振回路は、クロック周波数設定信号に基づいて、水平クロック信号（HCLK信号）、垂直クロック信号（VCLK信号）、水平スタート信号、垂直スタート信号、ラッチ信号（STB信号）などのクロック制御信号を生成する。信号処理回路12は、クロック制御信号を、データ線駆動回路1のロジック部8と駆動部9内の各回路と走査線駆動回路2に供給する。また、コマンド信号には、表示パネル3に画像を2値表示するための2値モード信号や、表示パネル3に同じ画像を表示するスタンバイモード信号、表示パネル3の一部分のみに画像を表示するパーシャル表示を行なうためのパーシャルモード信号が含まれる。信号処理回路12は、コマンド信号に基づいて動作モードを設定するためのモード制御信号を生成する。信号処理回路12は、モード制御信号を駆動部9のD/A変換回路18と階調電圧生成回路19に供給する。

【0027】

表示メモリ回路13は、上述のように、1フレーム分の階調データを記憶する回路である。図4は、表示メモリ回路13の詳細を示している。図4に示されるように、表示メモリ回路13は、SRAMのようなRAM（Random Access Memory）30と、Yアドレスデコーダ35と、Xアドレスデコーダ36とを備えている。アドレスデコーダ35、36には、RAM30がアクセスされる際の初期画素アドレスが信号処理回路12により設定される。信号処理回路12からメモリ制御信号がXアドレスデコーダ36に供給されたとき、Xアドレスデコーダ36は、初期画素アドレスに基づいてRAM30の1行を指定する。また信号処理回路12からメモリ制御信号がYアドレスデコーダ35に供給されたとき、Yアドレスデコーダ35は、初期アドレスに基づいてRAM30の指定された行の指定された画素アドレス、一般的には1番目の画素アドレスを指定する。その後、信号処理回路12からメモリ制御信号がアドレスデコーダ35に供給される度に、Yアドレスデコーダ35は、RAM30の指定された行の画素アドレスを順に指定する。このとき、Yアドレスデコーダ35は、列アドレス信号C1～Cnを出力する。

【0028】

信号処理回路12からのメモリ制御信号に書き込み命令が含まれるとき、アドレスデコーダ35、36は、メモリ制御信号に応じて、RAM30のアドレスを順に選択する。選択されたアドレスに階調データが書き込まれる。こうして、RAM30は、表示パネル3の1フレーム分に対応する階調データを格納する。信号処理回路12からのメモリ制御信号に駆動部9への読み出し命令が含まれるとき、アドレスデコーダ35、36は、メモリ制御信号に応じて、RAM30の各行と各列のアドレスを順に選択する。選択されたアドレスから階調データが読み出される。読み出された階調データは、バッファ回路20に出力される。

【0029】

バッファ回路20は、表示メモリ回路13から読み出された階調データをデータバス21あるいはラッチ回路A15に供給する。図4に示されるように、バッファ回路20は、センスアンプ31と、データバス32と、セクタ部33と、遅延回路34とを備えている。データバス32は、各画素（R、B、Gの3画素を1単位とする画素）に対する18ビットの階調データに対応する18本の信号線を備えている。セクタ部33は、1表示ラインの画素数をP画素単位（ここではR、B、Gの3画素を1単位とする）で分割した数分のセクタ33-1～33-nを含んでいる。各セクタは、18個のスイッチを備えている。表示メモリ回路13からの列アドレス信号に応じて、各セクタのスイッチは閉じられ、対応する画素の階調データは、データバス32に接続される。センスアンプ3

10

20

30

40

50

1は、データバス32に接続され、各画素(R、B、Gの3画素を1単位とする画素)に対する18ビットの階調データに対応するセンスアンプP0~P17を含んでいる。このように、本発明の駆動回路では、センスアンプ31はR、B、Gの3画素を1単位とする1画素分設けられているだけであり、従って、従来技術では、表示メモリ回路13にビットごとにあったセンスアンプが大幅に低減されるので駆動回路を小型化することができる。センスアンプP0~P17は、データバス32上の18ビットの階調データを増幅してデータバス21上に出力する。遅延回路34は、表示メモリ回路13からのアドレス信号Cj(1≦j≦n)を水平クロック周期だけ遅延させ、遅延したアドレス信号Ejをラッチ回路A15に供給する。即ち、遅延回路34は、表示メモリ回路13からのアドレス信号Cjを保持し、HCLK信号に応じて、そのアドレス信号Cjをサンプリング信号Ejとしてラッチ回路A15に出力する。

10

【0030】

図4に示されるように、データバス21は、増幅された18ビットの階調データRAM_D(0:17)に対応して18本の信号線により構成されている。データバス22は、18ビットの表示画素データD(0:17)に対応する18本の信号線と、1ビット分の多数決信号(MAJ信号)に対応する1本の信号線との19本の信号線により構成されている。18ビットの表示画素データD(0:17)とMAJ信号は、表示画素データ&MAJ信号としてデータ演算回路14から出力される。

【0031】

図5は、データ演算回路14の詳細を示している。図5に示されるように、データ演算回路14は、論理回路37と、多数決演算回路38と、ラッチ回路39とを備えている。論理回路37と多数決演算回路38は、OR回路、AND回路、EXOR回路などの論理回路で実現できる。論理回路37は、バッファ回路20からの階調データRAM_D(0:17)に所定の論理演算処理を施して、多数決演算回路38に出力する。所定の論理演算処理としては、極性反転処理POL、反転処理REV、全黒処理DISP0、全白処理DISP1の少なくとも1つの処理が挙げられ、信号処理回路12からの論理演算処理命令により指定される。極性反転処理POLでは、液晶を交流駆動するために階調データがビット反転される。反転処理REVでは、映像表示を反対の色にする処理で、階調データがビット反転される。全黒または全白処理では、階調データに関わりなく黒または白の信号が出力される。多数決演算回路38は、論理回路37からの表示画素データD(0:17)に後述の多数決演算処理MAJを施して、後述の表示画素データD(0:17)と後述のMAJ信号とをラッチ回路39に出力する。ラッチ回路39は、多数決演算回路38からの表示画素データD(0:17)とMAJ信号とを水平クロック周期だけ遅延させてラッチ回路A15に供給する。即ち、ラッチ回路39は、多数決演算回路38からの表示画素データD(0:17)とMAJ信号とを保持し、HCLK信号に応じて、データバス22を介してラッチ回路A15に出力する。

20

30

データ演算回路14内の論理回路が処理する順番は、例えば、反転処理REV-全黒処理DISP0-全白処理DISP1-極性反転処理POL-多数決演算処理MAJである。このように、最後が極性反転処理POL-多数決演算処理MAJの順であれば他の論理回路を追加してもよい。

40

ここで、「階調データ」とは、表示メモリ回路13に格納されたデジタルの信号であって、階調データがデータ演算回路14や、ラッチ回路A15を介した信号は「表示画素データ」として区別する。

【0032】

ラッチ回路A15は、データ演算回路14から表示画素データとMAJ信号がデータバス22に出力されたとき、MAJ信号と表示画素データD(0:17)の各ビットとのEXORを施す。即ち、ラッチ回路A15は、MAJ信号が表す非反転指示命令“0”に従って、表示画素データD(0:17)を反転しないで、そのまま保持する。MAJ信号が“1”のとき、ラッチ回路A15は、MAJ信号が表す反転指示命令“1”に従って、多数決演算処理MAJが施された表示画素データD(0:17)をビット反転して保持する

50

。また、ラッチ回路A 15には、バッファ回路20の遅延回路34からサンプリング信号Enが供給される。ラッチ回路A 15は、保持している表示画素データを、サンプリング信号Enに応じて、ラッチ回路B 16に出力する。

【0033】

多数決演算処理MAJについて説明する。多数決演算回路38は、前回の表示画素データD(0:17)をデータバス22から入力し、今回の表示画素データD(0:17)は、論理回路37から供給される。多数決演算回路38は、前回の18ビットの表示画素データD(0:17)と今回の18ビット分の表示画素データD(0:17)との間で多数決演算処理を実行する。多数決演算回路38は、前回の表示画素データD(0:17)のビットの各々と今回の表示画素データD(0:17)のビットのうち対応するビットとを比較し、今回の表示画素データD(0:17)で反転されたビットの数が過半数より多いか、少ないかを判定する。反転ビットの数が過半数より多い場合、多数決演算回路38は、前回の表示画素データD(0:17)のビットのうち、反転されていないビットに対応するビットを反転する。また、このとき多数決演算回路38は、ラッチ回路A 15に対する反転指示命令“1”を表すMAJ信号を生成し、多数決演算処理MAJが施された表示画素データD(0:17)とMAJ信号“1”とをラッチ回路39に出力する。一方、反転ビットの数が過半数より少ない場合、多数決演算回路38は、ラッチ回路A 15に対する非反転指示命令“0”を表すMAJ信号を生成し、今回の表示画素データD(0:17)とMAJ信号“0”とをラッチ回路39に出力する。ラッチ回路39は、水平クロック信号HCLKに同期して、多数決演算回路38からの表示画素データD(0:17)とMAJ信号“0”とを保持して、データバス22上に出力する。

【0034】

例として、表示画素データが4ビットで、データバス22に供給する信号を(表示画素データ4ビット; MAJ信号1ビット)として説明する。前回の表示画素データがa(0000)であり、今回の表示画素データがb(1101)である場合、表示画素データb(1101)のビットは、表示画素データa(0000)のビットと較べて、3ビット分0から1に変化している。上述のように、多数決演算により過半数より多く表示画素データのビットが変化している時には、多数決演算回路38は、表示画素データb(1101)のビットのうち、表示画素データa(0000)のビットと較べて反転されていないビットを反転して、表示画素データb'(0010)を生成する。同時に、MAJ信号を“1”に設定する。表示画素データb'(0010)とMAJ信号“1”とを表示画素データ&MAJ信号(0010; 1)としてラッチ回路39を介してデータバス22に出力する。ラッチ回路A 15では、データバス22に供給された表示画素データ&MAJ信号(0010; 1)を受け取ったとき、MAJ信号“1”に従って、表示画素データb'(0010)を反転し、表示画素データb(1101)を保持する。これにより、多数決演算処理MAJが施されない場合は3個のビットが反転するが、多数決演算処理MAJが施された場合は、MAJ信号を含めて2個のビットを反転するだけなので、データバス22での充放電電力が低減される。

【0035】

表示画素データを構成するビットが偶数個である場合は、変化するビットが同数になる時がある。その時は、MAJ信号が変化しないように処理する。例として、表示メモリ回路13からデータバス21に供給される階調データがa(0000) b(1100) c(0011) d(1010)と変化する場合、多数決演算回路38は、a'(0000; 0) b'(1100; 0) c'(1100; 1) d'(0101; 1)の表示画素データ&MAJ信号をラッチ回路39を介してデータバス22に供給する。a bで、階調データを構成するビットのうちの2個のビットが変化しているが、a'のMAJ信号が“0”なので、b'でもMAJ信号は“0”として階調データはビット反転されない。c dでも2個のビットが変化しているが、c'のMAJ信号が“1”なので、MAJ信号は“1”として、階調データをビット反転する。

【0036】

10

20

30

40

50

ラッチ回路 A 1 5 において、サンプリング信号がシフトレジスタ回路で生成され、階調データが順番にラッチされるシリアル転送方式比べ、アドレス制御方式では、デコーダが必要となる。例えば、256本×3(RGB)のデータ線4を駆動するには、8ビットのデコーダが必要で、8ビットのデコーダはシフトレジスタ回路より回路規模が大きい。しかし、本発明では、表示メモリ回路13のアドレスデコーダ35、36がそのデコーダとして兼用されているので、回路規模の増大が抑制されている。アドレス制御方式は、走査線駆動回路2に適用してもよい。パーシャル表示のオフ表示領域では飛び越し走査を行い、また、同時に複数の走査線5を活性化することもできる。

【0037】

ラッチ回路 B 1 6 は、ラッチ回路 A 1 5 からの表示画素データを保持し、信号処理回路 1 2 からのラッチ信号 (S T B 信号) に応じて、保持されている表示画素データを一齐に駆動部 9 に出力する。

【0038】

次に、駆動部 9 について説明する。駆動部 9 は、レベルシフト回路 1 7、D / A 変換回路 1 8、階調電圧生成回路 1 9 を備えている。

【0039】

レベルシフト回路 1 7 は、ラッチ回路 B 1 6 と D / A 変換回路 1 8 と階調電圧生成回路 1 9 に接続されている。レベルシフト回路 1 7 は、ラッチ回路 B 1 6 からの表示画素データの電圧レベルをロジック電圧レベルから駆動電圧レベルに変換する。

【0040】

図 6 に示されるように、階調電圧生成回路 1 9 は、スイッチ 4 1 と、抵抗分圧回路 4 2 と、第 1 基準電圧 V_0 を供給する第 1 バッファアンプと、第 2 基準電圧 V_{63} を供給する第 2 バッファアンプとを備えている。抵抗分圧回路 4 2 は、直列接続された 63 個の抵抗素子 $r_0 \sim r_{62}$ を備えている。スイッチ 4 1 の一端は、第 1 基準電圧 V_0 に接続されている。スイッチ 4 1 の他端は、抵抗素子 r_0 の一端が接続されている。抵抗素子 r_{62} の一端は、第 2 基準電圧 V_{63} に接続されている。第 1 基準電圧 V_0 又は第 2 基準電圧 V_{63} を指定する 2 値モード信号やスタンバイ信号を含むモード制御信号が供給されない場合、つまり、通常駆動モードでは、スイッチ 4 1 はオンしている。この場合、抵抗分圧回路 4 2 は、2 個の基準電圧 V_0 、 V_{63} を、ガンマ特性に適合するように 63 個の抵抗素子 $r_0 \sim r_{62}$ により分圧し、64 個の異なる階調電圧を生成する。ここで、基準電圧は V_0 と V_{63} の 2 個と簡略したが、 V_0 と V_{63} 以外の複数の基準電圧を設けて抵抗分圧回路 4 2 に供給してよい。上記のモード制御信号が供給された場合、つまり、低消費電力駆動モードでは、スイッチ 4 1 はオフされ、抵抗分圧回路 4 2 に流れる電流が遮断され、消費電力を低減している。

【0041】

上述のように、ロジック部 8 は、電源回路 1 1 から供給されるロジック電圧により動作し、駆動部 9 は、電源回路 1 1 から供給される駆動電圧により動作する。このように、ロジック部 8 と駆動部 9 との電圧レベルが異なる。このため、レベルシフト回路 1 7 は、ラッチ回路 B 1 6 からの表示画素データの電圧レベルをロジック電圧から駆動電圧に変換する。

【0042】

D / A 変換回路 1 8 は、表示画素データを、アナログ階調信号に変換する。この D / A 変換回路 1 8 は、1 表示ライン分の $3 \times n$ 個の D / A コンバータを含んでいる。 $3 \times n$ 個の D / A コンバータの各々は、図 7 に示されるように、セレクタ 4 3 と、バッファアンプ 4 4 と、デコーダ 4 5 と、スイッチ 4 6、4 8、4 9 とを備えている。デコーダ 4 5 は、レベルシフト回路 1 7 に接続されている。セレクタ 4 3 は、階調電圧生成回路 1 9 とデコーダ 4 5 とに接続されている。バッファアンプ 4 4 は、その入力にセレクタ 4 3 が接続され、その出力にスイッチ 4 6 の一端が接続されている。スイッチ 4 6 の他端には、データ線 4 であるデータ線 Y_j ($1 \leq j \leq 3n$) が接続されている。また、この D / A 変換回路 1 8 は、 n 個の D / A コンバータで構成され、3 時分割にデータ線 Y_j ($1 \leq j \leq 3n$)

10

20

30

40

50

を駆動してもよい。この場合、D/A変換回路18とデータ線4との間に時分割スイッチ（図示なし）を設け、表示メモリ回路13からは1画素分ずつの階調データを転送する。

上記のモード制御信号が供給されない通常駆動モードでは、スイッチ46はオンし、スイッチ48、49はオフしている。この場合、デコーダ45は、ラッチ回路B16からレベルシフト回路17を介して供給される表示画素データをデコードしてセクタ43に出力する。セクタ43は、階調電圧生成回路19から供給される64個の階調電圧の中から、デコーダ45からの表示画素データに応じた所定の階調電圧を選択する。バッファアンプ44は、選択された階調電圧を、データ線Yjを介して、表示パネル3の所定の画素6に供給する。

2値モード信号を含むモード制御信号が供給された低消費電力駆動モードでは、スイッチ46はオフしてバッファアンプ44のバイアス電流を遮断し、スイッチ48又はスイッチ49はオンして基準電圧（V0、V63）を、データ線Yjを介して、表示パネル3の所定の画素6に供給する。

【0043】

なお、D/A変換回路18のバッファアンプの利得（出力信号/入力信号の比）を1より大きくするなどして、複数の階調電圧（V0からV63）を利得倍にすれば、レベルシフト回路17を省略することができる。

また、データ線駆動回路1は、表示画素データを、D/A変換回路18によりアナログ階調電圧に変換しているが、上記のD/A変換回路18に代えて、表示画素データに基づいてアナログ階調電流を生成する回路を用いてもよい。

【0044】

図8は、本発明の第1実施形態1による表示装置の動作を示すタイミングチャートである。

【0045】

いま、表示メモリ回路13のRAM30に、表示パネル3の1フレーム分に対応する階調データが格納されているとする。信号処理回路12は、STB信号をラッチ回路B16に出力した後、読み出し命令を含むメモリ制御信号を表示メモリ回路13に供給する。このとき、表示メモリ回路13のアドレスデコーダ35、36は、信号処理回路12から供給されるメモリ制御信号にตอบสนองして、RAM30の1行分のアドレスを1番目からn番目までこの順に選択し、それぞれ上記選択されたn個のアドレスを表すn個のアドレス信号C1~Cnをこの順でバッファ回路20に出力する。RAM30は、上記選択されたn個のアドレスのそれぞれから、表示パネル3の1表示ライン分の1番目からn番目までの画素6に対応するn個の階調データa、b、c、...をこの順にバッファ回路20に出力する。バッファ回路20は、n個の階調データa、b、c、...を1番目からn番目までこの順でデータバス21に順番に供給する。また、バッファ回路20は、n個のアドレス信号C1~Cnをこの順に保持し、所定クロック（HCLK信号）分だけ遅延して、n個のサンプリング信号E1~Enとして順番にラッチ回路A15に出力する。データ演算回路14は、n個の階調データa、b、c、...に対してこの順に論理演算処理と多数決演算処理MAJとを施し、所定クロック（HCLK信号）分だけ遅延して、n個の表示画素データa'、b'、c'、...をこの順でデータバス22に供給する。ここで、第(j-1)表示画素データの各ビットと較べて、第j表示画素データの対応するビットが、反転されているとき、その反転ビットの数が過半数より多い場合、データ演算回路14は、第j表示画素データのビットのうちの反転されていないビットに対応する第(j-1)表示画素データのビットを反転する多数決演算処理MAJが実行され、第j表示画素データとして反転された第(j-1)表示画素データと、ラッチ回路A15に対する反転指示命令“1”を表すMAJ信号とをデータバス22に供給する。ラッチ回路A15は、データバス22に供給されたn個の表示画素データa'、b'、c'、...をこの順で保持し、所定クロック（それぞれn個のサンプリング信号E1~En）分だけ遅延して、上記n個の表示画素データa'、b'、c'、...をこの順にラッチ回路B16に出力する。ここで、ラッチ回路A15は、MAJ信号“1”に従って、多数決演算処理MAJ

10

20

30

40

50

が施された第 j 表示画素データを反転して保持し、所定クロック（サンプリング信号 E_j ）分だけ遅延して、ラッチ回路 B 1 6 に出力する。ラッチ回路 B 1 6 は、ラッチ回路 A 1 5 からの n 個の表示画素データ a' 、 b' 、 c' 、... をこの順で保持し、信号処理回路 1 2 からの STB 信号に応じて、上記 n 個の表示画素データ a' 、 b' 、 c' 、... を一斉に駆動部 9 に出力する。

駆動部 9 の D/A 変換回路 1 8 は、諧調電圧生成回路 1 9 から供給される 6 4 個の階調電圧の中から、ラッチ回路 B 1 6 からの n 個の表示画素データ a' 、 b' 、 c' 、... のそれぞれに応じた所定の階調電圧を選択し、それぞれ、データ線 $Y_1 \sim Y_{3n}$ を介して、表示パネル 3 の 1 表示ライン分の 1 番目から $3n$ 番目までの所定の画素 6 に供給する。

【0046】

上記の駆動回路は、同一の基板（チップ）に集積化されている。データ線駆動回路 1 をシリコンなどの半導体基板に集積化した例を図 9、図 10 に示す。図 9 に示される集積回路 6 0 では、データ演算回路 1 4、電源回路 1 1、信号処理回路 1 2、階調電圧生成回路 1 9 が集積回路 6 0 の 1 箇所に配置されている。また、表示メモリ回路 1 3 は、表示メモリ回路 1 3 a、1 3 b、1 3 c、1 3 d の 4 ブロックに分割されて集積回路 6 0 に配置されている。図示しないが、バッファ回路 2 0、ラッチ回路 A 1 5、ラッチ回路 B 1 6、レベルシフト回路 1 7、D/A 変換回路 1 8 は、表示メモリ回路 1 3 a、1 3 b、1 3 c、1 3 d のそれぞれに対応するように、4 ブロックに分割されて集積回路 6 0 に配置されている。また、データバス 2 1、2 2 は、表示メモリ回路 1 3 a、1 3 b、1 3 c、1 3 d のそれぞれに対応するように、4 ブロックに分割されて集積回路 6 0 に配置され、データ演算回路 1 4 に接続されている。また、表示メモリ回路 1 3 を 4 ブロックに分割することで、1 表示ラインを 4 つに分割したときの階調データを同時にデータ演算回路 1 4 で処理している。

【0047】

図 10 に示される集積回路 6 1 では、上記の集積回路 6 0 に対して、データ演算回路 1 4 を集積回路 6 1 の 2 箇所に配置している。即ち、データ演算回路 1 4 をデータ演算回路 1 4 x、1 4 y とした場合、データ演算回路 1 4 x は、データバス 2 1、2 2 の 4 ブロックのうち、表示メモリ回路 1 3 a、1 3 b に対応する 2 ブロックに接続され、データ演算回路 1 4 y は、データバス 2 1、2 2 の 4 ブロックのうち、表示メモリ回路 1 3 c、1 3 d に対応する 2 ブロックに接続されている。これにより、データバス 2 1、2 2 の配線長が短くなり配線容量が減少し、データバス 2 1、2 2 での充放電電力が低減される。

【0048】

このように、集積化して、部分数を減らすことで表示装置としての信頼性は向上する。

【0049】

以上説明したように、本発明によれば、ロジック部 8 では、表示メモリ回路 1 3 から表示パネル 3 の 1 表示ライン分の階調データを一斉に読み出してラッチ回路 B 1 6 に出力するのではなく、表示メモリ回路 1 3 から表示パネル 3 の 1 表示ライン分の階調データを 1 番目から n 番目まで分割して順番に読み出し、バッファ回路 2 0、データバス 2 1、2 2、データ演算回路 1 4、ラッチ回路 A 1 5 を介してラッチ回路 B 1 6 に出力する。これにより、センスアンプの数が $1/n$ になるため動作電流も $1/n$ に低減し、バッファ回路 2 0、データ演算回路 1 4、ラッチ回路 A 1 5 が 1 表示ライン分の階調データに対して一斉に信号処理を施す場合に比べて、同時に信号処理を行なわない分、過渡電流が減少し、ノイズの発生量を低減して、安定した V_{com} 電圧を電源回路 1 1 から表示パネル 3 の共通電極に供給することができ、画質を向上することができる。この場合、データ演算回路 1 4 は、1 表示ライン分の階調データに対して一斉に論理演算処理を行なう必要がなく、1 表示ライン分の階調データを 1 番目から n 番目まで順番に信号処理（論理演算処理、多数決演算処理）を行なっている。このため、データ演算回路 1 4 の回路規模を従来のデータ演算回路 8 4 よりも縮小することができる。

【0050】

また、本発明によれば、ロジック部 8 では、データ演算回路 1 4 が多数決演算処理を行

10

20

30

40

50

なうことにより、データバス 2 2 での充放電電力を削減することができる。

【 0 0 5 1 】

[第 2 実施形態]

次に、本発明の第 2 実施形態による駆動回路について説明する。第 1 実施形態と同じ内容については説明を割愛し、異なる点のみを説明する。図 1 1 は第 2 実施形態による表示装置の駆動回路の構成を示すブロック図である。第 1 実施形態ではデータバス 2 1、2 2 の 2 グループあったのに対し、第 2 実施形態では、1 つのデータバス 2 3 が提供され、データバスは共有されている。つまり、表示メモリ回路 1 3 からの階調データは、バッファ回路 2 0 でデータバス 2 3 を介してデータ演算回路 1 4 に供給され、データ演算回路 1 4 で所定の信号処理を行った表示画素データもデータバス 2 3 を介してデータラッチ回路 A 1 5 に供給される。バッファ回路 2 0 とデータ演算回路 1 4 の出力がぶつからないように、交互にデータバス 2 3 を共有する。センスアンプ 3 1 とデータバス 2 3 との間、データ演算回路 1 4 の出力部とデータバス 2 3 との間には、切替スイッチ（図示なし）が設けられる。切替スイッチは、信号処理回路 1 2 からの H C L K 信号に応じて、センスアンプ 3 1 とデータバス 2 3 とを接続する第 1 接続モードと、データ演算回路 1 4 の出力部とデータバス 2 3 とを接続する第 2 接続モードとを交互に実行する。第 1 実施形態に比べデータ転送能力は半減するが、データバスの本数が削減できる。

10

【 0 0 5 2 】

図 1 2 はデータバスを共有するためのタイミングチャートを示す。表示メモリ 1 3 からの階調データ a はアドレス信号 C 1 に応じて選択され、選択された階調データは、第 1 接続モードにおいて、センスアンプ 3 1 およびデータバス 2 3 を介してデータ演算回路 1 4 に供給される。データ演算回路 1 4 で所定の信号処理が行なわれた表示画素データ a ' は、第 2 接続モードにおいて、1 クロック周期遅れたサンプリング信号 E 1 に応じて、データバス 2 3 を介してラッチ回路 A 1 5 に供給される。

20

【 0 0 5 3 】

[第 3 実施形態]

次に、本発明の第 3 実施形態による駆動回路について説明する。第 1 実施形態と同じ内容については説明を割愛し、異なる点のみを説明する。図 1 3 は第 3 実施形態の表示装置の駆動回路の構成を示すブロック図である。第 1 実施形態との相違点は、ロジック部 8 は、データ演算回路 1 4 に代えてデータ演算回路 2 4 を備え、更に、判別信号バス 2 5 を備えている点である。駆動部 9 は、階調電圧生成回路 1 9 に代えて階調電圧生成回路 2 6 を備え、D / A 変換回路 1 8 に代えて D / A 変換回路 2 8 を備えている。

30

【 0 0 5 4 】

図 1 4 に示されるように、データ演算回路 2 4 には、上記のデータ演算回路 1 4 の構成に加えて、データ判別回路 5 0 が論理回路 3 7 と多数決演算回路 3 8 との間に設けられている。データ判別回路 5 0 は、表示画素データの各ビットを判別し、その判別結果を表す判別信号を、判定信号バス 2 5 を介して出力する。判定信号バス 2 5 は、表示画素データが 6 ビットの場合では 6 4 本の信号から成り、6 4 本の信号の各々を表示画素データに基づいて活性または非活性にする。

階調電圧生成回路 2 6 には、図 1 5 に示されるように、上記の階調電圧生成回路 1 9 の構成に加えて、バイアス電圧制御回路 5 2 と、バッファアンプ部 5 1 が設けられている。バッファアンプ部 5 1 は、基準電圧 V 0 と V 6 3 以外の複数の階調電圧のそれぞれに対して複数のバッファアンプを有するバッファアンプ部 5 1 が設けられている。バイアス電圧制御回路 5 2 は、データ判別回路 5 0 からの 6 4 本の信号に基づいて、バッファアンプ部 5 1 の複数のバッファアンプの各々のバイアス電流を制御する。即ち、6 2 個のバッファアンプは、それぞれ、活性時に、抵抗分圧回路 4 2 により生成される 6 2 個の階調電圧 V 1 ~ V 6 2 を出力する。

40

D / A 変換回路 2 8 では、図 1 6 に示されるように、D / A 変換回路 1 8 と較べてバッファアンプ 4 4、スイッチ 4 6、4 8、4 9 が削除されている。

【 0 0 5 5 】

50

データ判別回路50は、論理回路37からの表示画素データを判別して、判別信号を判定信号バス25に出力する。例えば、判別信号が、任意の1水平期間の全データ線に黒表示を行なうことを表している場合、バイアス電圧制御回路52は、判別信号に従って、バッファアンプ部51の複数のバッファアンプのうち、0階調電圧に対応するバッファアンプのみ活性化し、その他(1階調から63階調)の階調電圧に対応するバッファアンプを非活性とする。中間階調である階調電圧V31のみの表示では、階調電圧V0、V63、V31に対応するバッファアンプのみを活性にし、他の階調電圧(V1~V30、V32からV62)に対応するバッファアンプは非活性とする。階調電圧V0、V63以外の階調電圧は、階調電圧V0、V63を基準に階調電圧を生成しているため、階調電圧V0、V63に対応するバッファアンプは全黒表示、全白表示以外では活性状態にする。これにより、表示に必要な階調電圧に対応するバッファアンプのバイアス電流を遮断することにより、消費電力を削減することができる。

10

【0056】

[第4実施形態]

次に本発明の第4実施形態による駆動回路について説明する。第1実施形態と同じ内容については説明を割愛し、異なる点のみを説明する。図17は、第4実施形態の表示装置の駆動回路の構成を示すブロック図である。第1実施形態との相違点は、ロジック部8が、バッファ回路20に代えてバッファ回路27を備え、更に、バッファ回路27と表示メモリ回路13との間にシフトレジスタ回路29を備えていることにある。

【0057】

20

図18に示されるように、バッファ回路27では、上記のバッファ回路20と較べて遅延回路34が削除され、代わりに、シフトレジスタ回路29がロジック部8に設けられている。

信号処理回路12からシフトレジスタ回路29に上記のHCLK信号とスタート信号が供給される。この場合、シフトレジスタ回路29は、HCLK信号とスタート信号に応じて、Yアドレスデコーダ35の出力をサンプリング信号F_jとしてラッチし、ラッチ回路A15と表示メモリ回路13のセレクト部のセクタ33-jとに順番に出力する。この例では、データラッチ回路A15への表示画素データの入力のサンプリング信号は、表示メモリ回路13からの階調データの読み出しのサンプリング信号から1クロック周期分遅延しており、表示メモリ回路13からの階調データの読み出しのサンプリング信号はF1、F2、...、F_nとし、データラッチ回路A15への表示画素データの入力のサンプリング信号は、F2、F3、...、F(n+1)とする。遅延するクロック数は、データ演算回路14により行なわれる演算処理に応じて決定される。

30

【0058】

以上、本発明について説明したが、上記実施形態はその矛盾が生じない範囲で任意に組み合わせることが可能である。本発明の駆動回路を含む集積回路は、シリコンなどの半導体基板以外にも、ガラスやプラスチックなど他の基板に集積化されてもよい。また、上記では、表示画素データが6ビット(64階調)で説明したが、表示画素データは5ビット以下でも、7ビット以上でもよい。また、主に液晶表示装置について説明したが、有機EL表示装置など他の表示装置についても適用できる。

40

【図面の簡単な説明】

【0059】

【図1】従来の表示装置の駆動回路の構成を示すブロック図である。

【図2】本発明が適用される表示装置の構成を示すブロック図である。

【図3】本発明の第1実施形態に係る表示装置の駆動回路の構成を示すブロック図である。

【図4】本発明の第1実施形態に係る表示装置の駆動回路の表示メモリ回路とバッファ回路の詳細を示す図である。

【図5】本発明の第1実施形態に係る表示装置の駆動回路のデータ演算回路の詳細を示す図である。

50

【図 6】本発明の第 1 実施形態に係る表示装置の駆動回路の階調電圧生成回路の詳細を示す図である。

【図 7】本発明の第 1 実施形態に係る表示装置の駆動回路の D / A 変換回路の詳細を示す図である。

【図 8】本発明の第 1 実施形態に係る表示装置の駆動回路の動作を示すタイミングチャートである。

【図 9】本発明の第 1 実施形態に係る表示装置の駆動回路を集積化した時の回路配置の例を示す図である。

【図 10】本発明の第 1 実施形態に係る表示装置の駆動回路を集積化した時の回路配置の他の例を示す図である。

10

【図 11】本発明の第 2 実施形態に係る表示装置の駆動回路の構成を示すブロック図である。

【図 12】本発明の第 2 実施形態に係る表示装置の駆動回路の動作を示すタイミングチャートである。

【図 13】本発明の第 3 実施形態に係る表示装置の駆動回路の構成を示すブロック図である。

【図 14】本発明の第 3 実施形態に係る表示装置の駆動回路のデータ演算回路の詳細を示す図である。

【図 15】本発明の第 3 実施形態に係る表示装置の駆動回路の階調電圧生成回路の詳細を示す図である。

20

【図 16】本発明の第 3 実施形態に係る表示装置の駆動回路の D / A 変換回路の詳細を示す図である。

【図 17】本発明の第 4 実施形態に係る表示装置の駆動回路の詳細を示す図である。

【図 18】本発明の第 4 実施形態に係る表示装置の駆動回路のバッファ回路の詳細を示す図である。

【符号の説明】

【 0 0 6 0 】

- 1、 8 1 データ線駆動回路
- 2 走査線駆動回路
- 3 パネル
- 4 データ線
- 5 走査線
- 6 画素
- 7 コモン電極線
- 8、 8 8 ロジック部
- 9、 8 9 駆動部
- 1 1 電源回路
- 1 2、 8 2 信号処理回路
- 1 3、 8 3 表示メモリ回路
- 1 4、 2 4、 8 4 データ演算回路
- 1 5、 1 6、 3 9 ラッチ回路
- 1 7 レベルシフト回路
- 1 8、 2 8 D / A 変換回路
- 1 9、 2 6 階調電圧生成回路
- 2 0、 2 7 バッファ回路
- 2 1、 2 2、 2 3、 2 5、 3 2 データバス
- 2 9 シフトレジスタ回路
- 3 0 R A M
- 3 1、 4 4、 5 1 バッファアンプ
- 3 3、 4 1、 4 3、 4 6、 4 8、 4 9 スイッチ

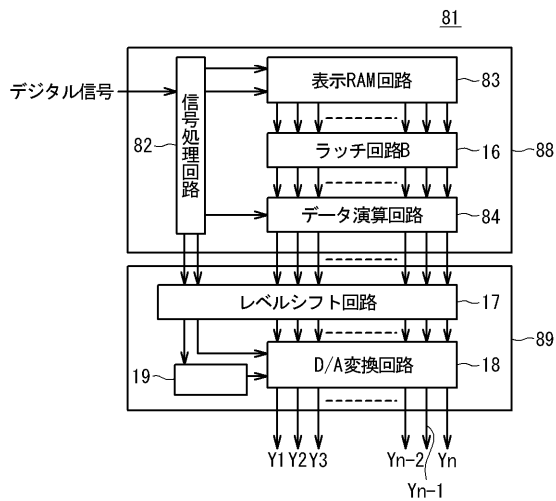
30

40

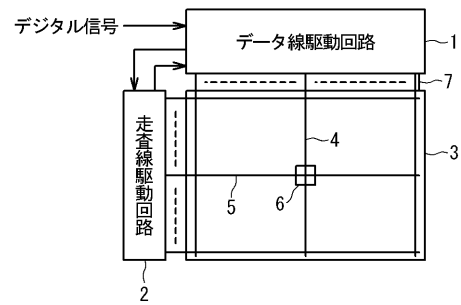
50

- 3 4 遅延回路
- 3 5、3 6、4 5 デコーダ
- 3 7 論理処理回路
- 3 8 多数決演算回路
- 4 2 抵抗分圧回路
- 5 0 データ判別回路
- 5 2 バイアス電圧制御回路
- 6 0、6 1 集積回路

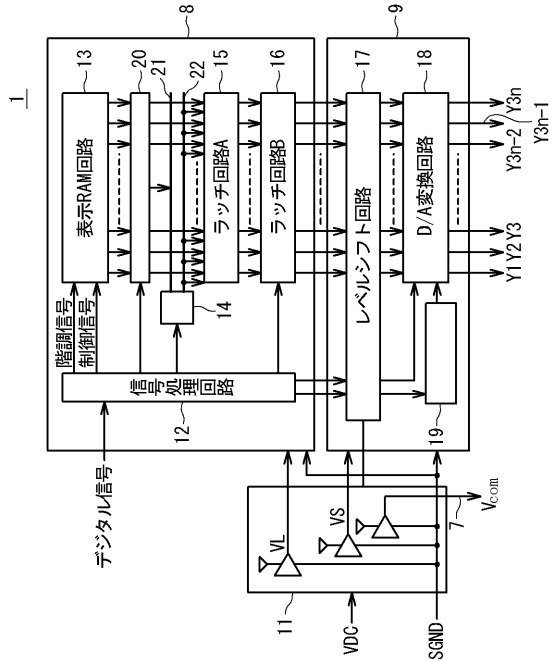
【図 1】



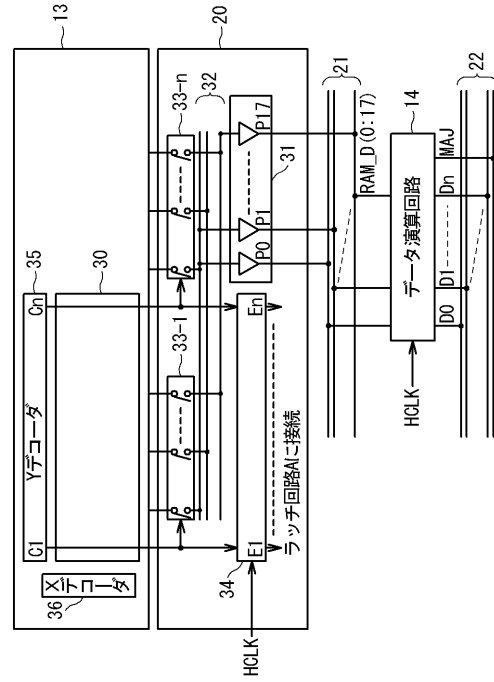
【図 2】



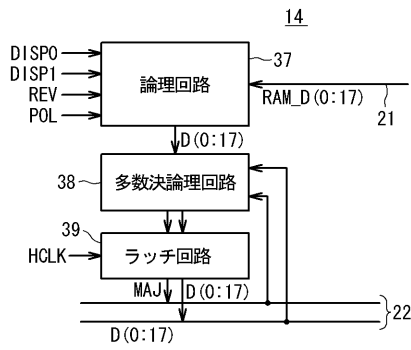
【図3】



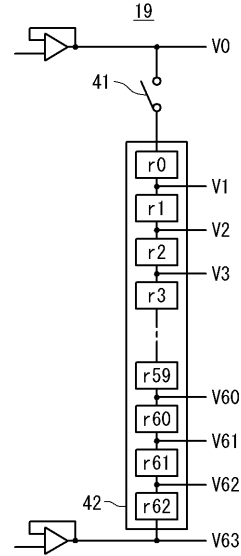
【図4】



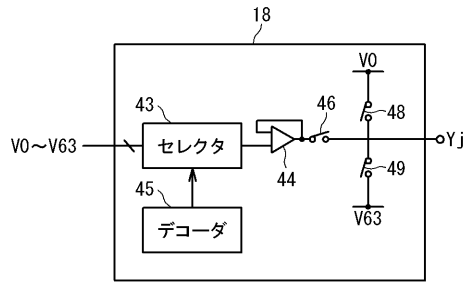
【図5】



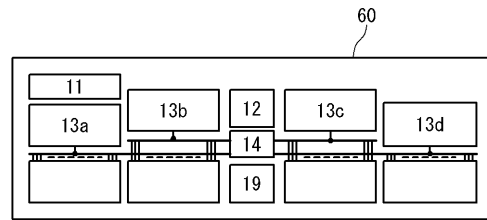
【図6】



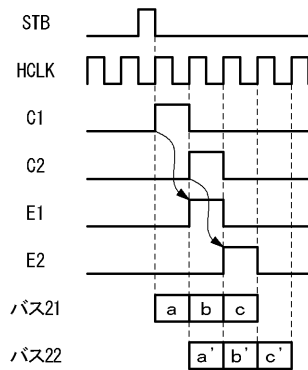
【図7】



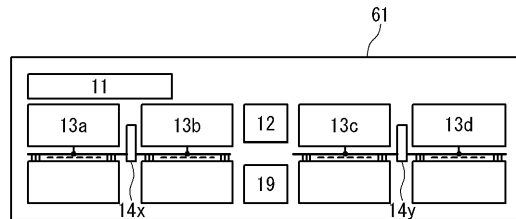
【図9】



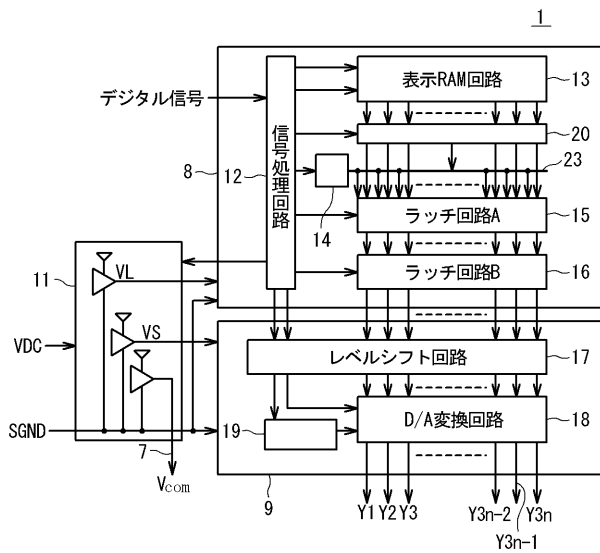
【図8】



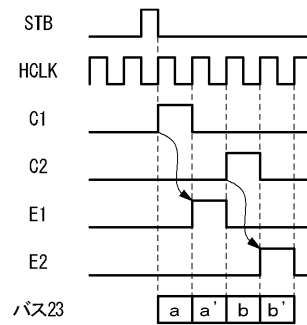
【図10】



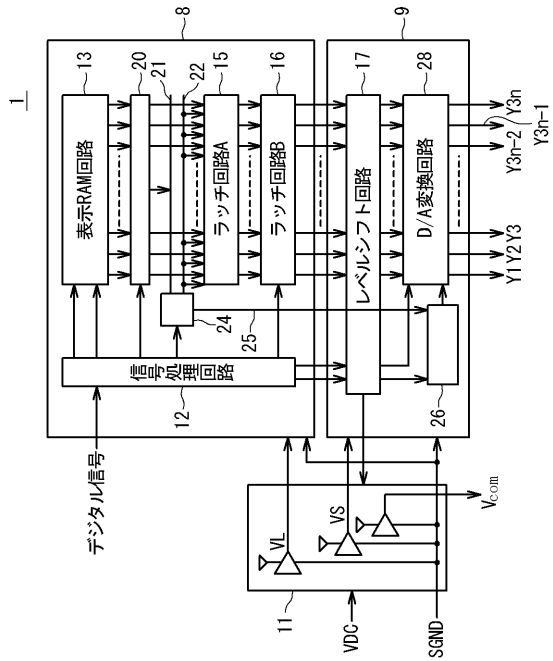
【図11】



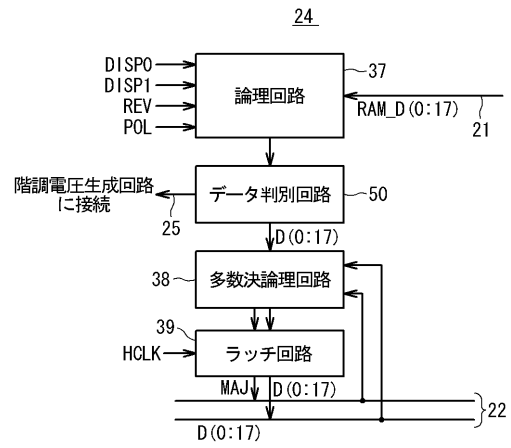
【図12】



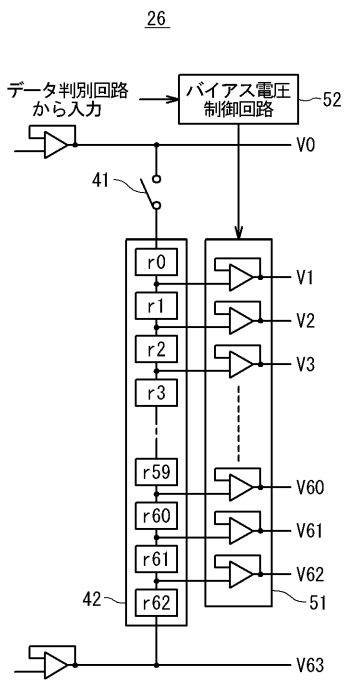
【図13】



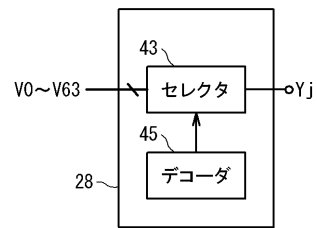
【図14】



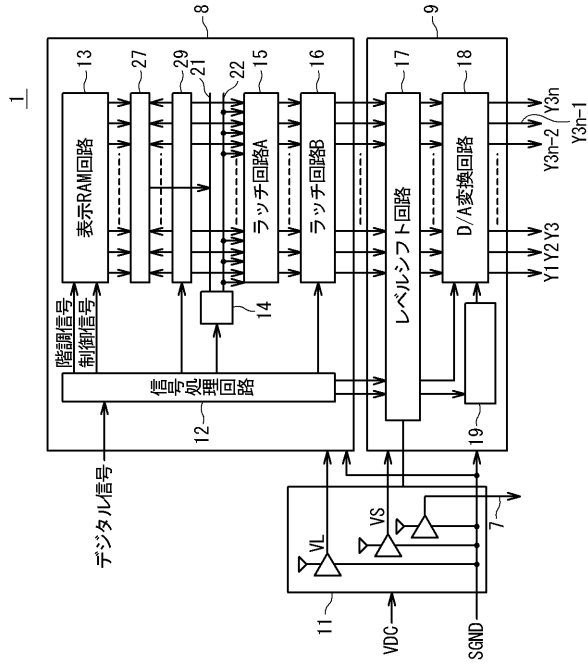
【図15】



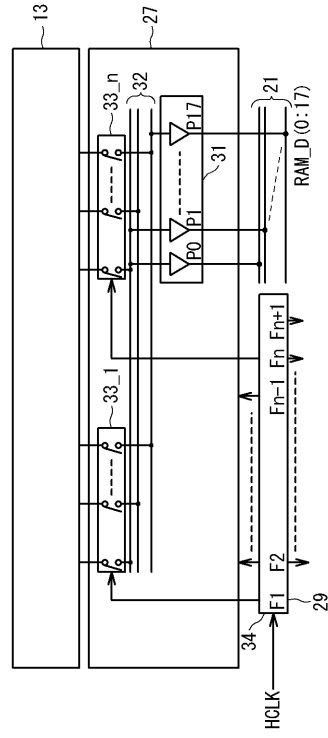
【図16】



【図17】



【図18】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 3 3 P
G 0 9 G 3/20 6 3 3 H
G 0 9 G 3/20 6 2 1 L
G 0 9 G 3/20 6 2 3 F
G 0 9 G 3/20 6 2 3 L
G 0 2 F 1/133 5 7 5
G 0 2 F 1/133 5 2 0

(72)発明者 山上 裕
神奈川県川崎市中原区小杉町1丁目403番53 NECマイクロシステム株式会社内
(72)発明者 加藤 久直
神奈川県川崎市中原区小杉町1丁目403番53 NECマイクロシステム株式会社内

審査官 一宮 誠

(56)参考文献 特開平11-202290(JP,A)
特開2003-022062(JP,A)
国際公開第01/029814(WO,A1)
特開平06-095617(JP,A)
特開2000-148605(JP,A)
特開2004-069985(JP,A)

(58)調査した分野(Int.Cl.,DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3