

公告本

| | |
|------|---|
| 申請日期 | Po. 6. 27 |
| 案 號 | P0115593 |
| 類 別 | H01L ²¹ / ₃₂ ²¹ / ₇₆₈ |

A4
C4

517310

(以上各欄由本局填註)

發 明 專 利 說 明 書

| | | |
|-------------|---------------|--|
| 一、發明 名稱 | 中 文 | 製造半導體裝置之方法 |
| | 英 文 | A METHOD OF MANUFACTURING SEMICONDUCTOR DEVICES |
| 二、發明 創作人 | 姓 名 | 1.木下 多賀雄 TAKAO KINOSHITA 2.折田 城彦 KUNIHICO ORITA |
| | 國 籍 | 1-2均日本 |
| 三、申請人 | 住、居所 | 1.日本國大阪府大阪市生野區小路1-3-6 2.日本國廣島縣福山市春日町浦上2537-305 |
| | 姓 名 (名稱) | 日商夏普股份有限公司 SHARP KABUSHIKI KAISHA |
| | 國 籍 | 日本 |
| | 住、居所 (事務所) | 日本國大阪府大阪市阿倍野區長池町22番22號 |
| | 代 表 人 姓 名 | 町田 勝彦 KATSUHIKO MACHIDA |

裝

訂

線

(由本局填寫)

| |
|--------|
| 承辦人代碼： |
| 大類： |
| IPC分類： |

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權
 日本 2000年06月27日 特願2000-193001 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明背景

1. 發明範疇

本發明係有關於一種製造半導體裝置之方法。詳言之它是關於一種製造具有雙刻紋配線之半導體裝置之方法。

2. 先前技藝之說明

正如最近縮小尺寸半導體裝置之縮小配線之結果，配線電阻及配線電容大幅地增加，以致以RC表示不利於大型積體電路(LSI)操作速率之配線延遲無法被忽略。再者，搭配縮小尺寸之配線，配線電流密度亦會增加，其因為電子遷移升高了配線可信度滑落的嚴重問題，且因為配線電容的增加提高了電力消耗。

所以，銅已經開始被使用當作配線材料，其具有較低的阻抗且顯現比鋁有更高的電子遷移容限。

然而，因為銅利用傳統乾式蝕刻技術的圖樣化很困難，使用化學機械研磨法(CMP)之刻紋方法已經被應用。詳言之，最近已經發展出一種雙刻紋方法，其中配線渠溝及觸點孔同時被形成。

在下文中，一種通用的雙刻紋方法將被說明。

首先，如圖2(a)中所顯示，一種以BPSG(硼磷矽酸鹽玻璃)所製作的中間層絕緣薄膜22形成於其上有電晶體形成之半導體基板21上。觸點孔被形成於中間層絕緣薄膜22中。在含有觸點孔的中間層絕緣薄膜22上，鎢薄膜被形成且利用CMP法將其表面拋光，以致於鎢栓23被埋在觸點孔中。

然後，如圖2(b)中所顯示，蝕刻停止薄膜24被沉積且介

五、發明說明 (2)

電常數3.0之無氟有機聚合物薄膜25被形成於其上。在此無氟有機聚合物薄膜25中，一種渠溝被形成用於刻紋配線結構，且銅被埋入刻紋配線渠溝中形成第一層銅配線26。

接著，如圖2(c)所顯示，利用電漿化學氣體沉積法(CVD)在無氟有機聚合物薄膜25及第一層銅配線26上形成一種銅擴散禁止薄膜27，且在其上形成無氟有機聚合物薄膜28、銅擴散禁止薄膜29、無氟有機聚合物薄膜30及蝕刻停止薄膜31。然後，利用使用預定形狀抗蝕罩32之乾式蝕刻法形成用於連接第一銅配線26及第二配線之觸點孔33。

如圖2(d)中所顯示，利用使用預定形狀抗蝕罩34之乾式蝕刻法形成配線渠溝35，以便包括觸點孔33。

如圖2(e)所顯示，銅被埋入觸點孔33及配線渠溝35中以形成銅雙刻紋配線36。

如此雙刻紋方法，爲了要在中間層絕緣薄膜中以乾式蝕刻形成配線渠溝步驟中控制配線渠溝的深度，使用蝕刻停止薄膜是必須的，因爲渠溝的深度會直接影響配線的電阻率。再者，亦需要銅擴散禁止薄膜用於防止銅在形成配線之後在中間層絕緣薄膜中擴散，因爲銅甚至在低溫熱處理可以輕易地在中間層絕緣薄膜中擴散。

通常，SiN薄膜被使用當作蝕刻停止絕緣薄膜，因爲它在乾式蝕刻與諸如二氧化矽(SiO₂)薄膜或氟化二氧化矽(FSG)薄膜相比之下可以容易地達到選擇。再者，SiN薄膜亦被使用當作銅擴散禁止層，因爲它具有禁止銅擴散的功能。

然而，因爲SiN薄膜具有不低於7的高介電常數，所以使

五、發明說明 (3)

用上述方法中所形成之SiN薄膜甚至它合併一種低介電材料薄膜(具有介電常數不超過3.0之薄膜)當作多層配線結構中的中間層絕緣薄膜很難有效地降低配線電容。在這裡，配線電容的意思是在以垂直方向或以水平方向所配置的配線之間所產生之電容。

在一另方面，在形成雙刻紋結構配線的時候有可能為了降低配線電容而不使用已經被使用當作蝕刻停止薄膜之SiN薄膜。在此例中，然而，這些帶來了其他問題，例如配線渠溝的深度很難控制且根據乾式蝕刻之平面內之一致性，觸點孔的形狀會大幅地改變，且因此，雙刻紋結構配線的電阻率變得不穩定。

此外，例如，在日本專利特許H7(1995)-283312中說明使用硼氮化物(BN)薄膜當作蝕刻停止薄膜。然而，因為利用傳統BN薄膜形成方法只能完成大約4相對較高的介電常數，例如，利用使用 B_2H_6 及 N_2 當作材料在溫度大約 $350^\circ C$ 電漿氣壓300 W之電漿CVD法，在垂直方向及水平方向之配線電容尚未達到足夠的下降。

此外，如上文所述沉積BN薄膜之方法可以只提供9毫微米/分鐘或更低的沉積速率。這樣會增加問題，諸如拉長製造的程序及提高製造的成本。

發明概要

本發明已經考慮到上述的問題。本發明的一個目的是提供一種製造半導體裝置之方法，其可以藉由低介電常數之中間層絕緣薄膜的形成實現在垂直方向及水平方向之減少

五、發明說明(4)

配線電容且利用簡單的方法實現高速的操作。

如本發明，提供一種製造半導體裝置之方法，其含有的配線形成步驟包含：形成由在第(n)層配線上介電常數低於4之硼氮化物薄膜所組成之中間層絕緣薄膜，在中間層絕緣薄膜中形成穿孔及/或渠溝，以導電材料填入穿孔及/或渠溝中且在穿孔及/或渠溝上形成第(n+1)層配線。

圖式摘要說明

圖1(a)至1(e)是說明根據本發明製造半導體裝置方法實施例之主體部分之概要截面視圖；且

圖2(a)至2(e)是說明根據先前技藝製造半導體裝置方法之主體部分之概要截面視圖。

較佳實施例說明

在如本發明製造半導體裝置之方法中，一中間層絕緣薄膜通常被形成於半導體基板上。

半導體基板可以是任何一種經常被使用在半導體裝置中而沒有特別限制且說明地包含元素的半導體，諸如矽、鍺，及合成半導體，諸如GaAs、InGaAs及ZnSe。在它們之中，矽基板較佳。在此半導體基板上，一或多個裝置絕緣區、諸如電晶體、電容器、電阻器及其類似元件、其所形成之電路、中間層絕緣薄膜、其他半導體裝置及其類似裝置可以以單層或多層結構被形成。在它們之中，較佳的半導體基板是其上有一個或多個諸如電晶體、電容器、電阻器及其類似元件、其所形成之電路、其他半導體裝置及其相似裝置以單層成形。

五、發明說明 (5)

本發明中配線形成步驟通常意味著一連串步驟，包含在第(n)層配線上形成一中間層絕緣薄膜；形成一穿孔及/或渠溝或與其相似之結構；以導電材料填入穿孔及/或渠溝；且在穿孔及/或渠溝上形成第(n+1)層配線。

第(n)層配線在此的意思，舉例來說，是一基板，其中一雜質擴散層被形成，如上文所述之元件、電路或與其相似裝置之電極被形成於基板上，一配線被形成於第二或上面一層或與其相似層中。雜質擴散層被形成於其中之基板可以是P型或N型雜質以相較高濃度被擴散其中之基板。此外，電極與配線之材料、其厚度及與其相似之特性可以與那些經常使用於電極及配線的一樣而沒有特別的限制，且說明地包含，例如，無定型的單層或薄片層、單晶或多晶N型或P型元素半導體(例如矽、鍺等)或合成半導體(GaAs、InP、ZnSe、CsS等)；金屬，諸如金、鉑、銀、銅、鋁極與其相似之金屬或它們的合金；高熔點之金屬，諸如鈦、鉭、鎢及其他相似之金屬；矽化物、高熔點金屬之聚合物或其他類似金屬化物。

中間層絕緣薄膜可以是一種能夠在配線之間保持電隔離之薄膜且可以被形成於介電常數小於4之BN薄膜之單一層中或具有其他絕緣薄膜，諸如SiO₂薄膜、FSG薄膜、hydrogenized sil-sesquioxane resin薄膜、含有低介電常數碳之薄膜(例如CVD-SiOC薄膜等)或其他相類似之薄膜，之層疊薄膜中，它是由包含BN薄膜且介電常數小於4之薄膜所形成。在它們之中，其他絕緣薄膜最好是具有與BN薄膜相

五、發明說明 (6)

同或較小的介電常數。此外，BN薄膜的介電常數小於4，不高於大約3.5較佳，更好的是不高於大約3.0且甚至於不高於大約2.0最好。介電常數小於4之BN薄膜的厚度可以依據配線所使用材料、所得到半導體的效能、施加志半導體裝置上之電壓及其他類似特性作適當地調整。在單層的情況下，例如，大約5至30毫微米厚度可以被討論。在層疊薄膜的情況中，薄膜具有足夠的厚度以致於它能與其他絕緣薄膜一起保持絕緣，但是如果薄膜厚度能夠當作禁止諸如銅等金屬擴散之薄膜，且/或能夠當作在使用銅作材料雙刻紋結構形成多層配線步驟中渠溝配線形成之乾式蝕刻停止薄膜則更佳，如下文所描述。例如，在該其他絕緣薄膜具有厚度大約300至500毫微米的情況中，BN薄膜的厚度最好為大約5至20毫微米。當它被使用作為禁止金屬擴散的薄膜且/或渠溝配線形成之乾式蝕刻停止薄膜的時候，將BN薄膜設置於中間層絕緣薄膜的底部是較佳的。

介電常數小於4之BN薄膜可以利用不同的方法被形成，例如，化學蒸氣沉積(CVD)法、氣壓CVD法、減壓CVD法、熱(高溫、正常溫度、低溫)CVD法、電漿CVD法、照相CVD法、ECR電漿CVD法及與其類似之方法。其中，以電漿CVD法及低溫熱CVD法較佳。

例如，以電漿CVD法為例，最好使用 B_2H_6 及 NH_3 氣體當作材料且除了這些氣體之外，也可以使用惰性氣體，諸如氫、氬、氫極與其類似之氣體。適當的 B_2H_6 與 NH_3 的體積比例為1比大約10至50、1比大約40、1比大約30或者1比大約

五、發明說明 (7)

20。

電漿 CVD 法的適當條件被選擇以便得到想要的介電常數，平穩地進行沉積(例如沉積速率：不低於大約 10 毫微米/分鐘，較佳地不低於大約 15 毫微米/分鐘等)，不會因為下層中配線材料的熔解引起原子遷移且不會破壞下層中的配線、基板及與其類似物件，如上文所述。例如，較佳地條件被顯示如下：CVD 設備內的壓力可以是大約 0.5 至 3 陶爾 (torr)；大氣溫度不超過大約 450°C，大約 250 至 350°C 較佳；電力大約 40 至 200 W 左右。

此外，在低溫熱 CVD 法的例子中，使用 TEAB (triethylamine bane 複合物) 及 NH₃ 氣體當作材料較佳，且除了這些氣體之外，載體氣體可以被使用。TEAB 與 NH₃ 的適當體積比例是 1 比大約 10 至 50、1 比大約 40、1 比大約 30 且進一步 1 比大約 20。低溫熱 CVD 法的適當條件被選擇以便得到一想要的介電常數，平穩地進行沉積，不會因為下層中配線材料的熔解引起原子遷移且不會破壞下層中的配線、基板及與其類似物件，如上文所述。例如，較佳地條件被顯示如下：CVD 設備內的壓力可以是大約 1 至 3 陶爾 (torr)；大氣溫度不超過大約 450°C，大約 350 至 400°C 較佳；電力大約 40 至 200 W 左右。

穿孔通常被形成以穿過中間層絕緣薄膜，用於將中間層絕緣薄膜的上一層與下一層接觸。例如，其包含觸點孔，通道孔、穿孔及與其類似孔。渠溝通常被形成用於中間層絕緣薄膜表面中之配線配置，如同不穿透之凹形部分。只

五、發明說明 (8)

要是被應用於半導體裝置上，穿孔及渠溝在大小及形狀上沒有特別的限制。

穿孔及/或渠溝或類似機構可以利用傳統方法形成，諸如照相平版印刷及蝕刻法。蝕刻可以以不同的方法實施，例如，使用諸如氟酸、熱磷酸、硝酸、硫酸及與其類似之酸性溶液或鹼性溶液之濕式蝕刻；乾式蝕刻，即諸如噴濺或與其類似之物理蝕刻，諸如RIE法或與其類似方法之化學蝕刻。此外，在使用BN薄膜當作蝕刻停止薄膜的例子中，最好選擇蝕刻的條件，以便增加絕緣薄膜至BN薄膜的選擇比率。

穿孔或渠溝可以被填平，例如，藉由在含有穿孔或渠溝之中間層絕緣薄膜的整個表面上形成一傳導材料之薄膜，例如，藉由諸如PVD法、噴濺法或與其類似方法之物理方法或藉由諸如CVD法或其他與其類似之化學方法，且將在穿孔或渠溝外側傳導材料不需要的部分移除。傳導材料可以一需要選自上述配線材料。在它們之中，銅或其合金較佳。其適當的厚度沒有特別地限制且，例如，最好不要小於孔或渠溝總深度。此外，在傳導材料形成之前，諸如鈦氮、矽鎢氮、鈮、鉭及與其類似之金屬或合金的單層薄膜或疊層可以被形成於孔及/或渠溝表面上。傳導材料不需要的部分可以利用不同的物理或化學蝕刻方法去除，例如，噴濺、CVD法、CMP法及與其類似之方法。在它們之中，以CMP法較佳。

此外，上述本發明配線步驟可以只實施一次或複數次。

五、發明說明 (9)

而且，在複數個配線步驟中，配線步驟至少被實施一次。

本發明製造半導體裝置之方法將參照附圖在下文中加以詳細解釋。

如圖 1(a) 中所顯示，在諸如電晶體及與其類似元件被製造於其中之矽基板 1 表面上 (未由附圖所顯示)，由 BPSG 薄膜所組成之中間層絕緣薄膜 2 以氣壓 CVD 法被形成。在此中間層絕緣薄膜 2 之預定區域中，連接矽基板 1 之觸點孔以照相平版印刷及乾式蝕刻技術被形成。在包含這些觸點孔之中間層絕緣薄膜 2 整個表面上，一鎢薄膜依據噴濺法及 CVD 法被形成，且以 CMP 法將鎢薄膜不需要的部分去除，以將觸點栓 3 埋入觸點孔中。

然後，如圖 1(b) 中所顯示，以使用混和氣體 B_2H_6 與 $NH_3=50:1$ 當作來源之電漿 CVD 法在電漿氣不大於 600 W 中溫度低於 $450^\circ C$ 下形成厚度 50 毫微米之硼氮 (BN) 薄膜當作渠溝蝕刻停止薄膜。一種厚度 500 毫微米具有介電常數 3 之非氟有機聚合物薄膜 5 以在氮氣中每分鐘 2000 轉 (2000 rpm) 且熱在 $200^\circ C$ 的旋轉塗覆被形成。在此非氟有機聚合物薄膜 5 之預定區域中，利用照相平版印刷法及乾式蝕刻技術形成配線渠溝。在含有配線渠溝之非氟有機聚合物薄膜 5 表面上利用噴濺法及 EP 法形成銅薄膜且利用 CMP 法將銅薄膜不需要的部分去除，埋入第一層銅配線 6。

接著，如圖 1(c) 中所顯示，在整個含有第一層銅配線 6 之非氟有機聚合物薄膜 5 表面上，形成一個厚度 50 毫微米之 BN 薄膜 7 當作銅擴散禁止薄膜。利用旋轉塗覆法且然後利用熱

五、發明說明 (10)

處理法在其上形成厚度500毫微米之非氟有機聚合物薄膜8。然後，在其上依序形成厚度50毫微米之BN薄膜9、厚度450毫微米之非氟有機聚合物薄膜10及厚度50毫微米之BN薄膜11。此外，在其上利用照相平版印刷法及乾式蝕刻法形成預定形狀之抗蝕遮罩12。使用此抗蝕遮罩12形成連接第一銅配線6之觸點孔14。

此外，如圖1(d)中所顯示，利用照相平版印刷法及乾式蝕刻法形成預定形狀之抗蝕遮罩13且然後使用此抗蝕遮罩13形成用於刻紋配線之渠溝15。

然後，如圖1(e)中所顯示，利用噴濺法及EP法在BN薄膜11上形成一銅薄膜，連接觸點孔14及用於刻紋配線之渠溝15。利用CMP法將銅薄膜不需要的部分去除，將第二銅配線16埋入觸點孔14及渠溝15，藉以形成雙刻紋疊層配線。

利用與上述相同的製造步驟，在介電常數3之非氟有機聚合物薄膜被使用當作中間層絕緣薄膜且具有介電常數3的BN薄膜或具有介電常數8的SiN薄膜被使用當作刻紋渠溝處理蝕刻停止薄膜及銅擴散禁止薄膜的事例中，銅雙刻紋多層配線中垂直及水平配線電容被測量。

因此，當在刻紋配線距離為0.21 μm 且配線深度為0.45 μm 的條件下時，使用BN薄膜比使用SiN薄膜可以達成減少10%的水平配線電容。

此外，當在雙刻紋孔的深度為0.5 μm 的條件下時，使用BN薄膜比使用SiN薄膜可以達成減少10%的垂直配線電容。

而且，在以介電常數2.7之非氟有機聚合物薄膜當作中間

五、發明說明 (11)

層絕緣薄膜且以介電常數8之SiN薄膜、用傳統方法所形成介電常數4之BN薄膜或用上述製造步驟所形成介電常數3或2之BN薄膜被形當作刻紋渠溝處理蝕刻停止薄膜及銅擴散禁止薄膜的事例中，銅雙刻紋多層配線中的水平及垂直配線電容被測量。

因此，如果介電常數為8之SiN薄膜的垂直及水平配線電容是100%，則介電常數為4之BN薄膜的垂直及水平配線電容分別為92%及95%，介電常數為3之BN薄膜的垂直及水平配線電容分別為88%及91%，且介電常數為2之BN薄膜則分別為85%及87%。

因此，吾人已經發現介電常數為3及2之BN薄膜比起傳統介電常數為4之BN薄膜在操作速率可以達到10%的改良。此外，亦可見到，當介電常數越低，則電容上中間層絕緣薄膜厚度參差不其的作用會越小。

根據本發明，形成一種可以禁止會引發配線延遲之垂直及水平電容增加之裝置成為可能，利用在配線形成步驟中藉以形成介電常數小於4之硼氮薄膜所組成之中間層絕緣薄膜。於是，以一簡單方法可以製造一種高速裝置。

因為本發明之中間層絕緣薄膜可以提出銅擴散禁止之功能及/或乾式蝕刻阻斷器用於在使用銅作為配線材料之雙刻紋結構中多層配線形成步驟中渠溝配線之形成，所以有可能有效地利用低介電常數的特性而保留這些功能。因此，可以降低垂直及水平配線電容，而導致高速裝置之實現。

四、中文發明摘要 (發明之名稱：製造半導體裝置之方法)

一種製造半導體裝置之方法，包含一配線形成步驟，該步驟包括：形成由在第(n)層配線上介電常數低於4之硼氮化物薄膜所組成之中間層絕緣薄膜，在中間層絕緣薄膜中形成穿孔及/或渠溝，以導電材料填入穿孔及/或渠溝中且在穿孔及/或渠溝上形成第(n+1)層配線。

英文發明摘要 (發明之名稱：A METHOD OF MANUFACTURING SEMICONDUCTOR DEVICES)

A method of manufacturing a semiconductor device comprising a wiring formation step including: forming an interlayer insulating film composed of a boron nitride film having a dielectric constant of less than 4 on an (n)-th layer wiring, forming a hole and/or a trench in the interlayer insulating film, burying the hole and/or trench with a conductive material and forming an (n+1)-th layer wiring on the hole and/or trench.

六、申請專利範圍

1. 一種製造半導體裝置之方法，其含有一配線形成步驟，包含：
 在第n層配線上形成以介電常數小於4之硼氮薄膜所組成之中間層絕緣薄膜，
 在中間層絕緣薄膜中形成一穿孔及/或渠溝，
 將傳導材料填入穿孔及/或渠溝，及
 在穿孔及/或渠溝上形成第(n+1)層配線。
2. 如申請專利範圍第1項之方法，其中半導體裝置具有雙金屬鑲嵌(damascene)結構之銅製多層配線且硼氮薄膜被形成當作配線行成時之銅擴散禁止薄膜及/或蝕刻停止薄膜。
3. 如申請專利範圍第1或2項之方法，其中硼氮薄膜是以使用 B_2H_6 及 NH_3 為材料之電漿CVD法被形成。
4. 如申請專利範圍第1或2項之方法，其中硼氮薄膜是以使用TEAB及 NH_3 為材料之熱CVD法被形成。
5. 如申請專利範圍第1項之方法，其中第(n)層配線是一具有雜質擴散層形成在其中的基板，一電極被形成於基板上或一配線被形成當作第二或上一層。
6. 如申請專利範圍第1項之方法，其中中間層絕緣薄膜是一介電常數小於4之BN薄膜及介電常數實質相等或低於此BN薄膜介電常數之另一絕緣薄膜之疊層薄膜。
7. 如申請專利範圍第6項之方法，其中介電常數小於4之BN薄膜被置於中間層絕緣薄膜的底部。
8. 如申請專利範圍第1項之方法，其中配線形成步驟被執行複數次。



