



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2017년09월14일  
 (11) 등록번호 10-1778874  
 (24) 등록일자 2017년09월08일

- (51) 국제특허분류(Int. Cl.)  
*H01L 29/786* (2006.01)
- (52) CPC특허분류  
*H01L 29/78603* (2013.01)  
*H01L 29/78606* (2013.01)
- (21) 출원번호 10-2015-7027464
- (22) 출원일자(국제) 2014년01월24일  
 심사청구일자 2015년10월05일
- (85) 번역문제출일자 2015년10월05일
- (65) 공개번호 10-2015-0129767
- (43) 공개일자 2015년11월20일
- (86) 국제출원번호 PCT/JP2014/000354
- (87) 국제공개번호 WO 2014/136375  
 국제공개일자 2014년09월12일
- (30) 우선권주장  
 JP-P-2013-046827 2013년03월08일 일본(JP)

- (56) 선행기술조사문헌  
 JP2006196851 A  
 JP2012530033 A  
 JP2012094757 A  
 JP2011159807 A

(73) 특허권자  
**후지필름 가부시키가이샤**  
 일본 도쿄도 미나토구 니시 아자부 2쵸메 26방 3  
 0고

(72) 발명자  
**나카야마 마사야**  
 일본 가나가와Ken 아시가라카미군 가이세이마치 우  
 시지마 577반치 후지필름 가부시키가이샤 나이  
**모치즈키 후미히코**  
 일본 가나가와Ken 아시가라카미군 가이세이마치 우  
 시지마 577반치 후지필름 가부시키가이샤 나이  
 (뒷면에 계속)

(74) 대리인  
**특허법인코리아나**

전체 청구항 수 : 총 11 항

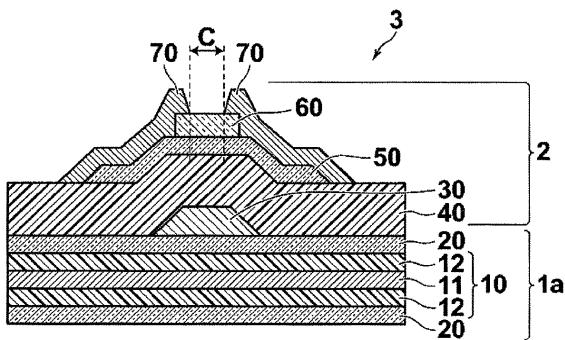
심사관 : 최혜미

(54) 발명의 명칭 산화물 반도체 박막 트랜지스터용 기판

### (57) 요약

본 발명은, 이동도가 높고, 임계값 전압이 소정의 범위에 있는 산화물 반도체 박막 트랜지스터용 기판 및 그것을 구비한 가요성의 반도체 장치를 제공하는 것이다. 본 발명은, 금속 기부 (11) 와 다공질층 (12) 을 갖는 기재 (10) 를 산화물 반도체 박막 트랜지스터용의 기판으로서 사용하는 경우에, 이 다공질층 상에 실리콘 화합물을 주성분으로 하고, 또한, 수소를 함유하는 절연성을 갖는 보호 절연층 (20) 으로서, 수소 농도가  $3.5 \times 10^{21}$  atoms/cm<sup>3</sup> 이상  $3.5 \times 10^{22}$  atoms/cm<sup>3</sup> 이하이고, 또한, 두께가 100 nm 이상 2000 nm 이하의 보호 절연층 (20) 을 형성하는 것이다. 이 보호 절연층 (20) 위에, 활성층에 산화물 반도체를 포함하는 박막 트랜지스터를 형성한다.

대 표 도 - 도1



(52) CPC특허분류

*H01L 29/7869* (2013.01)

*H01L 2924/13069* (2013.01)

(72) 발명자

**유우야 시게노리**

일본 가나가와Ken 아시가라카미군 가이세이마치 우  
시지마 577번지 후지필름 가부시키가이샤 나이

**다나카 아츠시**

일본 가나가와Ken 아시가라카미군 가이세이마치 우  
시지마 577번지 후지필름 가부시키가이샤 나이

---

**스즈키 마사유키**

일본 가나가와Ken 아시가라카미군 가이세이마치 우  
시지마 577번지 후지필름 가부시키가이샤 나이

## 명세서

### 청구범위

#### 청구항 1

금속 기부의 적어도 상면 상에 형성된 다공질층을 구비한 기재와,

상기 기재 상에 형성된, 실리콘 화합물을 주성분으로 하고, 또한, 수소를 포함하는 보호 절연층을 구비하여 이루어지고,

상기 보호 절연층 중의 수소 농도가  $3.5 \times 10^{21}$  atoms/cm<sup>3</sup> 이상  $3.5 \times 10^{22}$  atoms/cm<sup>3</sup> 이하이고, 또한, 상기 보호 절연층의 두께가 100 nm 이상 2000 nm 이하이며,

가요성 산화물 반도체 박막 트랜지스터가 상기 보호 절연층 상에 형성되는, 가요성 산화물 반도체 박막 트랜지스터용 기판.

#### 청구항 2

제 1 항에 있어서,

상기 실리콘 화합물이, 질화실리콘, 산화실리콘, 산질화실리콘에서 선택되는 적어도 1 종인, 가요성 산화물 반도체 박막 트랜지스터용 기판.

#### 청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 다공질층이 알루미늄 혹은 알루미늄 합금의 양극 산화막인, 가요성 산화물 반도체 박막 트랜지스터용 기판.

#### 청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 금속 기부의 양면에 상기 다공질층을 갖는, 가요성 산화물 반도체 박막 트랜지스터용 기판.

#### 청구항 5

제 1 항 또는 제 2 항에 기재된 가요성 산화물 반도체 박막 트랜지스터용 기판과,

상기 기판의 상기 보호 절연층 상에 형성된,

적어도 게이트 전극, 게이트 절연막, In, Ga 및 Zn에서 선택되는 적어도 1 개의 원소를 함유하는 산화물 반도체로 이루어지는 활성층, 및 소스·드레인 전극을 갖는 산화물 반도체 박막 트랜지스터를 구비한, 가요성 반도체 장치.

#### 청구항 6

제 5 항에 있어서,

상기 보호 절연층은, 적어도 상기 활성층이 형성되는 영역의 전체 영역에 형성되는, 가요성 반도체 장치.

#### 청구항 7

제 5 항에 있어서,

상기 활성층이 In, Ga 및 Zn을 함유하는 산화물 반도체인, 가요성 반도체 장치.

#### 청구항 8

제 5 항에 있어서,

상기 산화물 반도체는 아모르페스 산화물 반도체인, 가요성 반도체 장치.

### 청구항 9

제 5 항에 있어서,

상기 게이트 절연막이 산화실리콘을 주성분으로서 함유하는, 가요성 반도체 장치.

### 청구항 10

금속 기부의 적어도 상면에 다공질층을 갖는 기재를 준비하고,

상기 기재의 적어도 일부 상면에, 실리콘 화합물을 주성분으로 하고, 수소 농도가  $3.5 \times 10^{21}$  atoms/cm<sup>3</sup> 이상  $3.5 \times 10^{22}$  atoms/cm<sup>3</sup> 이하이고, 또한, 두께가 100 nm 이상 2000 nm 이하인 절연성의 보호 절연층을 플라즈마 CVD에 의해 성막하고,

상기 보호 절연층의 위에 In, Ga 및 Zn에서 선택되는 적어도 1 개의 원소를 함유하는 산화물 반도체로 이루어지는 활성층을 형성하는, 제 5 항에 기재된 가요성 반도체 장치의 제조 방법.

### 청구항 11

제 10 항에 있어서,

상기 보호 절연층을 성막하기 전에, 상기 기재를 대기보다 감압하, 또한, 350 °C 이상에서 가열하는, 가요성 반도체 장치의 제조 방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명은, 액정, 유기 EL 소자 등을 사용한 표시 장치, 전자 페이퍼, X 선 센서 등의 가요성 디바이스에 사용할 수 있는 산화물 반도체 박막 트랜지스터에 사용되는 기판, 반도체 장치, 및 그 제조 방법에 관한 것이다.

### 배경 기술

[0002] 특허문헌 1 에는, In-Ga-Zn-O 계의 산화물 반도체 (InGaZnO) 를 활성층에 사용한 박막 트랜지스터 (TFT) 를, 비교적 저온에서 성막할 수 있어, 수지 기판의 사용이 가능해지는 점에서, 플랫 패널 디스플레이 (FPD) 의 박형화, 경량화, 가요화에 적합한 기술인 것이 기재되어 있다. 또, 산화물 반도체 박막 트랜지스터의 활성층은, 대기나, 패터닝 시의 에칭액에 노출되면, 산화물 반도체 박막 트랜지스터의 임계값 전압이 0 V 로부터 크게 벗어나 버리는 것을 과제로서 들 수 있고, 활성층 상에 보호층을 형성하여 보호함으로써, 과제를 해결 가능한 것이 개시되어 있다. 또, 특허문헌 1 에는, 수지 기판 뿐만 아니라, 표면을 절연 처리한 알루미늄 등의 금속 기판을 사용해도 되는 것도 기재되어 있다.

[0003] 특허문헌 2 는, 가요성 기판에 관한 특허문헌으로서, 금속 표면에 양극 산화 처리에 의해 포러스 (다공질) 구조를 가지는 산화 알루미늄 절연층을 형성함으로써, 수지 기판보다 내열성이 높고, 열 치수 안정성이 우수하고, 또한 쇼트 등의 고장을 일으키지 않는 가요성 기판이 얻어지는 것이 개시되어 있다.

[0004] 또, 특허문헌 3 은, 수지제의 가요성 기판에 관한 특허문헌으로서, 수지 기판을 투과해 오는 투과 가스를 저감하기 위해서, 실리콘 화합물을 함유하는 가스 배리어층을 수지 기판 표면에 형성하는 것이 제안되어 있다. 실리콘 화합물에 수소가 10 ~ 30 원자% 함유되도록 조절함으로써, 투과 가스를 배리어함과 함께, 투명성과 가요성을 양립할 수 있는 것이 기재되어 있다.

## 선행기술문헌

### 특허문헌

[0005] (특허문헌 0001) 일본 공개특허공보 2011-249674호

(특허문헌 0002) 일본 특허공보 제4700130호

(특허문헌 0003) 일본 공개특허공보 2011-63851호

## 발명의 내용

### 해결하려는 과제

[0006]

상기한 바와 같이, 특허문헌 1 에서는, 표면을 절연 처리한 금속 기판을 사용하여 TFT 를 제작해도 되는 것이 기재되어 있다. 그러나, 이러한 금속 기판의 구체예나, 금속 기판을 사용하여 제조된 TFT 의 양태나 구체예에 대해서는 설명이 이루어지지 않았다.

[0007]

본 출원인은, 수지 기판보다 내열성이 높고, 또한, 수지 기판과 비교해서 가스 배리어성에 문제가 없는 금속 기판 상에, 산화물 반도체 박막 트랜지스터를 제조하는 것을 시도했다. 구체적으로는, 특허문헌 2 에 기재된, 다공질 알루미늄 양극 산화 절연막을 갖는 금속 기판 상에, 특허문헌 1 에 기재된 구성의 산화물 반도체 박막 트랜지스터를 형성했다.

[0008]

그러나 예상에 반하여, 제조된 산화물 반도체 박막 트랜지스터는 정상적으로 동작하지 않는 것을 알 수 있었다. 구체적으로는, 내열성이 높고, 가스 배리어성이 높다고 예상되는 금속 기판을 사용했음에도 불구하고, 산화물 반도체 박막 트랜지스터의 이동도, 임계값 전압은 소정의 범위가 되지 않았다. 일반적으로, 임계값 전압은, 제로 볼트 근방에서 약간 마이너스 부근이고 약간 마이너스로 바이어스 인가한 상태에서 오프하는 것이 바람직하다고 되어 있다.

[0009]

본 발명은, 상기의 사정을 감안하여 이루어진 것이며, 이동도가 높고, 임계값 전압이 소정의 범위에 있는 산화물 반도체 박막 트랜지스터를 형성 가능한 가요성 산화물 반도체 박막 트랜지스터용 기판, 및 그것을 사용하여 얻어지는 가요성 반도체 장치를 제공하는 것이다.

### 과제의 해결 수단

[0010]

본 발명자들은, 다공질 양극 산화 절연막을 갖는 알루미늄 기판을 진공 장치에 투입했을 때에 진공 빼기에 필요한 시간이 긴 점 등에서, 양극 산화 알루미늄 기판 표면의 다공질층에 가스가 흡착되어, 흡착된 가스가 제조 중에 방출되거나, 제조 후에 확산되거나 함으로써, InGaZnO-TFT 의 임계값 전압이 0 V 로부터 크게 변화되고 있다고 추측했다.

[0011]

그래서, 특허문헌 3 에 기재된 가스 배리어층을 형성한 양극 산화 알루미늄 기판을 준비하고, 그 위에 산화물 반도체 박막 트랜지스터를 형성하여, 산화물 반도체 장치를 제작했다. 그러나, 특허문헌 3 에 기재된 가스 배리어층을 형성해도, 여전히 원하는 특성을 가지는 반도체 장치를 얻을 수 없었다. 본 출원인의 상세한 검토 결과, 양극 산화 알루미늄 기판의 표면 요철이 크기 때문에, 특허문헌 3 에 기재된 가스 배리어층에서는, 기판의 표면의 커버리지가 충분하지 않았던 것이 하나의 원인인 것을 알 수 있었다. 그래서, 추가로 기판의 막 구성이나 제조 방법을 상세하게 검토한 결과, 마침내 상기의 과제를 해결하여, 본 발명을 완성하기에 이르렀다.

[0012]

상기 목적을 달성하기 위해서, 본 발명의 가요성 산화물 반도체 박막 트랜지스터용 기판은, 금속 기부의 적어도 일방의 면 상에 형성된 다공질층을 구비한 기재와, 상기 다공질층 상에 형성된, 실리콘 화합물을 주성분으로 하고, 또한, 수소를 포함하는 보호 절연층을 구비하여 이루어지고, 이 보호 절연층 중의 수소 농도가  $3.5 \times 10^{21}$  atoms/cm<sup>3</sup> 이상  $3.5 \times 10^{22}$  atoms/cm<sup>3</sup> 이하이고, 또한, 보호 절연층의 두께가 100 nm 이상 2000 nm 이하이다.

[0013]

본 발명에 있어서는, 실리콘 화합물이 질화실리콘, 산화실리콘, 산질화실리콘에서 선택되는 적어도 1 종인 것이 바람직하다.

[0014]

또, 다공질층은 알루미늄 혹은 알루미늄 합금의 양극 산화막으로 하는 것이 바람직하다. 게다가 또, 다공질층은 금속 기부의 양면에 형성하는 것이 바람직하다.

[0015]

또, 금속 기부 상에 다공질층이 형성되어 이 다공질층 상에 보호 절연층이 형성된 기판과, 이 보호 절연층 상에 형성된 In, Ga 및 Zn 에서 선택되는 적어도 1 개의 원소를 함유하는 산화물 반도체로 이루어지는 활성층을 구비한 산화물 반도체 박막 트랜지스터를 구비한, 가요성 반도체 장치로 하는 것이 바람직하다. 여기서, 보호

절연층은, 적어도 산화물 반도체로 이루어지는 활성층이 형성되는 영역의 전체 영역에 형성되는 것이 바람직하다. 또한, 산화물 반도체로 이루어지는 활성층은, In, Ga, 및 Zn 을 함유하는 것이 바람직하다. 게다가 또, 산화물 반도체로 이루어지는 활성층이 아모르페스성인 것이 바람직하다.

[0016] 산화물 반도체 박막 트랜지스터는 적어도, 게이트 전극, 게이트 절연막, 산화물 반도체로 이루어지는 활성층, 소스 및 드레인 전극을 갖는다. 또, 산화물 반도체 박막 트랜지스터는 기판 상에 형성되고, 적어도 게이트 전극, 게이트 절연막, 산화물 반도체로 이루어지는 활성층, 소스 및 드레인 전극을 이 순서로 갖는 것이 바람직하다. 게다가 또, 상기 산화물 반도체 박막 트랜지스터의 게이트 절연막이 산화실리콘을 주성분으로 하는 것이 바람직하다.

[0017] 본 발명의 가요성 반도체 장치의 제조 방법은, 금속 기부 상의 적어도 일 표면에 다공질층을 갖는 기재를 준비하고, 상기 다공질층 상의 적어도 일부에, 실리콘 화합물을 주성분으로 하고, 수소 농도가  $3.5 \times 10^{21}$  atoms/cm<sup>3</sup> 이상  $3.5 \times 10^{22}$  atoms/cm<sup>3</sup> 이하이고, 또한, 두께가 100 nm 이상 2000 nm 이하인 보호 절연층을 플라즈마 CVD (CVD : Chemical Vapor Deposition - 화학 기상 성장) 에 의해 성막하고, 그 보호 절연층 상에 In, Ga 및 Zn에서 선택되는 적어도 1 개의 원소를 함유하는 산화물 반도체로 이루어지는 활성층을 갖는 산화물 반도체 박막 트랜지스터를 형성하는 것을 특징으로 한다.

[0018] 본 양태에 있어서는, 보호 절연층을 성막하기 전에, 다공질층을 갖는 기재를 대기보다 감압하, 또한, 350 °C 이상에서 가열하는 것이 바람직하다.

[0019] 본 발명에 있어서는, 다공질층 상에 형성되어 있고, 실리콘 화합물을 주성분으로 하는 층을 보호 절연층이라고 부르는 것으로 한다.

[0020] 본 발명에 있어서, 「주성분」 이란, 층을 구성하는 재료 중, 60 질량% 이상이 지정 화합물로 이루어지는 것을 의미한다.

[0021] 본 발명에 있어서, 「산화물 반도체 박막 트랜지스터」 란, 적어도, 게이트 전극, 게이트 절연막, 산화물 반도체로 이루어지는 활성층, 소스 · 드레인 전극을 갖는 박막 트랜지스터를 의미한다.

[0022] 본 발명에 있어서, 「~의 위에 ···」 혹은 「~위에 ···」 라고 기재한 경우에는, ~의 표면에 직접 접하여 ··· 를 형성하고 있는 경우와, ~의 위에 다른 층이 존재하고, 그 층 위에 ··· 를 형성한 경우의 양 방을 포함하는 것으로 한다. 또, 그 경우, ··· 는 ~의 전체 영역에 형성되어 있어도 되고, 일부에만 형성되어 있어도 된다.

### 발명의 효과

[0023] 본 발명의 산화물 반도체 박막 트랜지스터용 기판은, 금속 기부의 표면에 다공질층을 구비하고, 또한, 다공질층 상에 실리콘 화합물을 주성분으로 하고, 또한, 수소를 함유하는 보호 절연층을 구비하여 이루어지고, 보호 절연층 중의 수소 농도가  $3.5 \times 10^{21}$  atoms/cm<sup>3</sup> 이상  $3.5 \times 10^{22}$  atoms/cm<sup>3</sup> 이하로 하고, 보호 절연층의 두께를 100 nm 이상 2000 nm 이하로 하고 있다. 본 발명의 산화물 반도체 박막 트랜지스터용 기판을 사용함으로써, 이동도가 높고, 임계값 전압이 소정의 범위에 있는 산화물 반도체 박막 트랜지스터 및 그것을 구비한 가요성의 반도체 장치를 형성할 수 있다.

### 도면의 간단한 설명

[0024] 도 1 은, 본 발명의 실시형태에 관계되는 반도체 장치의 일례를 나타내는 모식적 단면도이다.

도 2 는, 금속 기부가 적층체로 이루어지는 양태를 나타내는 모식적 단면도이다.

도 3 은, 보호 절연층이 활성층 형성 영역에 형성된 양태를 나타내는 모식적 단면도이다.

도 4 는, 양극 산화 처리에 의해 얻어지는 다공질층의 모식적 단면도이다.

도 5 는, 본 발명의 산화물 반도체 박막 트랜지스터의, 게이트 · 소스 전극간의 전압을 -10 V ~ 15 V 까지 조인 (操引) 하고, 드레인 · 게이트 전극간에 흐르는 전류를 측정했을 때의 전형적인 전압 - 전류 특성이다.

도 6 은, 보호 절연층의 소재로서 질화실리콘을 채용한 실시예와 비교예의, 보호 절연층의 막두께와 수소 농도를 플롯한 도면이다.

도 7 은, 보호 절연층의 소재로서 산화실리콘을 채용한 실시예와 비교예의, 보호 절연층의 막두께와 수소 농도를 풀롯한 도면이다.

### 발명을 실시하기 위한 구체적인 내용

- [0025] 이하에, 첨부된 도면에 기초하여, 본 발명의 가요성 산화물 반도체 박막 트랜지스터용 기판 및 가요성 반도체 장치의 실시형태를 설명한다. 시인(視認)하기 쉽게 하기 위해서, 도면의 각 부의 축척은 적절히 변경하여 나타내고 있다.
- [0026] 도 1 은, 가요성 반도체 장치의 실시양태를 모식적으로 나타내는 도면이다.
- [0027] 도 1 에 나타내는 바와 같이, 가요성 산화물 반도체 박막 트랜지스터용 기판 (1a) 은, 기재 (10) 와, 기재 (10) 상에 형성된 보호 절연층 (20) 으로 이루어진다. 또 기재 (10) 는, 금속 기부 (11) 와 그 위에 형성된 다공 질층 (12) 으로 이루어져 있다. 다공질층 (12) 은, 금속 기부 (11) 와 위에 형성되는 보호 절연층의 사이에 위치하고, 표면의 조면화에 의해 위에 형성되는 층의 밀착을 개선하는 기능을 갖는다.
- [0028] 보호 절연층 (20) 은, 다공질층 (12) 의 표면에 흡착된 가스가, 제조 프로세스 중에 제조 장치 내에 방출되거나, 제조 후의 확산에 의해 산화물 반도체층에 악영향을 미치거나 하는 것을 방지하는 역할을 갖는다. 또, 보호 절연층 (20) 은, 제조 프로세스 중에 있어서, 사용하는 산이나 알칼리 등의 약품이나, 드라이 에칭 및 스퍼터 성막 시의 플라즈마 등에 의해 기재 (10) 가 테미지를 입는 것을 방지하는 역할도 갖는다. 여기서, 보호 절연층 (20) 은, 다공질층 (12) 을 피복하고, 흡착 가스 방출 방지 기능 및 제조 프로세스 테미지 방지 기능을 확보하기 위해서, 실리콘 화합물을 주성분으로 하고, 수소 농도가  $3.5 \times 10^{21} \text{ atoms/cm}^3$  이상이고, 또한 100 nm 이상의 막두께를 필요로 한다. 또, 기재 (10) 의 가요성을 확보하기 위해, 및 보호 절연층 (20) 의 크랙을 방지하기 위해서, 막두께의 상한은 2000 nm 이다.
- [0029] 또, 산화물 반도체 박막 트랜지스터의 특성은, 보호 절연층 (20) 에 함유되는 수소량에 영향을 받는다. 산화물 반도체 박막 트랜지스터의 임계값 전압을 바람직한 값으로 하기 위해서는 보호 절연층 중의 수소 농도가  $3.5 \times 10^{22} \text{ atoms/cm}^3$  이하가 되도록 형성된다.
- [0030] 따라서, 보호 절연층 (20) 은, 수소 농도가  $3.5 \times 10^{21} \text{ atoms/cm}^3$  이상  $3.5 \times 10^{22} \text{ atoms/cm}^3$  이하의 범위로 설정되고, 또한, 두께가 100 nm 이상 2000 nm 이하로 설정된다.
- [0031] 도 1 에 있어서는, 보호 절연층 (20) 상에, 게이트 전극 (30), 게이트 절연막 (40), 활성층 (50), 에칭 스토퍼 층 (60) 및 소스·드레인 전극 (70) 으로 이루어지는 산화물 반도체 박막 트랜지스터 (2) 가 나타나 있다. 활성층 (50) 은 In, Ga 및 Zn 에서 선택되는 적어도 1 개의 원소를 함유하는 산화물 반도체로 이루어진다. 여기서, 특허문현 1 에 나타내는 바와 같이, 산화물 반도체 박막 트랜지스터는, 활성층이 대기에 노출되면 임계값 전압이 0 V 근방으로부터 크게 벗어나는 것이 알려져 있지만, 도 1 의 구성에 의하면, 금속 기부 (11) 를 갖는 기재 (10) 에 의해, 외부로부터의 대기나 수증기의 침입이 저감되고, 보호 절연층 (20) 에 의해 다공질층 (12) 으로부터의 가스 방출이 저감되고, 보호 절연층 (20) 자신도 임계값 전압에 악영향을 미치는 수소 성분이 저감된 구성으로 되어 있기 때문에, 산화물 반도체 박막 트랜지스터의 임계값 전압이 0 V 근방이 된다.
- [0032] 이하에, 기재, 금속 기부, 다공질층, 보호 절연층, 산화물 반도체 박막 트랜지스터에 대해 순서대로 설명한다.
- [0033] <기재>
- [0034] 기재 (10) 는, 금속 기부 (11) 와, 그 금속 기부의 적어도 일 표면 상에 형성된 다공질층 (12) 으로 구성된다. 금속 기부 (11) 와 다공질층 (12) 으로 이루어지는 기재 (10) 는, 가요성과 가스 배리어성, 프로세스 내성을 가지므로, 산화물 반도체 박막 트랜지스터용의 가요성 기판으로서 바람직하다.
- [0035] 기재 (10) 는, 적어도 금속 기부 (11) 와 다공질층 (12) 을 구비하고 있으면 바람직하게 사용할 수 있지만, 금속 기부 (11) 를 알루미늄, 스테인리스 또는 철강판과 알루미늄 박판을 일체화한 클래드재로 함으로써, 알루미늄 박판의 양극 산화 처리가 간이해지는 것, 또, 기재의 내구성이 높아지는 점에서 보다 바람직하다. 또한, 강판의 양면을 알루미늄 박판으로 끼워 일체화한 클래드재에 있어서, 알루미늄 박판 표면을 양극 산화 처리하여 얻어진 기재에서는, 기재를 구성하는 소재의 열팽창 계수차에서 기인한 기판의 휨, 및 막 박리 등을 억제할 수 있기 때문에 보다 바람직하다.
- [0036] 다공질층 (12) 을 형성한 기재 (10) 는, 후에 기술하는 보호 절연층 (20) 을 형성하기 전에 감압하에서 탈가스

처리를 실시하는 것이 바람직하다. 탈가스 처리를 실시함으로써, 다공질층에 흡착된 가스의 양을 줄일 수 있기 때문에, 보다 바람직하다. 예를 들어, 보호 절연층을 형성하는 성막 장치 (예를 들어 플라즈마 CVD 장치) 의 전처리실에서, 챔버를 진공 빼기하면서 350 °C 이상에서 다공질층을 형성한 기재를 가열함으로써 탈가스 처리를 실시할 수 있다. 보호 절연층 (20) 을 형성하는 성막 장치에서 탈가스 처리를 실시함으로써, 탈가스 처리 후에 대기에 노출되지 않고 보호 절연층이 형성되기 때문에 바람직하다. 또, 전처리실에서 처리함으로써, 방출된 가스가, 보호 절연층 성막 시에 재차 수용될 가능성을 낮게 할 수 있기 때문에 보다 바람직하다.

이 다공질층의 탈가스 처리는 양산 시의 생산성의 약화를 회피하기 위해, 가능한 한 짧은 시간에 탈가스 처리하는 것이 바람직하다.

[0037] 다음으로, 기재를 구성하는 금속 기부와 다공질층에 대해 설명한다.

[0038] <<금속 기부>>

[0039] 금속 기부 (11) 는 적어도 일부가 금속으로 이루어지고, 가스 배리어성을 갖는다. 또, 박판상으로 한 금속 기부를 선택한 경우에는, 가스 배리어성을 유지하면서 가요성을 갖게 할 수 있어 바람직하다.

[0040] 금속 기부 (11) 의 재질로서는, 알루미늄 (Al), 철 (Fe), 지르코늄 (Zr), 티탄 (Ti), 마그네슘 (Mg), 구리 (Cu), 니오브 (Nb) 및 탄탈 (Ta) 중에서 선택되는 적어도 1 개의 금속을 함유하는 기판, 혹은 상기 금속의 합금이 바람직하다. 입수 용이성, 경량성의 관점에서 알루미늄인 것이 바람직하다.

[0041] 금속 기부 (11) 는 단층이거나, 복수층을 적층한 것이어도 되고, 소재가 단체이거나 합금이어도 된다. 예를 들어 열팽창에 의한 신축이나 휨을 조절하는 목적으로, 복수층의 적층 구성으로 하거나 합금을 사용하거나 하는 것도 가능하다. 금속 기부의 편면에 다공질층을 형성한 양태에서는, 금속 기부는 다공질층을 제외한 부분 모두를 가리키는 것으로 한다. 또, 금속 기부의 양면에 다공질층을 형성한 양태에서는, 양면의 다공질에 끼워진 영역 모두를 금속 기부라고 부르는 것으로 한다. 금속 기부를 복수층의 구성으로 한 경우에는, 적어도 1 층이 금속으로 이루어진다.

[0042] 도 2 에, 금속 기부 (11) 가 복수층으로 이루어지는 양태의 일례를 나타냈다. 도 2 에서는, 금속 기부 (11) 가 3 층 구성으로 이루어지는 양태를 나타내고 있고, 보조 기부 (11a) 가 주요 기부 (11b) 에 끼워진 구성을 기재하고 있다. 예를 들어, 보조 기부 (11a) 와 주요 기부 (11b) 가 1 층씩으로 이루어지는 적층 구성을 해도 바람직하다. 복수층의 구성으로 하는 경우에는 적어도 1 층이 금속이면 되고, 다른 일방의 층은 금속이거나, 금속이 아니어도 된다.

[0043] 금속 기부에 사용되는 재질로서는, 예를 들어, 스테인리스판이나 탄소 섬유로 이루어지는 판이어도 된다. 보조 기부 (11a) 는, 신축율의 조정이나, 기재의 보강, 가스 투과율의 저감 등의 목적으로 채용해도 된다. 보조 기부 (11a) 로서는, 금속 박판을 사용하는 것이 바람직하고, 스테인리스 강재를 사용하는 것이 바람직하다.

[0044] 또, 금속 기부 (11) 의 총 두께 (복수층으로 이루어지는 경우에는 그 합) 는 용도에 따라 적절히 선택 가능하고, 예를 들어, 기판의 강도와 가요성의 관점에서, 5  $\mu\text{m}$  ~ 200  $\mu\text{m}$  가 바람직하다.

[0045] <<다공질층>>

[0046] 도 1 에 나타내는 바와 같이, 금속 기부 (11) 의 위에는 다공질층 (12) 이 형성된다.

[0047] 다공질층 (12) 은 금속 기부의 표면의 적어도 일부분에 형성되고, 금속 기부 (11) 의 표면을 절연화함과 함께, 앵커 효과에 의해, 그 위에 형성되는 층의 밀착성을 개선할 수 있다. 또, 다공질층 (12) 은, 층 자체의 가요성도 우수하다. 가요성의 관점에서는, 다공질층 (12) 의 세공의 직경은, 약 10 nm 전후인 것이 바람직하다.

[0048] 다공질층 (12) 은 금속 기부의 일방의 면 전체에 형성하는 것이 바람직하고, 금속 기부의 양면 전체에 형성하는 것이 더욱 바람직하다. 금속 기부의 양면에 동일하게 다공질층을 형성한 경우에는, 응력이 균일해져, 기판에 힘이 잘 발생하지 않아 보다 바람직하다.

[0049] 도 1, 도 2 에서는, 금속 기부 (11) 와 다공질층 (12) 이 직접 접하고 있는 양태를 나타내고 있지만, 필요에 따라 다른 층을 사이에 형성해도 된다. 예를 들어 금속 기부 표면의 절연성을 더욱 향상시키기 위한 절연층이나, 다공질층을 부설하기 쉽게 하기 위한 하지층을 형성해도 된다.

[0050] 다공질층 (12) 의 소재로서는, 절연성의 금속 산화물인 것이 바람직하고, 금속 기부 (11) 와 동일한 금속을 함

유하는 산화물인 것이 더욱 바람직하다. 다공질층 (12)은 어떤 제조 방법으로 만들어져도 되고, 절연성 다공질 미립자와 바인더를 분산한 액을 금속 기부 (11)의 표면에 도공하여 다공질층으로 해도 되고, 금속 기부 (11)의 표면 부분을 다공질층화해도 된다. 그 중에서도, 금속 기부 (11)와 다공질층 (12)의 밀착성, 절연성 (핀홀이 생기기 어렵다)의 관점에서, 금속 기부의 일부를 양극 산화 처리함으로써 다공질층화한 양태가 바람직하다.

[0051] 또, 다공질층 (12)의 두께는 용도에 따라 적절히 선택 가능하지만, 절연성과 밀착성의 관점에서,  $0.1 \mu\text{m} \sim 100 \mu\text{m}$ 로 하는 것이 바람직하고,  $0.5 \mu\text{m} \sim 50 \mu\text{m}$ 가 더욱 바람직하고,  $5 \mu\text{m} \sim 20 \mu\text{m}$ 가 가장 바람직하다.

다공질층 (12)으로서, 금속 산화물로 이루어지는 층을 형성한 경우에는, 두께를  $50 \mu\text{m}$  이하로 함으로써, 가요성을 확보하기 쉽기 때문에 바람직하다. 또 두께를  $0.5 \mu\text{m}$  이상으로 함으로써, 절연성이 확보되기 쉽기 때문에 바람직하다.

[0052] <<<양극 산화 처리에 의해 얻어지는 다공질층>>>

[0053] 양극 산화 처리에 의한 다공질층의 형성 방법은 특별히 한정되는 것이 아니고, 금속 표면에 양극 산화 다공질층을 형성할 수 있으면 어떤 방법으로 실시해도 본 발명의 범주이다. 이하에, 양극 산화에 의해 형성된 다공질층에 대해 설명한다.

[0054] 종래부터, 양극 산화를 이용한 다공질층의 제조 방법은, 나노미터 오더의 세공을 형성할 수 있는 간단한 방법으로서 알려져 있다. 또, 이 다공질층은 금속 산화물이기 때문에, 높은 절연성을 갖는 것이 알려져 있다.

구체적으로는, 황산, 옥살산, 또는 인산 등의 산성 전해액 또는 알칼리성 전해액 중에, 금속 기재를 침지하고, 이것을 양극으로 하여 전류를 흘리면, 금속 기재의 표면에서 산화와 용해가 동시에 진행되고, 그 표면에 세공을 갖는 산화막을 형성할 수 있다.

[0055] 양극 산화를 이용한 다공질층을 형성하기 위한 금속으로서는, 적절히 선택 가능하지만, 예를 들어, 알루미늄 (Al), 철 (Fe), 지르코늄 (Zr), 티탄 (Ti), 마그네슘 (Mg), 구리 (Cu), 니오브 (Nb) 및 탄탈 (Ta) 중에서 선택되는 적어도 1 개의 금속, 혹은 상기 금속의 합금이 바람직하다.

[0056] 도 4에, 양극 산화 처리에 의해 얻어지는 다공질층의 모식도를 나타낸다. 도 4에서는, 금속 기부 (11)의 편면에만 양극 산화 처리를 실시하고, 다공질층 (12)을 형성한 양태를 나타낸다. 금속 기부 (11)의 피처리면은 한결같이 금속 산화물로 변화됨과 함께, 나노미터 오더의 세공 (120)이 형성된다. 양극 산화 처리에 의해 피처리면이 한결같이 처리되기 때문에, 높은 절연성을 확보할 수 있다. 또, 원래의 금속 기부의 표면을 처리하여 형성한 다공질층이기 때문에, 금속 기부 (11)와 다공질층 (12)은 강하게 결합하여 용이하게 박리되지 않는다. 또한, 이 다공질층 상에 다음의 층 (도시 생략)을 형성한 경우에는, 성막 시에 세공 (120)내에도 다음의 층의 성분이 끼어 들어가기 때문에, 이른바 앵커 효과에 의해 밀착성이 확보된다.

[0057] 다음으로 양극 산화 처리의 방법의 일례를 기재한다. 준비한 금속, 또는 합금으로 이루어지는 금속 기부를 수세한 후, 금속용의 탈지제로 탈지하여 표면에 부착된 오염을 떨어뜨리고, 수세에 의해 탈지제를 씻어낸다.

다음으로, 5 질량% ~ 20 질량%의 질산 수용액으로 질산 세정을 실시하고, 그런 후에, 다시 수세를 실시한다. 다음으로, 금속 기부를 황산욕 중, 혹은 옥살산욕 중에서 소정의 전류 밀도로 양극 산화 처리하고, 금속 기부의 표면에, 다공질의 양극 산화 피막을 형성한다. 또, 양극 산화 처리 시에 흘리는 전류치는, 금속 종에 따라 최적치가 상이하지만, 전류치가 너무 작으면 금속의 용해가 지배적으로 되어, 필요로 하는 다공질층이 형성되지 않을 가능성이 있다. 또, 전류치가 너무 크면 다공질층이 급격하게 성장하기 때문에, 표면에 한결같지 않은 상태가 되거나, 일부가 박리되기 쉬워지거나 할 가능성이 있다.

[0058] <보호 절연층>

[0059] 도 1에 나타내는 바와 같이, 다공질층 (12)의 적어도 일부의 표면 상에는 보호 절연층 (20)이 형성된다.

보호 절연층 (20)은, 다공질층 (12)의 표면에 흡착된 가스가, 제조 프로세스 중에 제조 장치 내에 방출되거나, 제조 후의 확산에 의해 산화물 반도체층에 악영향을 미치거나 하는 것을 방지하는 역할을 갖는다. 또, 보호 절연층 (20)은 제조 프로세스에서 사용하는 산이나 알칼리 등의 약품이나, 드라이 에칭 및 스퍼터 성막 시의 플라즈마 등에 의해 기재 (10)가 데미지를 입는 것을 방지하는 역할도 갖는다.

[0060] 도 3에, 보호 절연층 (20)이 다공질층 (12)의 일부에 형성된 양태의 단면 모식도를 나타낸다. 도 3에 일례를 나타내는 바와 같이, 보호 절연층 (20)은, 적어도 산화물 반도체 박막 트랜지스터 (2)의 활성층 (50)이 형성된 영역에 형성하는 것이 바람직하다. 또, 적어도 산화물 반도체 박막 트랜지스터 (2)의 형성 영역에 형성하는 것이 보다 바람직하고, 다공질층의 전체 영역을 덮도록 형성하는 것이 더욱 바람직하다. 다공

질층의 표면의 일부만을 보호 절연층으로 덮는 것으로도 발명의 효과는 얻어지지만, 다공질층의 표면 전체 영역을 덮어 둠으로써 제조 프로세스 중에 다공질층으로부터 가스가 방출되어 성막 장치를 오염하거나, 방출된 가스가 활성층에 침투되거나 하는 것을 방지할 수 있기 때문에 바람직하다. 또, 산화물 반도체 박막 트랜지스터를 제조하는 프로세스 중에, 기재 (10) 가 플라즈마, 산·알칼리의 약품이나 유기 용제에 노출되어 입는 데미지가, 보호 절연층에 의해 저감되기 때문에 보다 바람직하다.

[0061] 도 1 ~ 도 3에 있어서는, 보호 절연층 (20) 과 기재 (10) 는 직접 접하도록 기재되어 있지만, 이 사이에 다른 층을 가지고 있어도 된다. 예를 들어 다공질층의 요철을 저감하기 위한 평탄화층이나, 다공질층과 보호 절연층의 밀착을 개선하기 위한 하지층을 형성해도 된다.

[0062] 보호 절연층 (20) 은, 실리콘 화합물을 주성분으로 하고, 또한, 수소를 함유하는 층이다. 실리콘 화합물로서는 어떤 실리콘 화합물이어도 되지만, 산화물 반도체 박막 트랜지스터 (2) 의 제조 프로세스 중에, 기재 (10) 가 데미지를 입는 것을 방지할 수 있다는 점에서, 산화실리콘, 질화실리콘, 산질화실리콘으로 하는 것이 바람직하다. 이와 같은 실리콘 화합물은, 스퍼터나 CVD 에 의해 성막한 경우에는, 수소가 막 중에 침투되는 것이 알려져 있다.

[0063] 본 출원인들의 여러 가지 검토에 의해, 상기의 보호 절연층이, 실리콘 화합물을 주성분으로 하고, 수소 농도가  $3.5 \times 10^{21} \text{ atoms/cm}^3$  이상이고 또한 막두께가 100 nm 이상으로 함으로써 보호 절연층으로서 기능하는 것을 알 수 있었다. 보호 절연층으로서의 기능이란, (1) 다공질층 (12) 의 표면에 흡착된 가스가, 제조 프로세스 중에 제조 장치 내에 방출되거나, 제조 후의 확산에 의해 산화물 반도체층에 악영향을 미치거나 하는 것을 방지하는 기능, (2) 보호 절연층 (20) 은 제조 프로세스 중에 제조 프로세스에서 사용시키는 산이나 알칼리 등의 약품이나 드라이 에칭 및 스퍼터 성막 시의 플라즈마 등에 의해 기재 (10) 가 데미지를 입는 것을 방지하는 기능, (3) 가요성의 3 가지이다.

[0064] 기재 (10) 는 다공질층을 가지고 있고, 그 때문에 표면의 요철이 심하다. 보호 절연층으로서 기능하기 위해 서는, 다공질층을 피복할 필요가 있지만, 보호 절연층의 수소 농도가  $3.5 \times 10^{21} \text{ atoms/cm}^3$  미만이 되면, 막이 치밀해져 단단해지기 때문에, 크랙이 발생하거나, 또 커버리지성이 떨어지거나 하기 때문에, 다공질층을 양호하게 피복하는 것이 어렵다. 또 수소 농도가  $3.5 \times 10^{21} \text{ atoms/cm}^3$  이상의 경우에서도, 표면의 요철이 심한 다공질층을 피복하려면 막두께가 100 nm 필요한 것도 분명히 했다.

[0065] 또한 본 출원인들은, 보호 절연층에 함유되는 수소가 확산되어, 산화물 반도체 박막 트랜지스터의 활성층에 끼어 들어가, 활성층 중의 캐리어량을 증가시켜 산화물 반도체 박막 트랜지스터의 이동도, 임계값 전압에 영향을 미치는 것을 해명했다. 보호 절연층을 상세하게 검토한 결과, 보호 절연층의 수소 농도를  $3.5 \times 10^{22} \text{ atoms/cm}^3$  이하로 함으로써 산화물 반도체 박막 트랜지스터의 임계값 전압을 소정의 범위로 제어할 수 있는 것을 알 수 있었다.

[0066] 결과적으로, 기재 (10) 상에 형성하는 보호 절연층의 수소 농도는  $3.5 \times 10^{21} \text{ atoms/cm}^3$  이상  $3.5 \times 10^{22} \text{ atoms/cm}^3$  이하로 해야 할 것이 판명되었다. 또한, 여기서, 「atoms/cm<sup>3</sup>」 은 1 cm<sup>3</sup> 당 포함되는 원자의 개수를 의미한다.

[0067] 또, 가령 상기의 수소 농도 범위 및 막두께가 되도록 보호 절연층 (20) 을 형성했다고 해도, 막두께가 너무 두꺼운 경우에는, 반도체 장치 (3) 를 굴곡시켰을 때에 보호 절연층 (20) 에 크랙이 생기기 쉬워지거나, 보호 절연층 (20) 의 막 박리가 발생하거나 하여, 가스가 침입하여 산화물 반도체 박막 트랜지스터 (2) 의 이동도 열화 등의 특성 악화를 일으키게 된다. 본 발명자들에 의한 검토의 결과, 수소 농도의 조절에 더하여 100 nm 이상 2000 nm 이하의 두께를 갖는 보호 절연층으로 하는 것이 과제의 해결에 중요한 것도 판명되었다.

[0068] 보호 절연층은, 실리콘 화합물을 주성분으로 하는 층이며, 단층이거나 복수의 실리콘 화합물의 층으로 이루어져 있어도 된다. 보호 절연층이 복수층으로 이루어지는 경우에는, 복수층의 합계 막두께가 100 nm ~ 2000 nm 의 범위가 되도록 한다. 또, 복수층을 형성하는 경우에는, 복수의 보호 절연층 중, 적어도 산화물 반도체 박막 트랜지스터가 형성되는 층에 가장 가까운 보호 절연층의 수소 농도를,  $3.5 \times 10^{21} \text{ atoms/cm}^3$  이상  $3.5 \times 10^{22} \text{ atoms/cm}^3$  이하로 한다.

[0069] 보호 절연층의 수소 농도의 측정은, 2 차 이온 질량 분석법 (SIMS : Secondary Ion Mass Spectroscopy) 에 의

해 실시할 수 있다. SIMS 는 대상물을 구성하는 원소를 매우 고감도로 검출할 수 있는 분석법으로서 알려져 있고, 분석 대상물에 빔상의 이온 (1 차 이온) 을 충돌시켜, 충돌에 의해 대상물을 구성하는 물질을 이온화 (2 차 이온) 시킨다. 이 2 차 이온을 질량 분석함으로써 구성 원소와 그 양을 검출하는 것이다.

[0070] SIMS 중에서도 다이나믹 SIMS (D-SIMS : Dynamic-SIMS) 로 불리는 측정 방법에 의해 보호 절연층의 수소 농도를 측정할 수 있다. D-SIMS 에서는, 세슘 이온이나 산소 이온 (1 차 이온) 을 샘플에 충돌시켜, 구성 원소의 2 차 이온을 발생시키고, 대상을 깊이 방향으로 파 들어가면서 분석을 실시할 수 있다. 측정 결과는, 구성 원소의 깊이 방향의 프로파일로서 얻어지고, 원소 농도의 절대치는, 미리 원소 함유량이 판명되어 있는 표준 기판의 측정 결과의 프로파일을 참조함으로써 구할 수 있다. 수소 농도를 측정하기 위해서, 충돌시키는 1 차 이온으로서는, 세슘 이온을 사용한다. 또, 검출 감도가 매우 높기 때문에, 측정은 초고 진공하 ( $1.0 \times 10^{-5}$  Pa 이하) 에서 실시한다.

[0071] 보호 절연층 (20) 은, 어떤 방법에 의해 형성되어도 되지만, 수소 농도를  $3.5 \times 10^{21}$  atoms/cm<sup>3</sup> 이상  $3.5 \times 10^{22}$  atoms/cm<sup>3</sup> 이하의 범위로 조절하기 쉽고, 500 °C 이하의 저온에서 양질인 절연막을, 비교적 높은 성막 레이트를 실현할 수 있는 점에서 플라즈마 CVD (별명 PE-CVD, Plasma Enhanced-CVD) 에 의해 형성되는 것이 바람직하다. 플라즈마 CVD 에서는, 반응 가스를 플라즈마 상태로 하여 활성인 라디칼이나 이온을 생성시켜, 활성 환경하에서 화학 반응을 실시하게 하여 원하는 막을 피작체 상에 형성한다. 플라즈마 CVD 로서는, 200 °C 이하의 저온에서도 원하는 보호 절연층을 성막할 수 있기 때문에, 용량 결합 플라즈마 CVD (CCP-CVD : Capacitive Coupled Plasma-CVD) 가 특히 바람직하다.

[0072] 보호 절연층 (20) 의 수소 농도는, 성막 중에 도입하는 원료 가스의 유량이나, 보호 절연층을 성막 중의 기판의 온도, 또, 성막 후의 어닐 온도에 의해 조절할 수 있다. 예를 들어 질화실리콘을 보호 절연층으로서 사용하는 경우에는 원료 가스로서 SiH<sub>4</sub> 와 NH<sub>3</sub> 과 H<sub>2</sub> 가스를 사용하지만, H<sub>2</sub> 의 유량을 조절하면서 막을 형성함으로써, 보호 절연층 중의 수소 농도를 조절할 수 있다. 또, 상기의 복수의 조절 방법을 병용하여 수소 농도를 조절해도 된다. 수소 농도 재현성의 관점에서, 기판 온도에 의한 수소 농도 조절, H<sub>2</sub> 가스 유량에 의한 수소 농도 조절이 바람직하다.

[0073] 보호 절연층의 위에, 후술하는 산화물 반도체 박막 트랜지스터를 직접 설치하는 경우에는, 보호 절연층은 전기 절연성이다. 전기 절연성이란, 보호 절연층의 시트 저항값이  $1.0 \times 10^7 \Omega / \square$  이상인 것을 가리킨다.  $1.0 \times 10^9 \Omega / \square$  이상이면 보다 바람직하다. 상기의 시트 저항값으로 함으로써, 산화물 반도체 박막 트랜지스터의 소자간의 리크나 쇼트 등을 일으키지 않기 때문에 바람직하다.

[0074] 또, 도 1 에서는 보호 절연층 (20) 의 위에 직접 산화물 반도체 박막 트랜지스터 (2) 를 형성한 양태를 나타내고 있지만, 보호 절연층 (20) 과 산화물 반도체 박막 트랜지스터 (2) 의 사이에, 다른 층을 형성하고 있어도 된다. 예를 들어, 기판의 평탄성을 좋게 하는 평탄화막, 절연성을 한층 더 개선하는 절연층이나, 산화물 반도체 박막 트랜지스터 (2) 와 보호 절연층의 밀착을 개선하는 하지층을 형성해도 된다. 이 경우에는, 평탄화막, 절연층이나 하지층에 있어서도 산화물 반도체 박막 트랜지스터 (2) 에 악영향을 미치지 않도록, 수소 농도를 조절하는 것이 바람직하다.

[0075] <반도체 장치>

[0076] 반도체 장치란, 기판 상에, 적어도 게이트 전극, 게이트 절연막, 산화물 반도체로 이루어지는 활성층, 소스 · 드레인 전극으로 이루어지는 산화물 반도체 박막 트랜지스터를 구비한 장치를 가리킨다.

[0077] 산화물 반도체 박막 트랜지스터는, 성막 온도가 낮은 점에서 가요성 기판 상에 형성하기 쉽고, 이것을 사용한 표시 장치 등의 박형화, 경량화, 가요화에 공헌하는 기술이다. 한편, 이와 같은 산화물 반도체를 사용한 장치는 외계로부터 불순물이 소량이라도 흡입되면, 산화물 반도체 내에서 캐리어가 발생해 버리기 때문에, 종래의 실리콘을 활성층으로서 사용한 박막 트랜지스터보다 기재나 인접층의 불순물 함유량이 중요해진다.

[0078] 도 1 에 나타내는 산화물 반도체 박막 트랜지스터 (2) 는, 게이트 전극 (30), 게이트 절연막 (40), 활성층 (50), 애칭 스토퍼층 (60), 소스 · 드레인 전극 (70) 으로 이루어진다. 도 1 에서는 보텀 게이트 타입의 산화물 반도체 박막 트랜지스터를 기재했지만, 탑 게이트 타입이거나, 게이트 전극이 복수 있는 타입이어도 본 발명의 범주이다. 도 1 에는 애칭 스토퍼층 (60) 을 기재했지만, 특별히 필요없는 경우에는 형성하지 않는 구성이라도 본 발명의 범주이다. 또, 그 밖의 구성에 대해서도 본 발명의 범위에서 변경이 가능하다. 이

후에, 산화물 반도체 박막 트랜지스터를 구성하는 각 부 (활성층, 에칭 스토퍼층, 게이트 전극, 게이트 절연막, 소스 · 드레인 전극)에 대해, 도 1에 기초하여 설명한다.

#### [0079] <<활성층>>

[0080] 활성층 (50)은, 산화물 반도체로 이루어진다. 산화물 반도체는 성막 온도가 비교적 낮고, 고온의 결정화 공정이 없어도 높은 이동도를 갖기 때문에, 정력적으로 연구 개발이 진행되고 있다. 활성층 (50)의 소재로서는, In, Ga 및 Zn에서 선택되는 적어도 1개의 원소를 함유하는 산화물 반도체를 사용한다. 그 중에서도, In, Ga 및 Zn을 함유하는 산화물 반도체 ( $InGaZnO$ )를 사용하면, 높은 이동도가 얻어지기 때문에 바람직하다.

[0081] 산화물 반도체이면 그 조성에 의존하지 않고, 수소의 혼입에 의해 캐리어가 발생하기 때문에, 임계값 전압이 0V 근방으로부터 크게 벗어난다는 문제가 생긴다. 따라서, 발명의 효과는, 금속 기부와 다공질층을 갖는 기판을 채용하고, 산화물 반도체를 활성층에 사용한 산화물 반도체 박막 트랜지스터를 구비한 장치에 있어서 발휘될 수 있다.

[0082] 활성층 (50)은, 게이트 전극 (30)에 전압을 인가했을 때에 캐리어를 발생하는 층으로서 기능하는 것이다. 활성층 (50)을 구성하는 산화물 반도체로서는, 예를 들어,  $In_2O_3$ ,  $ZnO$ , Indium-Zinc-Oxide ( $InZnO$ ), Gallium-Zinc-Oxide ( $GaZnO$ ), Indium-Gallium-Oxide ( $InGaO$ ), Indium-Gallium-Zinc-Oxide ( $InGaZnO$ )가 사용된다. 높은 이동도 및 저오프 전류가 얻어지는 점에서  $InGaZnO$ 가 바람직하다.

[0083] 활성층 (50)은, 산화물 반도체 중, 내열성이 낮은 기판에 형성할 수 있는 아모르페스 산화물 반도체에 의해 구성되는 것이 바람직하다. 또, 기판 등의 내열성에 우려가 없는 경우에는 결정성의 산화물 반도체를 선택하는 것도 가능하다. 저온에서 제작 가능한 양호한 아모르페스 산화물 반도체로서는, 적어도 In, Ga 혹은 Zn을 함유하는 아모르페스 산화물 반도체인 것이 바람직하다. 활성층 (50)에 사용되는 아모르페스 산화물 반도체로서는, In, Ga 및 Zn을 함유하는 산화물로서 구성되고, 결정 상태에 있어서의 조성이  $InGaO_3(ZnO)_m$  ( $m$ 은 5 이하의 자연수)으로 나타내는 아모르페스 산화물 반도체가 바람직하고, 특히,  $InGaZnO_4$ 로 나타내는 아모르페스 산화물 반도체가 보다 바람직하다. 이 조성의 아모르페스 산화물 반도체의 특징으로서는, 전기 전도도가 증가함에 따라, 전자 이동도가 증가하는 경향을 나타낸다. 또, 전기 전도도를 제어하려면, 성막 중의 산소 분압의 조정에 의해 제어가 가능하다. 산화물 반도체가 아모르페스인지의 여부는, X 선 회절 측정에 의해 확인할 수 있다. X 선 회절 측정을 실시하여, 회절 피크가 보이지 않으면 아모르페스이다.

[0084] 또한, 활성층 (50)은, 그 두께가, 1 nm ~ 200 nm인 것이 바람직하고, 보다 바람직하게는 2.5 nm ~ 100 nm이다.

[0085] 활성층 (50)의 제조 방법은, 특별히 한정되는 것은 아니다. 예를 들어, 인쇄 방식, 코팅 방식 등의 습식 방식, 진공 증착법, 스팍터법, 이온 플레이팅법 등의 물리적 방식, CVD, 플라즈마 CVD 법 등의 화학적 방식 등을 이용하여 형성된다. 이들 중에서, 활성층 (50)을 구성하는 재료와의 적성을 고려하여 적절히 형성 방법이 선택된다. 예를 들어, In과 Ga와 Zn을 함유하는 산화물 반도체를 활성층으로서 사용하는 경우에는, 저온에서도 양질인 막질의 성막이 가능하다는 관점에서, 스팍터법에 의해 성막되는 것이 바람직하다.

[0086] 이들의 산화물 반도체, 특히 아모르페스 산화물 반도체를 활성층에 사용한 산화물 반도체 박막 트랜지스터는, 표면의 요철이 심한 기판 상에 제작한 경우에도 높은 이동도가 얻어진다. 따라서, 본 발명의 기판 상에 형성하는 박막 트랜지스터로서 적합하다. 반대로 Si를 활성층에 사용한 박막 트랜지스터 및 유기 반도체를 활성층에 사용한 박막 트랜지스터는, 기판의 표면 형상에 민감하고, 기판 표면이 폴랫이 아니면 원하는 특성이 얻어지지 않는다. 따라서, 표면의 요철이 비교적 큰 본 발명의 기판 상에 형성하는 트랜지스터로서는, 부적합하다.

#### [0087] <<에칭 스토퍼층>>

[0088] 도 1에 있어서, 에칭 스토퍼층 (60)은, 활성층 (50), 특히 채널 영역 (C)이, 소스 · 드레인 전극 (70)의 패턴 시에 에칭되지 않도록 보호하는 에칭 스토퍼로서 기능하는 것이다. 또, 에칭 스토퍼층은, 외계로부터 활성층에 불순물이 혼입되는 것을 방지하는 역할도 완수한다. 이 에칭 스토퍼층 (60)은, 적어도 활성층 (50)의 채널 영역 (C)을 덮도록 형성되는 것이 바람직하다. 또, 에칭 스토퍼층은 실리콘 혹은 갈륨의 산화물에 의해 구성되는 것이 바람직하다. 예를 들어, 산화실리콘, 산화갈륨, 질화실리콘, 산질화실리콘이나 산화티탄이 바람직하게 사용된다.

- [0089] 예칭 스토퍼층 (60) 은, 두께 10 nm ~ 300 nm 인 것이 바람직하고, 보다 바람직하게는 50 nm ~ 150 nm 이다. 또, 예칭 스토퍼층 (60) 의 제조 방법으로서는, 특별히 한정되지 않지만, 인쇄 방식, 코팅 방식 등의 습식 방식, 진공 증착법, 스퍼터법, 이온 플레이팅법 등의 물리적 방식, CVD, 플라즈마 CVD 법 등의 화학적 방식 등을 사용하여 형성된다. 이들 중에서, 예칭 스토퍼층 (60) 을 구성하는 재료와의 적성을 고려하여 적절히 형성 방법이 선택된다. 예를 들어, 산화실리콘을 예칭 스토퍼층 (60) 으로서 사용하는 경우에는, 플라즈마 CVD 법이 바람직하게 사용된다.
- [0090] <<게이트 전극>>
- [0091] 게이트 전극 (30) 은, 예를 들어, Al, Mo, Cr, Ta, Ti, Au, 또는 Ag 등의 금속 혹은 그들의 합금, Al-Nd, APC 등의 합금, 산화주석, 산화아연, 산화인듐, 산화인듐주석 (ITO), 산화인듐아연 (InZnO) 등의 금속 산화물 도전 물질, 폴리아닐린, 폴리티오펜, 폴리피롤 등의 유기 도전성 화합물, 또는 이들의 혼합물을 사용하여 형성된다. 게이트 전극 (30) 으로서는, Mo, Mo 합금 (Mo-5 at% Nb 등) 또는 Cr 을 사용하는 것이 바람직하다. 이 게이트 전극 (30) 의 두께는, 예를 들어, 10 nm ~ 1000 nm 이다. 또, 보다 바람직하게는, 20 nm ~ 500 nm 이며, 더욱 바람직하게는 40 nm ~ 100 nm 이다.
- [0092] 게이트 전극 (30) 의 형성 방법은, 특별히 한정되는 것은 아니다. 예를 들어, 인쇄 방식, 코팅 방식 등의 습식 방식, 진공 증착법, 스퍼터법, 이온 플레이팅법 등의 물리적 방식, CVD, 플라즈마 CVD 법 등의 화학적 방식 등을 사용하여 형성된다. 이들 중에서, 게이트 전극 (30) 을 구성하는 재료와의 적성을 고려하여 적절히 형성 방법이 선택된다. 예를 들어, Mo 또는 Mo 합금을 사용하여 게이트 전극 (30) 을 형성하는 경우, DC 스퍼터법이 사용되는 것이 바람직하다.
- [0093] <<게이트 절연막>>
- [0094] 게이트 절연막 (40) 에는 SiO<sub>2</sub>, SiN<sub>x</sub>, SiON, Al<sub>2</sub>O<sub>3</sub>, Y<sub>2</sub>O<sub>3</sub>, Ta<sub>2</sub>O<sub>5</sub>, 혹은 HfO<sub>2</sub> 등의 절연체, 또는 그들의 화합물을 적어도 2 개 이상 함유하는 혼정 화합물이 사용된다. 게이트 절연막으로서는, 절연성의 관점에서 SiO<sub>2</sub> 가 가장 바람직하게 사용된다. 산화물 반도체 박막 트랜지스터에 있어서, 게이트 절연막에 SiO<sub>2</sub> 를 사용함으로써, 고이동도 또한 저오프 전류를 양립한, 우수한 반도체 장치를 실현할 수 있으므로, 바람직하다.
- [0095] 게이트 절연막 (40) 의 두께는, 10 nm ~ 10 μm 가 바람직하다. 게이트 절연막 (40) 은, 리크 전류를 줄이기 위해, 전압 내성을 올리기 위해서, 어느 정도 막두께를 두껍게 할 필요가 있다. 그러나, 게이트 절연막 (40) 의 막두께를 두껍게 하면, 산화물 반도체 박막 트랜지스터의 구동 전압의 상승을 초래한다. 이 때문에, 게이트 절연막 (40) 의 두께는, 50 nm ~ 1000 nm 인 것이 보다 바람직하다. 또, 보다 바람직하게는, 100 nm ~ 500 nm 이다.
- [0096] 또한, HfO<sub>2</sub> 와 같은 고유전율 절연체를 게이트 절연막 (40) 에 사용할 수 있다. 고유전율 절연체를 사용하면, 저전압에서의 산화물 반도체 박막 트랜지스터의 구동이 가능하다.
- [0097] 게이트 절연막 (40) 의 형성 방법은, 특별히 한정되는 것은 아니다. 예를 들어, 인쇄 방식, 코팅 방식 등의 습식 방식, 진공 증착법, 스퍼터법, 이온 플레이팅법 등의 물리적 방식, CVD, 플라즈마 CVD 법 등의 화학적 방식 등을 사용하여 형성된다.
- [0098] <<소스 · 드레인 전극>>
- [0099] 소스 전극 · 드레인 전극 (70) 은, 예를 들어, Al, Mo, Cr, Ta, Ti, Au, 또는 Ag 등의 금속 혹은 그들의 합금, Al-Nd, APC 등의 합금, 산화주석, 산화아연, 산화인듐, 산화인듐주석 (ITO), 산화인듐아연 (InZnO) 등의 금속 산화물 도전 물질을 사용하여 형성된다. 또한, ITO 에 대해서는, 아모르퍼스 ITO 이거나, 결정화 ITO 여도 된다.
- [0100] 소스 전극 · 드레인 전극 (70) 으로서는, Mo 또는 Mo 합금을 사용하는 것이 바람직하다. 또한, 소스 전극 · 드레인 전극 (70) 의 두께는, 예를 들어, 10 nm ~ 1000 nm 이다. 특히 바람직한 범위는 50 nm ~ 400 nm 이다.
- [0101] 또한, 소스 전극 · 드레인 전극 (70) 의 형성 방법은 특별히 한정되는 것은 아니다. 상기 서술한 조성의 도전막은, 예를 들어, 인쇄 방식, 코팅 방식 등의 습식 방식, 진공 증착법, 스퍼터법, 이온 플레이팅법 등의 물리적 방식, CVD, 플라즈마 CVD 법 등의 화학적 방식 등을 이용하여 형성된다.

- [0102] 예를 들어, 소스 전극 · 드레인 전극 (70) 을, Mo 혹은 Mo 합금, 아모르퍼스 ITO 로 형성하는 경우, 포토리소그래피법을 이용하여 Mo 막 혹은 Mo 합금막 또는 아모르퍼스 ITO 막에 레지스트 패턴을 형성하고, 산의 에칭액에 의해, Mo 막 혹은 Mo 합금막 또는 아모르퍼스 ITO 막을 에칭하여 소스 전극 · 드레인 전극 (70) 을 형성한다.
- [0103] <<보호막 및 그 밖의 층>>
- [0104] 도 1 에는, 도시되어 있지 않지만, 산화물 반도체 박막 트랜지스터 (2) 상에는 필요에 따라 보호막이 형성된다. 보호막은 산화실리콘, 질화실리콘 등의 무기막이어도 되고, 아크릴 수지, 폴리이미드 수지 등의 유기막이어도 되고, 무기막/유기막의 적층 구조여도 된다.
- [0105] 또, 산화물 반도체 박막 트랜지스터를 표시 장치에 응용하는 경우에는, 화소 전극이 형성되고, 그것들은 산화물 반도체 박막 트랜지스터의 소스 전극과 전기적으로 접속된다.
- [0106] 이상, 본 발명의 가요성 산화물 반도체 박막 트랜지스터용 기판, 및, 이 기판을 사용한 반도체 장치에 대해 바람직한 실시형태를 기초로 설명했지만, 본 발명은 상기 실시형태로 한정되는 것은 아니다. 또, 본 발명의 반도체 장치는, 액정, EL 소자 등을 사용한 표시 장치, 전자 페이퍼, X 선 센서에 사용할 수 있다. 또한, 본 실시형태의 반도체 장치를 사용한 표시 장치는, 휴대 전화의 디스플레이, 퍼스널 디지털 어시스턴트 (PDA), 컴퓨터 디스플레이, 자동차의 정보 디스플레이, TV 용 모니터를 포함하는, 폭넓은 분야에 응용 가능하다.
- [0107] **실시예**
- [0108] 이하, 본 발명의 반도체 장치에 대해, 실시예를 기초로 구체적으로 설명하지만, 본 발명은 이것으로 한정되는 것은 아니다.
- [0109] 본 발명의 실시예, 비교예에서 사용하는 기재에 대해 설명한다.
- [0110] ~ 기재 A 의 제조 ~
- [0111] 도 1 에 나타내는 구성의, 기재 (10) 의 제조 방법을 설명한다.
- [0112] 시판되는 고순도 알루미늄 (순도 99.99 %) 을 사용하여 압연하고, 두께가 40  $\mu\text{m}$  의 알루미늄 박판을 준비했다. 다음으로, 이 박판의 단면을 마스킹 필름으로 피복한 후, 에탄올로 초음파 세정하고, 아세트산 + 과염소산 용액으로 전해 연마했다. 그 후, 80 g/ℓ 의 옥살산 수용액 중에서 40 V 의 정전압 전해를 실시함으로써, 다공질층 (알루미늄의 양극 산화막) 을 알루미늄 박판의 양면에 형성하여 기재 A 를 얻었다. 얻어진 기재 A 의 단면 TEM 을 측정한 결과, 도 1 의 기재 (10) 의 구성으로 되어 있었다. 단면 TEM 화상으로부터 각 층의 두께를 임의로 5 지점 측정하여 평균 두께를 확인한 결과, 금속 기부 (11) 의 두께는 약 20  $\mu\text{m}$ , 다공질층 (12) 의 두께는 양면 모두 약 10  $\mu\text{m}$  였다.
- [0113] 단면 TEM 화상으로부터 다공질층 (12) 의 평균 세공 사이즈를 확인한 결과, 약 10 nm 였다.
- [0114] ~ 기재 B 의 제조 ~
- [0115] 도 2 에 나타내는 구성의, 기재 (10) 의 제조 방법을 설명한다.
- [0116] 시판되는 펠라이트계 스테인리스강 (SUS430) 과 시판되는 고순도 알루미늄 (순도 99.99 %) 을 사용하여, 냉간 압연법에 의해 알루미늄/스테인리스강/알루미늄의 3 층 구성이 되도록 적층했다. 얻어진 상기의 적층체는, 알루미늄 부분의 두께가 30  $\mu\text{m}$ , 스테인리스강의 두께가 50  $\mu\text{m}$  의 3 층 구성의 금속 박판 (총 두께 110  $\mu\text{m}$ ) 이었다. 다음으로, 이 박판의 단면을 마스킹 필름으로 피복한 후, 에탄올로 초음파 세정하여, 아세트산 + 과염소산 용액으로 전해 연마했다. 그 후, 80 g/ℓ 의 옥살산 수용액 중에서 40 V 의 정전압 전해함으로써, 다공질층 (알루미늄의 양극 산화막) 을 알루미늄의 표면 (2 층 있는 알루미늄의 양방의 표면) 에 형성하여 기재 B 를 얻었다.
- [0117] 얻어진 기재 B 의 단면 TEM 을 측정한 결과, 도 2 의 기재 (10) 의 구성으로 되어 있었다. 단면 TEM 화상으로부터 각 층의 두께를 임의로 5 지점 측정하여 평균 두께를 확인한 결과, 보조 기부 (11a) (스테인리스강으로 이루어진다) 의 두께가 50  $\mu\text{m}$ , 주요 기부 (11b) (알루미늄으로 이루어진다) 의 두께가 어느 쪽이나 20  $\mu\text{m}$ , 다공질층 (12) 의 두께가 양면 모두 약 10  $\mu\text{m}$  였다.
- [0118] 단면 TEM 화상으로부터 다공질층 (12) 의 평균 세공 사이즈를 확인한 결과, 약 10 nm 였다.
- [0119] ~ 유리 기판의 준비 ~

[0120] 시판되는 0.7 mm 두께의 무알칼리 유리 기판을 준비하고, 에탄올로 초음파 세정했다. 본 발명의 효과를 설명하기 위한 참고 기판으로서 사용하기 위해, 다공질층이나 보호 절연층을 형성하지 않고, 또 후술하는 지지체와의 접합(貼合)도 실시하지 않고 사용했다.

[0121] 이하에 상기의 기재 A, 기재 B, 유리 기판을 사용한 실시예, 비교예, 참고예에 대해 설명한다.

[0122] (실시예 1)

~ 기재의 탈가스 처리와 보호 절연층의 형성 ~

[0124] 기재 A 를, 보호 절연층 성막 장치의 전처리실에 투입하고, 전처리실을 10 Pa 이하로 진공 빼기한 후, 기재 A 를 450 °C 로 가열하여 30 분간의 탈가스 처리를 실시했다.

[0125] 기재 A 의 온도가 내려가면, 전처리실로부터 성막실로 이동시키고, 기재 A 의 다공질층의 위에, 하기의 표 1 의 성막 조건 1-1 에 기재된 조건으로, 질화실리콘을 주성분으로 하는 보호 절연층을 양면에 성막했다. 이로써 1 의 1a 로 나타내는 구성의 산화물 반도체 박막 트랜지스터용 기판을 얻을 수 있었다 (이후는, 이 구성의 기판을 기판 A 라고 부른다).

[0126] 여기서, 표 1 에 기재된 항목을 간단하게 설명한다 (표 2 도 공통이다). 성막 온도는, 보호 절연층을 성막 중의 기재의 평균 온도를 나타내고 있다. 또, 어닐 온도는 보호 절연층을 성막한 후에, 가열에 의한 어닐 처리를 실시한 경우의 처리 온도를 기재하고 있다. 그 경우의 어닐 시간은 60 분으로 일정하게 하고 있다.

## 표 1

성막 조건	성막 방법	원료 기수와 유량(ccm)	성막 압력		RF 파워 (W)	성막 온도 (°C)	어닐 온도 (°C)
			SiH <sub>4</sub> *1	NH <sub>3</sub> *2			
1-1	CCP-CVD	80	200	400	100	2500	150
1-2	CCP-CVD	80	200	400	100	2500	250
1-3	CCP-CVD	80	200	400	100	2800	200
1-4	CCP-CVD	80	200	400	100	2500	350
1-5	CCP-CVD	80	300	600	100	2500	150

\*1  
80ccm = 0.135Pa·m<sup>3</sup>/sec  
  
\*2  
200ccm = 0.338Pa·m<sup>3</sup>/sec  
300ccm = 0.501Pa·m<sup>3</sup>/sec  
  
\*3  
400ccm = 0.676Pa·m<sup>3</sup>/sec  
600ccm = 1.013Pa·m<sup>3</sup>/sec

[0127]

~ 지지체와의 접합 ~

[0128] 0.7 mm 두께의 무알칼리 유리로 이루어지는 지지체를 별도 준비하고, 열 발포성 접착제 (닛토 전공사 제조, 리바알파 31950E) 에 의해, 기판 A 와 무알칼리 유리 기판을 접착 (도시 생략) 함으로써 기판으로 했다. 이와 같이, 강성이 높은 지지체에 접합함으로써 가요성 기판을 취급하기 쉬워져, 휨이나 신축의 영향을 적게 할 수 있다.

[0130]

~ 산화물 반도체 박막 트랜지스터의 형성 ~

- [0131] 이하에, 도 1에 기재된 산화물 반도체 박막 트랜지스터 (2)의 제조 방법을 설명한다.
- [0132] 도 1의 산화물 반도체 박막 트랜지스터용 기판 (1a)으로서, 전술한 기판 A를 사용했다. 기판 A의 표면(다공질층 (12)의 표면)에, DC 마그네트론 스퍼터법에 의해, 스퍼터 가스에 Ar 가스를 사용하고, 기판 온도를 실온에서, 두께가 50 nm의 MoNb (Mo-5 at% Nb) 막을 성막했다. 다음으로, MoNb 막 상에 레지스트막(토쿄 오카 공업사 제조, TSMR-8900LB)을 스핀 코트에 의해 형성하고, 포토리소그래피법에 의해 소정의 패턴으로 노광, 현상(현상액 : 토쿄 오카 공업사 제조, NMD-W) 함으로써 레지스트 패턴을 형성했다. 다음으로, 인초(鱗硝)아세트산수(하야시 준야쿠 공업사 제조, Mo 용 에친트 TSL)를 사용하여, 레지스트막의 개구부의 MoNb 막을 에칭했다. 그 후, 레지스트막을 박리했다(박리액 : 토쿄 오카 공업사 제조, 박리액 104). 이로써, 도 1에 나타내는 바와 같이, MoNb로 이루어지는 게이트 전극(30)이 기판 A의 보호 절연층 위에 형성되었다.
- [0133] 다음으로, 게이트 전극(30)을 덮도록 하여, 200 nm의 두께의 산화실리콘으로 이루어지는 게이트 절연막(40)을, RF 스퍼터법을 사용하여, 스퍼터 가스로서 Ar 가스와 O<sub>2</sub> 가스를 사용하여 성막했다. 기판 온도를 실온에서, Ar 가스의 유량을 30 sccm, O<sub>2</sub> 가스의 유량을 4.0 sccm, Ar 가스와 O<sub>2</sub> 가스 도입 시의 압력을 0.16 Pa로 하여, 기판의 전체면에 형성했다.
- [0134] 다음으로, 대기 개방하지 않고, 50 nm의 두께의 InGaZnO로 이루어지는 활성층(50)을, DC 스퍼터법에 의해 게이트 절연막(40)상에 형성했다. 활성층의 성막은, 타겟에 InGaZnO<sub>4</sub>의 조성을 갖는 다결정 소결체를 사용하고, 스퍼터 가스로서 Ar 가스와 O<sub>2</sub> 가스를 사용하여 실시했다. Ar 가스의 유량을 97 sccm, O<sub>2</sub> 가스의 유량을 4.2 sccm, Ar 가스와 O<sub>2</sub> 가스 도입 시의 압력을 0.37 Pa로 했다. 성막된 활성층(50)의 조성은, In : Ga : Zn = 1.0 : 0.9 : 0.6이었다. 또, 활성층을 별도 유리 기판에 성막하고, X 선 회절 측정을 실시했다. 회절 피크를 볼 수 없는 점에서, 활성층이 아모르퍼스인 것을 확인할 수 있었다.
- [0135] 다음으로, 활성층(50)상에 레지스트막(토쿄 오카 공업사 제조, TSMR-8900LB)을 스핀 코트에 의해 형성하고, 포토리소그래피법에 의해 소정의 패턴으로 노광, 현상(현상액 : 토쿄 오카 공업사 제조, NMD-W) 함으로써 레지스트 패턴을 형성했다. 다음으로, 옥살산수(칸토 화학 주식회사 제조, ITO-06N)를 사용하여, 레지스트막의 개구부의 활성층(50)을 에칭했다. 그 후, 레지스트막을 박리했다(박리액 : 토쿄 오카 공업사 제조, 박리액 104). 이로써, 도 1에 나타내는 바와 같이, InGaZnO 막으로 이루어지는 활성층(50)이 게이트 절연막(40)상에 형성되었다.
- [0136] 다음으로, 활성층(50)을 덮도록, 에칭 스토퍼층(60)으로서 100 nm의 두께의 산화실리콘막을, RF 스퍼터법에 의해, 스퍼터 가스로서 Ar 가스와 O<sub>2</sub> 가스를 사용하여 성막했다. 기판 온도를 실온으로 하고, Ar 가스의 유량을 30 sccm, O<sub>2</sub> 가스의 유량을 4.0 sccm, Ar 가스와 O<sub>2</sub> 가스 도입 시의 압력을 0.16 Pa로 했다. 이어서, 에칭 스토퍼층(60)의 표면에, 레지스트막(토쿄 오카 공업사 제조, SMR-8900LB)을 스핀 코트에 의해 형성했다. 포토리소그래피법을 이용하여, 채널 영역(C)(도 1 참조)을 덮는 레지스트가 남도록 레지스트막을 노광, 현상(현상액 : 토쿄 오카 공업사 제조, 박리액 104)하여 패턴화했다. 이어서, 레지스트막의 개구부에 노출되어 있는 에칭 스토퍼층(60)을, RIE(Reactive ion etching) 장치로, CHF<sub>3</sub> 가스를 사용하여, 드라이 에칭으로 에칭했다. 에칭 후, RIE 장치로 산소 애싱 처리한 후에 레지스트막을 박리했다(박리액 : 토쿄 오카 공업사 제조, NMD-W).
- [0137] 다음으로, 소스·드레인 전극(70)으로서, 패턴화된 활성층(50)과 에칭 스토퍼층(60)을 덮도록, 200 nm의 두께의 몰리브덴막을 성막했다. 성막은, DC 스퍼터법에 의해, 스퍼터 가스에 Ar 가스를 사용하고, 기판 온도를 실온에서 실시했다. 다음으로, 몰리브덴막 상에 레지스트막(토쿄 오카 공업사 제조, SMR-8900LB)을 형성하고, 포토리소그래피법에 의해 소정의 패턴으로 노광, 현상(현상액 : 토쿄 오카 공업사 제조, NMD-W)하여, 레지스트 패턴을 형성했다. 다음으로, 인초아세트산수(칸토 화학사 제조, AI 에칭액)를 사용하여, 레지스트 개구부의 몰리브덴막을 에칭했다. 그 후, 레지스트막을 박리했다(박리액 : 토쿄 오카 공업사 제조, 박리액 104). 이로써, 도 1에 나타내는 바와 같이, 몰리브덴으로 이루어지는 소스·드레인 전극(70)이 형성되었다. 본 실시예에서 제작한 산화물 반도체 박막 트랜지스터(2)의 활성층(50)은, 상기 에칭 스토퍼층(60) 및 상기 소스·드레인 전극(70)에 의해 덮여 있고, 외부 공기에 노출되어 있는 부분이 없는 구성으로 했다. 본 구성으로 함으로써, 특히 산화물 반도체 박막 트랜지스터(2)상에 보호막을 형성하지 않고, 외부 공기 환경에 영향받지 않는 반도체 장치(3)를 제작할 수 있다.

- [0138] 다음으로, 얻어진 적층체를 핫 플레이트 상에 설치하고, 200 °C 로 가열함으로써, 무알칼리 유리로 이루어지는 지지체와 기판 A 를 박리했다. 또한, 박리하여 얻어진 기판 A (산화물 반도체 박막 트랜지스터가 형성되어 있다) 를 250 °C 에서 1 시간 어닐 처리했다.
- [0139] 본 실시예에서, 제작한 산화물 반도체 박막 트랜지스터의 채널 길이는 30  $\mu\text{m}$ , 채널 폭은 90  $\mu\text{m}$  이다.
- [0140] 상기의 방법에 의해, 실시예 1 의 반도체 장치를 얻을 수 있었다. 얻어진 반도체 장치의 보호 절연층의 수소 농도, 이동도, 임계값 전압, 가요성을 하기 방법에 의해 측정하고, 표 3 에 결과를 나타냈다. 평가에 대해서는, 어느 평가 항목에 대해서도 A, B 판정을 허용할 수 있는 결과이다.
- [0141] <보호 절연층의 수소 농도의 측정>
- [0142] 기재 (10) 상에 형성한 보호 절연층 (20) 의 수소 농도는 다음과 같이 측정했다.
- [0143] 얻어진 산화물 반도체 박막 트랜지스터를 D-SIMS 장치 (AMETEK 사 제조, IMS-6f) 에 투입하고, 챔버 내를 초고 진공으로 한 후, 산화물 반도체로 이루어지는 활성층이 형성된 영역에 1 차 이온이 조사되도록 샘플을 세트했다. 스퍼터에 의해 샘플을 파면서, 2 차 이온의 질량 분석을 실시했다. 1 차 이온으로서는 세슘 이온을 사용했다. 샘플을 구성하는 원소의 깊이 방향의 프로파일을 얻을 수 있었다. 구성 원소의 프로파일로부터 보호 절연층의 위치를 특정하고, 보호 절연층의 전체에서 검출된 수소 원자의 평균량을, 보호 절연층의 수소 농도로 했다. 또한, 수소 농도의 절대량을 교정하기 위한 기준 샘플로서는, 도프된 수소량을 미리 알고 있는 표준 기판을 샘플과 완전히 동일한 조건으로 측정하여 얻어진 수소 농도를 기준치로 하여, 샘플의 보호 절연층의 수소 농도를 교정했다. 또한, 표준 기판의 재질은 보호 절연층의 재질과 동질의 것을 사용한다. 예를 들어, 보호 절연막이 질화실리콘 (SiN) 을 주성분으로 한다면, 표준 기판에는 SiN 기판을 사용하고, 보호 절연막이 산화실리콘 (SiO<sub>2</sub>) 을 주성분으로 한다면, 표준 기판에는 SiO<sub>2</sub> 기판을 사용한다.
- [0144] <산화물 반도체 박막 트랜지스터의 이동도, 임계값 전압의 측정>
- [0145] 얻어진 산화물 반도체 박막 트랜지스터에 대해, 드레인 · 게이트 전극간의 전압을 10 V 로 고정하고, 게이트 · 소스 전극간의 전압을 -10 V ~ 15 V 까지 조인하고, 드레인 · 게이트 전극간에 흐르는 전류를 측정했다 (도 5). 측정은, 반도체 파라미터 · 애널라이저 4156C (애질런트 테크놀로지사 제조) 를 사용하여, 실온 · 암실하에서 실시했다. 이 측정 결과에 기초하여, 산화물 반도체 박막 트랜지스터의 이동도를 산출했다. 본 측정 영역에서는, 산화물 반도체 박막 트랜지스터는 포화 영역이므로, 이동도의 계산 방법은 이하의 식을 사용하여 실시했다.
- [0146] 이동도  $\mu = [2 L/(W*Cox)] \times (\delta \sqrt{Id/\delta Vg})^{1/2}$
- [0147] ( $L$  : 산화물 반도체 박막 트랜지스터의 채널 길이,  $W$  : 산화물 반도체 박막 트랜지스터의 채널 폭,  $Cox$  : 게이트 절연막의 단위 면적당 정전 용량,  $Id$  : 드레인 · 게이트간 전류,  $Vg$  : 게이트 · 소스간 전압)
- [0148] 얻어진 이동도의 값에 따라 이하와 같이 평가를 부여했다.
- [0149] 이동도의 평가 기준
- [0150] A : 이동도가 7 cm<sup>2</sup>/Vs 이상으로, 특히 우수한 레벨
- [0151] B : 이동도가 5 cm<sup>2</sup>/Vs 이상 7 cm<sup>2</sup>/Vs 미만으로, 우수한 레벨
- [0152] C : 이동도가 5 cm<sup>2</sup>/Vs 미만으로, 문제가 있는 레벨
- [0153] D : TFT 가 동작하지 않고, 상당히 문제가 있는 레벨
- [0154] 도 5 에 나타내는 바와 같이, 게이트 · 소스간 전압을 상승시켜 갔을 때에, 전류치가 급격하게 상승하는 위치를 산화물 반도체 박막 트랜지스터의 임계값 전압 ( $V_{on}$ ) 이라고 정의하고, 이하의 기준을 기초로 평가했다. 또한, 평가 A 의 범위에 임계값 전압이 들어감으로써, 박막 트랜지스터의 구동 전압을 낮게 할 수 있고, 또한 오프 시 (예를 들어 게이트 전압이 0 V) 의 전류를 작게 할 수 있다.
- [0155] 임계값 전압의 평가 기준
- [0156] A : 임계값 전압이 -5 V 이상 1 V 미만으로, 우수한 레벨

- [0157] C : 임계값 전압이 -5 V 미만으로, 문제가 있는 레벨
- [0158] D : TFT가 동작하지 않고, 상당히 문제가 있는 레벨
- [0159] <가요성의 평가>
- [0160] 얻어진 산화물 반도체 박막 트랜지스터를, 곡률 반경 100 mm 가 되도록 연속해서 10 회 굴곡시킨 후에, 산화물 반도체 박막 트랜지스터의 이동도의 측정을 실시했다. 얻어진 이동도를 굴곡 전의 이동도와 비교해서, 이하와 같이 평가를 부여했다.
- [0161] 가요성의 평가 기준
- [0162] A : 굴곡 전후의 이동도의 변화량이 20 % 미만으로, 우수한 레벨
- [0163] C : 굴곡 전후의 이동도의 변화량이 20 % 이상으로, 문제가 있는 레벨
- [0164] D : 굴곡 후에 TFT가 동작하지 않고, 상당히 문제가 있는 레벨
- [0165] (실시예 2)
- [0166] 실시예 1의 기재 A를 기재 B로 변경한 (기재 B를 탈가스 처리하고, 보호 절연층을 형성한 기판을 기판 B라고 부른다) 것 이외는, 실시예 1과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.
- [0167] (실시예 3)
- [0168] 실시예 1의 보호 절연층의 성막 조건 1-1을 성막 조건 1-2로 변경한 것 이외는, 실시예 1과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.
- [0169] (실시예 4)
- [0170] 실시예 3의 기재 A를 기재 B로 변경한 것 이외는, 실시예 3과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.
- [0171] (실시예 5)
- [0172] 실시예 1의 보호 절연층의 성막 조건 1-1을 성막 조건 1-3으로 변경한 것 이외는, 실시예 1과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.
- [0173] (실시예 6)
- [0174] 실시예 5의 기재 A를 기재 B로 변경한 것 이외는, 실시예 5와 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.
- [0175] (참고예 1)
- [0176] 실시예 1의 기재 A를 유리 기판으로 변경한 다공질층, 보호 절연층을 형성하지 않은 것, 또, 지지체와의 접합을 실시하지 않은 것 이외는, 실시예 1과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.
- [0177] (비교예 1)
- [0178] 실시예 1의 보호 절연층의 성막 조건 1-1을, 하기의 표 2의 성막 조건 1-S로 변경한 것 이외는, 실시예 1과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다. 또한, 성막 조건 1-S의 방법에서는, 보호 절연층 형성 후의 어닐 처리는 실시하지 않았다.

표 2

성막 조건	성막 방법	타겟	프로세스 가스와 유량 (sccm)		성막 압력 (Pa)	성막 온도 (°C)
			Ar	N <sub>2</sub>		
1-S	RF - 스퍼터	Si <sub>3</sub> N <sub>4</sub>	70 ( $11.8 \times 10^{-2}$ Pa·m <sup>2</sup> /sec)	30 ( $5.7 \times 10^{-2}$ Pa·m <sup>2</sup> /sec)	0. 4	80

[0179]

(비교예 2)

[0181]

실시예 1 의 보호 절연층의 성막 조건 1-1 을, 표 1 의 성막 조건 1-4 로 변경한 것 이외는, 실시예 1 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0182]

(비교예 3)

[0183]

비교예 2 의 기재 A 를 기재 B 로 변경한 것 이외는, 비교예 2 와 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0184]

(비교예 4)

[0185]

실시예 1 의 보호 절연층의 성막 조건 1-1 을, 표 1 의 성막 조건 1-5 로 변경한 것 이외는, 실시예 1 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0186]

(비교예 5)

[0187]

비교예 4 의 기재 A 를 기재 B 로 변경한 것 이외는, 비교예 4 와 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0188]

실시예 1 ~ 6, 비교예 1 ~ 5 는 보호 절연층의 소재를 질화실리콘으로 하고, 수소 농도를 조절하여 제조한 반도체 장치이다. 또, 참고예 1 은, 기판으로서 유리 기판을 사용한 반도체 장치이다. 구성의 요점과 평

가 결과를 표 3에 나타낸다.

표 3

기재	산화물 반도체층	소재	보호 절연층			반도체 장치의 성능 평가		
			성막 조건	수소 농도 (atoms/cm <sup>3</sup> )	막두께 (nm)	이동도	임계값 전압	가요성
실시예 1	A	InGaZnO	질화실리콘	1~1	$2.5 \times 10^{22}$	400	B	A
실시예 2	B	InGaZnO	질화실리콘	1~1	$2.5 \times 10^{22}$	400	A	A
실시예 3	A	InGaZnO	질화실리콘	1~2	$4.5 \times 10^{21}$	400	B	A
실시예 4	B	InGaZnO	질화실리콘	1~2	$4.5 \times 10^{21}$	400	A	A
실시예 5	A	InGaZnO	질화실리콘	1~3	$1.2 \times 10^{22}$	400	B	A
실시예 6	B	InGaZnO	질화실리콘	1~3	$1.2 \times 10^{22}$	400	A	A
참고예 1	유리	InGaZnO	없음	없음	없음	없음	A	—
비교예 1	A	InGaZnO	질화실리콘	1~S	$5.8 \times 10^{20}$	400	D	D
비교예 2	A	InGaZnO	질화실리콘	1~4	$2.4 \times 10^{21}$	400	C	D
비교예 3	B	InGaZnO	질화실리콘	1~4	$2.4 \times 10^{21}$	400	C	D
비교예 4	A	InGaZnO	질화실리콘	1~5	$4.2 \times 10^{22}$	400	B	C
비교예 5	B	InGaZnO	질화실리콘	1~5	$4.2 \times 10^{22}$	400	A	C

[0189]

표 3에서 알 수 있는 바와 같이, 실시예 1 ~ 6의 본 발명의 반도체 장치는, 이동도가 높고, 임계값 전압도 소정치이고, 또한, 가요성이 우수한 것을 알 수 있다. 그에 대해, 비교예 1의 반도체 장치는, RF 스퍼터에 의해 형성한 보호 절연층의 수소 농도가 너무 낮기 때문에, 보호 절연층이 다공질층을 완전히 덮을 수 없어, 프로세스 중에 가스가 발생하거나, 기판이 데미지를 입거나 했기 때문에 산화물 반도체 박막 트랜지스터는 동작을 하지 않았다. 또, 비교예 2 및 비교예 3의 반도체 장치는, 플라즈마 CVD에 의해 보호 절연층을 형성했지만, 보호 절연층의 수소 농도를 너무 내렸기 때문에, 보호 절연층에 크랙이 생기고, 이동도가 낮고, 굴곡 시험 후에는 트랜지스터가 동작하지 않았다. 또, 비교예 4 및 비교예 5의 반도체 장치는, 반대로 보호 절연층의 수소 농도가 너무 높아졌기 때문에, 수소의 악영향에 의해 소정의 임계값 전압이 되지 않았다. 또한, 참고예 1의 반도체 장치는, 가요성이 없는 유리 기판을 사용했기 때문에, 박막 트랜지스터의 이동도가 높고, 임계값 전압이 소정의 범위가 되었지만, 가요성 시험을 실시할 수 없었다.

[0191]

다음으로, 보호 절연층의 소재를 산화실리콘으로 한 실시예와 비교예에 의해, 본 발명의 효과가 보호 절연층의 소재에 관계없이 발휘되는 것을 나타낸다.

[0192]

(실시예 11)

[0193]

실시예 1의 보호 절연층의 성막 조건 1-1 을, 이하의 표 4의 성막 조건 2-1로 변경한 것 이외는, 실시예 1

과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0194] 여기서, 표 4에 기재된 항목을 간단하게 설명한다. 원료 가스의 TEOS는, Tetra ethoxy silane을 의미한다. 성막 온도는, 보호 절연층을 형성 중의 기재의 온도를 나타내고 있다. 또한, 성막 조건 2-1 ~ 2-5에 대해서는, 모두 보호 절연층 형성 후의 어닐 처리는 실시하지 않았다.

표 4

성막 조건	성막 방법	원료 가스와 유량 (sccm)		성막 압력 (Pa)	RF 피워 (W)	성막 온도 (°C)
		TEOS *1	O <sub>2</sub> *2			
2-1	PE-CVD	80	200	130	250	350
2-2	PE-CVD	80	200	140	300	350
2-3	PE-CVD	80	200	130	250	150
2-4	PE-CVD	80	200	150	400	350
2-5	PE-CVD	80	300	130	200	150

\*1 80sccm = 0.135Pa·m<sup>3</sup>/sec

\*2 200sccm = 0.338Pa·m<sup>3</sup>/sec

[0195]

(실시예 12)

[0197]

실시예 11의 기재 A를 기재 B로 변경한 것 이외는, 실시예 11과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0198]

(실시예 13)

[0199]

실시예 11의 보호 절연층의 성막 조건 2-1을, 성막 조건 2-2로 변경한 것 이외는, 실시예 11과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0200]

(실시예 14)

[0201]

실시예 13의 기재 A를 기재 B로 변경한 것 이외는, 실시예 13과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0202]

(실시예 15)

[0203]

실시예 11의 보호 절연층의 성막 조건 2-1을, 성막 조건 2-3으로 변경한 것 이외는, 실시예 11과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0204]

(실시예 16)

- [0205] 실시예 15 의 기재 A 를 기재 B 로 변경한 것 이외는, 실시예 15 와 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.
- [0206] (비)교예 11)
- [0207] 실시예 11 의 보호 절연층의 성막 조건 2-1 을, 성막 조건 2-4 로 변경한 것 이외는, 실시예 11 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.
- [0208] (비)교예 12)
- [0209] 비교예 11 의 기재 A 를 기재 B 로 변경한 것 이외는, 비교예 11 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.
- [0210] (비)교예 13)
- [0211] 실시예 11 의 보호 절연층의 성막 조건 2-1 을, 성막 조건 2-5 로 변경한 것 이외는, 실시예 11 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.
- [0212] (비)교예 14)
- [0213] 비교예 13 의 기재 A 를 기재 B 로 변경한 것 이외는, 비교예 13 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.
- [0214] 실시예 11 ~ 16, 비교예 11 ~ 14 는, 보호 절연층의 소재를 산화실리콘으로 하고, 수소 농도를 조절하여 제조한 반도체 장치이다.      구성의 요점과 평가 결과를 표 5 에 나타낸다.

표 5

	기재	산화물 반도체층	소재	보호 절연층		반도체 장치의 성능 평가
				성막 조건	수소 농도 (atoms/cm <sup>3</sup> )	
실시예 11	A	InGaZnO	산화실리콘	2-1	$7.4 \times 10^{21}$	400 B A A
실시예 12	B	InGaZnO	산화실리콘	2-1	$7.4 \times 10^{21}$	400 A A A
실시예 13	A	InGaZnO	산화실리콘	2-2	$3.8 \times 10^{21}$	400 B A A
실시예 14	B	InGaZnO	산화실리콘	2-2	$3.8 \times 10^{21}$	400 A A A
실시예 15	A	InGaZnO	산화실리콘	2-3	$3.1 \times 10^{22}$	400 B A A
실시예 16	B	InGaZnO	산화실리콘	2-3	$3.1 \times 10^{22}$	400 A A A
비교예 11	A	InGaZnO	산화실리콘	2-4	$2.8 \times 10^{21}$	400 C A D
비교예 12	B	InGaZnO	산화실리콘	2-4	$2.8 \times 10^{21}$	400 C A D
비교예 13	A	InGaZnO	산화실리콘	2-5	$4.1 \times 10^{22}$	400 B C A
비교예 14	B	InGaZnO	산화실리콘	2-5	$4.1 \times 10^{22}$	400 A C A

[0215]

표 5에서 알 수 있는 바와 같이, 실시예 11 ~ 16의 본 발명의 반도체 장치는, 이동도가 높고, 임계값 전압이 0 V 근방에 있고, 또한, 가요성이 우수한 것을 알 수 있다. 그에 대해, 비교예 11 및 비교예 12의 반도체 장치는, 플라즈마 CVD에 의해 보호 절연층을 형성했지만, 보호 절연층의 수소 농도를 너무 내렸기 때문에, 굴곡에 의해 보호 절연층에 크랙이 생기고, 굴곡 시험 후의 이동도가 크게 변화하고 있었다. 또, 비교예 13 및 비교예 14의 반도체 장치는, 반대로 보호 절연층의 수소 농도가 너무 높아졌기 때문에, 수소의 악영향에 의해 임계값 전압이 0 V 근방으로부터 크게 벗어나 있었다. 표 4와 표 5에 나타낸 결과로부터, 보호 절연층의 소재가 변화해도, 과제를 해결할 수 있는 수소 농도 범위는 변화하지 않는 것을 알 수 있다.

[0217]

다음으로, 보호 절연층의 소재를 질화실리콘으로 한 경우의 보호 절연층의 막두께 의존성에 대해 나타낸다.

[0218]

(실시예 21)

[0219]

실시예 1의 보호 절연층 막두께를, 400 nm에서 100 nm로 변경한 것 이외는, 실시예 1과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0220]

(실시예 22)

[0221]

실시예 21의 기재 A를 기재 B로 변경한 것 이외는, 실시예 21과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0222] (실시예 23)

[0223] 실시예 1 의 보호 절연층 막두께를, 400 nm 에서 2000 nm 로 변경한 것 이외는, 실시예 1 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0224] (실시예 24)

[0225] 실시예 23 의 기재 A 를 기재 B 로 변경한 것 이외는, 실시예 23 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0226] (실시예 25)

[0227] 실시예 3 의 보호 절연층 막두께를, 400 nm 에서 2000 nm 로 변경한 것 이외는, 실시예 3 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0228] (실시예 26)

[0229] 실시예 25 의 기재 A 를 기재 B 로 변경한 것 이외는, 실시예 25 와 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0230] (비교예 21)

[0231] 실시예 1 의 보호 절연층 막두께를, 400 nm 에서 80 nm 로 변경한 것 이외는, 실시예 1 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0232] (비교예 22)

[0233] 비교예 21 의 기재 A 를 기재 B 로 변경한 것 이외는, 비교예 21 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0234] (비교예 23)

[0235] 실시예 1 의 보호 절연층 막두께를, 400 nm 에서 2500 nm 로 변경한 것 이외는, 실시예 1 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0236] (비교예 24)

[0237] 비교예 23 의 기재 A 를 기재 B 로 변경한 것 이외는, 비교예 23 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0238] 실시예 21 ~ 26, 비교예 21 ~ 24 는 질화실리콘으로 이루어지는 보호 절연층의 막두께를 변경하여 제조한 반도체 장치이다.      구성의 요점과 평가 결과를 표 6 에 나타낸다.

표 6

기재	산화물 반도체층	소재	성막 조건	보호 절연층		반도체 장치의 성능 평가
				수소 농도 (atoms/cm <sup>3</sup> )	막두께 (nm)	
실시예 21	A	InGaZnO	질화실리콘	1~1	$2.5 \times 10^{22}$	100 B A A
실시예 22	B	InGaZnO	질화실리콘	1~1	$2.5 \times 10^{22}$	100 A A A
실시예 23	A	InGaZnO	질화실리콘	1~1	$2.5 \times 10^{22}$	2000 B A A
실시예 24	B	InGaZnO	질화실리콘	1~1	$2.5 \times 10^{22}$	2000 A A A
실시예 25	A	InGaZnO	질화실리콘	1~2	$4.5 \times 10^{21}$	2000 B A A
실시예 26	B	InGaZnO	질화실리콘	1~2	$4.5 \times 10^{21}$	2000 A A A
비교예 21	A	InGaZnO	질화실리콘	1~1	$2.5 \times 10^{22}$	80 C C A
비교예 22	B	InGaZnO	질화실리콘	1~1	$2.5 \times 10^{22}$	80 C C A
비교예 23	A	InGaZnO	질화실리콘	1~1	$2.5 \times 10^{22}$	2500 B A C
비교예 24	B	InGaZnO	질화실리콘	1~1	$2.5 \times 10^{22}$	2500 A A C

[0239]

[0240] 표 6에서 알 수 있는 바와 같이, 실시예 21 ~ 26의 본 발명의 반도체 장치는, 이동도가 높고, 임계값 전압이 0 V 근방에 있고, 또한, 가요성이 우수한 것을 알 수 있다. 그에 대해, 비교예 21 및 비교예 22의 반도체 장치는, 보호 절연층의 막두께가 너무 얕기 때문에, 다공질층으로부터의 가스의 영향에 의해 산화물 반도체 박막 트랜지스터의 이동도가 낮고, 임계값 전압이 소정치로부터 벗어나 있다. 또, 비교예 23 및 비교예 24의 산화물 반도체 박막 트랜지스터는, 반대로 보호 절연층의 막두께가 너무 두껍기 때문에, 굴곡 시험에 의해 보호 절연층에 크랙이 생기고, 굴곡 시험 전후의 이동도가 크게 변화하고 있었다.

[0241] 다음으로, 보호 절연층의 소재를 산화실리콘으로 한 경우의 보호 절연층의 막두께 의존성에 대해 나타낸다.

[0242] (실시예 31)

[0243] 실시예 11의 보호 절연층 막두께를, 400 nm에서 100 nm로 변경한 것 이외는, 실시예 11과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0244] (실시예 32)

[0245] 실시예 31의 기재 A를 기재 B로 변경한 것 이외는, 실시예 31과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0246] (실시예 33)

- [0247] 실시예 11 의 보호 절연층 막두께를, 400 nm 에서 2000 nm 로 변경한 것 이외는, 실시예 11 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.
- [0248] (실시예 34)
- [0249] 실시예 33 의 기재 A 를 기재 B 로 변경한 것 이외는, 실시예 33 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.
- [0250] (실시예 35)
- [0251] 실시예 15 의 보호 절연층 막두께를, 400 nm 에서 100 nm 로 변경한 것 이외는, 실시예 15 와 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.
- [0252] (실시예 36)
- [0253] 실시예 35 의 기재 A 를 기재 B 로 변경한 것 이외는, 실시예 35 와 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.
- [0254] (실시예 37)
- [0255] 실시예 13 의 보호 절연층 막두께를, 400 nm 에서 2000 nm 로 변경한 것 이외는, 실시예 13 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.
- [0256] (실시예 38)
- [0257] 실시예 37 의 기재 A 를 기재 B 로 변경한 것 이외는, 실시예 37 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.
- [0258] (비교예 31)
- [0259] 실시예 11 의 보호 절연층 막두께를, 400 nm 에서 80 nm 로 변경한 것 이외는, 실시예 11 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.
- [0260] (비교예 32)
- [0261] 비교예 31 의 기재 A 를 기재 B 로 변경한 것 이외는, 비교예 31 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.
- [0262] (비교예 33)
- [0263] 실시예 11 의 보호 절연층 막두께를, 400 nm 에서 2500 nm 로 변경한 것 이외는, 실시예 11 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.
- [0264] (비교예 34)
- [0265] 비교예 33 의 기재 A 를 기재 B 로 변경한 것 이외는, 비교예 33 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.
- [0266] 실시예 31 ~ 38, 비교예 31 ~ 34 는 산화실리콘으로 이루어지는 보호 절연층의 막두께를 변경하여 제조한 반도체 장치이다. 구성의 요점과 평가 결과를 표 7 에 나타낸다.

표 7

기재	산화물 반도체층	소재	성막 조건 (atoms/cm <sup>3</sup> )	보호 절연층		반도체 장치의 성능 평가		
				수소 농도 (nm)	막두께 (nm)	이동도	임계값 전압	가요성
실시예 31	A	InGaZnO	산화실리콘	2-1	$7.4 \times 10^{21}$	100	B	A
실시예 32	B	InGaZnO	산화실리콘	2-1	$7.4 \times 10^{21}$	100	A	A
실시예 33	A	InGaZnO	산화실리콘	2-1	$7.4 \times 10^{21}$	2000	B	A
실시예 34	B	InGaZnO	산화실리콘	2-1	$7.4 \times 10^{21}$	2000	A	A
실시예 35	A	InGaZnO	산화실리콘	2-3	$3.1 \times 10^{22}$	100	B	A
실시예 36	B	InGaZnO	산화실리콘	2-3	$3.1 \times 10^{22}$	100	A	A
실시예 37	A	InGaZnO	산화실리콘	2-2	$3.8 \times 10^{21}$	2000	B	A
실시예 38	B	InGaZnO	산화실리콘	2-2	$3.8 \times 10^{21}$	2000	A	A
비교예 31	A	InGaZnO	산화실리콘	2-1	$7.4 \times 10^{21}$	80	D	D
비교예 32	B	InGaZnO	산화실리콘	2-1	$7.4 \times 10^{21}$	80	D	D
비교예 33	A	InGaZnO	산화실리콘	2-1	$7.4 \times 10^{21}$	2500	B	C
비교예 34	B	InGaZnO	산화실리콘	2-1	$7.4 \times 10^{21}$	2500	A	C

[0267]

표 7에서 알 수 있는 바와 같이, 실시예 31 ~ 38의 본 발명의 반도체 장치는, 이동도가 높고, 임계값 전압이 0 V 근방에 있고, 또한, 가요성이 우수한 것을 알 수 있다. 그에 대해, 비교예 31 및 비교예 32의 반도체 장치는, 보호 절연층의 막두께가 너무 얇기 때문에, 다공질층으로부터의 가스의 영향에 의해 산화물 반도체 박막 트랜지스터가 동작하지 않았다. 또, 비교예 33 및 비교예 34의 반도체 장치는, 보호 절연층의 막두께가 너무 두껍기 때문에, 굴곡 시험에 의해 보호 절연층에 크랙이 생기고, 굴곡 시험 전후의 이동도가 크게 변화하고 있었다. 표 6과 표 7의 결과로부터, 보호 절연층의 소재가 변화해도, 과제를 해결할 수 있는 막두께 범위에는 차이가 없는 것을 알 수 있다.

[0269]

다음으로, 산화물 반도체 박막 트랜지스터의 산화물 반도체층의 소재를, InZnO에서 InGaZnO로 변경한 경우에 대해 나타낸다.

(실시예 41)

[0271]

실시예 1의 활성층을, InGaZnO에서 InZnO로 변경한 것 이외는, 실시예 1과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다. 또한, InZnO의 성막에는  $In_2O_3 : ZnO$  (ZnO-10 질량%)의 조성을 갖는 소결체 (이데미츠 코산(주) 제조)의 타겟을 사용하여, 성막된 활성층의 조성비는 In : Zn = 1.00 : 0.15였다.

[0272]

(실시예 42)

[0273]

실시예 41의 기재 A를 기재 B로 변경한 것 이외는, 실시예 41과 동일하게 하여 반도체 장치를 제조하고, 평

가를 실시했다.

[0274] (실시예 43)

[0275] 실시예 11 의 활성층을, InGaZnO 에서 InZnO 로 변경한 것 이외는, 실시예 11 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0276] (실시예 44)

[0277] 실시예 43 의 기재 A 를 기재 B 로 변경한 것 이외는, 실시예 43 과 동일하게 하여 반도체 장치를 제조하고, 평가를 실시했다.

[0278] 실시예 41 ~ 44 는, 산화물 반도체 박막 트랜지스터의 산화물 반도체층의 소재를 InGaZnO 에서 InZnO 로 변경하여 제조한 반도체 장치이다. 구성의 요점과 평가 결과를 표 8 에 나타낸다.

**표 8**

	기재	산화물 반도체층	보호 절연층				반도체 장치의 성능 평가		
			소재	성막 조건	수소 농도 ( $\text{atoms}/\text{cm}^3$ )	막두께 (nm)	이동도	임계값 전압	가요성
실시예41	A	InZnO	질화실리콘	1-1	$2.5 \times 10^{22}$	400	B	A	A
실시예42	B	InZnO	질화실리콘	1-1	$2.5 \times 10^{22}$	400	A	A	A
실시예43	A	InZnO	산화실리콘	2-1	$7.4 \times 10^{21}$	400	B	A	A
실시예44	B	InZnO	산화실리콘	2-1	$7.4 \times 10^{21}$	400	A	A	A

[0279]

[0280] 표 8 에서 알 수 있는 바와 같이, 실시예 41 ~ 44 의 본 발명의 반도체 장치는, 이동도가 높고, 임계값 전압이 0 V 근방에 있고, 또한, 가요성이 우수한 것을 알 수 있다. 표 6 과 표 7, 또 표 6 과 표 8 의 결과의 비교에서, 산화물 반도체의 소재가 변화해도, 본 발명에 의해 문제를 해결할 수 있는 것을 알 수 있다.

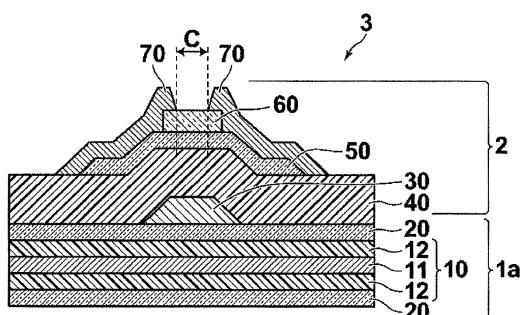
[0281] 실시예, 비교예에서 채용한 보호 절연층의 막두께와, 보호 절연층의 수소 농도를 도 6, 도 7 에 플롯했다. 도 6 은 보호 절연층의 소재를 질화실리콘으로 한 실시예와 비교예의 데이터를, 도 7 에는 산화실리콘을 사용한 실시예와 비교예의 데이터를 플롯했다. 도면 중의 ● 의 점이 실시예, ▲ 의 점이 비교예를 나타내고 있다.

각 점의 옆에 기재된 숫자는, 실시예 혹은 비교예 번호를 나타내고 있다. 또, 각 도면 중의 사각으로 둘러싼 영역은 본 발명의 효과가 얻어지는 영역이다. 사각으로 둘러싼 영역 중, A 부근은, 보호 절연층의 막두께가 두껍고, 수소 농도가 낮은 영역이 되기 때문에 가장 보호 절연층이 균열되기 쉬운 설계라고 예상되지만, 실시예로부터, 가요성에 문제가 생기지 않은 것을 알 수 있다. 또 사각으로 둘러싼 영역 중, B 부근은, 보호 절연층이 얇고, 또한 보호 절연층 중의 수소 농도가 가장 높은 영역이기 때문에, 임계값 전압이 0 V 로부터 크게 벗어나기 쉬운 설계라고 예상되지만, 실시예로부터, 임계값 전압은 소정의 범위에 있는 것을 알 수 있다.

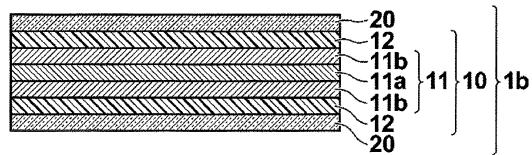
또, 도 6, 도 7 의 비교에서, 보호 절연층의 소재를 변경해도 효과가 있는 범위가 변하지 않는 것을 알 수 있다.

## 도면

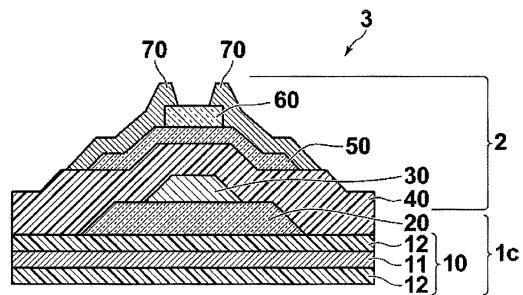
### 도면1



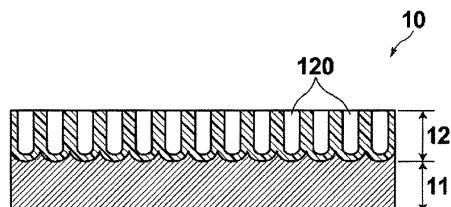
도면2



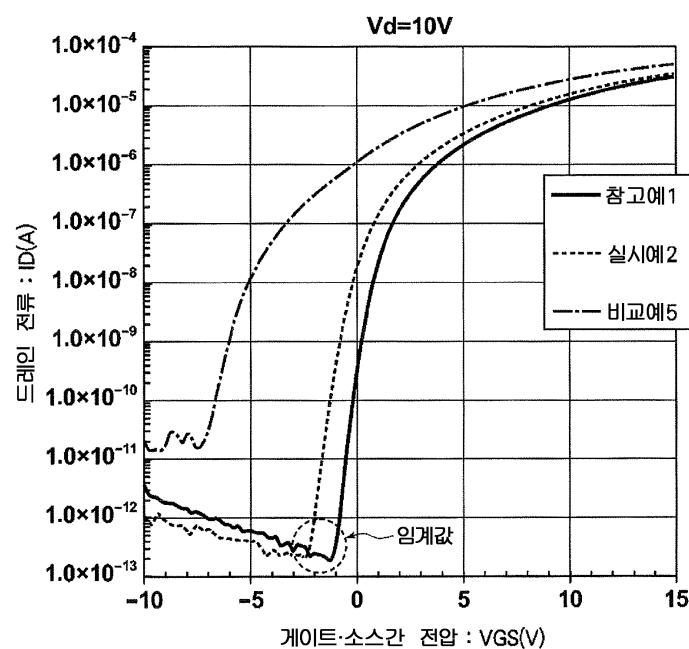
도면3



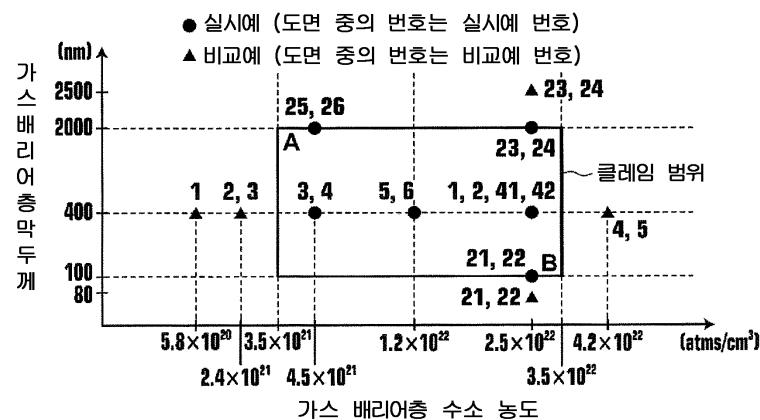
도면4



도면5



### 도면6



### 도면7

