312052 公告本

申請日期	85 10 29
案號	85112209
類別	H01L 27/12

（以上各欄由本局填註）

A4
C4
312052

312052

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	具有SOI構造之輸入/輸出保護電路
	英文	
二、發明 ~~創作~~ 人	姓名	1.山口　泰男　　2.佐藤　廣利 3.岩松　俊明　　4.井上　靖朗
	國籍	日本
	住、居所	東京都千代田區丸之內二丁目二番三號
三、申請人	姓名（名稱）	三菱電機股份有限公司
	國籍	日本
	住、居所（事務所）	東京都千代田區丸之內二丁目二番三號
	代表人姓名	北岡　隆

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

312052

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
IPC分類：	

本案已向：

✓ 日本 國（地區） 申請專利，申請日期：1996/03/29 案號：8-076305，☑有 ☐無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 1 ）

本發明係有關於輸入/輸出保護電路，特別是有關於適用在使用 SOI(Silicon-on-Insulator)型場效電晶體的半導體裝置中之輸入/輸出保護電路。

當位於塊狀矽基板上之 MOS 裝置中有電湧形成時，可通過 p-n 接合而放電至基板上；當由形成於絕緣膜上之 MOS 電晶體等所構成之 SOI 裝置中有電湧形成時，由於絕緣層之存在故造成基板與 SOI 裝置間無法形成電導通，因此電湧無法放電至基板上。特別是，在源極區域及汲極區域深入到埋入氧化膜(絕緣層)之薄膜 SOI 構造中，由於缺乏縱方向之接合，故電湧必須朝橫方向放電。因此，此時電湧係通過二極體或 MOS 電晶體而朝橫方向放電至電源線或接地線。

圖 17 係顯示習知的輸入保護電路的一例之電路圖。參照圖 17，此輸入保護電路係接續於輸入端點 30 與內部電路 31 之間，並具備插入(break-in)電阻 36、內部電阻 37、二極體 38、39。

圖 18 係顯示典型的內部電路 31 的一例之反相器的電路圖。參照圖 18，此反相器係具備 P 通道 MOS 電晶體 44 及 M 通道 MOS 電晶體 45。此例中，圖 17 所示之保護電路係接續於反相器之輸入節點 72，藉由其之接收通過輸入端點 30 的電湧以保護反相器。

另一方面，保護電路亦可接續於反相器之輸出節點 73。此時，由於保護電路係接收通過輸出節點 73 之電湧以保護反相器，故稱作輸出保護電路。以下，將輸入保護

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 2 ）

電路及輸出保護電路通稱爲輸入/輸出保護電路。

接著，說明圖 17 所示之輸入/輸出保護電路的動作。當基於靜電之電湧通過輸入端點 30 而到達輸入/輸出保護電路時，首先藉由插入電阻 36 以延遲電湧之進入並藉由二極體 38 、 39 以防止電湧急劇地進入。通過插入電阻 36 之電湧會到達信號線 71 ，且藉由二極體 38 可迅速地放電至電源線 32，或藉由二極體 39 以迅速地放電至接地線 33 。此處，內部電阻 37 可使得電湧不致朝內部電路 31 之方向流動而朝二極體 38 、 39 之方向流動。

例如當接收到正的高電壓電湧時，二極體 39 的 p-n 接合會崩潰，故電湧會放電至接地線 33 。同時二極體 38 會被偏壓至順方向，故可將電湧放電至電源線 32 。另一方面，當接收到負的高電壓電湧時，二極體 38 的 p-n 接合會崩潰，故電湧會放電至電源線 32 。同時二極體 39 會被偏壓至順方向，故可將電湧放電至接地線 33 。又，施加至輸入端點 30 之一般的輸入信號係經由信號線 71 而直接傳達至內部電路 31 。

如此般之輸入/輸出保護電路之耐電湧性係伴隨著元件之微細化而有降低之傾向。又，伴隨著微細化之進展亦有採用 SOI 構造之傾向。因此，有必要提供出一種適用於 SOI 構造之半導體裝置中之具備更高耐電湧性之輸入/輸出保護電路。

基於此，本發明的主要目的爲提供一種具有高耐電湧性之輸入/輸出保護電路。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 3 ）

依據本發明的第1形態之輸入/輸出保護電路係，形成在接續於輸入端點/輸出端點與具有複數個MOS電晶體的內部電路間之絕緣層上，其具備第1MOS元件。第1MOS元件係具備：形成於絕緣層上且接續於輸入/輸出端點與第1電源線(包含接地線)間之第1半導體膜，形成於第1半導體膜上之第1閘極絕緣膜，形成於第1閘極絕緣膜上之形成浮接狀態之第1閘電極。

因此，由於設置於第1電源線側之第1MOS元件之第1閘電極係形成浮接狀態，故就算其接收到高電壓電湧亦不致破壞第1閘極絕緣膜的絕緣性，結果，可提高耐電湧性。

依據本發明的另一形態之輸入/輸出保護電路係，形成在接續於輸入端點/輸出端點與具有複數個MOS電晶體的內部電路間之絕緣層上，其具備第1MOS元件。內部電路之MOS電晶體係藉由場遮蔽(field shield)法以形成互相分離的狀態。第1MOS元件係具備：形成於絕緣層上且接續於輸入端點/輸出端點與第1電源線(包含接地線)間之第1半導體膜，形成於第1半導體膜上之第1閘極絕緣膜，與第1閘極絕緣膜上之用來進行場遮蔽法之閘電極形成同層之第1閘電極。

因此，由於第1MOS元件之第1閘電極與內部電路中之用來進行場遮蔽法之閘電極形成同層，故第1MOS元件之第1閘極絕緣膜之厚度係形成較內部電路之MOS電晶體的閘極絕緣膜爲厚，結果可提高耐電湧性。

依據本發明的再一形態之輸入/輸出保護電路係，形成

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 4 ）

在接續於輸入端點/輸出端點與內部電路間之絕緣層上，其具備：形成於絕緣層上之第 1 導電型半導體膜，形成於半導體膜內且接續於輸入端點/輸出端點之第 1 導電型的複數個第 1 導電區域，形成於半導體膜內且接續於電源線(包含接地線)之第 2 導電型的複數個第 2 導電區域。

因此，由於在半導體膜內形成有複數個二極體，故可增加 p-n 接合的總面積，結果可提高耐電湧性。

【圖面之簡單說明】

圖 1 係顯示依據本發明的實施形態 1 之輸入/輸出保護電路的構成。

圖 2 係顯示圖 1 中之輸入/輸出保護電路的構造之平面圖。

圖 3 係沿著圖 2 中之 III-III 線的剖面圖。

圖 4 係顯示依據本發明的實施形態 2 之輸入/輸出保護電路的構成之電路圖。

圖 5 係顯示圖 4 之輸入/輸出保護電路的構造之剖面圖。

圖 6 係顯示依據本發明的實施形態 3 之輸入/輸出保護電路的構造之剖面圖。

圖 7 係顯示藉由圖 6 之輸入/輸出保護電路所保護之閘陣列的構造之平面圖。

圖 8 係沿著圖 7 中之 VIII-VIII 線的剖面圖。

圖 9 係顯示依據本發明的實施形態 4 之輸入/輸出保護電路的構造之平面圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 5 ）

圖 10 係沿著圖 9 中之 X-X 線之剖面圖。

圖 11 係顯示依據本發明的實施形態 5 之輸入/輸出保護電路的構造之平面圖。

圖 12 係顯示依據本發明的實施形態 6 之輸入/輸出保護電路的構造之平面圖。

圖 13 係顯示依據本發明的實施形態 7 之輸入/輸出保護電路及藉由其所保護之內部電路的構造之剖面圖。

圖 14 係顯示圖 13 中之輸入/輸出保護電路的構造之平面圖。

圖 15 係顯示依據本發明的實施形態 8 之輸入/輸出保護電路的構造之平面圖。

圖 16 係沿著圖 15 中 XVI-XVI 線之剖面圖。

圖 17 係顯示習知的輸入保護電路的構成之電路圖。

圖 18 係顯示藉由圖 17 之輸入保護電路所保護之內部電路的一例之電路圖。

圖 19 係顯示有關本發明之輸入/輸出保護電路的構成之平面圖。

圖 20 係顯示圖 19 之輸入/輸出保護電路的構造之平面圖。

圖 21 係沿著圖 20 中之 XXI-XXI 線之剖面圖。

圖 22 係顯示有關本發明之輸入/輸出保護電路的其他構造之剖面圖。

【較佳實施形態之說明】

在說明本發明之實施形態之前，爲了使得本發明容易

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 6 ）

理解起見，參照圖19~22以說明作爲本發明的前提之輸入/輸出保護電路之例。又，圖中以同一符號代表相同或相當之部分。

圖19所示之輸入/輸出保護電路係，取代圖17所示之習知的輸入/輸出保護電路的二極體38及39，而具備P通道MOS電晶體34及N通道MOS電晶體35。由於P通道MOS電晶體34之閘電極34a係接續於電源線32上，故通常P通道MOS電晶體34係形成斷開狀態。由於N通道MOS電晶體35之閘電極35a係接續於接地線33上，故通常N通道MOS電晶體35亦形成斷開狀態。

在此輸入/輸出保護電路中，當接收到正的高電壓電湧時，N通道MOS電晶體35中之p-n接合會崩潰，基於此電湧會迅速地放電至接地線33。同時由於P通道MOS電晶體34會形成接通狀態，故電湧會迅速地放電至電源線32。另一方面，當接收到負的高電壓電湧時，P通道MOS電晶體34中之p-n接合會崩潰，基於此電湧會迅速地放電至電源線32。同時由於N通道MOS電晶體35會形成接通狀態，故電湧會迅速地放電至接地線33。

圖20係顯示圖19所示的輸入/輸出保護電路的構造之平面圖。圖21係沿著圖20中之XXI-XXI線之剖面圖。參照圖20及圖21，在矽基板1上如夾住絕緣層之埋入氧化膜2般形成有矽薄膜3。矽薄膜3係形成島狀之分離。矽薄膜3係由：導入有濃度$10^{17}/cm^3$的雜質(P通道MOS電晶體34爲n型、N通道MOS電晶體35爲p型)之基板區域

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 7 ）

34e 、 35e ，及夾住基板區域 34e 、 35e 之導入有濃度 $10^{20}/cm^3$ 的雜質(P通道MOS電晶體34爲n型、N通道MOS電晶體35爲p型)之汲極區域34b 、35b及源極區域34c 、35c 所構成。在矽薄膜 3 上形成有夾住閘極絕緣膜 34d 、35d之閘電極 34a 、35a。再者，在此等之上方形成有層間絕緣膜 11 。汲極區域34b 、 35b及源極區域34c 、35c上之層間絕緣膜11係形成接觸窗 12。在層間絕緣膜11上形成有鋁配線 13 、 14 、 15。構成電源線 32 之鋁配線 15 係通過接觸窗 12 而接續至P通道MOS電晶體34之源極區域34c 。構成信號線 71 之鋁配線 14 係分別通過接觸窗 12 及12 而接續至P通道MOS電晶體34之汲極區域34b及N通道MOS電晶體35之汲極區域35b。構成接地線33之鋁配線13係通過接觸窗12而接續至N通道MOS電晶體35之源極區域35c 。

在輸入端點30與信號線71之間形成有插入電阻36。用來接續於內部電路31之內部電路接續配線42與信號線71之間形成有內部電阻37 。插入電阻36及內部電阻37係與矽薄膜或閘電極形成同層。又，P通道MOS電晶體34之閘電極34a係介由閘極電位固定配線40而接續於電源線32，N通道MOS電晶體35之閘電極35a係介由閘極電位固定配線41而接續於接地線33。因此，P通道MOS電晶體34及N通道MOS電晶體35係分別形成斷開之狀態。

具有如此般的構造之輸入/輸出保護電路係，當接收到正的高電壓電湧時，雖然N通道MOS電晶體35中之p-n

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 8 ）

接合(由基板區域35e與汲極區域35b所構成)會崩潰，但由於閘電極35a係接續於接地線33，故高電壓亦會施加至閘極絕緣膜35d，基於此有可能造成圖21中之PA部分的絕緣性之破壞。另一方面，當接收到負的高電壓電湧時，雖然P通道MOS電晶體34中之p-n接合(由基板區域34e與汲極區域34b所構成)會崩潰，但由於閘電極34a係接續於電源線32，故高電壓亦會施加至閘極絕緣膜34d，基於此有可能造成圖21中之PB部分的絕緣性之破壞。如此般之絕緣破壞會造成耐電湧性之降低。

另一方面，圖22係顯示圖17所示之習知的輸入/輸出保護電路的構造之一例的剖面圖。在此處係使用閘極二極體(閘極控制二極體)38、39。因此，取代圖21中之p^+型源極區域34c而形成導入有濃度$10^{20}/cm^3$的n型雜質之n^+型陰極區域38c；又，取代圖21中之n^+型源極區域35c而形成導入有濃度$10^{20}/cm^3$的p型雜質之p^+型陽極區域39b。因此，藉由陽極區域38b及陰極區域38e、38c以構成二極體，藉由陽極區域39b、39e及陰極區域39c以構成二極體。

具有如此般的構造之輸入/輸出保護電路係，當接收到正的高電壓電湧時，雖然閘極二極體39中之p-n接合(由陽極區域39e及陰極區域39c所構成)會崩潰，但由於閘電極39a接續於接地線33上，故高電壓亦會施加至閘極氧化膜39d，基於此有可能造成圖22中之PC部分的絕緣性之破壞。另一方面，當接收到負的高電壓電湧時，雖然閘極

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 9 ）

二極體 38 中之 p-n 接合(由陽極區域 38b 及陰極區域 38e 所構成)會崩潰，但由於閘電極 38a 接續於電源線 32 上，故高電壓亦會施加至閘極氧化膜 38d，基於此有可能造成圖 22 中之 PD 部分的絕緣性之破壞。如此般之絕緣性的破壞係同使用上述 MOS 電晶體之輸入/輸出保護電路般，亦會造成耐電湧性之降低。

以下之實施形態係用來解決如此般之問題點，其目的爲藉由防止施加高電壓電湧時之閘極絕緣膜的破壞以提高輸入/輸出保護電路的耐電湧性。

實施形態 1

圖 1 係顯示依據本發明的實施形態 1 之輸入/輸出保護電路的構成之電路圖。參照圖 1，此輸入/輸出保護電路係具備插入電阻 36、內部電阻 37、P 通道 MOS 電晶體 34 及 N 通道 MOS 電晶體 35。輸入端點 30 係經由插入電阻 36 及內部電阻 37 而接續至內部電路 31。P 通道 MOS 電晶體 34 係具備：接續於電源線 32 之源極、接續至信號線 71 之汲極、及形成浮接狀態之閘電極 34a。N 通道 MOS 電晶體 35 係具備：接續至接地線之源極、接續至信號線 71 之汲極、及形成浮接狀態之閘電極 35a。內部電路 31 係，例如由圖 18 所示般之 CMOS 反相器所構成。依據此實施形態 1 之輸入/輸出保護電路在 MOS 電晶體 34、35 之閘電極 34a、35a 係形成浮接狀態，此點係不同於圖 19 所示之輸入/輸出保護電路。

圖 2 係顯示圖 1 所示之輸入/輸出保護電路的構造之平

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（10）

面圖。圖3係沿著圖2中III-III線的剖面圖。參照圖2及圖3，此輸入/輸出保護電路係形成於作爲絕緣層之埋入氧化膜2上。埋入氧化膜2係形成於矽基板1上。矽薄膜3係形成於埋入氧化膜2上，且形成島狀般之分離。在矽薄膜3上形成有閘極絕緣膜34d、35d，且在閘極絕緣膜34d、35d上形成有閘電極34a、35a。用來形成P通道MOS電晶體34之矽薄膜3係由n^-型基板區域34e及p^+型源極區域34c及p^+型汲極區域34b所構成。更具體而言，基板區域34e係導入有濃度$10^{17}/cm^3$之n型雜質，源極區域34c及汲極區域34b係導入有濃度$10^{20}/cm^3$之p型雜質。基板區域34e係位於閘電極34a之下。源極區域34c係鄰接於基板區域34e之一側。汲極區域34b係鄰接於基板區域34e之另一側。

用來形成N通道MOS電晶體34之矽薄膜3係由p^-型基板區域35e及n^+型源極區域35c及n^+型汲極區域35b所構成。更具體而言，基板區域35e係導入有濃度$10^{17}/cm^3$之p型雜質，源極區域35c及汲極區域35b係導入有濃度$10^{20}/cm^3$之n型雜質。基板區域35e係位於閘電極35a之下。源極區域35c係鄰接於基板區域35e之一側。汲極區域35b係鄰接於基板區域35e之另一側。

又，p型雜質係使用閘電極34a作爲罩而同時導入源極區域34c及汲極區域34b。n型雜質係使用閘電極35a作爲罩而同時導入源極區域35c及汲極區域35b。

在閘電極34a、35a及矽薄膜3上形成有層間絕緣膜

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（11）

11，層間絕緣膜11係形成有到達源極區域34c、35c及汲極區域34b、35b之接觸窗12。在層間絕緣膜11上形成有鋁配線13、14、15。因此，構成電源線32之鋁配線15係通過接觸窗12而與P通道MOS電晶體34之源極區域34c相接觸。構成信號線71之鋁配線14係分別通過接觸窗12及12而與P通道MOS電晶體34之汲極區域34b及N通道MOS電晶體35之汲極區域35b相接觸。構成接地線33之鋁配線13係通過接觸窗12而與N通道MOS電晶體35之源極區域35c相接觸。結果，P通道MOS電晶體34之源極區域34c係接續於電源線32上，且其汲極區域34b係接續於輸入端點30。N通道MOS電晶體35之源極區域35c係接續於接地線33，且其汲極區域35b係接續於輸入端點30。

插入電阻36係形成於輸入端點30與信號線14之間。內部電阻37係形成於信號線71與內部電路接續配線42之間。插入電阻36及內部電阻37係與矽薄膜或閘電極34a、35a形成同層。插入電阻36之幅寬較內部電阻37之幅寬爲廣。因此，由於插入電阻36可降低電流密度，故插入電阻36不致遭到流入MOS電晶體34、35之大電流的破壞。又，P通道MOS電晶體34之閘電極34a並未接續於電源線32等其他的配線上。N通道MOS電晶體35之閘電極35a並未接續於接地線33等其他的配線上。因此，閘電極34a及35a皆形成浮接之狀態。

如此般之實施形態1係，在閘電極34a、35a形成浮

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（12）

接狀態這一點上與圖20及圖21所示之構造不同。

然而，當閘電極34a、35a形成浮接狀態時則易受到電容耦合(capacity coupling)之影響。因此，伴隨著汲極電位之變化閘極電位會朝汲極電位側偏移。因此，當輸入信號自輸入端點30經由信號線71而傳到內部電路31時，MOS電晶體34及35僅會稍微接通，故基於此有可能造成直流電流由電源線32流至接地線33。因此，爲了抑制如此般的直流電流之降低所造成之消耗電力的增加，則較佳之方式爲將基板區域34e、45e之雜質濃度設定爲較內部電路中之MOS電晶體(例如圖18之44、45等)之基板區域的雜質濃度爲高。例如當內部電路中之MOS電晶體之基板區域的雜質濃度爲$1 \times 10^{17}/cm^3$時，將基板區域34e、35e之雜質濃度設定爲較$1 \times 10^{18}/cm^3$爲大，亦即形成2倍以上爲較佳。

又，爲了將MOS電晶體34、35之臨限值電壓設定成較高，則必須避免基於閘電極材料的工作函數差之有效閘極電壓的施加。例如當內部電路中之N通道MOS電晶體的閘電極材料係使用n型矽聚合物時，輸入/輸出保護電路中之N通道MOS電晶體35的閘電極35a的材料以使用p型矽聚合物爲較佳。另一方面，當內部電路中之P通道MOS電晶體的閘電極材料係使用p型矽聚合物時，輸入/輸出保護電路中之P通道MOS電晶體34的閘電極34a的材料以使用n型矽聚合物爲較佳。此係表示，在輸入/輸出保護電路係使用導電型相同於基板區域34e、35e的矽聚合物作

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（13）

爲閘電極 34a 、 35a 的材料，在輸入/輸出保護電路以外的內部電路係使用導電型相反於基板區域的矽聚合物作爲閘電極的材料。藉由此，由於輸入/輸出保護電路中之 MOS 電晶體 34 、 35 的臨限值電壓可增加約 1V，故可防止直流電流由電源線 32 流至接地線 33 。

接著，說明具有如此般的構成之輸入/輸出保護電路的動作。來自輸入端點 30 之電湧係通過插入電阻 36 而到達信號線 71 。因此，當接收到正的高壓電湧時，由 N 通道 MOS 電晶體 35 的基板區域 35e 及汲極區域 35b 所構成之 p-n 接合會崩潰，基於此電湧會經由 N 通道 MOS 電晶體 35 而朝接地線 33 放電。此時，由於閘電極 35a 係形成未接續於接地線 33 之浮接狀態，故高電壓不致施加至閘極絕緣膜 35d，因此不致造成圖 3 中之 PA 部分的絕緣性之被破壞。另一方面，當接收到負的高壓電湧時，由 P 通道 MOS 電晶體 34 的基板區域 34e 及汲極區域 34b 所構成之 p-n 接合會崩潰，基於此電湧會經由 P 通道 MOS 電晶體 34 而朝電源線 32 放電。此時，由於閘電極 34a 係形成未接續於電源線 32 之浮接狀態，故高電壓不致施加至閘極絕緣膜 34d ，因此不致造成圖 3 中之 PB 部分的絕緣性之被破壞。因此此輸入/輸出保護電路可大幅地提高耐電湧性。

又，亦可使得基板區域 34e 、 35e 形成具有固定之電氣性質，但爲了易達成汲極之崩潰起見則以形成具有浮動的電氣性質爲較佳。

實施形態 2

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（14）

圖4係顯示依據本發明的實施形態2之輸入/輸出保護電路的構成之電路圖。參照圖4，此輸入/輸出保護電路係，以二極體38及39來取代圖1中之MOS電晶體34及35。圖4所示之電路圖與圖17所示之習知的電路圖相同。

圖5係顯示圖4所示之輸入/輸出保護電路的構造之剖面圖。此輸入/輸出保護電路係如圖5所示般，以n^+型陰極區域38c及p^+型陽極區域39b來取代圖3中之源極區域34c及35c。用來形成二極體38之矽薄膜3係由n^-型陰極區域38e、n^+型陰極區域38c及p^+型陽極區域38b所構成。陰極區域38e係位於閘電極38a之下。陰極區域38c係鄰接於陰極區域38e之一側，藉由此以接續於電源線32。陽極區域38b係鄰接於陰極區域38e之另一側，藉由此以接續於輸入端點30。用來形成二極體39之矽薄膜3係由p^-型陽極區域39e、p^+型陽極區域39b及n^+型陰極區域39c所構成。陽極區域39e係位於閘電極39a之下。陽極區域39b係鄰接於陽極區域39e之一側，藉由此以接續於接地線33。陰極區域39c係鄰接於陽極區域39e之另一側，藉由此以接續於輸入端點30。閘電極38a係未接續於任何配線般之形成浮接狀態。

因此，依據此實施形態2之輸入/輸出保護電路係，在閘電極38a、39a形成浮接狀態這一點上與圖22所示之構造不同。

具有如此般構造之輸入/輸出保護電路係，當接收到正的高壓電湧時，由二極體39之陽極區域39e及陰極區域39c

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（15）

所構成之 p-n 接合會崩潰，基於此電湧會經由二極體 39 而朝接地線 33 放電。此時，由於閘電極 39a 係形成未接續於接地線 33 之浮接狀態，因此不致造成圖 5 中之 PC 部分的絕緣性之被破壞。另一方面，當接收到負的高壓電湧時，由二極體 38 的陽極區域 38b 及陰極區域 38e 所構成之 p-n 接合會崩潰，基於此電湧會經由二極體 38 而朝電源線 32 放電。此時，由於閘電極 38a 係形成未接續於電源線 32 之浮接狀態，因此不致造成圖 5 中之 PD 部分的絕緣性之被破壞。結果，可提高此輸入/輸出保護電路之耐電湧性。

又，此輸入/輸出保護電路與上述實施形態 1 相同般，以將陰極區域 38e 及陽極區域 39e 之雜質濃度設定爲較輸入/輸出保護電路以外的內部電路中之 MOS 電晶體之基板區域的雜質濃度爲高較佳。又，當內部電路中之 N 通道 MOS 電晶體的閘電極材料使用 n 型矽聚合物時，輸入/輸出保護電路中之二極體 39 的閘電極 39a 的材料以使用 p 型矽聚合物爲較佳。又，當內部電路中之 P 通道 MOS 電晶體的閘電極材料使用 p 型矽聚合物時，輸入/輸出保護電路中之二極體 38 的閘電極 38a 的材料以使用 n 型矽聚合物爲較佳。再者，亦可使得陰極區域 38e 及陽極區域 39e 形成具有固定之電氣性質，但爲了易達成汲極之崩潰起見則以形成具有浮動的電氣性質爲較佳。

實施形態 3

圖 6 係顯示依據本發明的實施形態 3 之輸入/輸出保護電路的構造之剖面圖。圖 7 係顯示藉由圖 6 之輸入/輸出保

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（16）

護電路所保護之閘陣列(內部電路)的構造之平面圖。圖 8 係沿著圖 7 中 VIII-VIII 線之剖面圖。

雖然一般具有 SOI 構造之 MOS 電晶體係在基板區域形成浮動的電氣性質，但如圖 7 及 8 所示之閘陣列中，P 通道 MOS 電晶體 44 之基板區域 6 係固定成電源電位，N 通道 MOS 電晶體 45 之基板區域 6 係固定成接地電位。

如圖 7 及 8 所示般，用來形成 P 通道 MOS 電晶體 44 之矽薄膜 3 及用來形成 N 通道 MOS 電晶體 45 之矽薄膜 3 係形成於埋入氧化膜 2 上。圖上左側之 P 通道 MOS 電晶體 44 的基板區域 6 係介由本體區域 77 而接續於圖上右側之 P 通道 MOS 電晶體 44 的基板區域 6。另一方面，圖上左側之 N 通道 MOS 電晶體 45 的基板區域 6 係介由本體區域 77 而接續於圖上右側之 N 通道 MOS 電晶體 45 的基板區域 6。在各本體區域 77 上介由具有相當厚度的閘極絕緣膜而形成有場遮蔽分離用的閘電極 16。在各基板區域 6 上介由厚度較場遮蔽分離用之閘極絕緣膜爲薄之閘極絕緣膜而形成有閘電極 5。

場遮蔽用之閘電極 16 係每隔既定間隔就形成有開口部。P 通道 MOS 電晶體 44 側之本體區域 77 係通過形成於開口部中之接觸窗 78 而接續於鋁配線 15 所構成之電源線 32。另一方面，N 通道 MOS 電晶體 45 側之本體區域 77 係通過形成於開口部中之接觸窗 78 而接續於鋁配線 13 所構成之接地線 33。又，P 通道 MOS 電晶體 44 側之閘電極 16 係通過接觸窗 79 而接續至電源線 32。另一方面，N 通

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（17）

道 MOS 電晶體 45 側之閘電極 16 係通過接觸窗 79 而接續至接地線 33 。

因此，各閘電極 16 及位於其兩側之 MOS 電晶體 44 或 45 係互相藉由場遮蔽法而形成分離之狀態。然而，由於 P 通道 MOS 電晶體 44 之基板區域 6 係介由本體區域 77 而接續至電源線 32，故其係固定成電源電位。另一方面，由於 N 通道 MOS 電晶體 45 之基板區域 6 係介由本體區域 77 而接續至接地線 33，故其係固定成接地電位。再者，在特開平 7-94754 號公報中已詳細地揭示出使用場遮蔽分離法之閘陣列構造，而在此係援用其構造。

由於具有如此般的構造之閘陣列中之 MOS 電晶體 44 、 45 的基板區域 6 係具有固定之電氣性質，故其可形成更穩定之動作特性。

另一方面，用來保護如此般的閘陣列之輸入/輸出保護電路係如圖 6 所示般，在基板區域 34e 、 35e 上形成有與場遮蔽分離用閘極絕緣膜形成同一層之閘極絕緣膜 34g 、 35g。又，在閘極絕緣膜 34g 、 35g 上形成有與與場遮蔽分離用閘電極 16 形成同一層之閘電極 34f 、 35f。閘電極 34f 及 35f 皆形成浮接狀態。因此，依據此實施形態 3 之輸入/輸出保護電路係，在閘極絕緣膜 34g 、 35g 較圖 5 中之閘極絕緣膜 38d 、 39d 爲厚這一點上與圖 5 所示之構造不同。

例如當依據 0.35 μ m 技術所設計出之閘陣列中，其 MOS 電晶體的閘極絕緣膜之厚度僅相當薄之 70Å。因此，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（18）

當使得輸入/輸出保護電路中之 MOS 電晶體的閘極絕緣膜與閘陣列中之 MOS 電晶體的閘極絕緣膜形成同一層般之形成時，此閘極絕緣膜之耐壓性會降低。另一方面，場遮蔽分離用閘極絕緣膜之厚度係形成 500Å。因此，當使得輸入/輸出保護電路中的 MOS 電晶體 34 、 35 的閘極絕膜 34g 、 35g 與場遮蔽分離用閘極絕緣膜形成同一層般之形成時，此閘極絕緣膜 34g 、 35g 之耐壓性會提高。一般而言，由於絕緣耐壓性係正比於膜厚，故此時可使得絕緣耐壓性提高 7 倍以上。結果可提高此輸入/輸出保護電路之耐電湧性。

雖然圖 6 中閘電極 34f 及 35f 皆形成浮接之狀態，但亦可同圖 21 之構造般使得閘電極 34f 接續於電源線 32 ，閘電極 35f 接續於接地線 33 。此時，雖然其耐電湧性會較如圖 6 所示般之閘電極 34f 、 35f 形成浮接狀態時爲差，但會較如圖 21 所示之構造爲佳。

此處係使用 MOS 電晶體 34 、 35 作爲放出電湧之用途，但亦可同上述實施形態 2 般之使用閘二極體以取代之。亦即，使得閘二極體之閘電極與場遮蔽分離用之閘電極形成同一層般之形成出亦可。

由於一般矽薄膜 3 之電阻值較低，又 MOS 電晶體用之閘電極會使得其電阻值降地更低，故常會產生矽化物化。因此，由矽聚合物及矽化鈦所積層出之閘電極(典型的薄板電阻爲 2Ω)係不易藉由插入電阻 36 或內部電阻 37 之形成而適當地調整其電阻值。相對於此，一般僅具有矽聚合物

經濟部中央標準局員工消費合作社印製

本紙適用中國國家標準（CNS）A4規格（210×297公釐）

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

五、發明說明（19）

單層構造之場遮蔽分離用閘電極(典型的薄板電阻爲 20Ω)可簡單地藉由插入電阻 36 或內部電阻 37 之形成而適當地調整其電阻值。

實施形態 4

圖 9 係顯示依據本發明的實施形態 4 之輸入/輸出保護電路的構造之平面圖。圖 10 係沿著圖 9 中 X-X 線之剖面圖。此實施形態 4 之目的爲增加輸入/輸出保護電路中之二極體的 p-n 接合面積。

如圖 9 所示般，電源線 32 側之矽薄膜 3 係包含：導入有濃度 $1 \times 10^{17}/cm^3$ 的 p 型雜質之 p^-型區域 64、導入有濃度 $1 \times 10^{20}/cm^3$ 的 n 型雜質之 n^+型區域 61、及導入有濃度 $1 \times 10^{20}/cm^3$ 的 p 型雜質之 p^+型區域 62。n^+型區域 61 及 p^+型區域 62 係配置成矩陣狀。n^+型區域 61 係在各奇數列配置成一直線，p^+型區域 62 係在各偶數列配置成一直線。因此，n^+型區域 61 及 p^+型區域 62 係在各行中形成交錯般之配置著。所有的 n^+型區域 61 係通過形成於其上方之接觸窗 12 而形成共通般之接續至電源線 32。所有的 p^+型區域 62 係通過形成於其上方之接觸窗 12 而形成共通般之接續至信號線 71。

另一方面，接地線 33 側之矽薄膜 3 係包含：導入有濃度 $1 \times 10^{17}/cm^3$ 的 n 型雜質之 n^-型區域 63、導入有濃度 $1 \times 10^{20}/cm^3$ 的 n 型雜質之 n^+型區域 61、及導入有濃度 $1 \times 10^{20}/cm^3$ 的 p 型雜質之 p^+型區域 62。n^+型區域 61 及 p^+型區域 62 係配置成矩陣狀。n^+型區域 61 係在各偶數列配置

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（20）

成一直線，p^+型區域62係在各奇數列配置成一直線。因此，n^+型區域61及p^+型區域62係在各行中形成交錯般之配置著。所有的n^+型區域61係通過形成於其上方之接觸窗12而形成共通般之接續至信號線71。所有的p^+型區域62係通過形成於其上方之接觸窗12而形成共通般之接續至接地線33。

相當於具有如此般的構造之輸入/輸出保護電路係與圖4相同。亦即，p^-型區域64及複數個n^+型區域61係構成圖4中之二極體38，複數個p^+型區域62及n^-型區域係構成圖4中之二極體39。

此輸入/輸出保護電路係，由於在電源線32側之矽薄膜3上形成有p^-型區域64，而藉由令此p^-型區域64接續於二極體38與信號線71之間故可使其產生有效的電阻之機能。又，由於在接地線33側之矽薄膜3上形成有n^-型區域63，而藉由令此n^-型區域63接續於二極體39與信號線71之間故可使其產生有效的電阻之機能。因此，可防止電湧急劇地施加至二極體38、39之p-n接合。

依據上述實施形態4，由於閘電極不含有電湧放電用之二極體，故閘極絕緣膜不致產生基於高壓電之破壞，結果可防止耐電湧性之降低。

實施形態5

圖11係顯示依據本發明的實施形態5之輸入/輸出保護電路的構造之平面圖。此輸入/輸出保護電路係，在n^+型區域61及p^+型區域62形成交錯配置這一點上與圖9所

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（21）

示之構造不同。亦即，n^+型區域61及p^+型區域62在各行及各列中皆形成交錯般之配置著。

依據上述實施形態5，由於n^+型區域61及p^+型區域62係形成交錯般之配置，故可分散電流的路徑，基於此可造成電流密度之降低。結果，可提高其耐電湧性。

實施形態6

圖12係顯示依據本發明的實施形態6之輸入/輸出保護電路的構造之平面圖。此輸入/輸出保護電路係，在n^+型區域61及p^+型區域62形成圓形這一點上與圖9所示之構造不同。圖9所示之方形區域61、62中電場係集中在角部，故易造成耐電湧性之降低。相對於此，圖12所示般之圓形的區域61、62之任何部位皆不會產生電場之集中。結果，可提高耐電湧性。又，並不一定要使得區域61、62形成完完全全的圓形，主要能使得區域63、64與區域61、62間之界面形成圓形即可。因此，使得如圖9所示般之方形區域61、62之角部形成圓形般亦可。

實施形態7

圖13係顯示內部電路及依據本發明的實施形態7之輸入/輸出保護電路的構造之剖面圖。圖14係顯示圖13所示之輸入/輸出保護電路的平面圖。

如圖13所示般，內部電路係包含形成於埋入氧化膜2上之N通道MOS電晶體45。N通道MOS電晶體45係由：形成於埋入氧化膜2上之矽薄膜3、形成於矽薄膜3上之閘極絕緣膜、形成於閘極絕緣膜上之閘電極5所構成。矽

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（22）

薄膜3係由：p^-型基板區域6、n型汲極區域7、及n型源極區域8所構成。層間絕緣膜11係包覆於N通道MOS電晶體45上。在汲極區域7及源極區域8上之層間絕緣膜11係分別形成有接觸窗12。汲極區域7及源極區域8係，分別形成有導入有高濃度的n型雜質之n^+型接觸區域75。形成於層間絕緣膜11上之鋁配線13係分別介由接觸窗12而接觸於汲極區域7中之接觸區域75及源極區域8中之接觸區域75。

另一方面，圖13及14所示之輸入/輸出保護電路中並未有矽薄膜3之形成。其係形成呈矩陣般之複數個貫通層間絕緣膜11及埋入氧化膜2並深達p型矽基板之接觸窗74。在矽基板1內之接觸窗74的下部係形成導入有高濃度的n型雜質之複數個n^+型接觸區域77。因此，p型矽基板1及複數個n^+型接觸區域77係構成複數個二極體。由形成於層間絕緣膜11上之鋁配線14所構成之信號線71係通過各個接觸窗74而與接觸區域77形成接觸。

信號線71係介由插入電阻36而接續於輸入端點30，同時介由內部電阻37而接續於內部電路。又，矽基板1係形成接地狀態。因此，此輸入/輸出保護電路係包含：接續於信號線71與接地節點間之二極體、插入電阻36、內部電阻37。

此處，接觸窗12及74係同時形成於層間絕緣膜11內。又，接觸區域75及77係在接觸窗12及74形成之後藉由n型雜質之導入而同時形成出。再者，鋁配線13及14

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（23）

係同時形成於層間絕緣膜 11 上。

具有如此般的構造之輸入/輸出保護電路係，當正的高電壓電湧由輸入端點 30 通過插入電阻 36 而施加至信號線 71 時，由基板 1 及接觸區域 77 所構成之 p-n 接合會崩潰，基於此會造成電湧放電至矽基板 1。

依據此實施形態 7，由於使用矽基板 1 作爲二極體的陽極區域，故可減少二極體所占之面積。又，由於此等二極體不含閘電極，故不致破壞閘極絕緣膜的絕緣性，結果不致產生耐電湧性之降低。

實施形態 8

圖 15 係顯示依據本發明的實施形態 8 之輸入/輸出保護電路的構造之平面圖。圖 16 係沿著圖 15 中之 XVI-XVI 線的剖面圖。

如圖 15 及圖 16 所示般，此輸入/輸出保護電路係，在陽極區域 38f 係通過形成於閘極絕緣膜 38d 之接觸窗 76 而接觸陰極區域 38e、及陰極區域 39f 係通過形成於閘極絕緣膜 39d 之接觸窗 76 而接觸陽極區域 39e 這一點上不同於實施例 5 所示之構造。更具體而言，閘極絕緣膜 38d 及 39d 係分別形成如包覆陰極區域 38e 及陽極區域 39e 般。在陰極區域 38e 及陽極區域 39e 上之閘絕緣膜 38d 及 39d 係分別形成有接觸窗 76 及 76。再者，在閘極絕緣膜 38d 及埋入氧化膜 2 上形成有陽極區域 38f，此陽極區域 38f 係通過接觸窗 76 而與陰極區域 38e 形成接觸。另一方面，在閘極絕緣膜 39d 及埋入氧化膜 2 上形成有陰極區域 39f，此陰

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（24）

極區域39f係通過接觸窗76而與陽極區域39e形成接觸。

此處，在陰極區域38e中導入有濃度$1 \times 10^{17}/cm^3$之n型雜質。陽極區域38f係由導入有濃度$1 \times 10^{20}/cm^3$之p型雜質之p^+型矽聚合物膜所構成。另一方面，在陽極區域39e中導入有濃度$1 \times 10^{17}/cm^3$之p型雜質。陰極區域39f係由導入有濃度$1 \times 10^{20}/cm^3$之n型雜質之n^-型矽聚合物膜所構成。因此，陽極區域38f及陰極區域38e係構成接續於輸入端點30與電源線32間之二極體。另一方面，陽極區域39e及陰極區域39f係構成接續於接地線33及輸入端點30間之二極體。相當於具有如此般的構造之輸入/輸出保護電路係如圖4所示般。

依據此實施形態8，由於閘電極不含電湧放電用之二極體，故不致破壞閘絕緣膜38d、39d之絕緣性，結果，不致降低其耐電湧性。

上述之實施形態係，雖然主要是在電源線及接地線之兩側設置電晶體或二極體，但僅在其任一側設置電晶體或二極體亦可。又，將接續於二極體之N通道MOS電晶體設置於電源線側，將接續於二極體之P通道MOS電晶體設置於接地線側亦可。再者，藉由電晶體及二極體之組合以構成輸入/輸出保護電路亦可。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A5
B5

四、中文發明摘要（發明之名稱：具有SOI構造之輸入/輸出保護電路　）

一種輸入/輸出保護電路，其係具備：接續於輸入端點(30)與電源線(32)間之P通道MOS電晶體(34)、及接續於輸入端點(30)與接地線(33)間之N通道MOS電晶體(35)。且電晶體(34、35)之閘電極(34a、35a)皆形成浮接之狀態。其他實施形態爲，使用閘二極體(38、39)以取代電晶體(34、35)。再其他之實施形態爲，使得閘電極(34f、35f)與場遮蔽用閘電極形成同一層般。

英文發明摘要（發明之名稱：　）

（請先閱讀背面之注意事項再填寫本頁各欄）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1.一種輸入/輸出保護電路，其係形成在接續於輸入/輸出端點(30)與含有MOS電晶體(44、45)之內部電路(31)間之絕緣層(2)上；其係具備第1MOS元件(34、38)；該第1MOS元件(34、38)含有：

形成於前述絕緣層上且接續於前述輸入/輸出端點與第1電源線(32)間之第1半導體膜(3)，

形成於前述第1半導體膜上之第1閘極電極膜(34d、38d、34g)，及

形成於前述第1閘極絕緣膜上之形成浮接狀態之第1閘電極(34a、38a、34f)。

2.如申請專利範圍第1項所述之輸入/輸出保護電路，其中，更具備第2MOS元件(35、39)；該第2MOS元件(35、39)含有：

形成於前述絕緣層上且接續於前述輸入/輸出端點與第2電源線(33)間之第2半導體膜(3)，

形成於前述第2半導體膜上之第2閘極電極膜(35d、39d、35g)，及

形成於前述第2閘極絕緣膜上之形成浮接狀態之第2閘電極(35a、39a、35f)。

3.如申請專利範圍第1項所述之輸入/輸出保護電路，其中，前述第1半導體膜係包含：

位於前述第1閘電極下之第1導電型的第1導電區域(38e)，

鄰接於前述第1導電區域的一側且接續於前述第1電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

源線之第1導電型的第2導電區域(38c)，及

鄰接於前述第1導電區域的另一側且接續於前述輸入/輸出端點之第2導電型的第3導電區域(38b)。

4.如申請專利範圍第3項所述之輸入/輸出保護電路，其中，前述複數個MOS電晶體包含具有第1雜質濃度之基板區域；

且前述第1MOS元件的前述第1導電區域具有濃度較前述第1雜質濃度爲高之第2雜質濃度。

5.一種輸入/輸出保護電路，其係形成在接續於輸入/輸出端點(30)與含有MOS電晶體(44、45)之內部電路(31)間之絕緣層上；前述複數個MOS電晶體係藉由場遮蔽法而形成互相分離之狀態；其係具備第1MOS元件，該MOS元件含有：

形成於前述絕緣層上且接續於前述輸入/輸出端點與第1電源線(32、33)間之第1半導體膜(3)，

形成於前述第1半導體膜上之第1閘極絕緣膜(34g、35g)，

與位於前述第1閘極絕緣膜上用來進行場遮蔽法分離之閘電極(16)形成同層之第1閘電極(34f、35f)。

6.如申請專利範圍第1項或第5項所述之輸入/輸出保護電路，其中，前述第1半導體膜係包含：

位於前述第1閘電極下之第1導電型的基板區域(34e、35e)，

鄰接於前述基板區域的一側且接續於前述第1電源線

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

之第2導電型的第1導電區域(34c、35c)，及

鄰接於前述基板區域的另一側且接續於前述輸入/輸出端點之第2導電型的第2導電區域(34b、35b)。

7.如申請專利範圍第6項所述之輸入/輸出保護電路，其中，前述複數個MOS電晶體包含具有第1雜質濃度之基板區域；

且前述第1MOS元件的前述基板區域具有濃度較前述第1雜質濃度爲高之第2雜質濃度。

8.如申請專利範圍第6項所述之輸入/輸出保護電路，其中，前述第1MOS元件之前述基板區域係形成浮接狀態。

9.如申請專利範圍第6項所述之輸入/輸出保護電路，其中，前述複數個MOS電晶體爲第2導電型，且具有由第2導電型的矽聚合物所構成之閘電極；

且前述第1MOS元件之前述第1閘電極係由第1導電型的矽聚合物所構成。

10.一種輸入/輸出保護電路，其係形成在接續於輸入/輸出端點(30)與內部電路(31)間之絕緣層(2)上；其係具備：

形成於前述絕緣膜上之第1導電型的半導體膜(3)，

形成於前述半導體膜內且接續於前述輸入/輸出端點之第1導電型的複數個第1導電區域(62、61)，及

形成於前述半導體膜內且接續於電源線(32、33)之第2導電型的複數個第2導電區域(61、62)。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

11.如申請專利範圍第10項之輸入/輸出保護電路，其中，前述第1及第2導電區域係形成矩陣般之配置著，且前述第1及第2導電區域在前述矩陣之各行及各列皆形成交錯般之配置著。

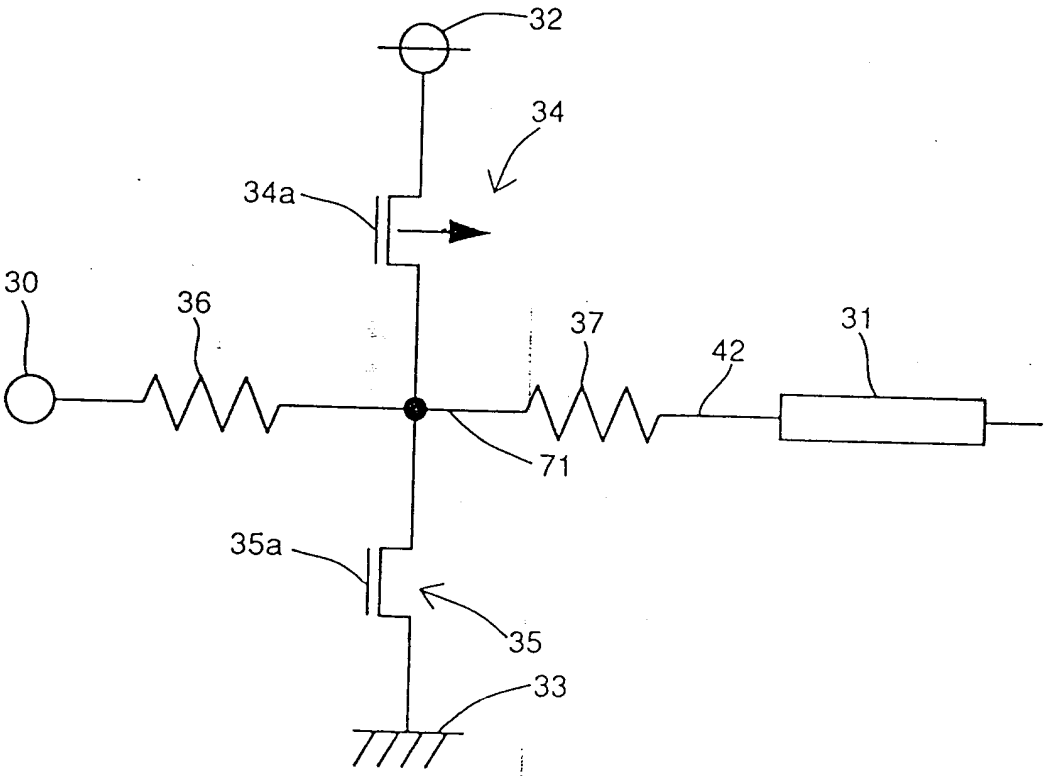
12.如申請專利範圍第10項所述之輸入/輸出保護電路，其中，前述半導體膜與前述第1及第2導電區域間之界面係形成圓形。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

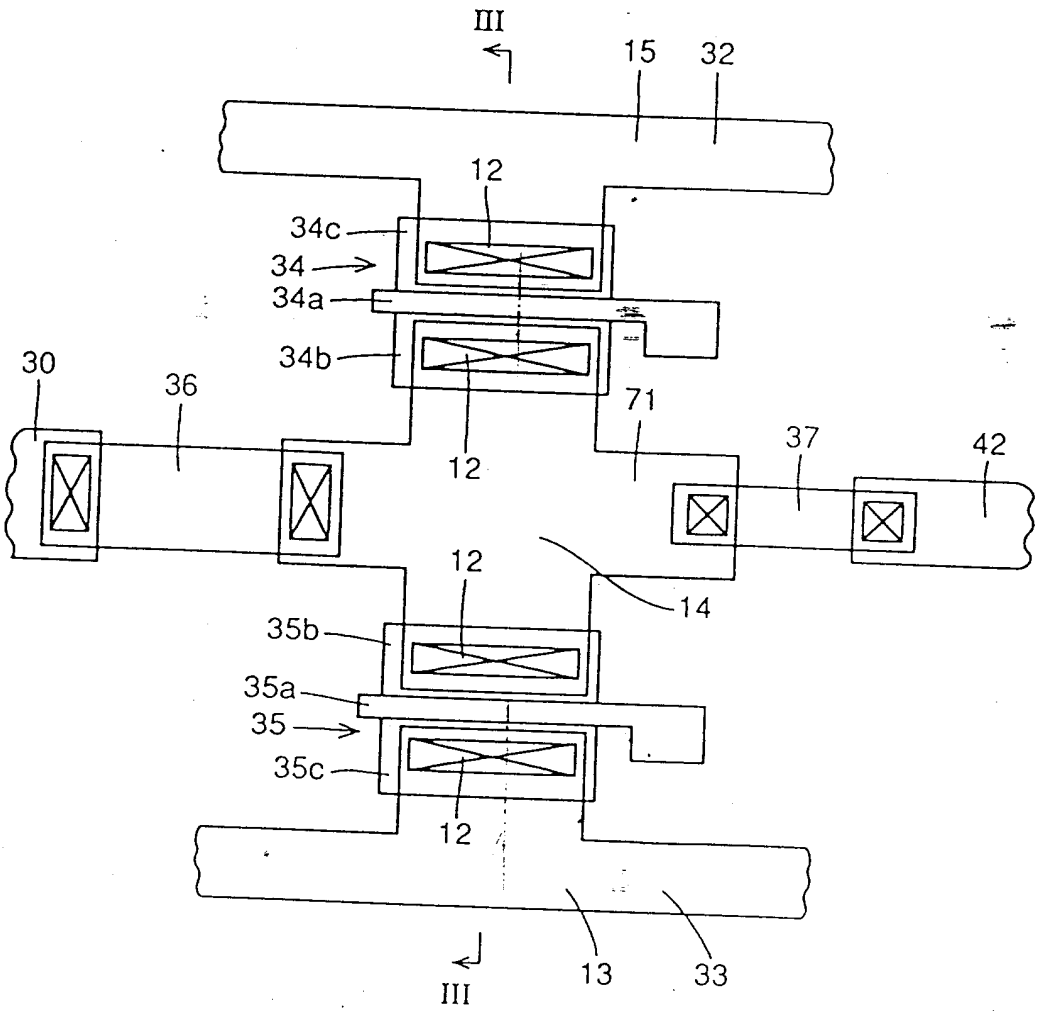
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

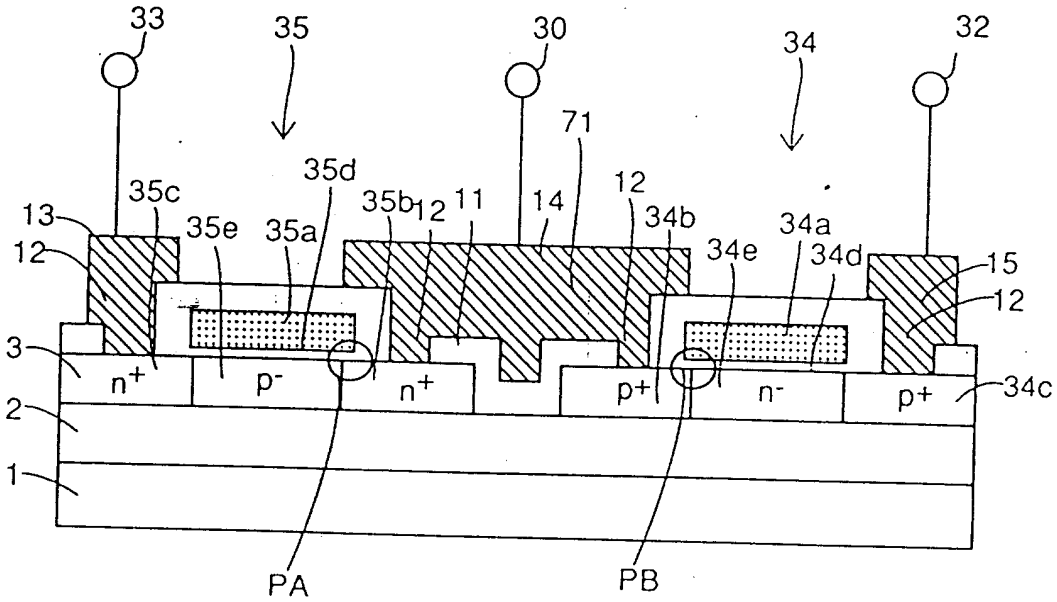
85113209



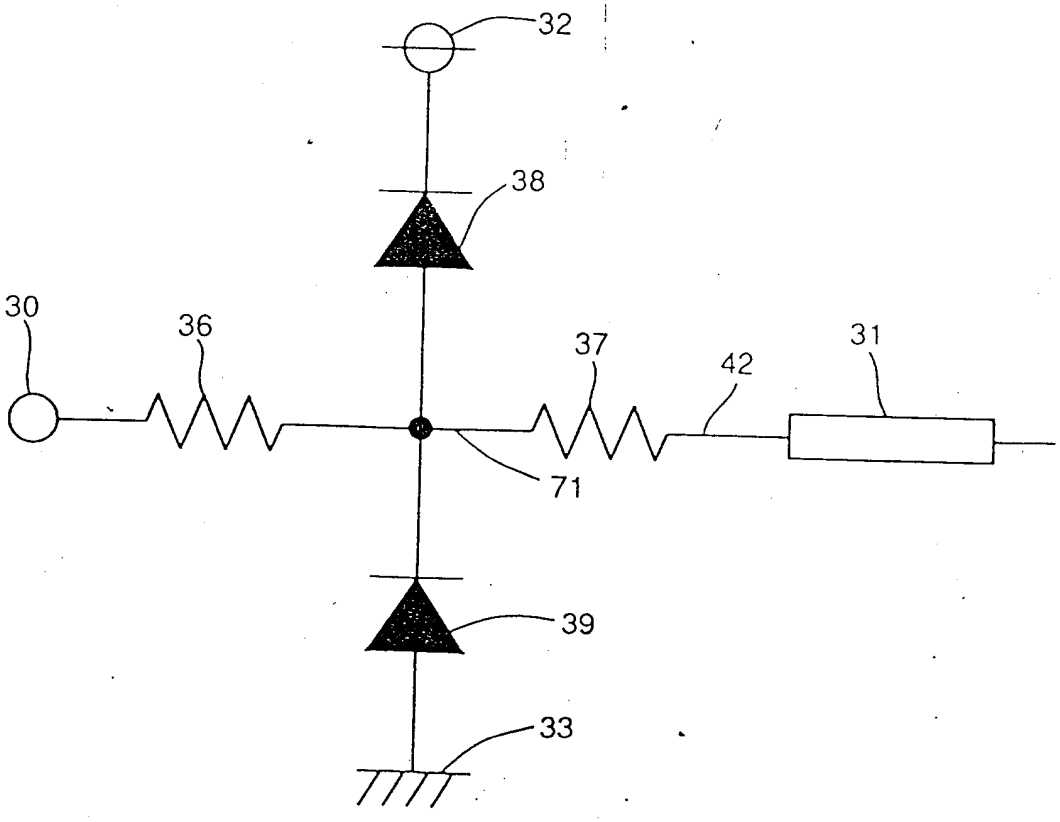
第 1 圖


III
15
32
12
34c
34
34a
34b
30
36
71
37
42
12
12
14
35b
35a
35
35c
12
III
13
33

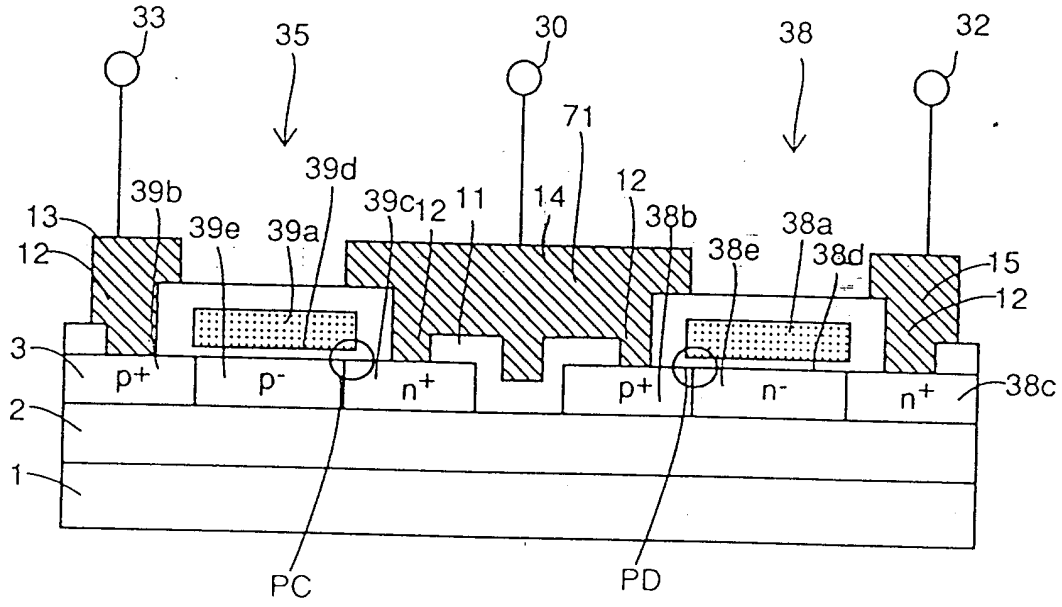
第 2 圖


33
35
30
34
32
71
35d
35c
35b
12
11
14
12
34b
34a
13
35e
35a
34e
34d
15
12
3
n+
p-
n+
p+
n-
p+
34c
2
1
PA
PB

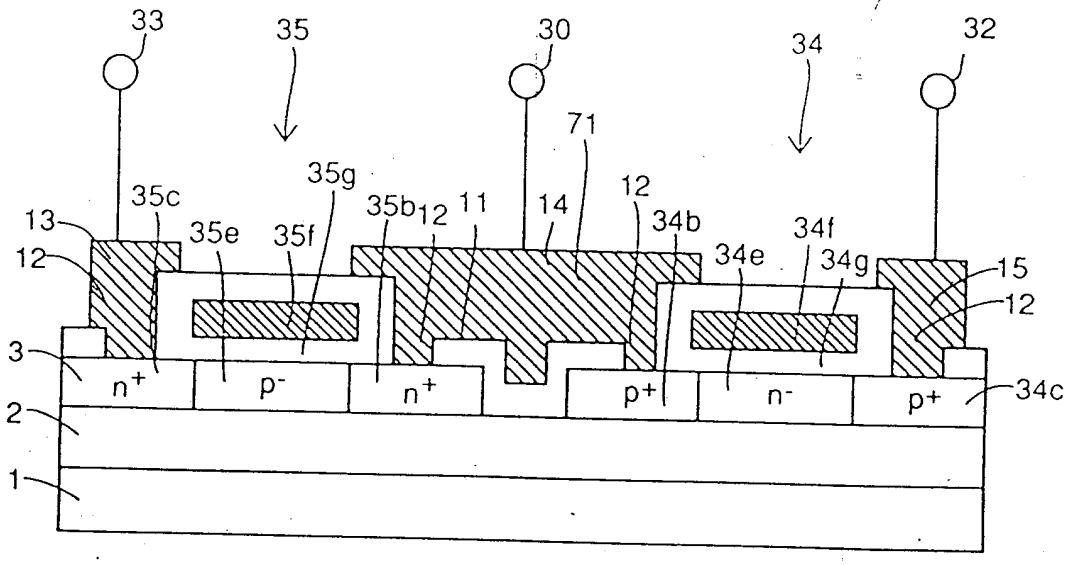
第 3 圖


32
38
30
36
37
42
31
71
39
33

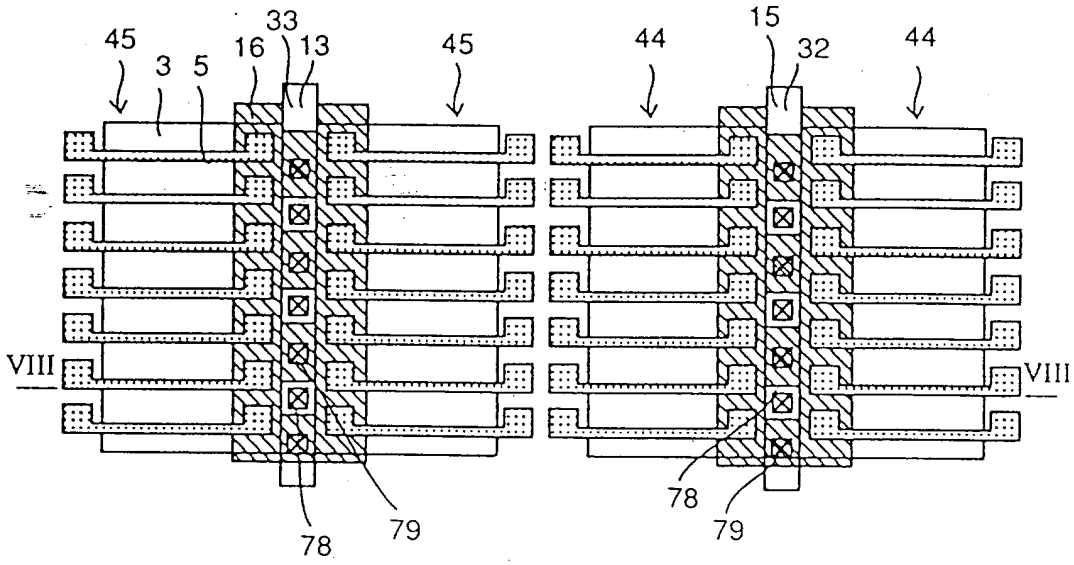
第 4 圖


33
35
30
38
32
71
39b
39d
39c
12
11
14
12
38b
38a
13
39e
39a
38e
38d
15
12
12
3
p+
p-
n+
p+
n-
n+
38c
2
1
PC
PD

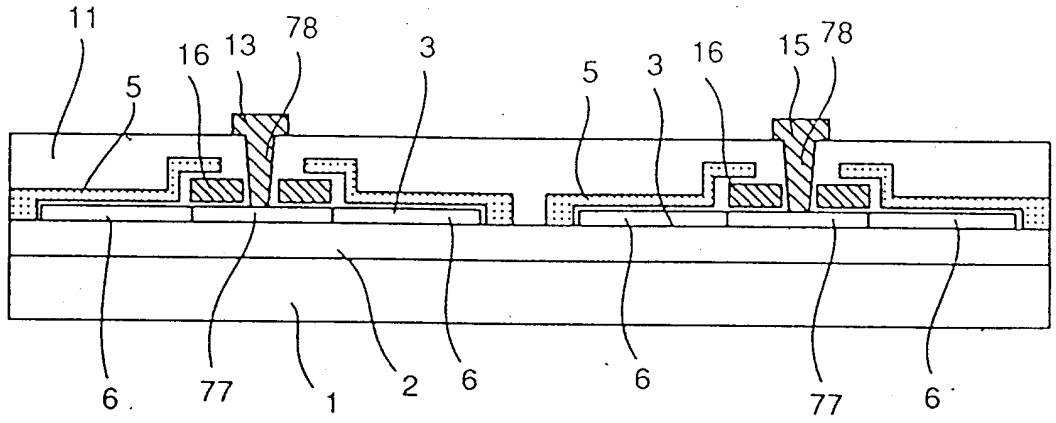
第 5 圖


33
35
30
34
32
71
35c
35g
35b
12
11
14
12
34b
34f
13
35e
35f
34e
34g
15
12
12
3
n+
p-
n+
p+
n-
p+
34c
2
1

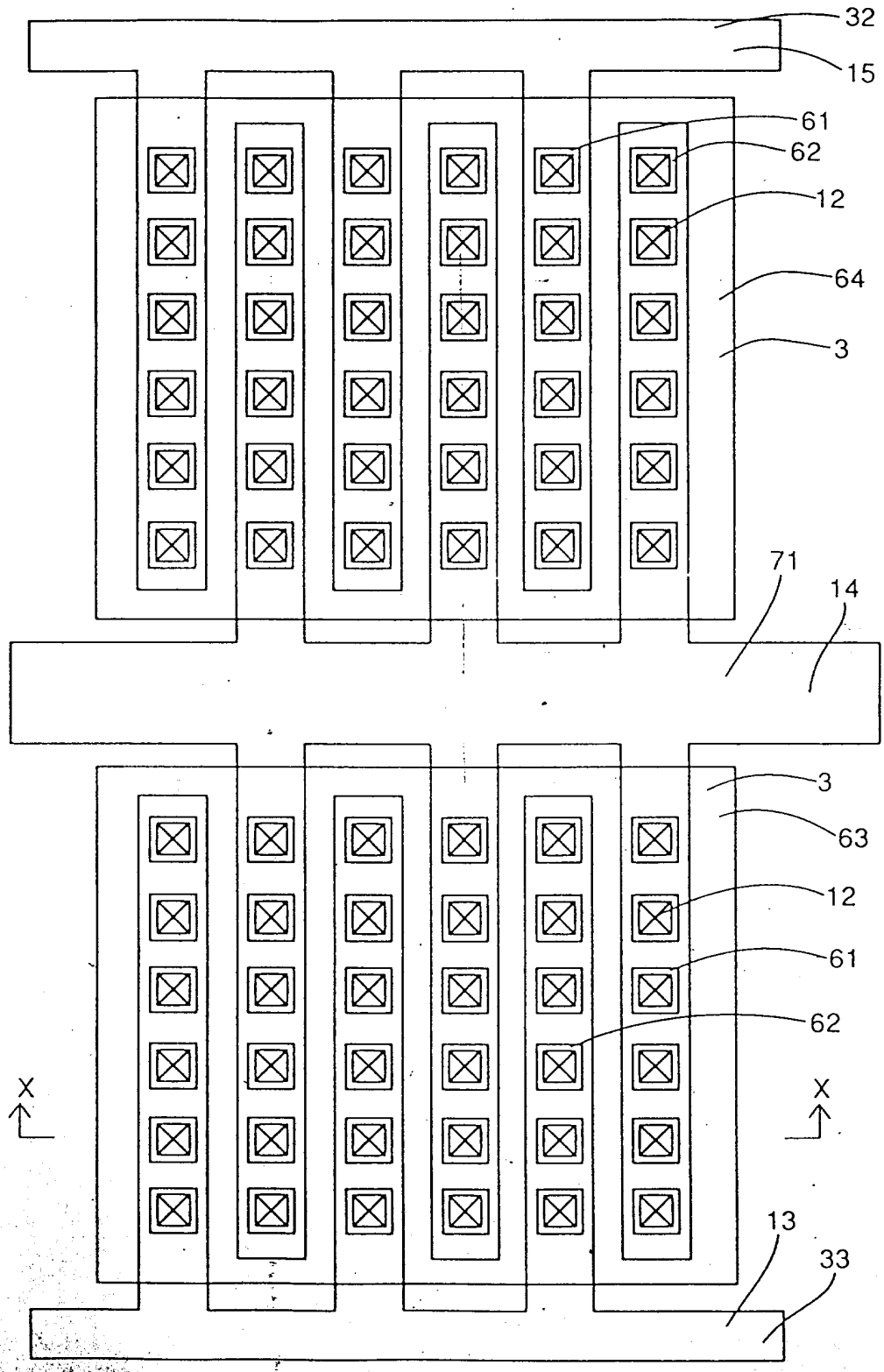
第 6 圖


45
3
5
16
33
13
45
44
15
32
44
VIII
VIII
78
79
78
79

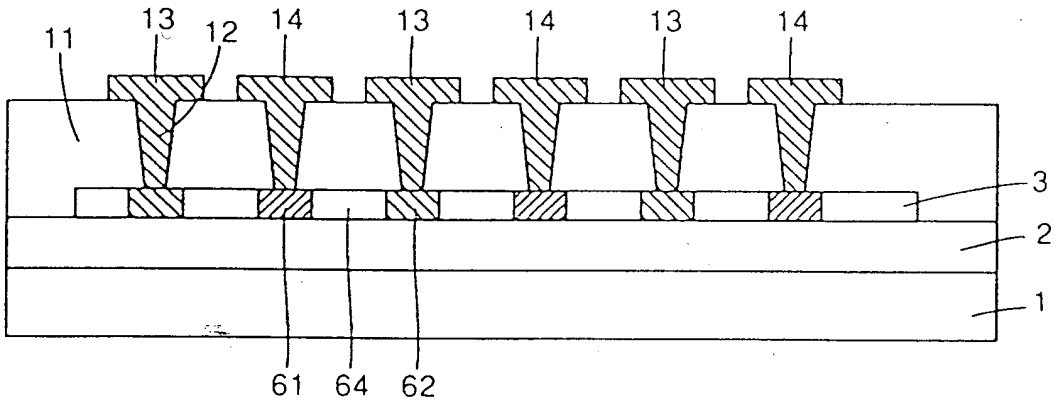
第 7 圖


11
5
16
13
78
3
5
3
16
15
78
6
77
1
2
6
6
77
6

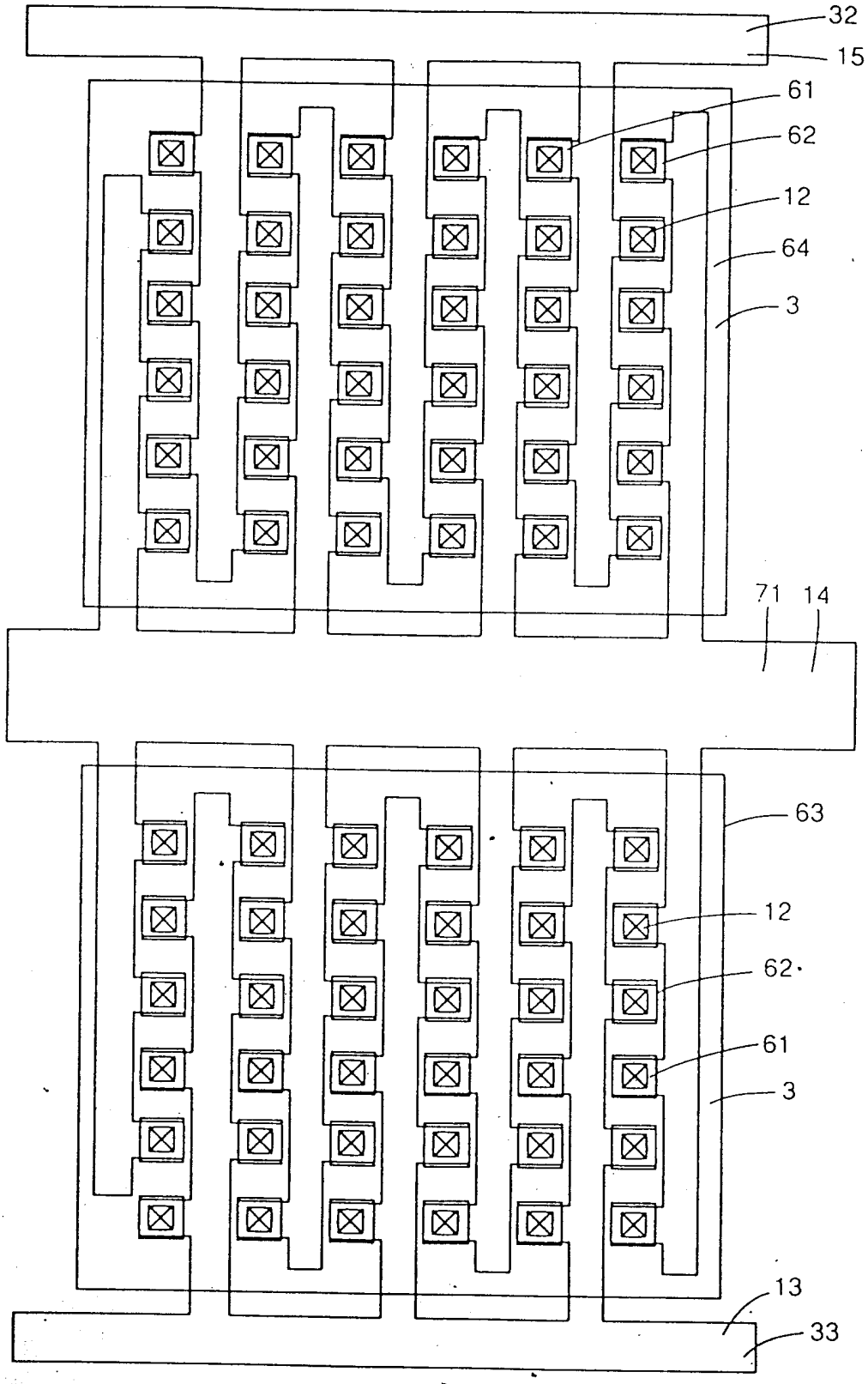
第 8 圖



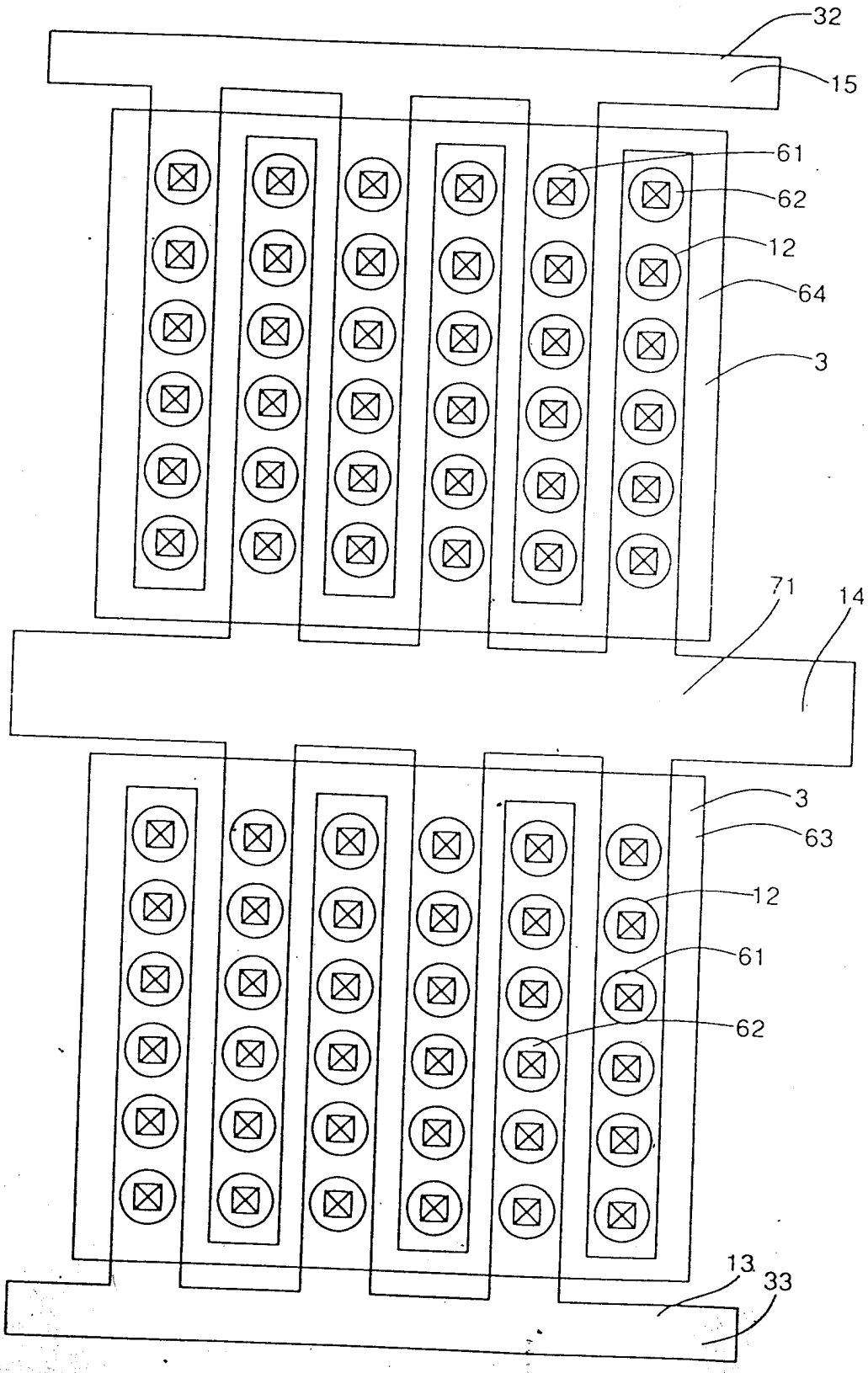
第 9 圖



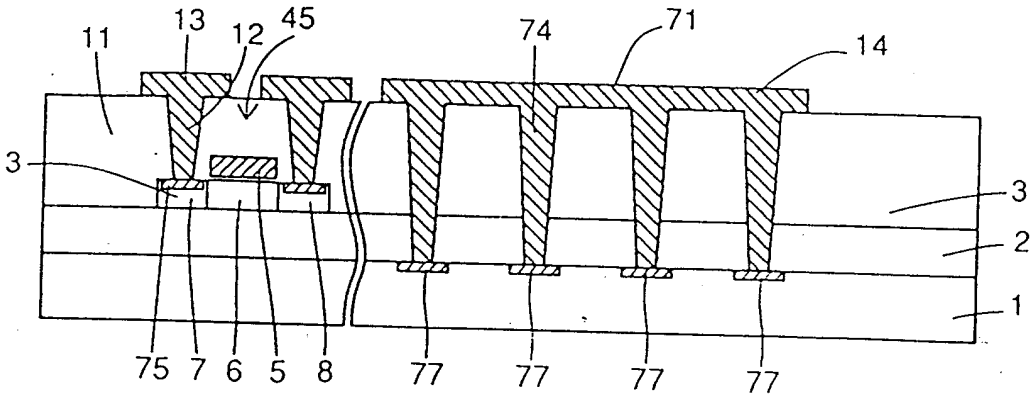
第 10 圖



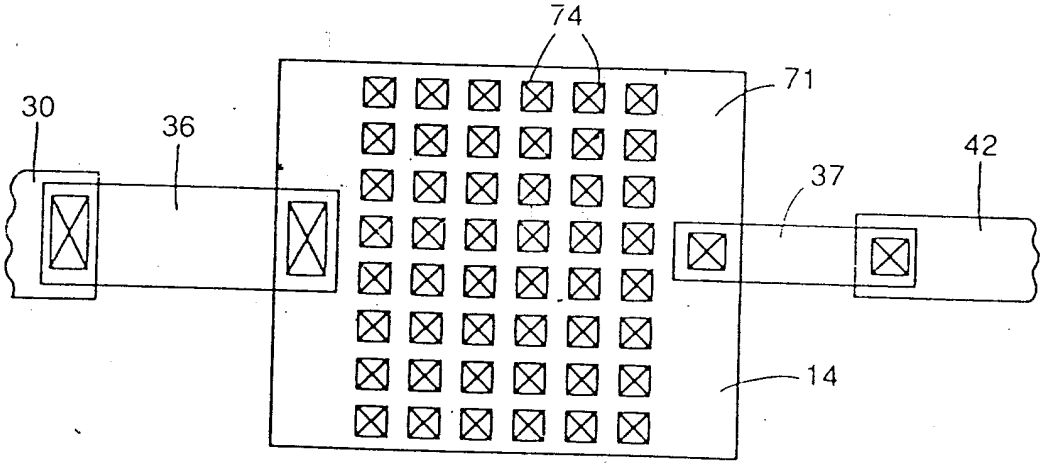
第 11 圖



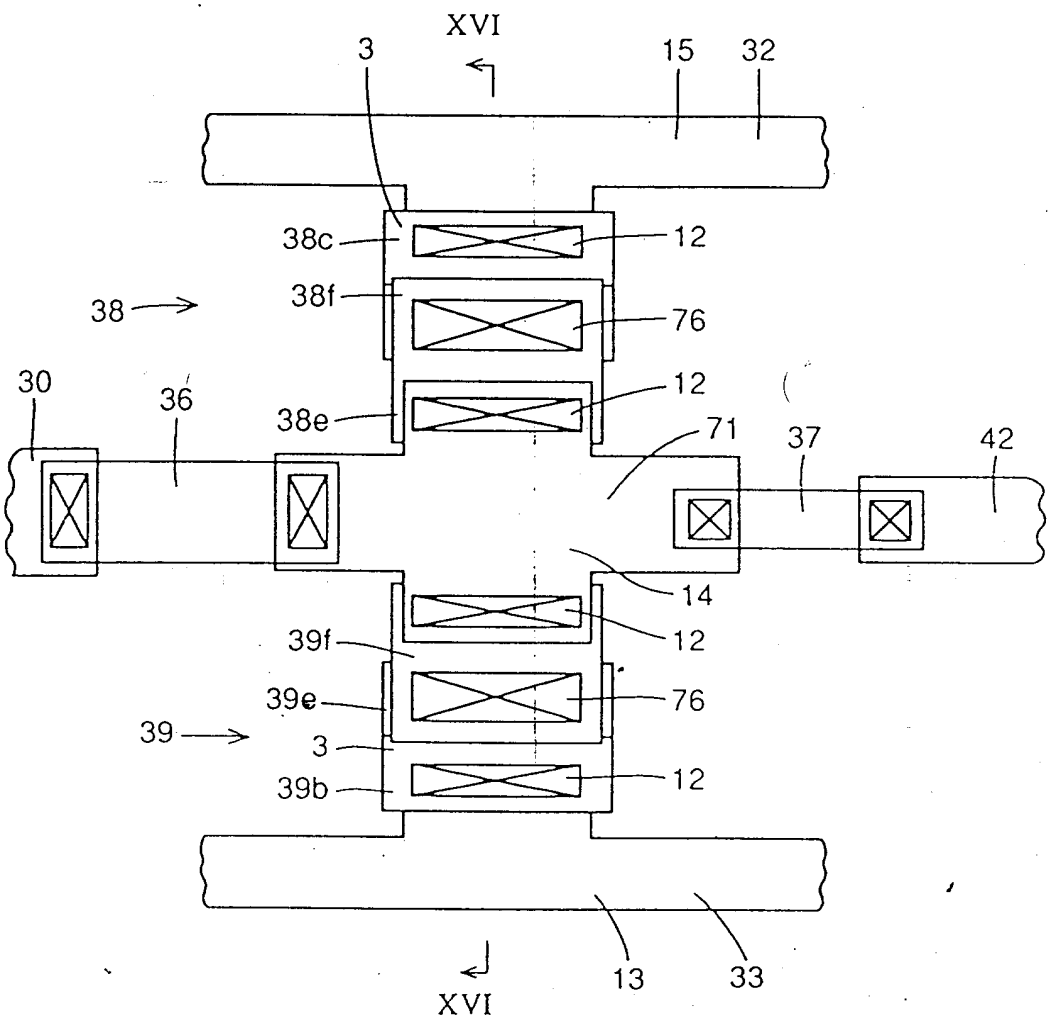
第 12 圖



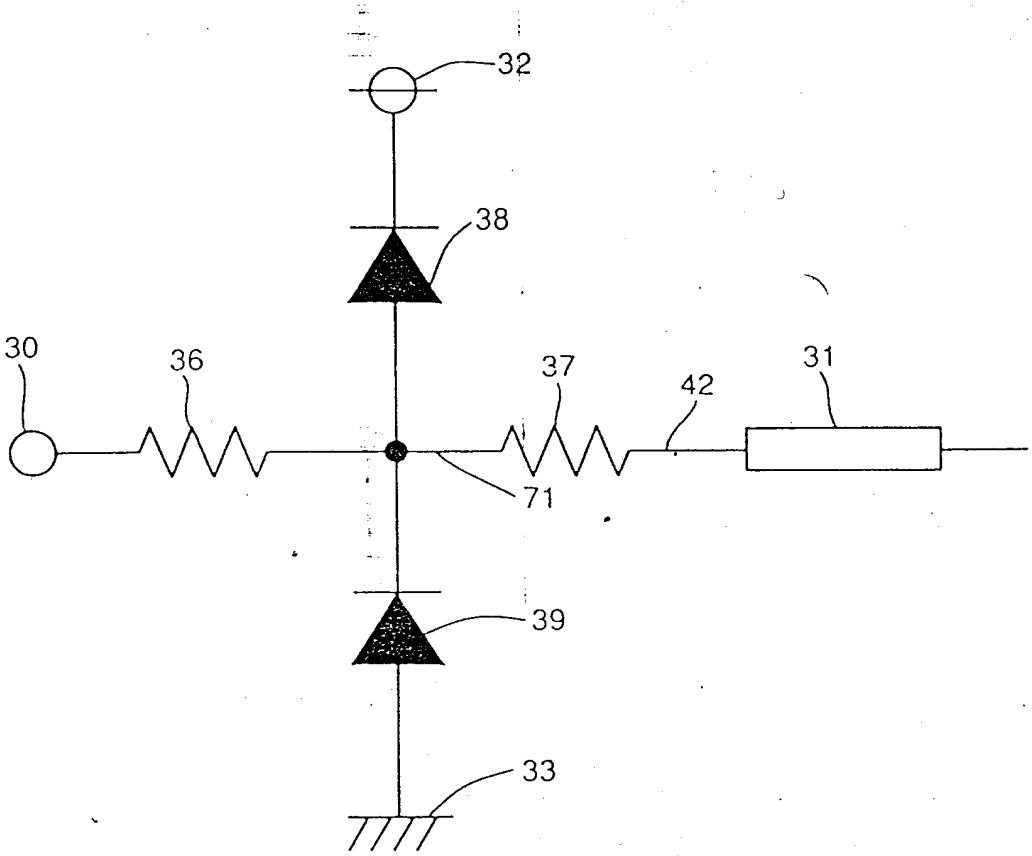
第 13 圖



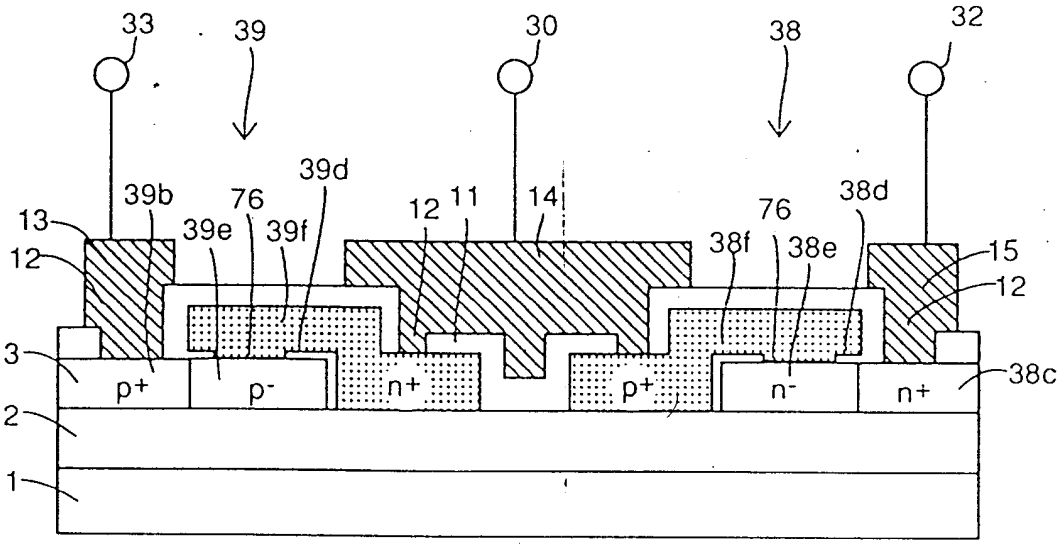
第 14 圖


XVI
3
15
32
38c
12
38
38f
76
12
30
36
38e
71
37
42
14
39f
12
39e
76
39
3
39b
12
13
33
XVI

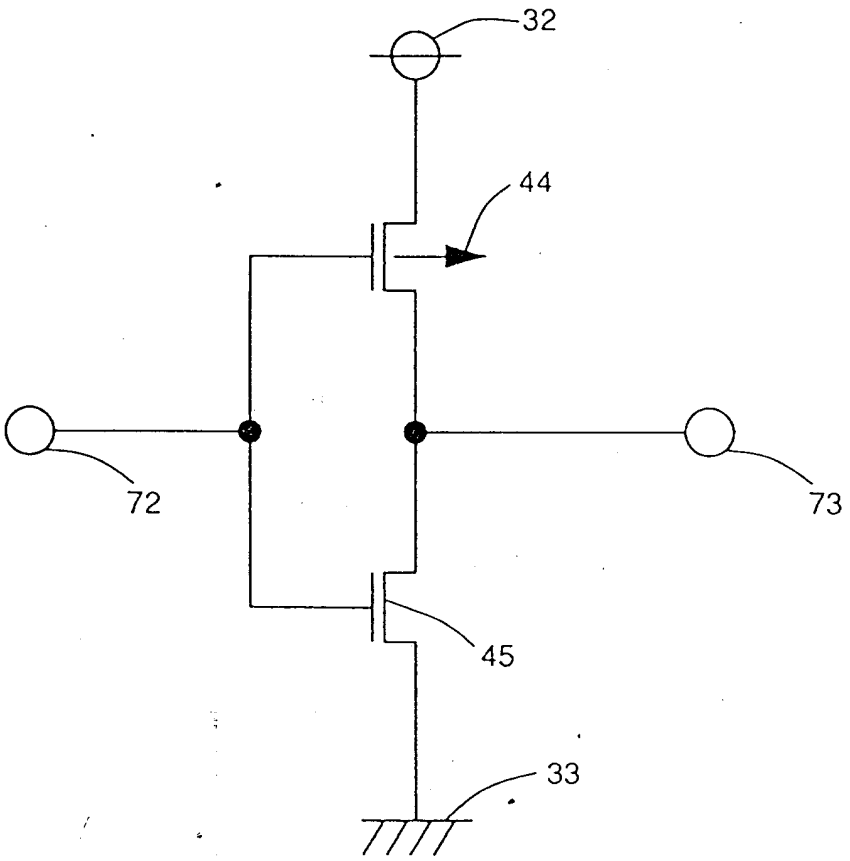
第 15 圖



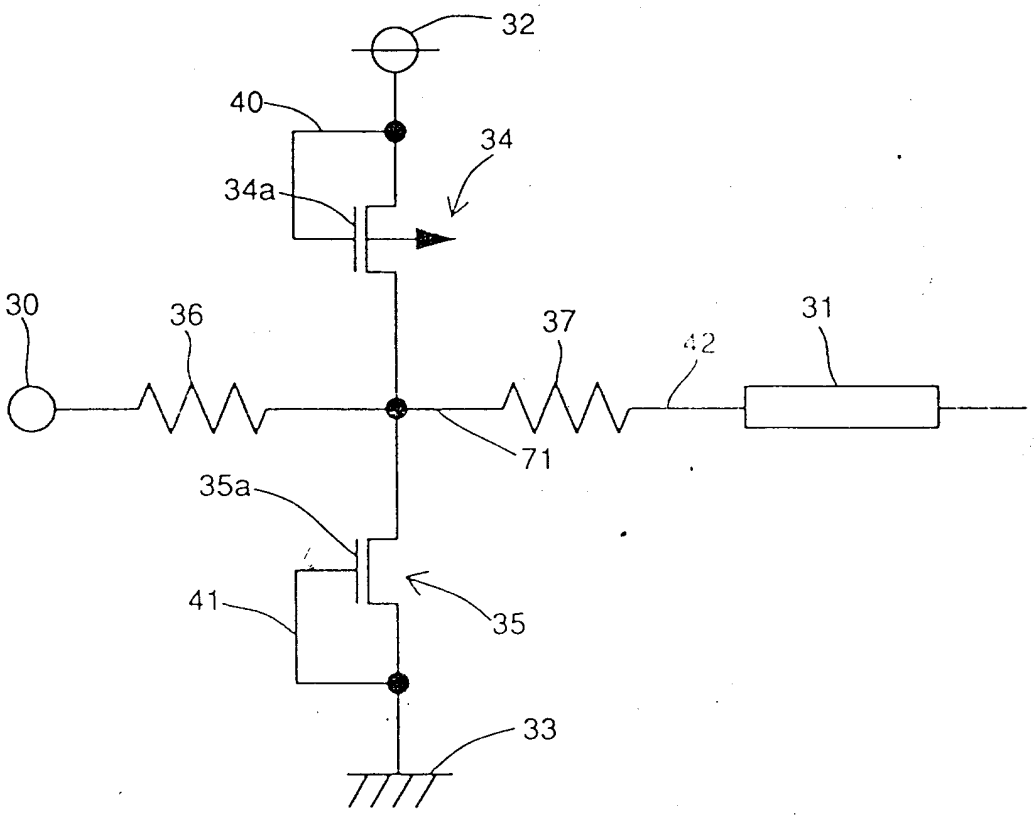
第 17 圖


33
39
30
38
32
39b
76
39d
12
11
14
76
38d
13
39e
39f
38f
38e
15
12
12
3
p+
p-
n+
p+
n-
n+
38c
2
1

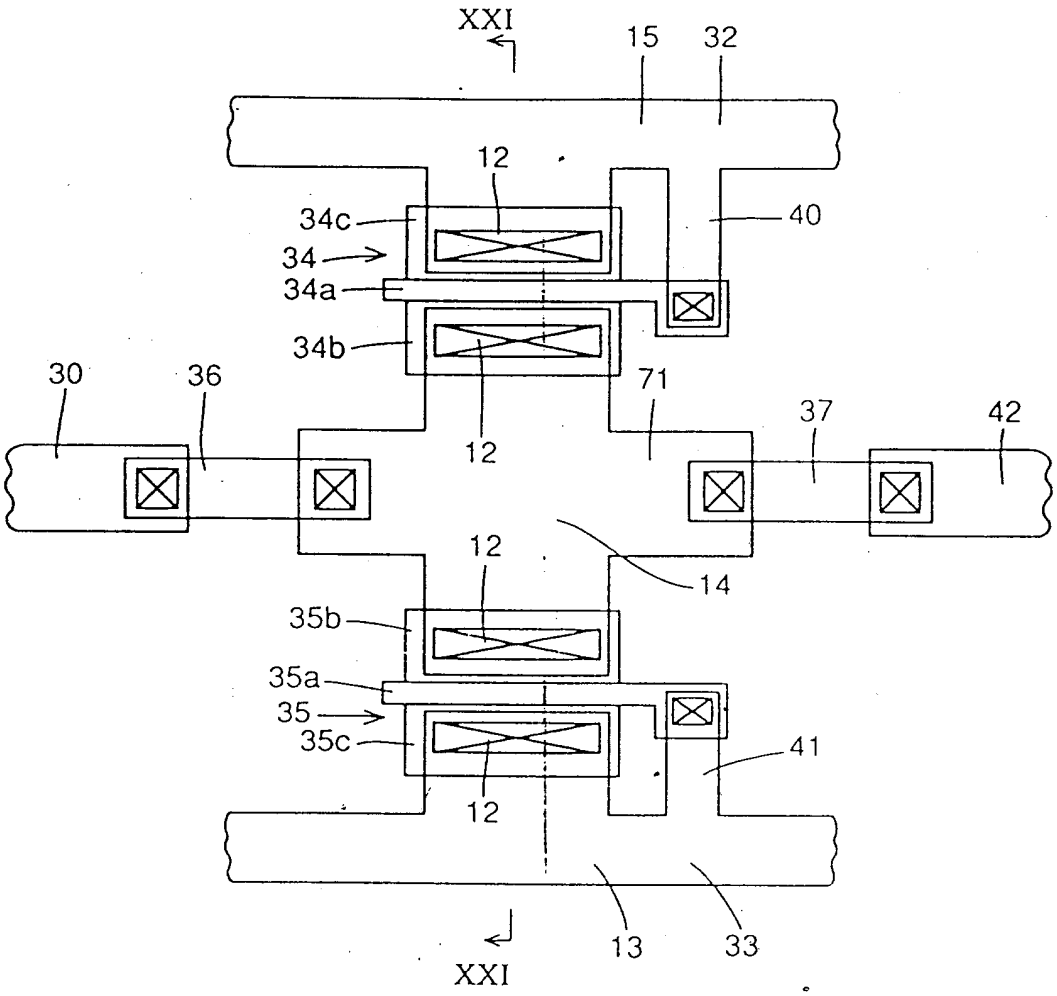
第 16 圖



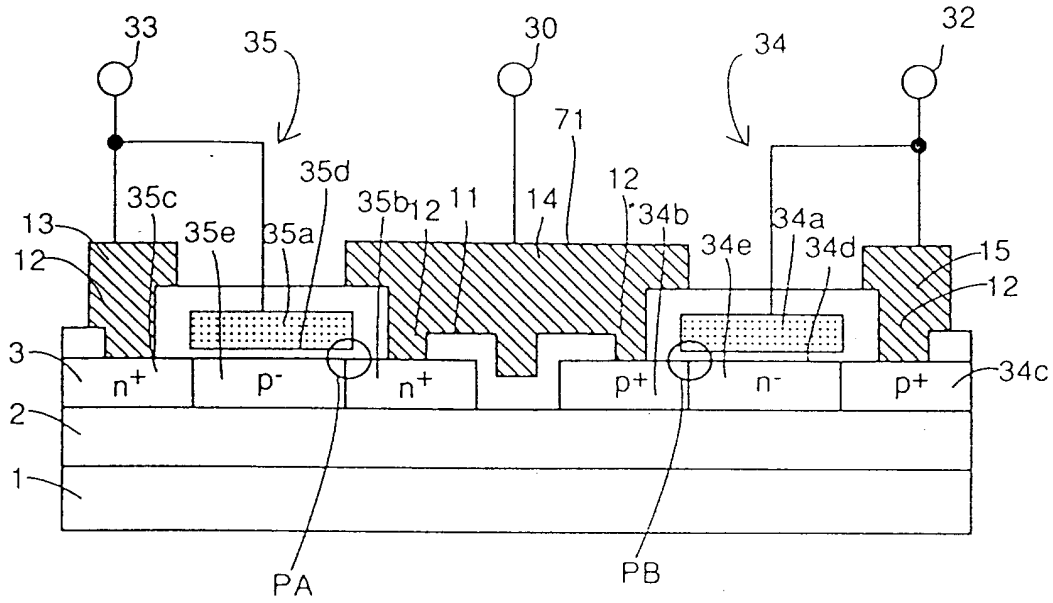
第 18 圖



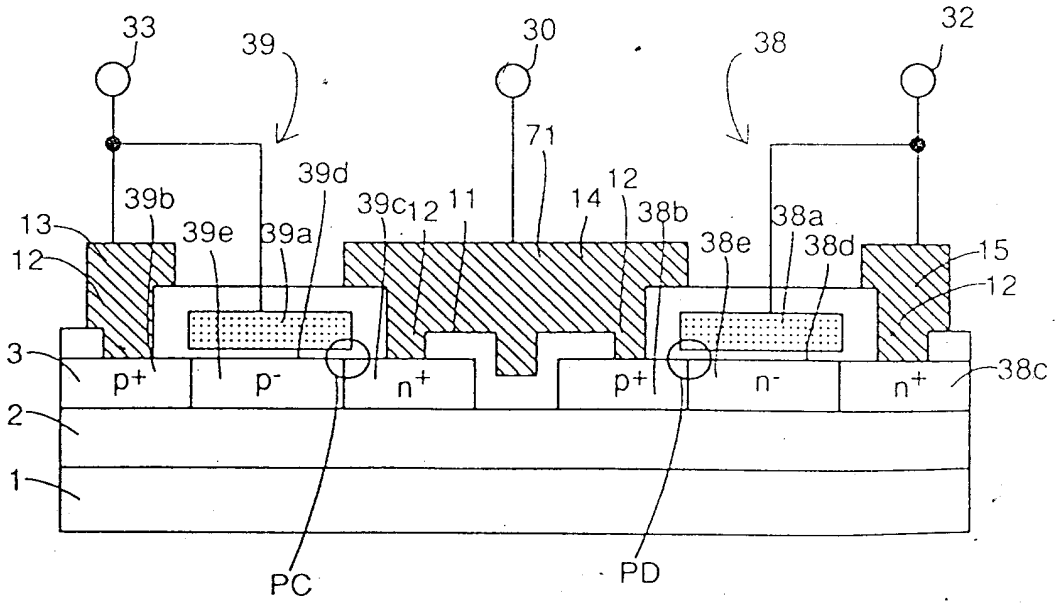
第 19 圖


XXI
15
32
12
34c
40
34
34a
34b
30
36
71
37
42
12
12
14
35b
35a
35
35c
41
12
13
33
XXI

第 20 圖

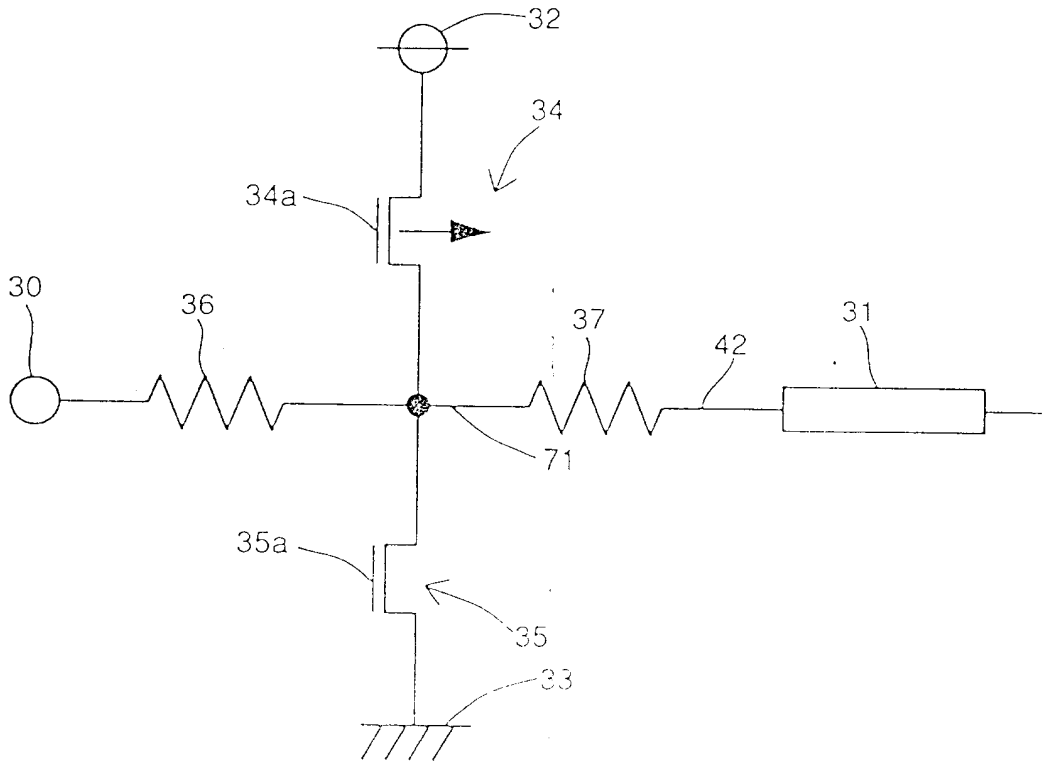

33
35
30
34
32
71
35d
35c
35b
12
11
14
12
34b
34a
13
35e
35a
34e
34d
15
12
12
3
n+
p-
n+
p+
n-
p+
34c
2
1
PA
PB

第 21 圖

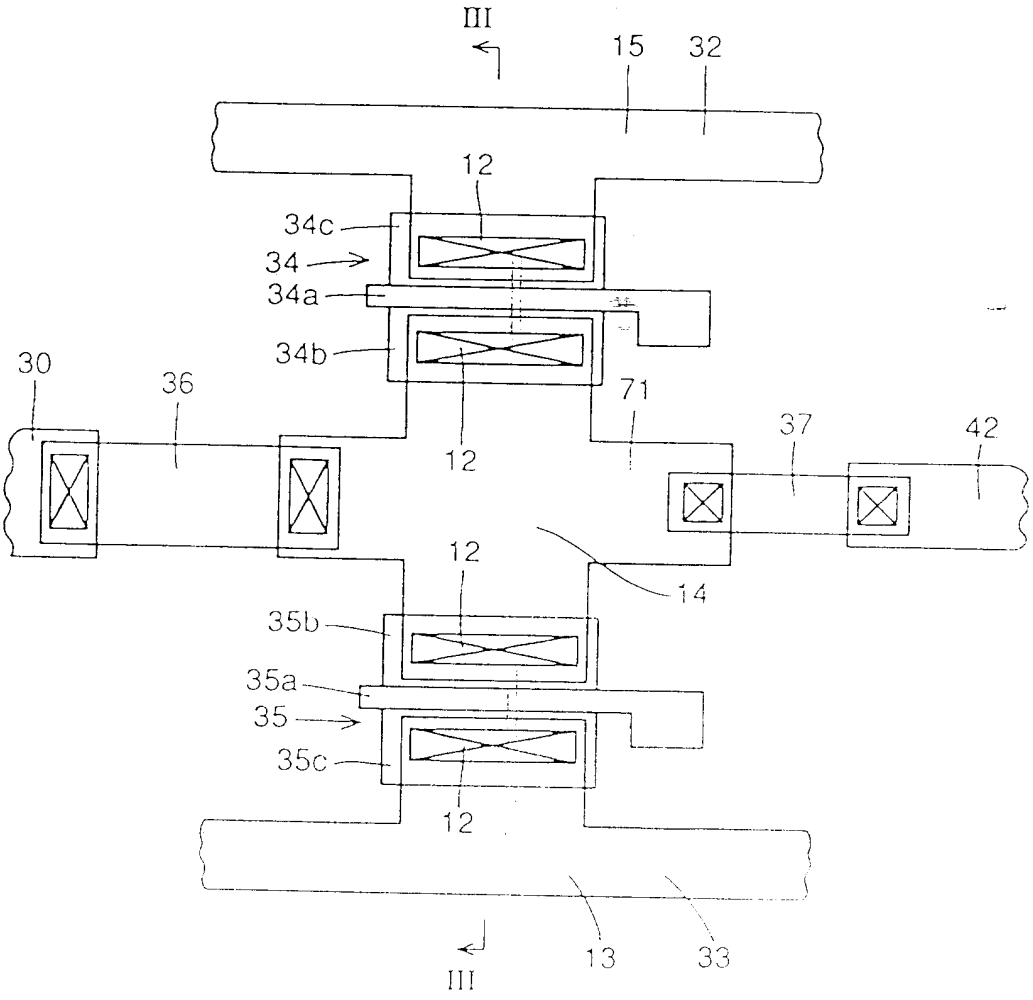

33
39
30
38
32
71
39d
39b
39c
12
11
14
12
38b
38a
13
39e
39a
38e
38d
15
12
12
3
p+
p-
n+
p+
n-
n+
38c
2
1
PC
PD

第 22 圖

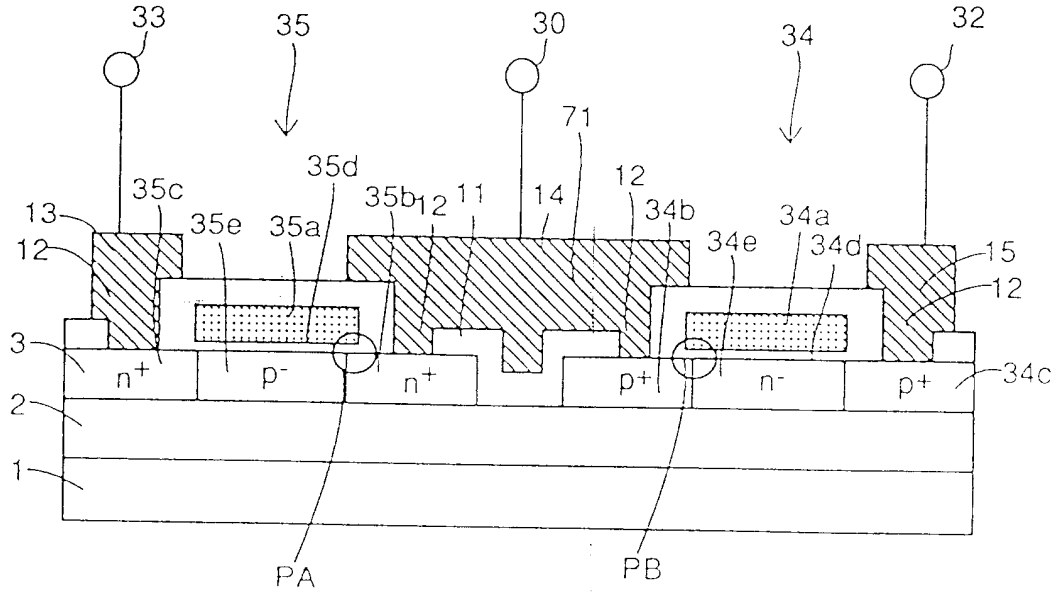
312052



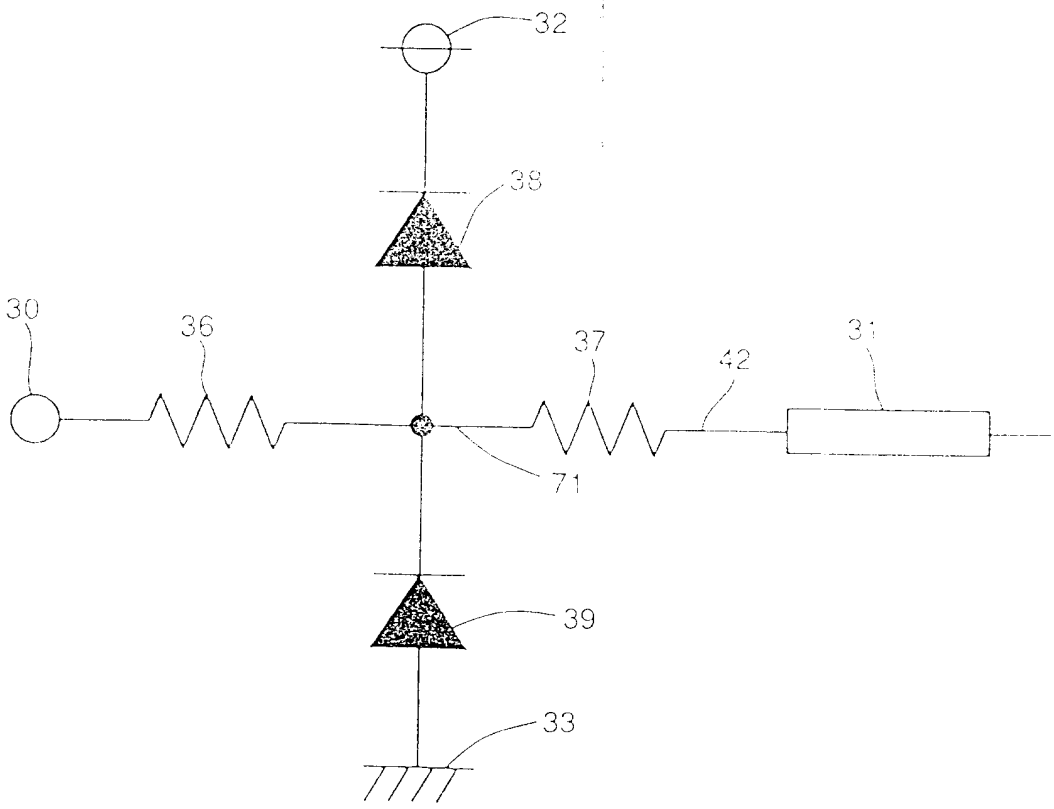
第 1 圖


III
15
32
12
34c
34
34a
34b
30
36
71
37
42
12
12
14
35b
35a
35
35c
12
III
13
33

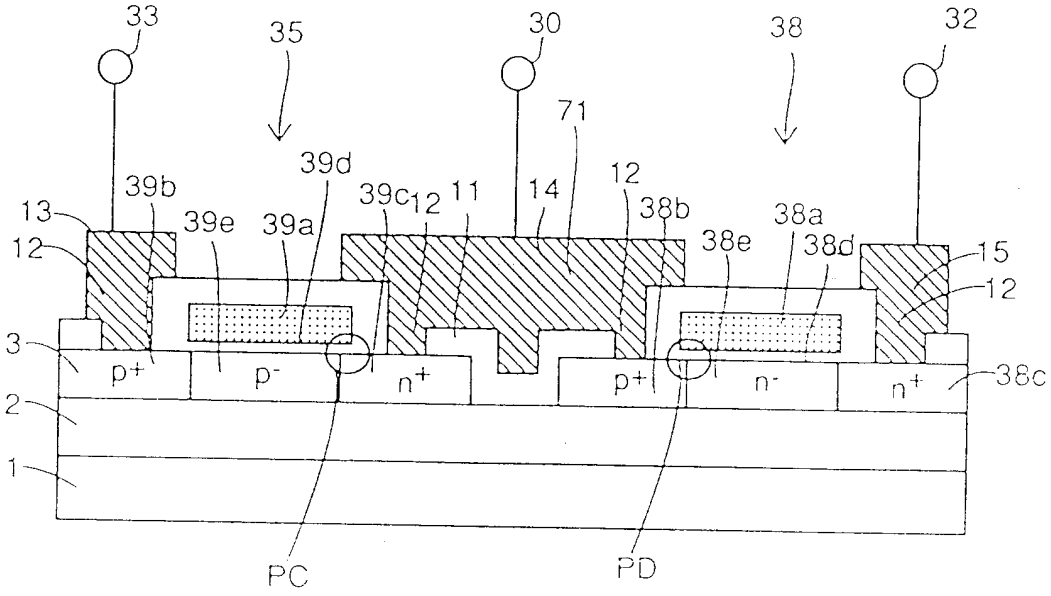
第 2 圖


33
35
30
34
32
71
35d
35c
35b
12
11
14
12
34b
34a
13
35e
35a
34e
34d
15
12
3
n+
p-
n+
p+
n-
p+
34c
2
1
PA
PB

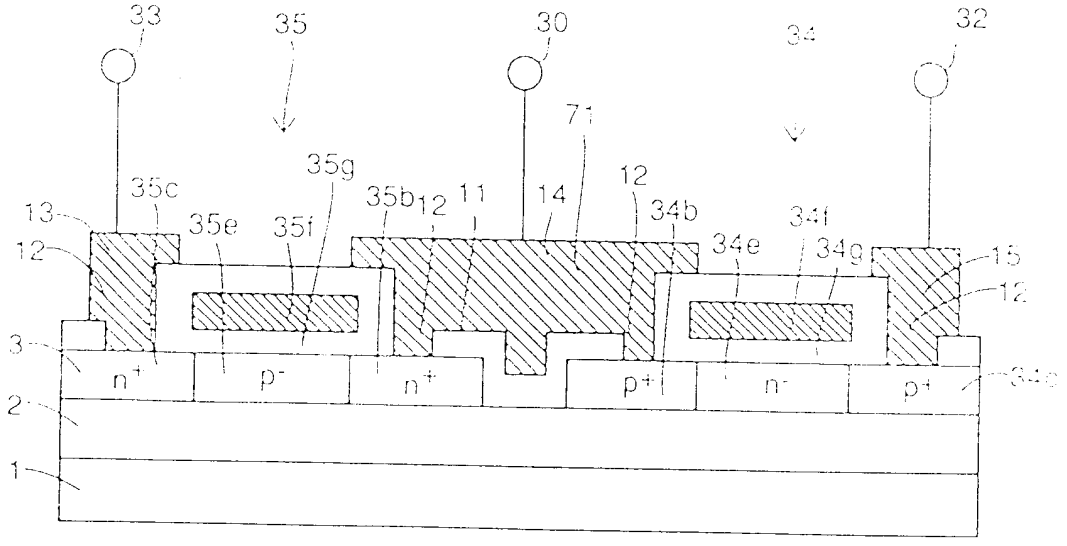
第 3 圖


32
38
30
36
37
42
31
71
39
33

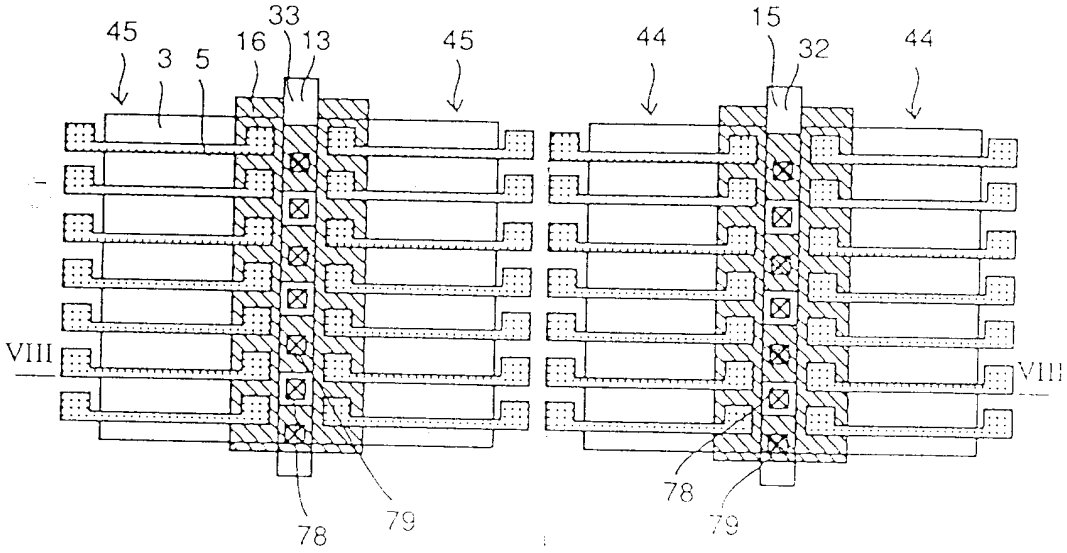
第 4 圖


33
35
30
38
32
71
39b
39d
39c
12
11
14
12
38b
38a
13
39e
39a
38e
38d
15
12
3
p+
p-
n+
p+
n-
n+
38c
2
1
PC
PD

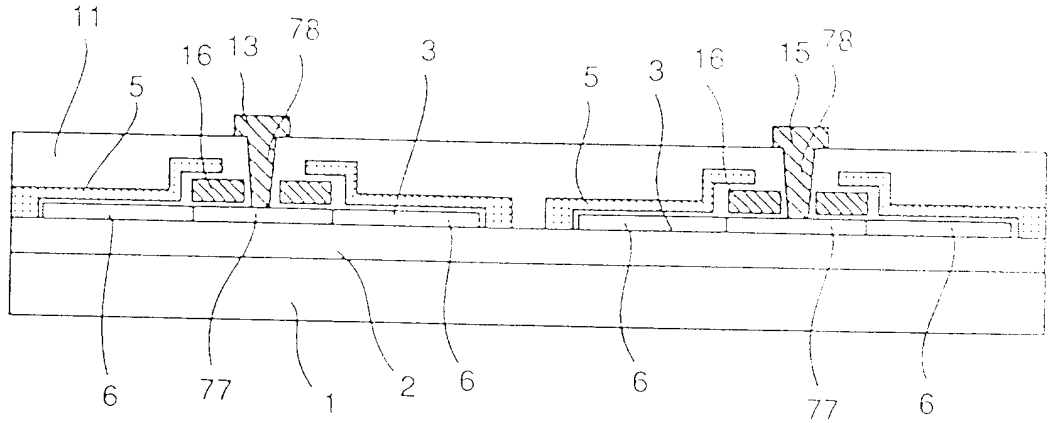
第 5 圖


33
35
30
34
32
71
35g
35c
35b
12
11
14
12
34b
13
35e
35f
34f
34e
34g
15
12
12
3
n+
p-
n+
p+
n-
p+
2
1

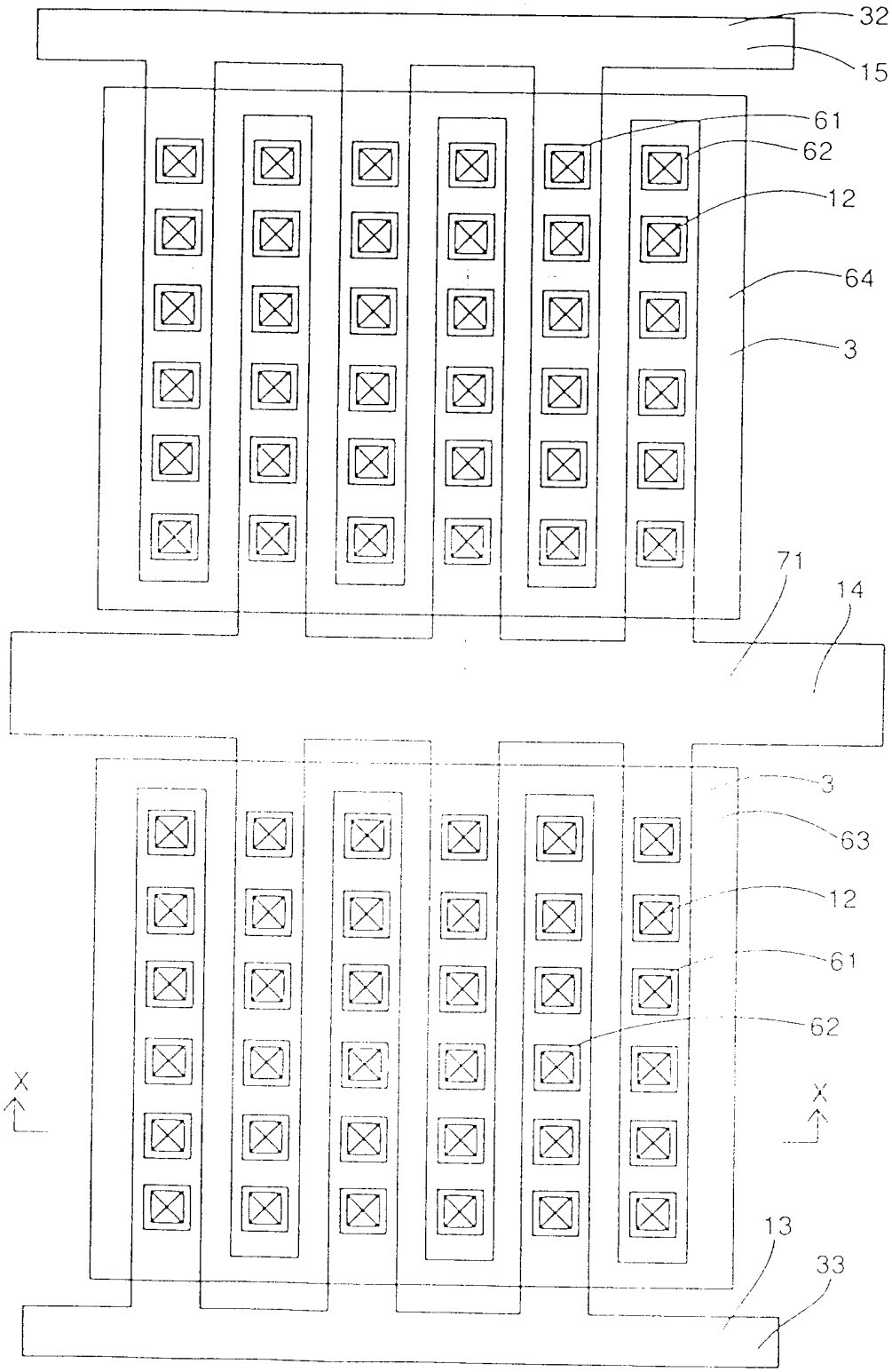
第 6 圖


45
3
5
16
33
13
45
44
15
32
44
VIII
VIII
78
79
78
79

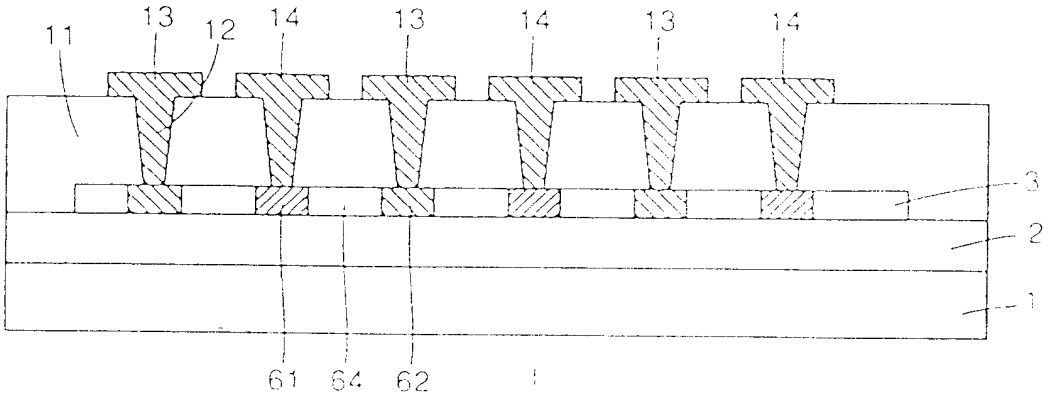
第 7 圖


11
5
16
13
78
3
5
3
16
15
78
6
77
1
2
6
6
77
6

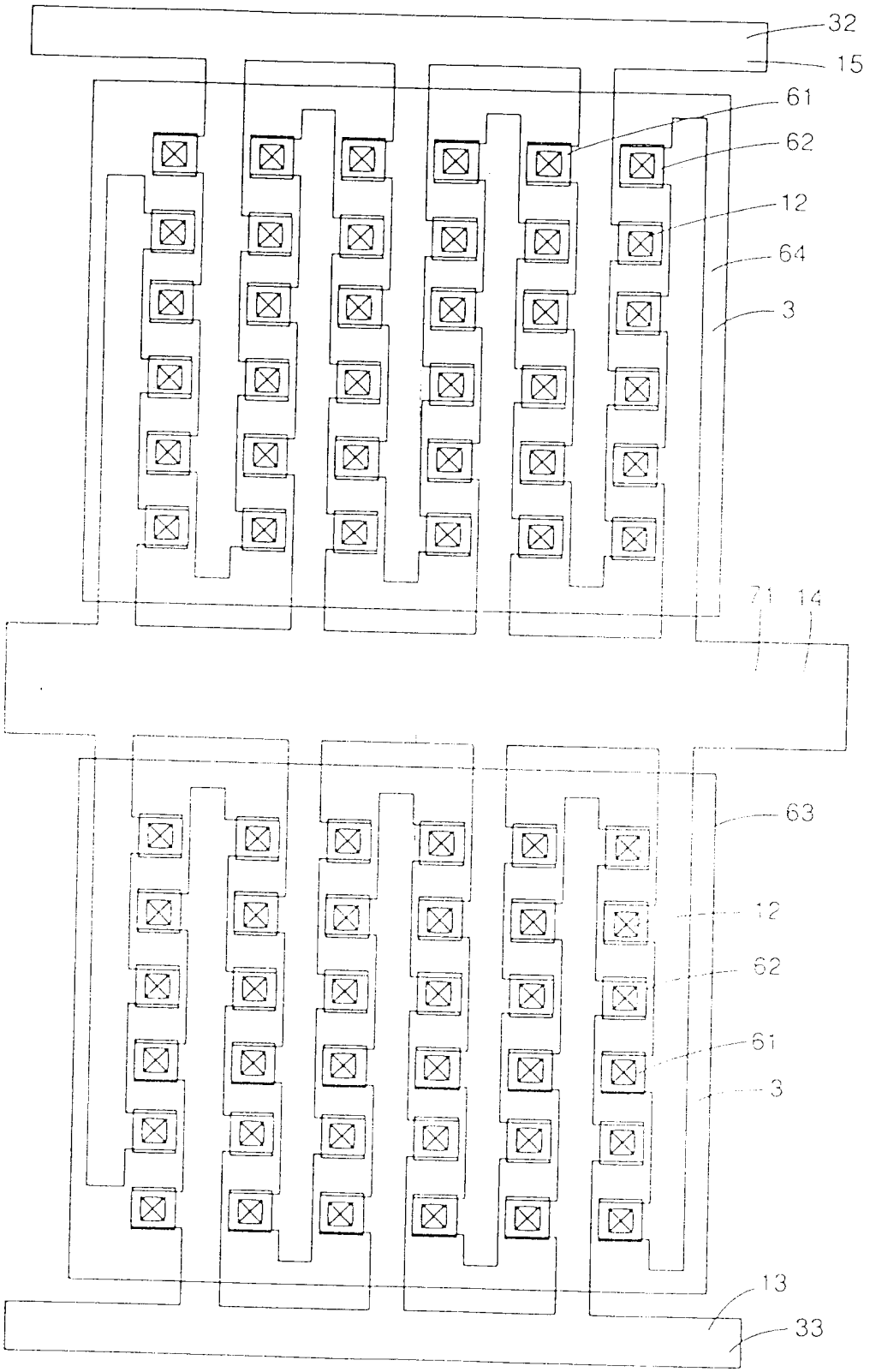
第 8 圖



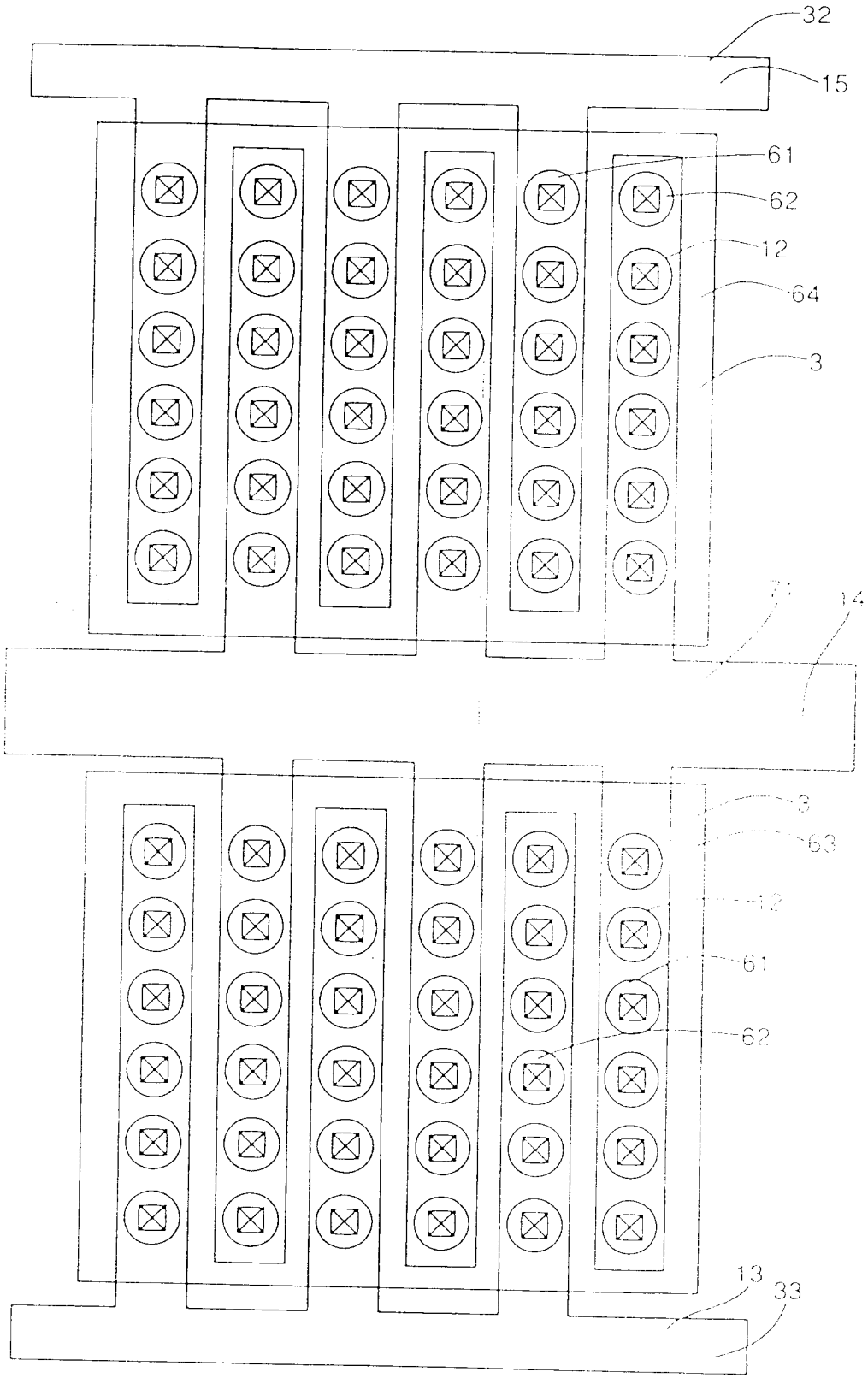
第 9 圖



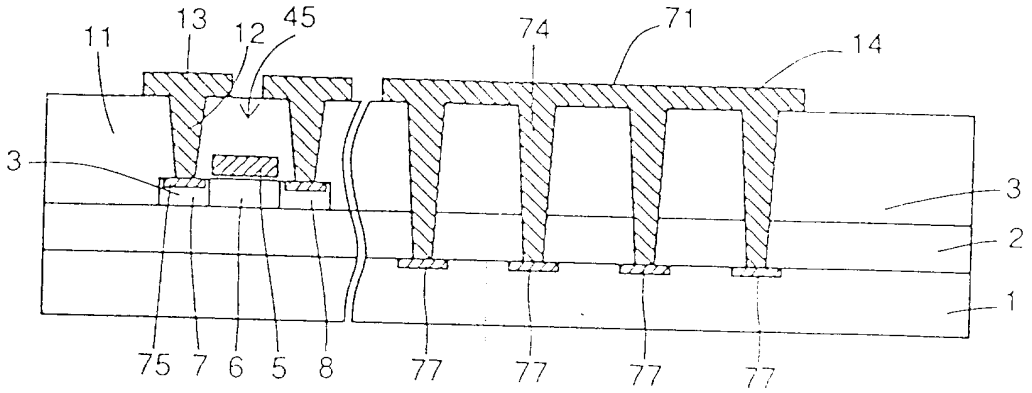
第 10 圖



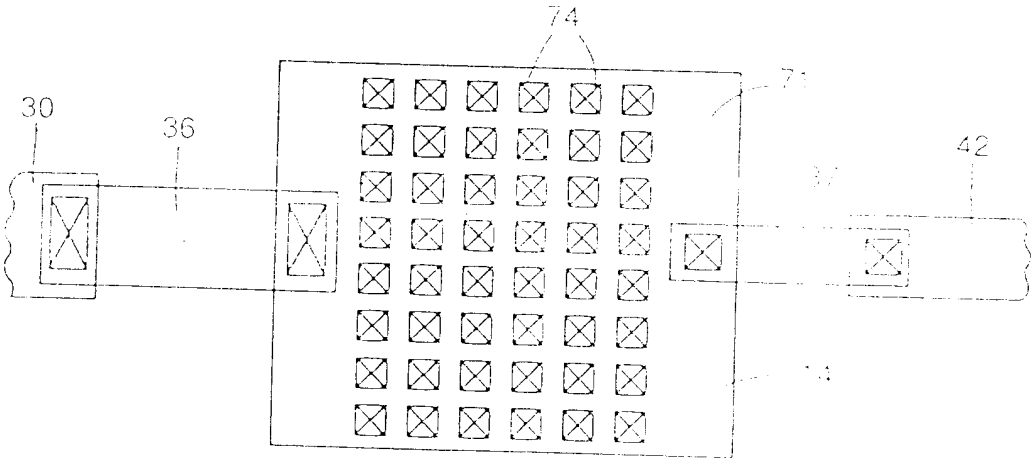
第 11 圖



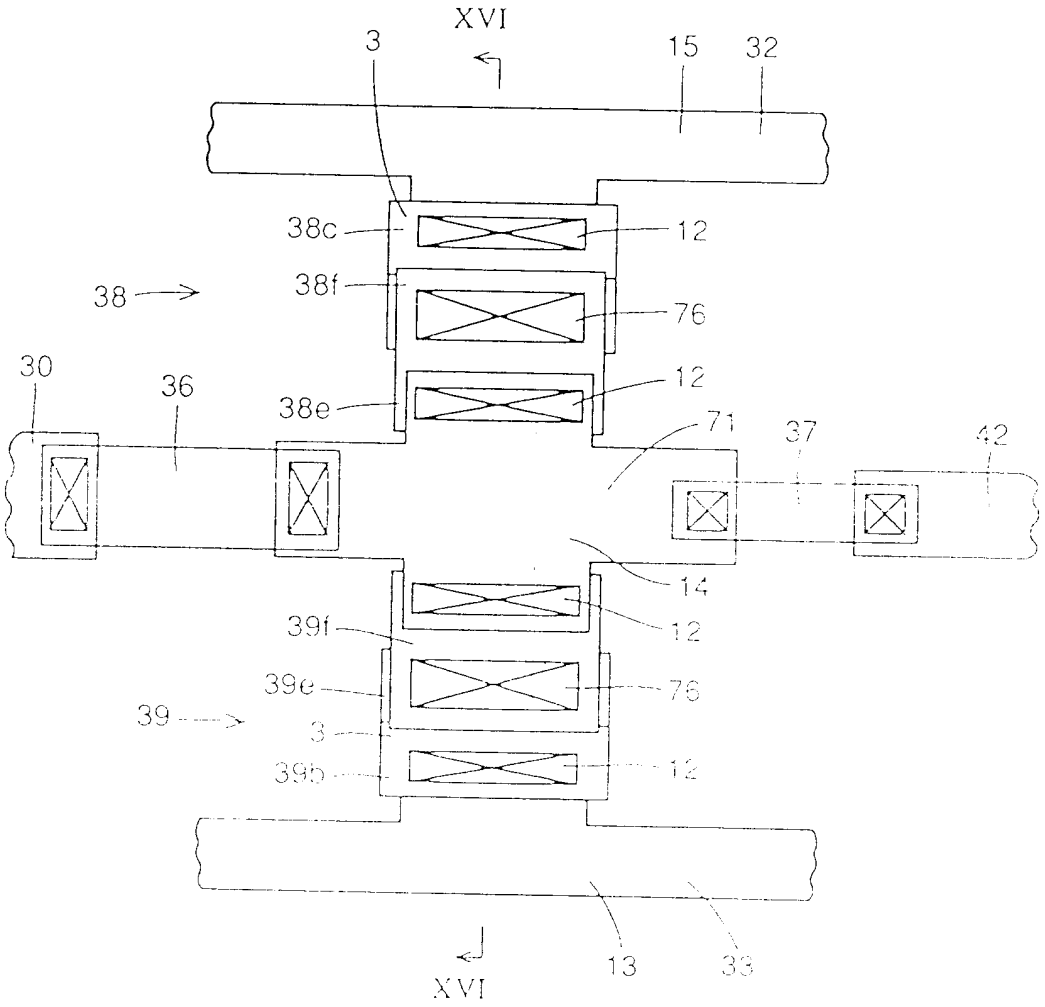
第 12 圖



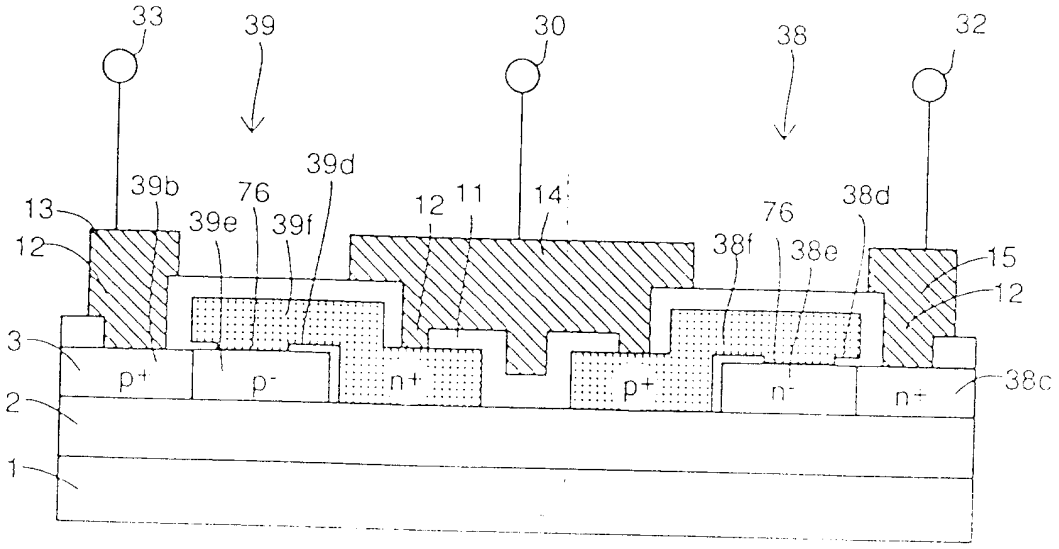
第 13 圖



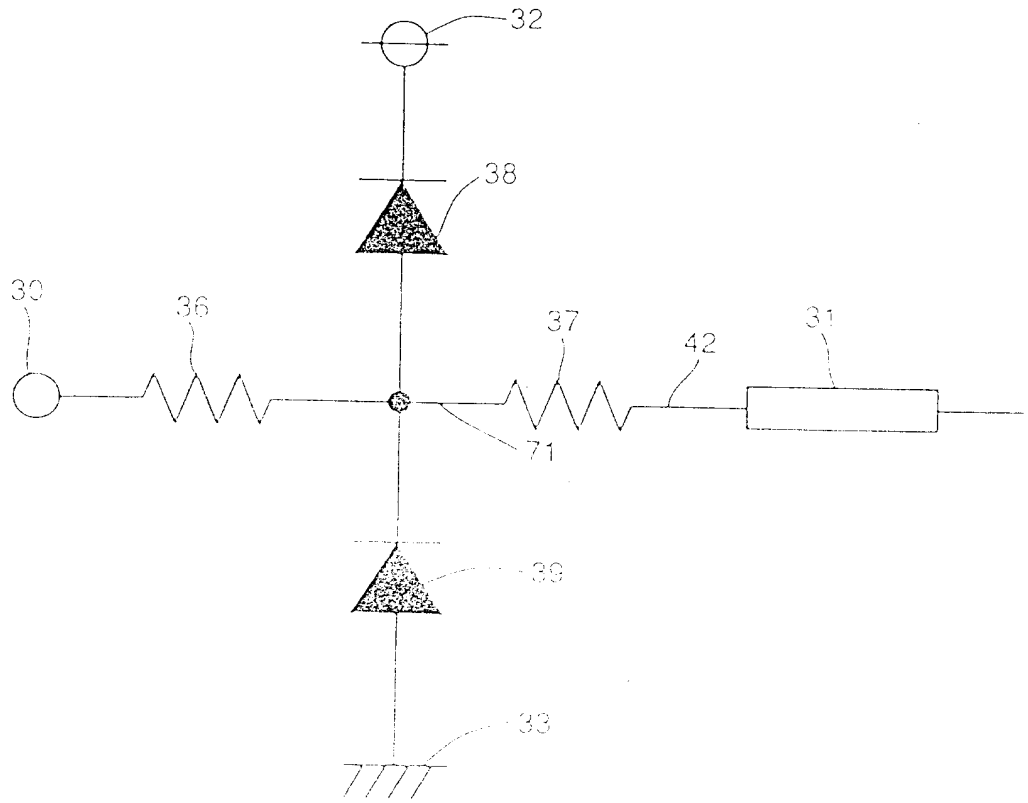
第 14 圖


XVI
3
15
32
38c
12
38
38f
76
30
36
38e
12
71
37
42
14
39f
12
39e
76
39
3
39b
12
13
33
XVI

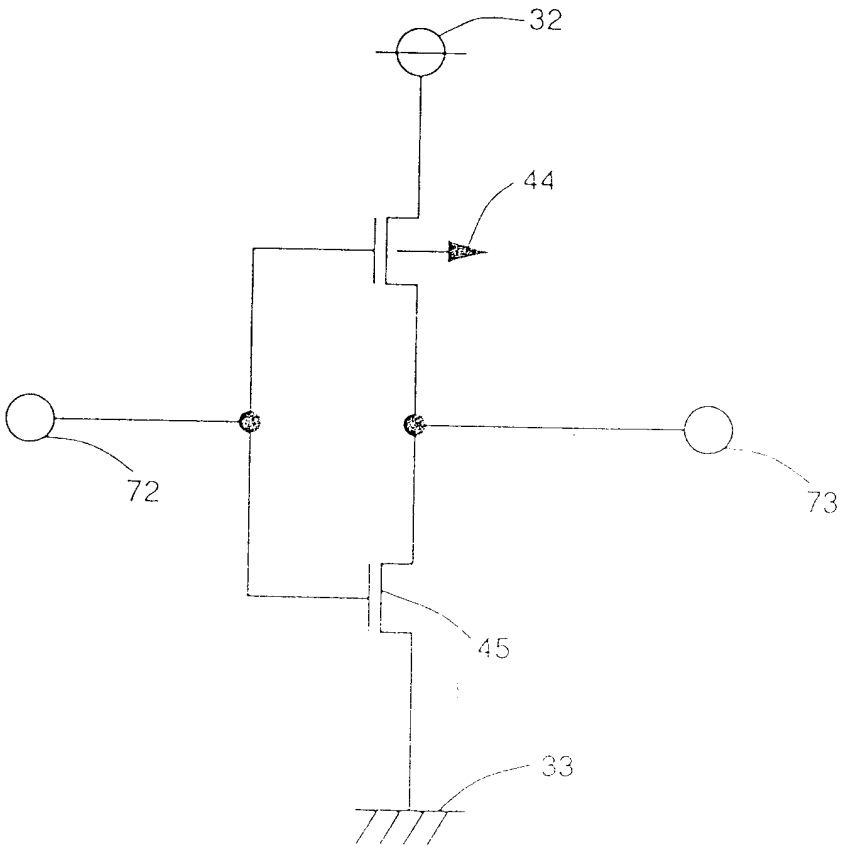
第 15 圖


33
39
30
38
32
39b
76
39d
12
11
14
76
38d
13
39e
39f
38f
38e
15
12
12
3
p+
p-
n+
p+
n-
n+
38c
2
1

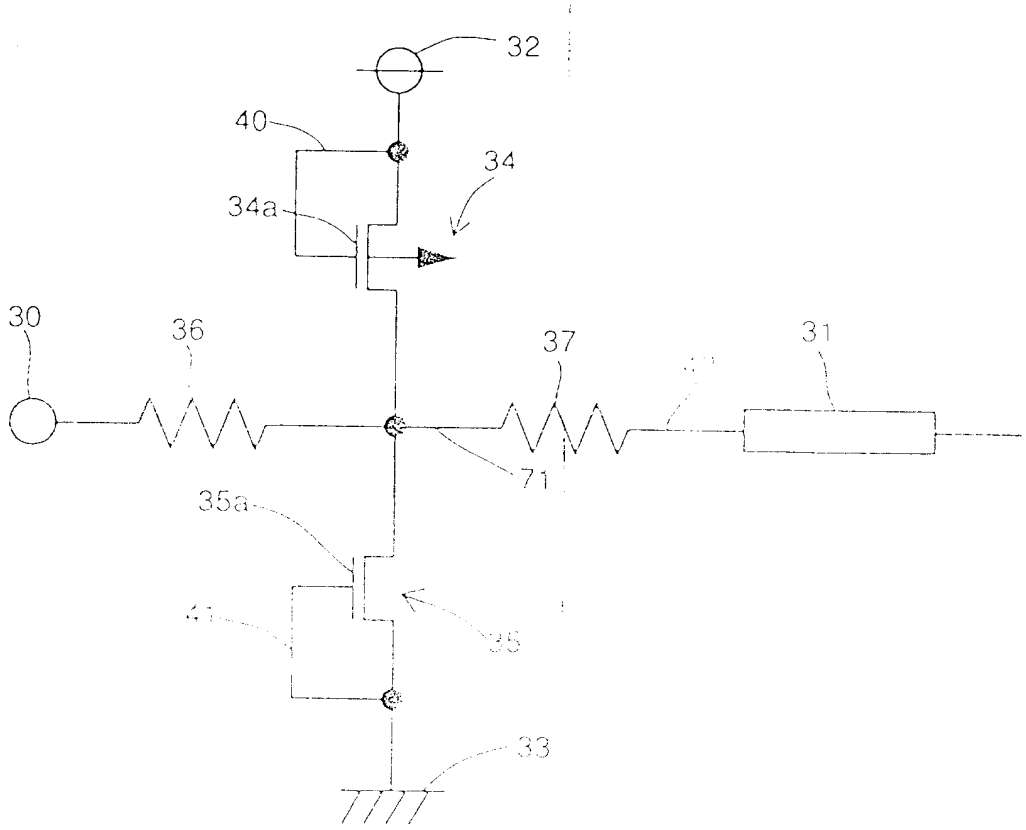
第 16 圖



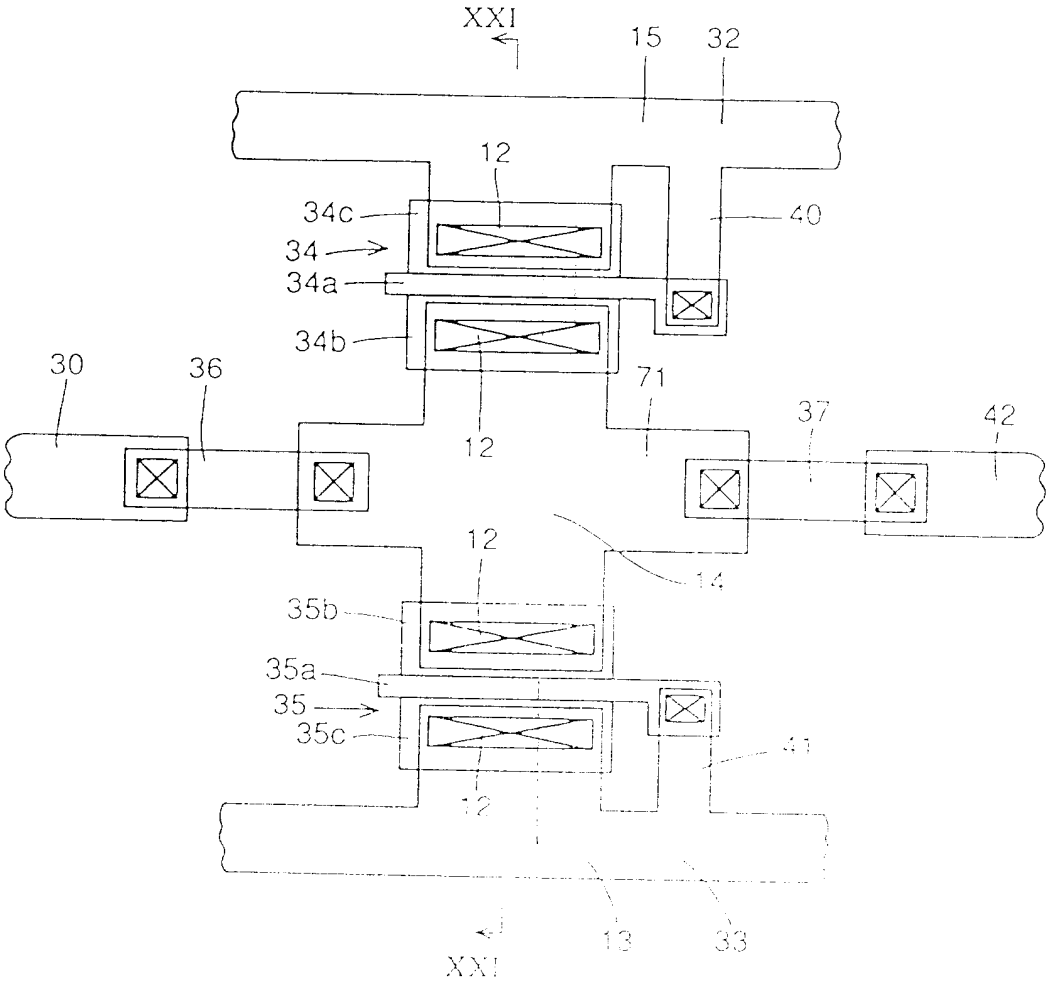
第 17 圖



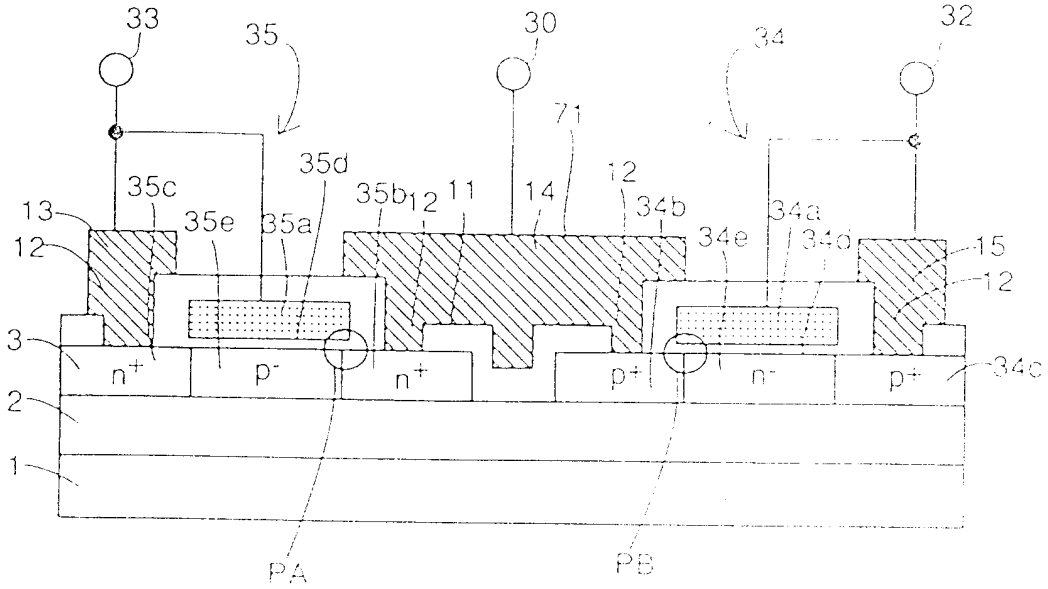
第 18 圖



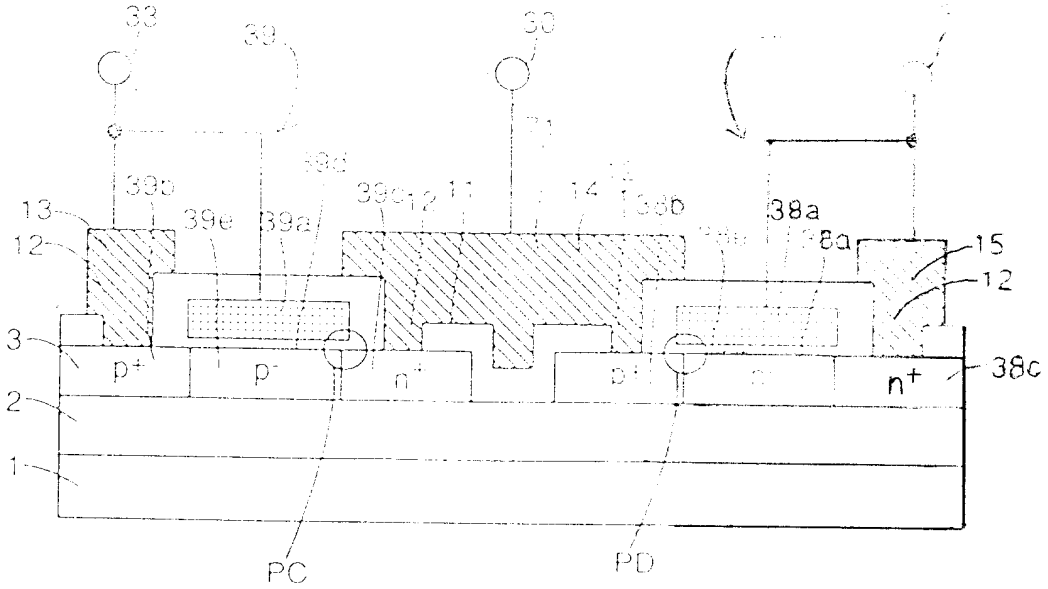
第 19 圖


XXI
15
32
12
34c
34
34a
34b
40
30
36
71
37
42
12
12
14
35b
35a
35
35c
41
12
13
33
XXI

第 20 圖


33
35
30
34
32
71
35d
35c
35b
12
11
14
12
34b
34a
13
35e
35a
34e
34d
15
12
12
3
n+
p-
n+
p+
n-
p+
34c
2
1
PA
PB

第 21 圖


33
39
30
39d
39b
39c
12
11
14
38b
38a
13
39e
39a
38a
15
12
12
3
p+
p-
n+
n+
38c
2
1
PC
PD

第 22 圖