

雙山影印

公告本

申請日期	91.2.25
案號	91103379
類別	G11C 700

A4
C4

550591

(以上各欄由本局填註)

發明專利說明書		
一、發明名稱	中文	用以支援不同型式之同時存取動作的記憶體架構
	英文	MEMORY ARCHITECTURE FOR SUPPORTING CONCURRENT ACCESS OF DIFFERENT TYPES
二、發明人	姓名	羅拉 E. 塞門斯 Laura Elisabeth Simmons
	國籍	美國 USA
	住、居所	美國俄勒岡州柯瓦里斯·西北第16街419號 419 NW 16 TH , Corvallis, OR, U.S.A
三、申請人	姓名 (名稱)	美商·安捷倫科技公司 Agilent Technologies Inc.
	國籍	美國 USA
	住、居所 (事務所)	美國加州帕羅亞托·佩吉密爾路395號 395 Page Mill Road, Palo Alto, CA, USA
	代表人 姓名	瑪利 O. 休柏 Marie Oh Huber

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， ☒有 ☐無主張優先權
美 2001,5,29 09/870,361

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

受審部智慧財產局員工消費合作社印製

五、發明說明（ 1 ）

發明領域

本發明係關於記憶體電路，且更特別關於用以支援不同型式之同時存取的記憶體架構。

發明背景

一典型內嵌式動態隨機存取記憶體(DRAM)具有被分成四個32位元字組的128位元之資料寬度。考慮及此，其中有存取此記憶體的四個方塊(如BLOCK0、BLOCK1、BLOCK2、BLOCK3)。方塊使用相互列空間、但不同的行空間來作記憶體存取。第1圖說明一習知技術記憶體組態。

此記憶體架構在存取型式相同時、允許對所有四行的同時存取(即當針對所有四行的操作都為讀取操作時、或當針對所有四行的操作都為寫入操作時)。此限制被參照為存取型限制(即只有共同存取型式可被同時實施)。

不幸地，存取型限制加諸一明顯時間代價。例如，當四行中之三個係存取型式一、且第四行係存取型式二時，則需要兩分立存取或傳送。換言之，具有不同存取型式之行、無法被同時存取，而必須依序來實施。如可銘感地，存取型限制不期望地增加記憶體存取所需的時間。

具有此存取型限制的記憶體組態之一例子係可自東芝公司獲得的CMOS同步SRAM模型TC59SM816。

結果，將期望一記憶體架構、其允許來支援不同型式之同時記憶體存取。

根據前述者，有需要一種記憶體架構、來支援不同型式之同時存取。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明（ 2 ）

發明之概要

根據本發明之一實施例，一種記憶體架構、用來支援混合模式記憶體存取。一共同列位址被提供。用來存取第一行的一第一行位址、和用來存取第二行的一第二行位址被提供。用來規定針對第一行的一寫入存取和一讀取存取中之一個的第一寫入控制信號、及用來規定針對第二行的一寫入存取和一讀取存取中之一個的第二寫入控制信號也被提供。此記憶體架構響應於這些輸入信號，來支援對第一行的同時混合模式記憶體存取、和對第二行的一寫入存取。

圖式之簡單描述

在附圖之圖式中、和其中相同參考標號參照於類似元件，藉由舉例、而非藉由限定，來說明本發明。

第1圖說明一習知技術記憶體組態；

第2圖說明支援根據本發明之一實施例、可利用的混合模式存取之記憶體架構；

第3圖係說明用於依據本發明之一實施例的混合模式記憶體存取之程序步驟的流程圖；

第4圖說明嵌入一特定應用積體電路的本發明之記憶體；

第5圖說明依據本發明之一實施例的例示記憶體組態，其中不同行空間可指定成不同功能性方塊；及

第6圖說明依據本發明之一實施例的例示垂直位址空間配置。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (3)

發明之詳細描述

一種用來支援混合模式記憶體存取的記憶體架構被描述。在下列描述中，為了解說，多數特定細節被設定、來提供對本發明之全然瞭解。然而對熟知該技術者將是明顯地，本發明可沒有這些特定細節地來實施。在其他例子中，熟知結構和裝置被顯示成方塊圖形式、來避免不必要地模糊了本發明。

一個別寫入致能控制信號被提供於各行。例如，當有四行(如column_0、column_1、column_2、和column_3)時，即有四個寫入致能控制信號，其中對應於各行、有一寫入致能控制信號。

本發明之記憶體架構去除存取型限制、且允許同時混合模式記憶體存取。

[記憶體架構]

第2圖說明支援根據本發明之一實施例、可利用的混合模式存取之記憶體架構200。記憶體架構200包括至少兩行(如一第一行210和一第二行220)。根據本發明之記憶體架構200，寫入控制信號施於個別行。

特別地，各行接收一個別行信號、和一個別寫入控制信號。例如，第一行210接收一COLUMN0信號和一WRITE0信號。同樣地，第二行220接收一COLUMN1信號和一WRITE1信號。因為寫入控制信號被施於個別行，故一第一定址區250可被選擇於一讀取操作，同時一第二定址區260可同時來選擇於一寫入操作。

五、發明說明 (4)

列和行係藉由把位址RAS和CAS解碼、而被選擇。請注意，不像需要分立存取來對相同列中的不同行來讀取和寫入之習知技術架構地，本發明之架構允許以一同時樣式、在相同列中的不同行上之不同存取型式(如一讀取操作和一寫入操作)。在此方面，資料根據寫入致能信號(也參照為寫入控制信號)之情況、來寫至定址區(如區域250或區域260)或自其中讀取。

重要地，最小存取時間係等於用於混合模式存取的兩存取型式最小存取時間之較長者。例如，考慮其中一寫入存取係比讀取存取長一時鐘週期的情況。第一方塊(block_0)可實施一寫入，而第二、第三和第四方塊(block_1、block_2、和block_3)實施一讀取操作。總存取時間因為寫入存取比讀取存取長，而係寫入存取之時間長度。

請注意，此方法相較於擱置任何方塊的習知技術、會產生時間節省。

習知技術記憶體架構把一毗連一維度記憶體片塊、指定予資料路徑中的各方塊。對照地，本發明之記憶體架構、把相同列空間指定予方塊，但把一不同行空間指定予各方塊。本發明之記憶體架構的一優點係，方塊可不與記憶體存取競爭地、來同時存取記憶體。

[混合模式記憶體存取處理]

第3圖係說明用於依據本發明之一實施例的混合模式記憶體存取之程序步驟的流程圖。在步驟310，一共同列位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

址被供予記憶體。在步驟320，用來存取第一行的一第一行位址被供予記憶體。在步驟330，用來存取第二行的一第二行位址被供予記憶體。在步驟340，用來規定針對第一行的寫入存取和讀取存取中之一個的一第一寫入控制信號被供予記憶體。在步驟350，用來規定針對第二行的寫入存取和讀取存取中之一個的一第二寫入控制信號被供予記憶體。

在步驟360，記憶體架構把同時混合模式記憶體存取、提供至第一行和第二行。例如，記憶體架構可把一同時讀取存取提供至第一行、且把一寫入存取提供至第二行。同樣地，記憶體架構可把同時寫入存取提供至第一行、且把一讀取存取提供至第二行。將銘感到，被利用的行數可以改變、來適於一特定應用。請進一步注意，一讀取存取可允許至這些行的任一子組集(可沒有任一行)，且同時允許一寫入存取於任一子組集(可沒有任一行)。

請注意，記憶體控制信號可由需要記憶體存取的一功能性方塊、一記憶體控制器電路、或其組合來產生。

[例示記憶體組態]

第5圖說明依據本發明之一實施例的例示記憶體組態510，其中不同行空間可指定於不同功能性方塊。記憶體組態510包括可指定於一特定功能性方塊的多個行空間。例如，一第一行空間520被指定於一第一功能性方塊(BLOCK_1)、一第二行空間530被指定於一第二功能性方塊(BLOCK_2)、一第三行空間540被指定於一第三功能性方塊(BLOCK_3)、且第N行空間550被指定於一第N功能性方塊

(請先閱讀背面之注意事項再填寫本頁)

訂

綠

五、發明說明 (6)

(BLOCK_N)，等等。

各功能性方塊可實施一或更多功能。這些功能性方塊需要記憶體存取。功能性方塊之例子可為例如、但不限於一直接記憶體存取(DMA)功能性方塊、一處理器、一視訊處理器、一佇列控制器、解壓縮方塊、及資料路徑方塊。功能性方塊可例如設置在一特殊應用積體電路(ASIC)中。

請注意，記憶體組態510把相同列空間、但不同行空間指定予各功能性方塊，藉此支援由所有功能性方塊對記憶體之同時存取。以此方式，與存取型限制相關聯之時間代價被避免。

[例示垂直位址空間配置]

第6圖說明依據本發明之一實施例的例示垂直位址空間配置610。較佳地，額外位址位置被使用(如註明”碎屑”的那些位置)、來促進管線化。請注意，用來支援管線化的高架係最小。

[內嵌式記憶體]

第4圖說明嵌入一特殊應用積體電路400的本發明之記憶體410。ASIC 400包括可依據本發明之教導來組配的一內嵌式記憶體410。ASIC 400可具有需要對記憶體410作存取的多個功能性方塊430。一資料路徑450被設置，以在功能性方塊430和記憶體410間來傳送資料。請注意，資料路徑之寬度係用具有諸如第一部份434和第二部份438的其之一部份的功能性方塊來劃分。

一位址和控制匯流排460被設置，來把位址和其他控制

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

信號傳輸到記憶體410。各功能性方塊430也提供一個別行位址選通(CAS)信號、和一寫入致能或寫入控制信號。例如，CAS_B0...CAS_BN由功能性方塊430來提供至記憶體410。同樣地，R/W_B0...R/W_BN由功能性方塊430來提供至記憶體410。

關於可合併支援在本發明之單一系列中的不同行之同時讀取和寫入操作的記憶體之特殊應用積體電路的特定實施例之進一步細節，可在2001年5月29日與此同時申請、由發明人Laura Elisabeth Simmons & Chancellor Archie、名為”針對特殊應用積體電路的內嵌式記憶體存取方法和系統”的共同審查專利申請案中被發現，其在此被合併參考。

在前述說明中，已參考特定實施例來描述本發明。然而明顯地，可對其做各種修正和改變、不致偏離發明之寬幅範疇。說明書和圖式據此將被視為說明性、而非限制性。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (8)

元件標號對照

200…記憶體架構	210…第一行
220…第二行	250…第一定址區
260…第二定址區	310,320,330,340,350,360…步驟
400…特殊應用積體電路(ASIC)	410…內嵌式記憶體
430…功能性方塊	434…第一部份
438…第二部份	450…資料路徑
460…位址和控制匯流排	510…記憶體組態
520…第一行空間	530…第二行空間
540…第三行空間	550…第N行空間
610…垂直位址空間配置	

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：用以支援不同型式之同時存取動作的記憶體架構)

一種用以支援混合模式記憶體存取的記憶體架構。一共同列位址被提供。用來存取第一行的一第一行位址、和用來存取第二行的一第二行位址被提供。用來規定針對第一行的一寫入存取和一讀取存取中之一個的第一寫入控制信號、及用來規定針對第二行的一寫入存取和一讀取存取中之一個的第二寫入控制信號也被提供。此記憶體架構響應於這些輸入信號，來支援對第一行的同時混合模式記憶體存取、和對第二行的一寫入存取。

英文發明摘要(發明之名稱：MEMORY ARCHITECTURE FOR SUPPORTING CONCURRENT ACCESS OF DIFFERENT TYPES)

A memory architecture for supporting mixed-mode memory accesses. A common row address is provided. A first column address for accessing a first column and a second column address for accessing a second column are provided. A first write control signal for specifying one of a write access and a read access for the first column, and a second write control signal for specifying one of a write access and a read access for the second column are also provided. The memory architecture, responsive to these input signals, supports concurrent mixed-mode memory accesses to the first column and a write access to the second column.

六、申請專利範圍

1. 一種用來實施混合模式記憶體存取之方法，該方法包含下列步驟：
 - a) 提供一列位址；
 - b) 提供用來存取一第一行的一第一行位址；
 - c) 提供用來存取一第二行的一第二行位址；
 - d) 提供用來規定針對該第一行的一寫入存取和一讀取存取中之一個的一第一寫入控制信號；
 - e) 提供用來規定針對該第二行的一寫入存取和一讀取存取中之一個的一第二寫入控制信號；及
 - f) 把同時混合模式記憶體存取提供至該第一行，且把一寫入存取提供至該第二行。
2. 依據申請專利範圍第1項之方法，其中把同時混合模式記憶體存取提供至該第一行、且把一寫入存取提供至該第二行的該步驟包括下面步驟：
 - f_1) 把同時讀取存取提供至該第一行，且把一寫入存取提供至該第二行。
3. 依據申請專利範圍第1項之方法，其中把同時混合模式記憶體存取提供至該第一行、且把一寫入存取提供至該第二行的該步驟包括下面步驟：
 - f_1) 把同時寫入存取提供至該第一行，且把一讀取存取提供至該第二行。
4. 依據申請專利範圍第1項之方法，其中把同時混合模式記憶體存取提供至該第一行、且把一寫入存取提供至該第二行的該步驟包括下列步驟：
 - f_1) 使用一資料匯流排之一第一部份、以傳輸來自一第一方塊的資料；及

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

f₂)使用一資料匯流排之一第二部份、以傳輸來自一第二方塊的資料。

5. 依據申請專利範圍第1項之方法，其中一第一行受到一寫入存取；且其中一第二行受到一讀取存取。
6. 依據申請專利範圍第4項之方法，其中該第一部份包括要寫入至該記憶體之資料；且其中該第二部份包括要自該記憶體讀取的資料。
7. 依據申請專利範圍第1項之方法，其中該記憶體係內嵌在一特殊應用積體電路中。
8. 一種記憶體，包含有：

a)一第一行空間，被指定於一第一功能性方塊；

b)一第二行空間，被指定於一第二功能性方塊；

c)一第一行位址，用來存取該第一行空間；

d)一第二行位址，用來存取該第二行空間；

e)一第一寫入信號，用來規定針對該第一行的一寫入存取和一讀取存取中之一個；

f)一第二寫入信號，用來規定針對該第二行的一寫入存取和一讀取存取中之一個；

其中該記憶體支援同時混合模式存取。

9. 依據申請專利範圍第8項之記憶體，其中：

一共同列位址被提供至該記憶體；及

在該列中的一第一定址區受到一讀取存取；

以及

在該列中的一第二定址區同時地受到一寫入存取。

六、申請專利範圍

10. 依據申請專利範圍第8項之記憶體，其更包含：

a) 一第三行空間，被指定於一第三功能性方塊；

b) 一第三行位址信號，用來存取該第三行空間；

c) 一第三寫入信號，用來規定針對該第三行的一寫入存取和一讀取存取中之一個；

其中一共同列位址被提供至該記憶體；

在該列中的一第一定址區受到一讀取存取；

在該列中的一第二定址區同時地受到一寫入存取；及

在該列中的一第三定址區同時地受到一寫入存取。

11. 依據申請專利範圍第8項之記憶體，其中：

一共同列位址被提供至該記憶體；及

在該列中的一第一定址區受到一寫入存取；

以及

在該列中的一第二定址區同時地受到一讀取存取。

12. 依據申請專利範圍第8項之記憶體，其更包含：

a) 一第三行空間，被指定於一第三功能性方塊；

b) 一第三行位址信號，用來存取該第三行空間；

c) 一第三寫入信號，用來規定針對該第三行的一寫入存取和一讀取存取中之一個；

其中一共同列位址被提供至該記憶體；

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

在該列中的一第一定址區受到一寫入存取；

在該列中的一第二定址區同時地受到一讀取存取；及

在該列中的一第三定址區同時地受到一讀取存取。

13. 依據申請專利範圍第8項之記憶體，其更包含：

a) 一第三行空間，被指定於一第三功能性方塊；

b) 一第三行位址信號，用來存取該第三行空間；

及

c) 一第三寫入信號，用來規定針對該第三行的一寫入存取和一讀取存取中之一個。

14. 依據申請專利範圍第13項之記憶體，其更包含：

a) 一第四行空間，被指定於一第四功能性方塊；

b) 一第四行位址信號，用來存取該第四行空間；

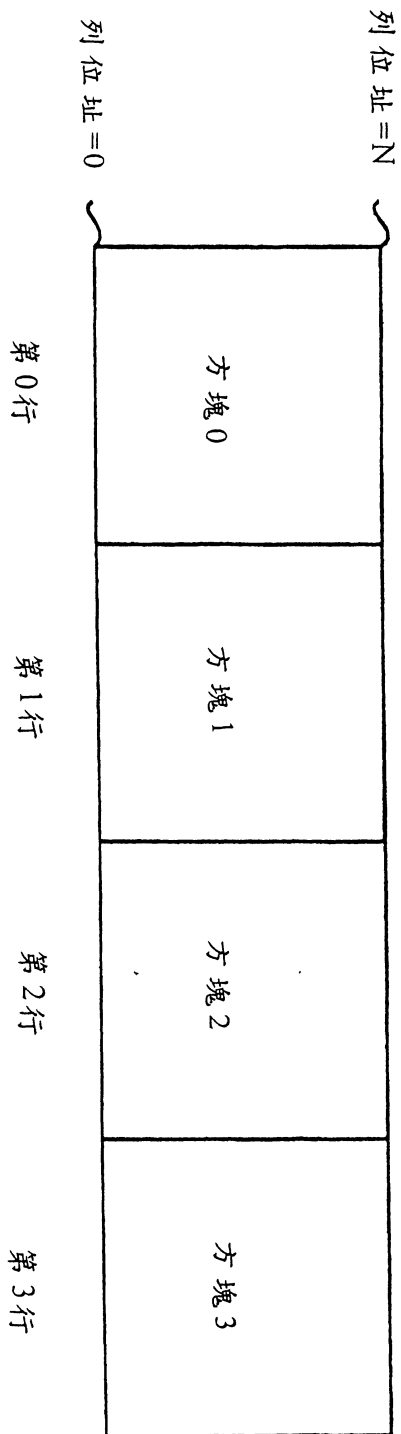
及

c) 一第四寫入信號，用來規定針對該第四行的一寫入存取和一讀取存取中之一個。

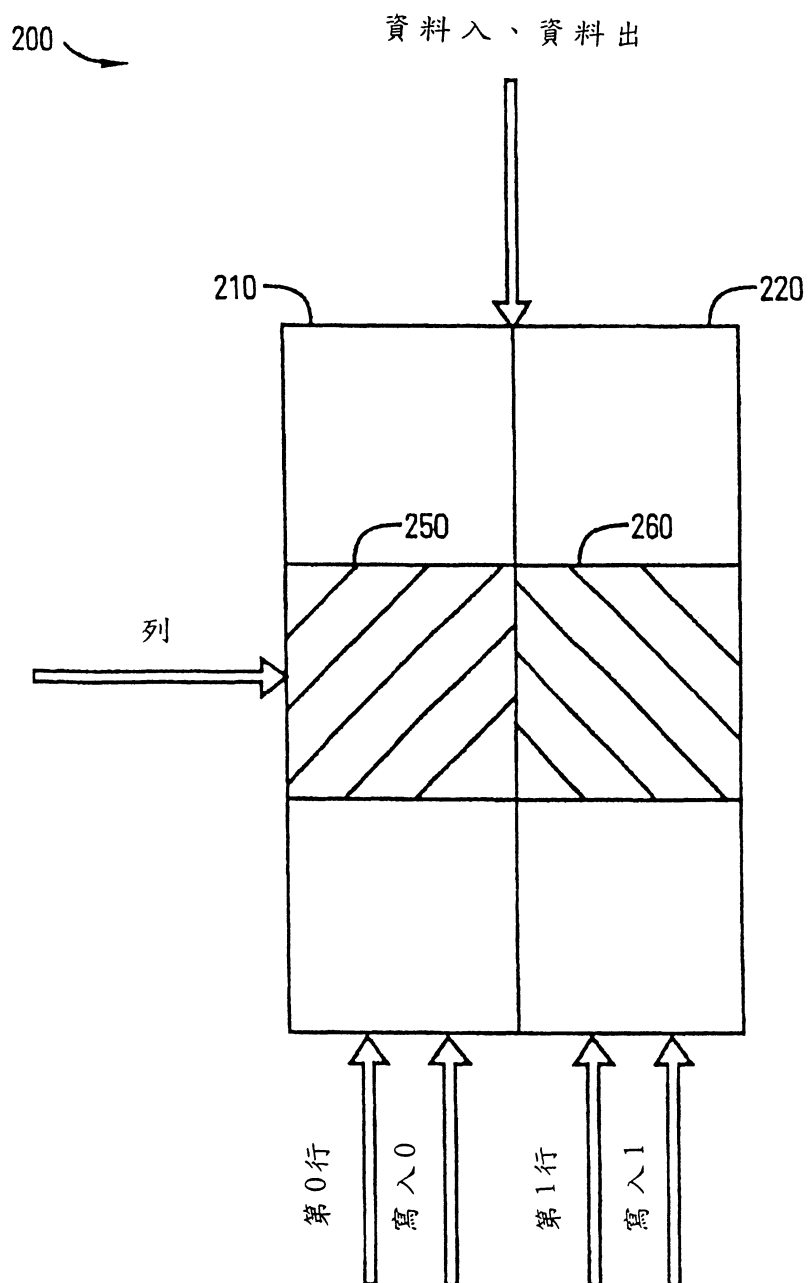
15. 依據申請專利範圍第8項之記憶體，其中該記憶體被內嵌在一特殊應用積體電路中。



91103339

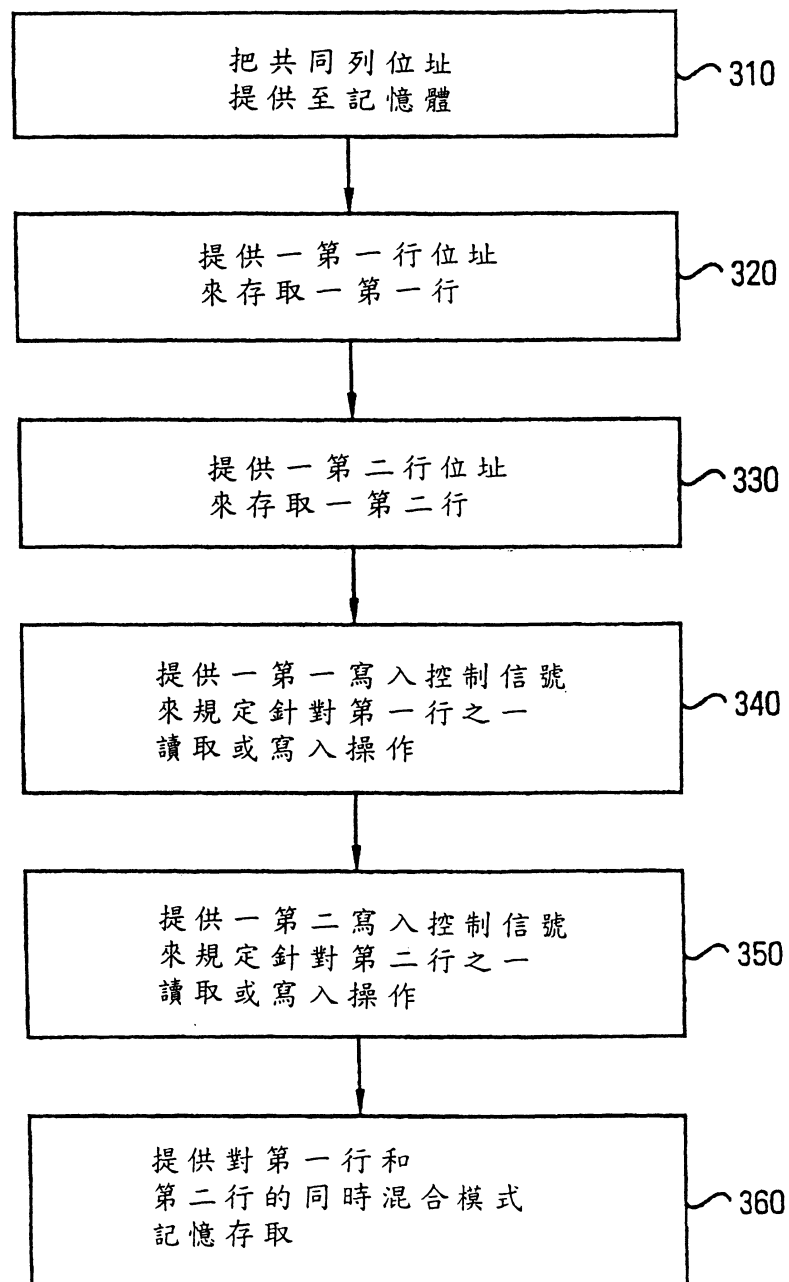


第 1 圖 (習知技術)

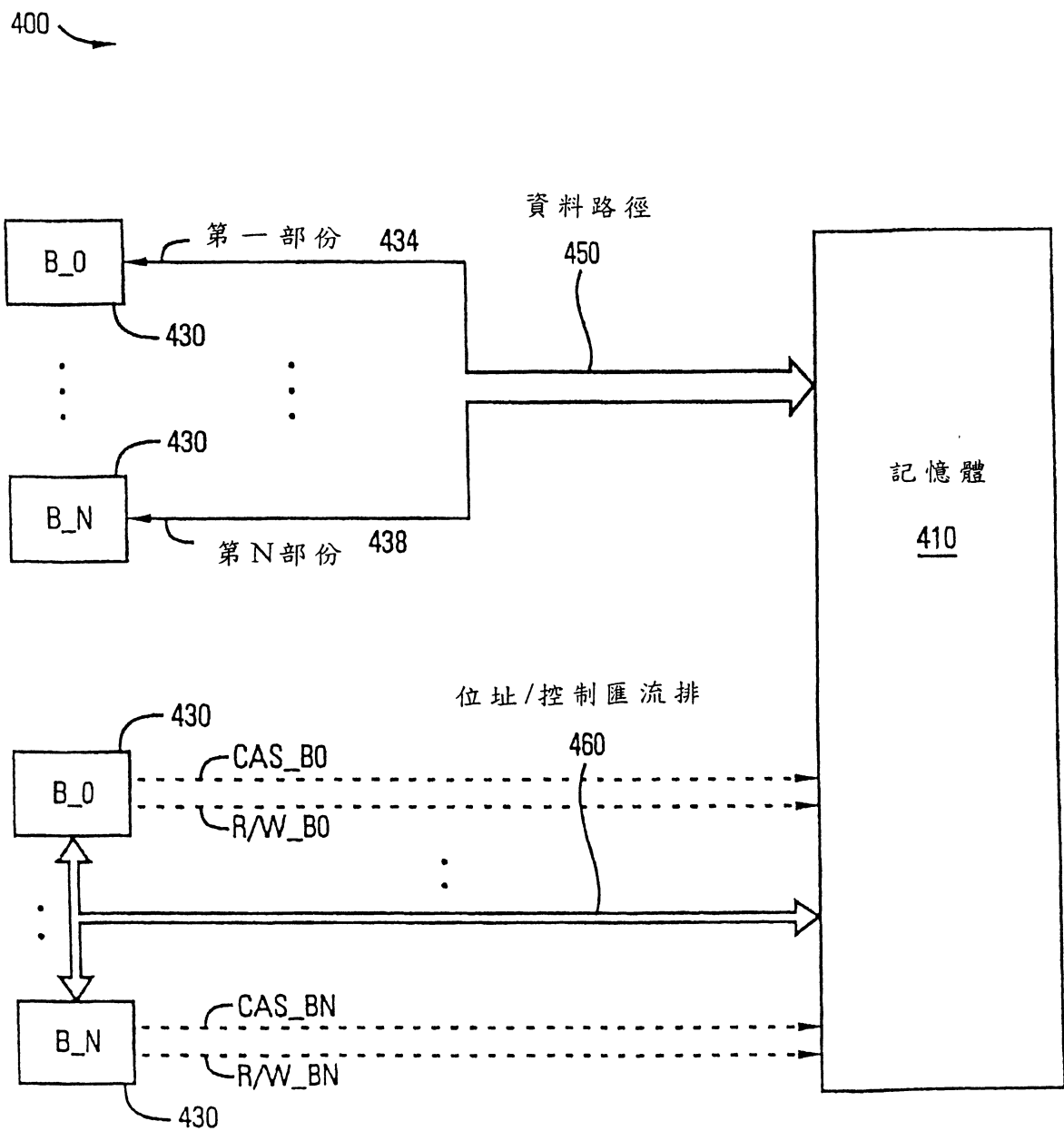


第 2 圖

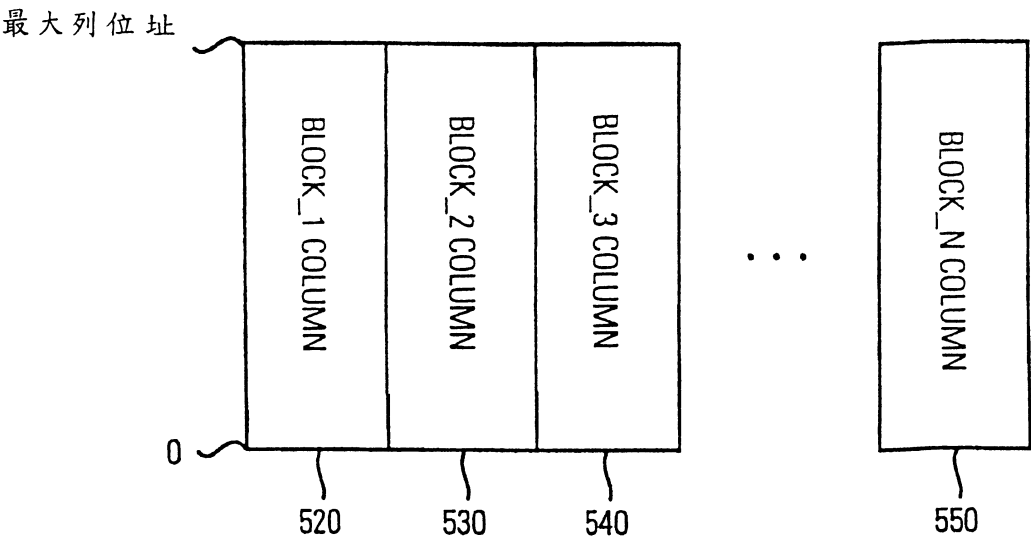
3/5



第 3 圖



第 4 圖



第 5 圖

610

位 址	第 0 行	第 2 行	第 3 行
0	B1 DATA 0	碎屑	碎屑
1	B1 DATA 1	B2 DATA 1	碎屑
2	B1 DATA 2	B2 DATA 2	B3 DATA 1
3	B1 DATA 3	B2 DATA 3	B3 DATA 2
⋮	⋮	⋮	⋮
N	B1 DATA N	B2 DATA N-1	B3 DATA N-2
N+1	碎屑	B2 DATA N	B3 DATA N-1
N+2	碎屑	碎屑	B3 DATA N

第 6 圖