

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-9586
(P2012-9586A)

(43) 公開日 平成24年1月12日(2012.1.12)

(51) Int.Cl.		F 1				テーマコード (参考)	
H05K	3/28	(2006.01)	H05K	3/28	B	5 E 3 1 4	
H01L	23/12	(2006.01)	H01L	23/12	N	5 E 3 1 9	
H05K	3/34	(2006.01)	H05K	3/34	502 E		
			H05K	3/34	501 E		
			H01L	23/12	F		

審査請求 未請求 請求項の数 13 O L (全 21 頁)

(21) 出願番号	特願2010-143514 (P2010-143514)	(71) 出願人	000190688 新光電気工業株式会社 長野県長野市小島田町80番地
(22) 出願日	平成22年6月24日 (2010.6.24)	(74) 代理人	100068755 弁理士 恩田 博宣
		(74) 代理人	100105957 弁理士 恩田 誠
		(72) 発明者	村松 茂次 長野県長野市小島田町80番地 新光電気 工業 株式会社内
		(72) 発明者	春原 聰 長野県長野市小島田町80番地 新光電気 工業 株式会社内
		F ターム (参考)	5E314 AA32 BB06 BB07 BB09 BB13 CC01 CC15 FF13 GG24
			最終頁に続く

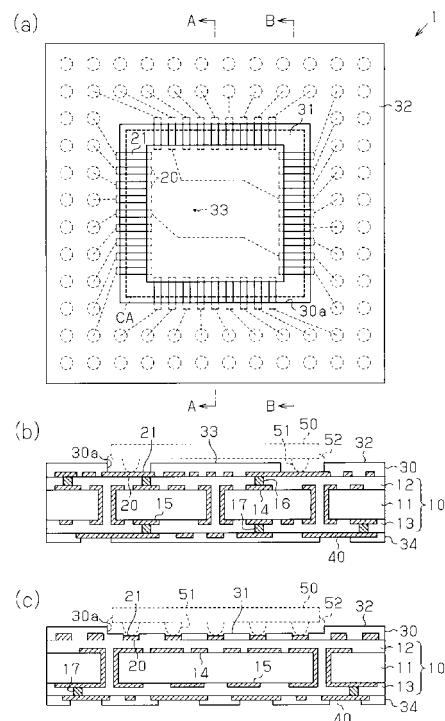
(54) 【発明の名称】配線基板、半導体装置及び配線基板の製造方法

(57) 【要約】

【課題】半導体装置の歩留まりを向上させることのできる配線基板、半導体装置及び配線基板の製造方法を提供する。

【解決手段】配線基板1は、パッド21を有する最上層の配線パターン20と、その配線パターン20を覆うソルダレジスト層30とを含む。ソルダレジスト層30には、配線パターン20の一部をパッド21として露出させるための凹部30aが形成されている。また、ソルダレジスト層30は、凹部30aに対応する領域に形成されたソルダレジスト層31と、凹部30aよりも外側領域に形成されたソルダレジスト層32と、凹部30aよりも内側領域に形成されたソルダレジスト層33とを含む。そして、ソルダレジスト層31は、その上面がパッド21の上面よりも高く、且つソルダレジスト層32、33の上面よりも低く形成されている。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

最上層配線と、前記最上層配線を覆う絶縁層とを有し、前記最上層配線の一部が前記絶縁層からパッドとして露出された配線基板であって、

前記絶縁層は、少なくとも隣接する前記パッド間に形成され、上面が前記各パッドの上面よりも高くなるように形成された第1の絶縁層を含むことを特徴とする配線基板。

【請求項 2】

前記第1の絶縁層には、前記隣接するパッド間で湾曲状に凹む湾曲部が形成されていることを特徴とする請求項1に記載の配線基板。

【請求項 3】

前記絶縁層は、前記第1の絶縁層よりも外側領域に形成され、前記第1の絶縁層よりも厚く形成された第2の絶縁層を含み、

前記第1の絶縁層と前記第2の絶縁層とによって段差部が形成されていることを特徴とする請求項1又は2に記載の配線基板。

【請求項 4】

前記第1の絶縁層と前記第2の絶縁層とは一体に形成されていることを特徴とする請求項3に記載の配線基板。

【請求項 5】

前記段差部には、傾斜部が形成されていることを特徴とする請求項3又は4に記載の配線基板。

【請求項 6】

前記段差部が、平面視において、当該配線基板に実装される被実装体の外形枠よりも外側に位置するように形成されていることを特徴とする請求項3～5のいずれか1項に記載の配線基板。

【請求項 7】

前記段差部の前記第2の絶縁層側のエッジが、平面視において、当該配線基板に実装される被実装体の外形枠よりも外側に位置するように形成されていることを特徴とする請求項5に記載の配線基板。

【請求項 8】

請求項1～7のいずれか1項の配線基板と、

前記パッドにフリップチップ接続された半導体素子と、
を含むことを特徴とする半導体装置。

【請求項 9】

最上層配線を覆う絶縁層から前記最上層配線の一部がパッドとして露出された配線基板の製造方法であって、

少なくとも前記パッドの形成される領域に対応する部分の前記絶縁層を薄化することにより、前記絶縁層に凹部を形成するとともに、前記パッドを露出する薄化工程と、

前記パッドの上面が薄化された第1の絶縁層の上面よりも低くなるまで前記パッドをエッティングするエッティング工程と、を含み、

前記薄化工程では、隣接する前記パッド間に前記第1の絶縁層が形成されるとともに、前記第1の絶縁層と前記凹部よりも外側領域に形成された第2の絶縁層とによって第1の段差部が形成されることを特徴とする配線基板の製造方法。

【請求項 10】

前記薄化工程は、

前記絶縁層の上に、前記凹部に対応する領域を開口する開口部を有するマスクを形成する工程と、

前記マスクの開口部を通じて前記絶縁層にサンドブラスト処理を施すサンドブラスト工程と、を含むことを特徴とする請求項9に記載の配線基板の製造方法。

【請求項 11】

前記サンドブラスト工程では、

10

20

30

40

50

前記パッド間に形成される前記第1の絶縁層に、湾曲状に凹む湾曲部が形成されるよう に、前記絶縁層の薄化が行われることを特徴とする請求項10に記載の配線基板の製造方法。

【請求項12】

前記薄化工程の前に、

前記最上層配線のうち前記パッドとして露出される部分の第1の最上層配線を、他の最上層配線よりも厚く形成する工程と、

前記最上層配線を覆う前記絶縁層を形成する工程と、を含み、

前記薄化工程では、前記凹部に対応する前記絶縁層を、前記第1の最上層配線が露出するまで薄化することを特徴とする請求項9～11のいずれか1項に記載の配線基板の製造方法。

10

【請求項13】

前記パッドがペリフェラル状に形成され、

前記凹部は、前記パッドの形成される領域およびその領域よりも内側の領域を含む四角形状の領域に形成されることを特徴とする請求項9～12のいずれか1項に記載の配線基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、配線基板、半導体装置及び配線基板の製造方法に関するものである。

20

【背景技術】

【0002】

近年、電子機器の小型化及び高機能化に伴い、その電子機器に組み込まれる半導体装置の小型化、高密度化、多端子化が進んでおり、その半導体装置に要求される信頼性も益々増大する傾向にある。この半導体装置は、一般に半導体チップを配線基板に実装した構造を有しているため、半導体チップの小型化及び高密度化に伴って、それを実装する配線基板もその接続端子が小型化及び高密度化している。このため、半導体チップの実装方法としてはフリップチップ実装が多く用いられている。

【0003】

このフリップチップ実装は、半導体チップに突起状の電極端子（バンプ）を形成しておき、配線基板のチップ実装面側の保護膜（ソルダレジスト層）から露出させたパッドに、はんだ等の導電性材料を用いて上記バンプを直接電気的に接合させる方法である。さらに、このフリップチップ実装では、その接合部位を外部から絶縁し、且つ接合強度を高めるために、半導体チップと配線基板との間にアンダーフィルと呼ばれる樹脂を充填する場合がある。但し、このアンダーフィル樹脂の流動性が高いと、アンダーフィル樹脂が必要以上の面積に広がり、他の実装用パッドなどが汚染されてしまうため、半導体装置の歩留まりが低下するという問題があった。そこで、配線基板のチップ実装領域周辺のソルダレジスト層上に、アンダーフィル樹脂をせき止めるダム状の部材を備える配線基板が提案されている（例えば、特許文献1,2参照）。

30

【0004】

ここで、図14(a)は、従来の半導体装置の概略平面図であり、図14(b)は、図14(a)に示す半導体装置のA-A概略断面図であり、図14(c)は、図14(a)に示す半導体装置のB-B概略断面図である。

40

【0005】

図14(b)に示すように、従来の半導体装置は、配線基板5と、半導体チップ50と、アンダーフィル樹脂52とを有する。

配線基板5は、基板本体10と、最上層の配線パターン20と、外部接続用パッド40と、ソルダレジスト層90,91と、ダム100とを有する。なお、この配線基板5に実装される半導体チップ50は、その回路形成面に、ペリフェラル状に配設された複数のバンプ51を備えている（図14(b),(c)の破線参照）。

50

【0006】

基板本体10は、コア基板11と、複数の絶縁層12, 13と、複数の絶縁層12, 13に形成された配線14, 15及びビア16, 17等から構成されている。基板本体10に設けられた配線14, 15及びビア16, 17は、配線パターン20及び外部接続用パッド40を電気的に接続している。

【0007】

配線パターン20は、基板本体10の上面側に設けられている。この配線パターン20は、半導体チップ50のバンプ51が接続されるパッド21を有する。

ソルダレジスト層90は、基板本体10の上面側に設けられている。このソルダレジスト層90には、上記パッド21を露出させるために、パッド形成領域に開口部90aが形成されている。具体的には、半導体チップ50のバンプ51の配設形態に応じてパッド21が配線基板5の外周に沿って環状に配列されているため(図14(a)参照)、上記開口部90aも環状に形成され、且つ帯状に形成されている。そして、この開口部90aは、パッド形成領域に対応する部分のソルダレジスト層90を貫通することで形成されている。これにより、開口部90aは、パッド形成領域に配置された配線パターン20をパッド21として露出するとともに、パッド20以外の部分では、配線パターン20の下層に形成された絶縁層12を露出する。

10

【0008】

図14(a)に示すように、ダム100は、半導体チップ50の実装されるチップ実装領域CAを囲むように、ソルダレジスト層90上に設けられている。このダム100は、その内側のエッジがチップ実装領域CAの外周に沿ってその外側に位置するように形成されている。なお、ダム100は、配線基板5と半導体チップ50との間にアンダーフィル樹脂52を充填する際に、アンダーフィル樹脂52が必要以上に流れ出ないように、アンダーフィル樹脂52をせき止めるための部材である。

20

【0009】

半導体チップ50は、配線基板5にフリップチップ接続されている。すなわち、半導体チップ50は、回路形成面に配設されたバンプ51を介して、配線基板5のパッド21と電気的に接続されている。

【0010】

アンダーフィル樹脂52は、配線基板5と半導体チップ50との隙間に配設されている。このアンダーフィル樹脂52は、バンプ51とパッド21との接続部分の接続強度を向上させると共に、配線パターン20の腐食やエレクトロマイグレーションの発生を抑制し、配線パターン20の信頼性の低下を防ぐための樹脂である。

30

【0011】

次に、このように構成された半導体装置の製造方法を図15及び図16に従って説明する。

図15及び図16に示す半導体装置の製造方法では、図15(a)に示すコア基板11を用いる。なお、このコア基板11は、銅張積層板(Copper Clad Laminated: CCL)にスルーホール10aを形成し、スルーホール10aの側面にめっきを施すことで両面を導通させた後、例えばサブトラクティブ法により配線14, 15を形成することによって製造される。

40

【0012】

このコア基板11の両面側に、図15(b)に示すように絶縁層12, 13を形成する。次に、図15(c)に示すように、配線14, 15の端部が露出されるように、絶縁層12, 13の所定箇所にそれぞれ開口部12a, 13aを、例えばレーザによって形成する。

【0013】

続いて、デスマニア処理後、図15(d)に示すように、絶縁層12及び配線14を覆うようにシード層S1を形成するとともに、絶縁層13及び配線15を覆うようにシード層S2を形成する。これらシード層S1, S2は、無電解銅めっき又はスパッタリングによ

50

って形成される。

【0014】

次に、例えばセミアディティブ法により配線パターン20及びコア基板11の下面側の配線パターンを形成するとともに、絶縁層12, 13をそれぞれ貫通するビア16, 17を形成する。すなわち、図16(a)に示すように、シード層S1上に配線パターン20の形状に対応した開口パターンを有するレジストを形成し、上記シード層S1を給電層とする電解銅めっきによってビア16及び配線パターン20を形成する。なお、コア基板11の下面側の配線パターンやビア17も同様に形成される。このように、ビア16, 17及び配線パターン20等が形成されると、レジスト及び不要なシード層S1, S2が除去される。

10

【0015】

次に、配線パターン20を覆うようにソルダレジスト層90を形成した後、フォトリソグラフィによりソルダレジスト層90を露光・現像して図16(b)に示す上記開口部90aを形成し、配線パターン20の一部をパッド21として露出する。また、コア基板11の下面側に形成された配線パターンを覆うようにソルダレジスト層91を形成した後、フォトリソグラフィにより図16(b)に示す開口部91aを形成し、上記配線パターンの一部を外部接続用パッド40として露出する。

20

【0016】

続いて、図16(c)に示すように、ソルダレジスト層90上に所定パターンのダム100を形成する。このダム100は、例えばソルダレジスト層90を形成する樹脂と同一組成の樹脂によって形成される。なお、このダム100は、フォトリソグラフィ法、印刷法や所定形状の薄板を貼り付ける方法などにより形成される。なお、フォトリソグラフィ法では、感光性ソルダレジストを使用し、露光・現像によって所定パターンに形成される。また、印刷法では、印刷マスクを使用し、必要な部分のみに樹脂材料が印刷される。

20

【0017】

そして、図16(d)に示すように、このように形成された配線基板5に対し、半導体チップ50がフリップチップ接合される。具体的には、半導体チップ50のバンプ51が配線基板5のパッド21に接合される。その後、フリップチップ接合された配線基板5と半導体チップ50との間には、アンダーフィル樹脂52が充填される。このようなアンダーフィル樹脂52を配線基板5と半導体チップ50の間に流し込み、その後に加熱処理により硬化させて固めることにより、パッド21とバンプ51との接合部位を外部から保護し、実装信頼性を向上させることができる。このとき、アンダーフィル樹脂52がパッド形成領域よりも外側に流れ出たとしても、ダム100によってそのアンダーフィル樹脂をせき止めることができる。このため、アンダーフィル樹脂52が他の実装用パッド等を汚染することを抑制することができる。

30

【先行技術文献】

【特許文献】

【0018】

【特許文献1】特開2004-186213号公報

40

【特許文献2】特開平5-283478号公報

【発明の概要】

【発明が解決しようとする課題】

【0019】

ところが、上記ダム100を形成するには、ダム部分の材料（樹脂材料）を追加する必要があり、製造プロセスも追加する必要があるため、製造コスト及び工程数が増大するという問題がある。

【0020】

これに対し、アンダーフィル樹脂52の粘度を上げることによって、そのアンダーフィル樹脂52の過剰な流れ出しを抑え、ダム100の形成を省略することができる。但し、この場合には、アンダーフィル樹脂52の粘度を上げた分だけそのアンダーフィル樹脂5

50

2の充填性が低下するため、例えば半導体チップ50と配線基板5との間隔を広げることによって、アンダーフィル樹脂52の充填性を向上させる必要がある。この間隔を広げる方法としては、半導体チップ50のバンプ51と接続し易くするためにパッド21上に形成されるはんだを大きくする方法などが考えられる。しかし、近年の小型化及び高精度化された半導体装置の場合には、バンプピッチの狭小化に伴ってパッドピッチが狭くなるため、はんだを大きくすることができない。すなわち、はんだを大きくすると、例えばはんだを介して隣接パッドの側面同士がショートする、いわゆるはんだブリッジなどの問題が発生するため、はんだを大きくすることができない。このため、このような場合には、半導体チップ50と配線基板5との間隔を広げることができない。すると、アンダーフィル樹脂52の充填性を向上させることができないため、アンダーフィル樹脂52の粘度が高い場合には、そのアンダーフィル樹脂52の充填不良等の問題が新たに発生する。これに起因して、半導体チップ50と配線基板5との間の電気的接続信頼性が低下するため、半導体装置の歩留まりが低下するという問題も発生する。

10

【0021】

なお、上述のような問題は、パッド21がペリフェラル状に配設された配線基板に限らず、例えばパッド21がマトリクス状に配設された配線基板でも同様に発生しうる。

本発明は上記問題点を解決するためになされたものであって、その目的は、半導体装置の歩留まりを向上させることのできる配線基板、半導体装置及び配線基板の製造方法を提供することにある。

20

【課題を解決するための手段】

【0022】

本発明の一観点によれば、最上層配線と、前記最上層配線を覆う絶縁層とを有し、前記最上層配線の一部が前記絶縁層からパッドとして露出された配線基板であって、前記絶縁層は、少なくとも隣接する前記パッド間に形成され、上面が前記各パッドの上面よりも高くなるように形成された第1の絶縁層を含む。

【0023】

この構成によれば、隣接するパッド間に絶縁層が形成されるため、隣接パッド間におけるはんだブリッジの発生を好適に抑制することができる。また、第1の絶縁層の上面がパッドの上面よりも高くなるように形成されているため、これら第1の絶縁層とパッドとによって段差が形成されることになる。この段差によって、パッド上に形成されるはんだの高さを高く保つことができる。これにより、配線基板と被実装体との間隔を広げることができるために、アンダーフィル樹脂の流動性を向上させることができる。したがって、仮にダムを省略してアンダーフィル樹脂の粘度を上げたとしても、アンダーフィル樹脂の充填性が低下することを抑制でき、アンダーフィル樹脂の充填不良等の問題の発生も抑制することができる。ひいては半導体装置の歩留まりを向上させることができる。

30

【0024】

本発明の一観点によれば、最上層配線を覆う絶縁層から前記最上層配線の一部がパッドとして露出された配線基板の製造方法であって、少なくとも前記パッドの形成される領域に対応する部分の前記絶縁層を薄化することにより、前記絶縁層に凹部を形成するとともに、前記パッドを露出する薄化工程と、前記パッドの上面が薄化された第1の絶縁層の上面よりも低くなるまで前記パッドをエッチングするエッチング工程と、を含み、前記薄化工程では、隣接する前記パッド間に前記第1の絶縁層が形成されるとともに、前記第1の絶縁層と前記凹部よりも外側領域に形成された第2の絶縁層とによって第1の段差部が形成される。

40

【0025】

この方法によれば、隣接するパッド間に形成される第1の絶縁層の上面よりもパッドの上面が低く形成されるため、これら第1の絶縁層とパッドとによって段差が形成されることになる。この段差によって、パッド上に形成されるはんだの高さを高く保つことができる。これにより、配線基板と被実装体との間隔を広げることができるために、アンダーフィル樹脂の流動性を向上させることができる。したがって、アンダーフィル樹脂の充填不良

50

等の問題の発生も抑制することができ、ひいては半導体装置の歩留まりを向上させることができること

【0026】

また、薄化後の第1の絶縁層と凹部よりも外側領域に形成された第2の絶縁層とによって、アンダーフィル樹脂をせき止めるための第1の段差部（ダム構造）を形成することができる。さらに、絶縁層の一部を薄化（除去）することによって、第1の段差部（ダム構造）を形成することができるため、従来のダムを形成する場合のように特別にダム部分の材料を追加する必要がない。したがって、製造コストの増大を抑制することができる。

【発明の効果】

【0027】

本発明の一観点によれば、半導体装置の歩留まりを向上させることのできる配線基板、半導体装置及び配線基板の製造方法を提供することができる。

【図面の簡単な説明】

【0028】

【図1】(a)は第1実施形態の半導体装置を示す概略平面図、(b)、(c)は第1実施形態の半導体装置を示す概略断面図。

【図2】第1実施形態の配線基板を示す概略斜視図。

【図3】(a)～(d)は、第1実施形態の配線基板の製造方法を説明するための概略断面図。

【図4】(a)～(c)は、第1実施形態の配線基板の製造方法を説明するための概略断面図。

【図5】(a)～(c)は、第1実施形態の半導体装置の製造方法を説明するための概略断面図。

【図6】(a)は第2実施形態の半導体装置を示す概略平面図、(b)、(c)は第2実施形態の半導体装置を示す概略断面図。

【図7】(a)～(d)は、第2実施形態の配線基板の製造方法を説明するための概略断面図。

【図8】(a)～(d)は、第2実施形態の配線基板の製造方法を説明するための概略断面図。

【図9】(a)、(b)は、第2実施形態の半導体装置の製造方法を説明するための概略断面図。

【図10】(a)は第3実施形態の半導体装置を示す概略平面図、(b)、(c)は第3実施形態の半導体装置を示す概略断面図。

【図11】変形例の半導体装置を示す概略平面図。

【図12】変形例の配線基板を示す概略断面図。

【図13】変形例の配線基板を示す概略斜視図。

【図14】(a)は従来の半導体装置を示す概略平面図、(b)、(c)は従来の半導体装置を示す概略断面図。

【図15】(a)～(d)は、従来の半導体装置の製造方法を説明するための概略断面図。

【図16】(a)～(d)は、従来の半導体装置の製造方法を説明するための概略断面図。

【発明を実施するための形態】

【0029】

以下、添付図面を参照して各実施形態を説明する。尚、添付図面は、構造の概略を説明するためのものであり、実際の大きさを表していない。

(第1実施形態)

以下、第1実施形態を図1～図5に従って説明する。なお、本実施形態において、先の図12～図14で示した従来と同様な構成部分については同一符号を付して説明する。

【0030】

10

20

30

40

50

図1(a)は、本実施形態の半導体装置の概略平面図であり、図1(b)は、図1(a)に示す半導体装置のA-A概略断面図であり、図1(c)は、図1(a)に示す半導体装置のB-B概略断面図である。また、図2は、本実施形態の配線基板1の一部を示す概略斜視図であり、配線基板1の構造が分かりやすいように一部を切り欠いて図示している。

【0031】

図1(a)～(c)に示すように、本実施形態の半導体装置は、配線基板1と、半導体チップ50と、アンダーフィル樹脂52とを有する。

図1(b)に示すように、配線基板1は、基板本体10と、最上層の配線パターン20(最上層配線)と、ソルダレジスト層30, 34と、外部接続用パッド40とを有する。なお、この配線基板1に実装される半導体チップ50は、その回路形成面(図1(b)において下面)に、ペリフェラル状(チップ外周に沿った環状の形態)に配設された複数のバンプ51を備えている(破線参照)。

10

【0032】

基板本体10は、コア基板11と、複数の絶縁層12, 13と、複数の絶縁層12, 13に形成された配線14, 15及びビア16, 17等から構成されている。基板本体10に設けられた配線14, 15及びビア16, 17は、配線パターン20及び外部接続用パッド40を電気的に接続している。なお、配線14, 15やビア16, 17の材料としては、例えば銅(Cu)を用いることができる。また、絶縁層12, 13の材料としては、例えばエポキシ系の絶縁性樹脂を用いることができる。

20

【0033】

配線パターン20は、基板本体10のチップ実装面側(図1(b)において上面側)に設けられている。この配線パターン20は、半導体チップ50のバンプ51が接続されるパッド21を有する。なお、配線パターン20(パッド21)の材料としては、例えば銅を用いることができる。

【0034】

ソルダレジスト層30は、配線パターン20を覆うように基板本体10のチップ実装面側に設けられている。ソルダレジスト層30の材料としては、例えばエポキシ系の絶縁性樹脂を用いることができる。このソルダレジスト層30には、上記パッド21となる配線パターン20を露出させるために、パッド形成領域を含む領域に凹部30aが形成されている。また、このソルダレジスト層30は、凹部30aに対応する領域に形成されたソルダレジスト層31と、凹部30aよりも外側領域に形成されたソルダレジスト層32と、凹部30aよりも内側領域に形成されたソルダレジスト層33とを含む。なお、ソルダレジスト層31とソルダレジスト層32とソルダレジスト層33とは一体に形成されている。

30

【0035】

ここで、上記凹部30aの形状について以下に詳述する。まず、ここでは半導体チップ50のバンプ51がペリフェラル状に配設されているため、その配設形態に応じて配線基板1に形成されるパッド21も配線基板1の外周に沿って環状に配列されている(図1(a)参照)。すなわち、上記パッド形成領域がチップ実装領域CA(図1(a)の太線枠参照)に沿って環状に形成されている。このため、上記凹部30aもチップ実装領域CAに沿って環状に形成され、且つ帯状に形成されている。さらに詳述すると、この凹部30aは、その外側のエッジがチップ実装領域CAの外周に沿ってその外周の外側に位置するように形成されている。すなわち、凹部30aは、その外枠がチップ実装領域CAよりも大きく形成されている。

40

【0036】

このような形状の凹部30aでは、配線パターン20の一部がパッド21として露出されるとともに(図1(b)参照)、パッド21以外の部分にはソルダレジスト層31が形成されている(図1(c)参照)。このため、図1(c)に示すように、隣接するパッド21間にはソルダレジスト層31が形成されている。さらに、ソルダレジスト層31は、

50

図1(c)及び図2に示すように、その上面がパッド21の上面よりも高く形成されている。このようにパッド21側面がソルダレジスト層31(絶縁層)により覆われており、その絶縁層に段差が形成されていることにより、はんだの流れ出しを防止すると共にはんだ62(図5(a)参照)の高さを高く保つことが可能となる。さらに、はんだの高さを高く保つことにより、配線基板1と半導体チップ50との間隔を広げることができ、アンダーフィル樹脂52の流動性を向上させることができる。

【0037】

さらに詳述すると、隣接パッド間に形成されたソルダレジスト層31には、湾曲状に凹む湾曲部31a(図4(b)参照)が形成されている。このような湾曲部31aによってアンダーフィル樹脂52の流動性を向上させることができ、ひいてはアンダーフィル樹脂52の充填性を向上させることができる。

10

【0038】

また、図2に示すように、上記ソルダレジスト層31は、その上面がソルダレジスト層32, 33の上面よりも低く形成されている。このため、ソルダレジスト層31とソルダレジスト層32との境界部分に段差部D2が形成されるとともに、ソルダレジスト層31とソルダレジスト層33との境界部分に段差部D3が形成されている。ここで、ソルダレジスト層31, 32の境界部分に形成される段差部D2は、従来のダム100と同様の機能を有する。すなわち、段差部D2は、配線基板1と半導体チップ50との間にアンダーフィル樹脂52を充填する際に、アンダーフィル樹脂52が必要以上に流れ出ないように、そのアンダーフィル樹脂52をせき止める機能を有する。なお、この段差部D2は、図1(a)に示すように、平面視において、半導体チップ50の外形枠よりも外側に位置するように形成されている。

20

【0039】

図1(b)、(c)に示すように、外部接続用パッド40は、基板本体10のチップ実装面と反対側(図1(b)において下面側)に形成されたソルダレジスト層34から露出するように設けられている。この外部接続用パッド40は、マザーボード等の実装基板と接続される外部接続端子を配設するためのパッドである。

30

【0040】

半導体チップ50は、このように構成された配線基板1にフリップチップ接合される。すなわち、半導体チップ50は、回路形成面に配設されたバンプ51を介して、配線基板1のパッド21と電気的に接続される。

【0041】

アンダーフィル樹脂52は、配線基板1と半導体チップ50との隙間を充填するように設けられている。このアンダーフィル樹脂52は、バンプ51とパッド21との接続部分の接続強度を向上させると共に、配線パターン20の腐食やエレクトロマイグレーションの発生を抑制し、配線パターン20の信頼性の低下を防ぐための樹脂である。なお、アンダーフィル樹脂52の材料としては、例えばエポキシ樹脂を用いることができる。

40

【0042】

次に、このように構成された半導体装置の製造方法を図3～図5に従って説明する。なお、配線パターン20を形成するまでの工程及び配線基板1の下面側の外部接続用パッド40を形成する工程は、先の図15及び図16で説明した方法等の公知の方法により製造することができるため、ここでは詳細な説明を省略する。

【0043】

まず、配線基板1の製造方法を図3及び図4に従って説明する。

図3(a)に示すように、基板本体10の上面側に形成された配線パターン20を覆うように絶縁層(例えばソルダレジスト層)30を形成する。このソルダレジスト層30は、液状レジストを用いる場合には、スクリーン印刷法、スプレーコート法やロールコート法などの方法により形成することができる。また、フィルム状のソルダレジストを基板本体10の上面にラミネートすることで、上記ソルダレジスト層30を形成することもできる。なお、このときのソルダレジスト層30の厚さは、例えば25μmとすることができます。

50

る。また、配線パターン 20 (パッド 21) の材料として銅を用いた場合には、パッド 21 の厚さは、例えば 15 μm とすることができます。

【0044】

次に、図 3 (b) 及び図 4 (a) に示すように、ソルダレジスト層 30 上に貼り付けたドライフィルムレジストを露光・現像によりパターニングして、パッド形成領域に対応する所定パターンの開口部 60a を持つサンドblast 保護用のマスク 60 を形成する。すなわち、ソルダレジスト層 30 に形成される凹部 30a と同様の形状 (環状及び帯状) の開口部 60a を持つマスク 60 を形成する (A-A 断面については図 3 (b)、B-B 断面については図 4 (a) 参照)。

【0045】

続いて、図 3 (c) 及び図 4 (b) に示すように、マスク 60 の開口部 60a を通じてソルダレジスト層 30 にサンドblast 法を施す (サンドblast 工程)。すなわち、マスク 60 の開口部 60a に砥粒 61 を吹き付けてソルダレジスト層 30 (ソルダレジスト層 31) を所定の厚さまで薄化する。具体的には、図 4 (b) に示すように、薄化されるソルダレジスト層 31 の上面がパッド 21 の上面よりも低くなるように、マスク 60 の開口部 60a を通じてソルダレジスト層 31 を削る。このソルダレジスト層 31 の薄化が進み、配線パターン 20 がパッド 21 として露出されると、このパッド 21 にも砥粒 61 が吹き付けられる。このとき、パッド 21 は金属であり、ソルダレジスト層 31 よりも硬いため、ソルダレジスト層 31 よりも削られにくい。但し、パッド 21 は、砥粒 61 の噴射によってその表面がダメージを受けて広がる (破線枠参照)。このため、パッド 21 付近のソルダレジスト層 31 は、パッド 21 から離れたソルダレジスト層 31 よりも削られにくくなる。これにより、パッド 21 間のソルダレジスト層 31 には、一方のパッド 21 端部から他方のパッド 21 端部の間で湾曲状に凹む湾曲部 31a が形成される。換言すると、このサンドblast 处理では、パッド 21 間のソルダレジスト層 31 に上記湾曲部 31a が形成されるまでソルダレジスト層 31 が薄化される。

【0046】

そして、このようなサンドblast 处理 (薄化工程) によって、ソルダレジスト層 30 に上記凹部 30a が形成され、配線パターン 20 の一部がパッド 21 として露出されるとともに、パッド 21 間に薄化されたソルダレジスト層 31 が形成される。さらに、凹部 30a の形成に伴って、薄化されたソルダレジスト層 31 と凹部 30a よりも外側領域のソルダレジスト層 32 との境界部分に段差部 D2 が形成される。

【0047】

その後、図 3 (d) 及び図 4 (c) に示すように、マスク 60 を除去し、パッド 21 の表面を、ソフトエッチング (例えば Cu ソフトエッチング) することにより清浄にする (エッチング工程)。このとき、図 4 (c) に示すように、パッド 21 の上面がそのパッド 21 の側壁に接するソルダレジスト層 31 の上面よりも低くなるまでパッド 21 をエッチングする。これにより、パッド 21 とソルダレジスト層 31 との境界部分にも段差部 D1 が形成されることになる。なお、本実施形態では、この段差部 D1 の高さがパッド 21 の厚みよりも低くなるように上記パッド 21 のエッチングが実施される。以上の製造工程により、本実施形態の配線基板 1 を製造することができる。

【0048】

次に、上述のように製造された配線基板 1 に半導体チップ 50 を実装する方法を説明する。図 5 (a) に示すように、パッド 21 にプリソルダ等を施すことにより、パッド 21 の上面にはんだ 62 を被着する。このとき、パッド 21 とソルダレジスト層 31 との境界部分に形成された段差部 D1 によって、はんだ 62 が隣接パッドに流れ出ることが抑制されるため、はんだ 62 の高さを高く保つことができる。なお、このはんだ 62 には、例えば共晶はんだや鉛フリーはんだ (Sn (錫) - Ag (銀) 系、Sn - Cu (銅) 系、Sn - Ag - Cu 系など) を用いることができる。

【0049】

次に、図 5 (b) に示すように、はんだ 62 の形成されたパッド 21 上に、半導体チッ

10

20

30

40

50

50 のバンプ 51 をフリップチップ接合する。ここで、本実施形態における凹部 30a は、その外枠の長さ W1 が半導体チップ 50 の外形の長さ W2 よりも長くなるように形成されている。続いて、図 5 (c) に示すように、フリップチップ接合された半導体チップ 50 と配線基板 1 との間に、アンダーフィル樹脂 52 を充填し、そのアンダーフィル樹脂 52 を硬化する。以上の製造工程により、本実施形態の半導体装置を製造することができる。

【0050】

以上説明した本実施形態によれば、以下の効果を奏することができる。

(1) 隣接パッド間に、上面がパッド 21 の上面よりも高いソルダレジスト層 31 を形成するようにした。また、パッド 21 とソルダレジスト層 31 との境界部分に段差部 D1 を形成するようにした。このようにパッド 21 側面がソルダレジスト層 31 (絶縁層) により覆われており、その絶縁層に段差が形成されていることにより、はんだの流れ出しを防止すると共にはんだ 62 (図 5 (a) 参照) の高さを高く保つことが可能となる。すなわち、バンプピッチ及びパッドピッチが狭小化された近年の半導体装置であっても、はんだ 62 の高さを高く保つことができる。これにより、配線基板 1 と半導体チップ 50 との間隔を広げることができるために、アンダーフィル樹脂 52 の流動性を向上させることができ、アンダーフィル樹脂 52 の充填性を向上させることができる。したがって、アンダーフィル樹脂 52 の充填不良等の問題の発生を抑制でき、ひいては半導体装置の歩留まりを向上させることができる。

10

【0051】

(2) さらに、上記段差部 D1 の形成によって、パッド 21 上が溝状になるため、アンダーフィル樹脂 52 にボイドが発生することを抑制することができる。通常、配線基板 1 と半導体チップ 50 との間にアンダーフィル樹脂 52 を充填すると、内側よりも外周側の方がアンダーフィル樹脂 52 の濡れ広がりが早いため、アンダーフィル樹脂 52 は外周側から先に充填され、これよりも遅れて凹部 30a の内側に充填される。このようなアンダーフィル樹脂 52 の流れ速度の違いによってボイドが発生する場合がある。ここで、本実施形態のようにパッド 21 上が溝状になっている場合には、その溝に沿ってアンダーフィル樹脂 52 が凹部 30a の内側に流れやすくなり、凹部 30a の内側におけるアンダーフィル樹脂 52 の流れ速度が早くなる。その一方で、凹部 30a の外周を流れるアンダーフィル樹脂 52 は、上記溝に対して直交する方向に流れることになるため、凹部 30a の外周におけるアンダーフィル樹脂 52 の流れ速度が遅くなる。このため、凹部 30a の内側と外周におけるアンダーフィル樹脂 52 の流れ速度の違いが小さくなるため、ボイドの発生を抑制することができる。これにより、そのボイドに起因する配線基板 1 と半導体チップ 50 との電気的接続信頼性の低下といった問題の発生を抑制でき、ひいては半導体装置の歩留まりを向上させることができる。

20

30

【0052】

(3) ソルダレジスト層 30 の一部を薄化 (除去) することによって、アンダーフィル樹脂 52 をせき止める機能を有する段差部 D2 を形成するようにした。これにより、従来でも形成されているソルダレジスト層を薄化することでダム構造を形成することができるため、従来のダム 100 を形成する場合のように特別にダム部分の材料を追加する必要がない。したがって、製造コストの増大を抑制することができる。さらに、ソルダレジスト層 30 に対して従来のような開口部 90a を形成する代わりに凹部 30a を形成するようになっているため、ダム構造を形成するための製造工程の増大も抑制することができる。

40

【0053】

(4) 隣接パッド間に形成されたソルダレジスト層 31 に湾曲部 31a を形成するようにした。このような滑らかな湾曲状の湾曲部 31a 上をアンダーフィル樹脂 52 が流れることになるため、アンダーフィル樹脂 52 の流動性を向上させることができる。また、上記湾曲部 31a の形成によって、アンダーフィル樹脂 52 が流れる領域における断面直角状の角部を少なくすることができる。これにより、アンダーフィル樹脂 52 に含まれるシリカ等が角部にトラップされることに起因するボイドの発生を好適に抑制することができ

50

る。

【0054】

(5) ソルダレジスト層31, 32の境界部分の段差部D2を、半導体チップ50の外形よりも外側に位置するよう形成した。このような段差部D2によってアンダーフィル樹脂52を効果的にせき止めることができる。すなわち、上記段差部D2によるダムとしての機能を効果的に発揮させることができる。

【0055】

(第2実施形態)

以下、第2実施形態について、図6～図9に従って説明する。この実施形態のソルダレジスト層70の形状及び配線基板の製造方法が上記第1実施形態と異なっている。以下、第1実施形態との相違点を中心に説明する。

10

【0056】

図6(a)は、本実施形態の半導体装置の概略平面図であり、図6(b)は、図6(a)に示す半導体装置のA-A概略断面図であり、図6(c)は、図6(a)に示す半導体装置のB-B概略断面図である。

【0057】

図6(a)～(c)に示すように、本実施形態の半導体装置は、配線基板2と、配線基板2にフリップチップ実装された半導体チップ50と、配線基板2と半導体チップ50との隙間を充填するように配設されたアンダーフィル樹脂52とを有する。

20

【0058】

配線基板2は、基板本体10と、最上層の配線パターン20, 22(最上層配線)と、ソルダレジスト層70と、外部接続用パッド40とを有する。

図6(b)に示すように、配線パターン20のパッドとして露出される部分の上面には、配線パターン22が形成されている。すなわち、パッドとして露出される部分の配線パターン20, 22(第1の最上層配線)は、配線パターン22の分だけ他の配線パターン20よりも厚く形成されている。そして、この配線パターン22は、ソルダレジスト層70からパッドとして露出されている。なお、以下の説明では、配線パターン22をパッド22とも言う。

【0059】

ソルダレジスト層70には、パッド22を露出させるために、パッド形成領域及びそのパッド形成領域の内側領域を含む領域に凹部70aが形成されている。また、このソルダレジスト層70は、凹部70aに対応する領域に形成されたソルダレジスト層71と、凹部70aよりも外側領域に形成されたソルダレジスト層72とを含む。

30

【0060】

ここで、上記凹部70aの形状は、図6(a)に示すように、チップ実装領域CAの外周に沿って四角形状に形成されている。さらに詳述すると、この凹部70aは、そのエッジがチップ実装領域CAの外周に沿ってその外周の外側に位置するように形成されている。

。

【0061】

このような形状の凹部70aでは、図6(b)に示すように、パッド形成領域よりも内側領域に対応する部分に形成された配線パターン20は露出されずに、配線パターン22のみがパッドとして露出される。また、図6(c)に示すように、凹部70aでは、パッド22以外の部分にはソルダレジスト層71が形成されている。このため、隣接するパッド22間にはソルダレジスト層71が形成されている。さらに、ソルダレジスト層71は、その上面がパッド22の上面よりも高く形成されている。なお、図6(c)では図示を省略しているが、図4(c)と同様に、隣接パッド間に形成されたソルダレジスト層71には、湾曲状に凹む湾曲部が形成されている。

40

【0062】

また、上記ソルダレジスト層71は、その上面がソルダレジスト層72の上面よりも低く形成されている。このため、ソルダレジスト層71とソルダレジスト層72との境界部

50

分に段差部 D 4 が形成されている。この段差部 D 4 は、従来のダム 100 と同様の機能を有する。

【 0 0 6 3 】

次に、このように構成された半導体装置の製造方法を図 7 ~ 図 9 に従って説明する。なお、配線パターン 20 を形成するまでの工程及び配線基板 2 の下面側の外部接続用パッド 40 を形成する工程は、先の図 15 及び図 16 で説明した方法等の公知の方法により製造することができるため、ここでは詳細な説明を省略する。

【 0 0 6 4 】

まず、配線基板 2 の製造方法を図 7 及び図 8 に従って説明する。

図 7 (a) に示すように、配線パターン 20 を形成した後に、シード層 S 1 を除去せず、配線パターン 20 の形成の際に使用したレジストを除去する。次に、図 7 (b) に示すように、配線パターン 20 上に貼り付けたドライフィルムレジスト 80 を露光・現像によりパターニングして、配線パターン 20 上のパッド 22 として露出される部分に開口部 80a を形成する。なお、配線基板 2 の下面側については特に限定されないが、ここでは下面全面を覆うようにドライフィルムレジスト 81 を形成している。続いて、図 7 (c) に示すように、上記シード層 S 1 を給電層とする電解銅めっきによって配線パターン 22 を形成する。これにより、パッドとして露出される部分の配線パターン 20, 22 を他の配線パターン 20 よりも厚く形成することができる。その後、図 7 (d) に示すように、ドライフィルムレジスト 80, 81 及び不要なシード層 S 1, S 2 を除去する。

10

【 0 0 6 5 】

次に、図 8 (a) に示すように、配線パターン 20, 22 を覆うようにソルダレジスト層 70 を形成する。なお、このソルダレジスト層 70 の形成方法は、上記第 1 実施形態と同様である。

20

【 0 0 6 6 】

次に、図 8 (b) に示すように、ソルダレジスト層 70 上に貼り付けたドライフィルムレジストを露光・現像によりパターニングして、上記凹部 70a に対応する所定パターンの開口部 82a を持つサンドプラス保護用のマスク 82 を形成する。

30

【 0 0 6 7 】

続いて、図 8 (c) に示すように、マスク 82 の開口部 82a を通じてソルダレジスト層 70 にサンドプラス法を施す。すなわち、マスク 82 の開口部 82a に砥粒 83 を吹き付けてソルダレジスト層 70 を、配線パターン 22 が露出するまで薄化する。このようなサンドプラス処理によって、ソルダレジスト層 70 に上記凹部 70a が形成され、配線パターン 22 がパッドとして露出されるとともに、隣接パッド間に薄化されたソルダレジスト層 71 が形成される。さらに、この凹部 70a の形成に伴って、薄化されたソルダレジスト層 71 と凹部 70a よりも外側領域のソルダレジスト層 72 との境界部分に段差部 D 4 が形成される。

【 0 0 6 8 】

その後、図 8 (d) に示すように、マスク 82 を除去し、パッド 22 の表面を、ソフトエッチングすることにより清浄にする。このとき、パッド 22 の上面がそのパッド 22 の側壁に接するソルダレジスト層 71 の上面よりも低くなるまでパッド 22 をエッチングする。これにより、パッド 22 とソルダレジスト層 71 との境界部分にも段差部 D 5 が形成されることになる。以上の製造工程により、本実施形態の配線基板 2 を製造することができる。

40

【 0 0 6 9 】

次に、上述のように製造された配線基板 2 に半導体チップ 50 を実装する方法を説明する。図 9 (a) に示すように、上述のように製造された配線基板 2 のパッド 21 上に、上記第 1 実施形態で説明した方法と同様に、半導体チップ 50 のバンブ 51 をフリップチップ接合する。ここで、本実施形態における凹部 70a は、その外枠の長さ W 1 が半導体チップ 50 の外形の長さ W 2 よりも長くなるように形成されている。続いて、図 9 (b) に示すように、フリップチップ接合された配線基板 2 と半導体チップ 50 との間に、アンダ

50

ーフィル樹脂52を充填し、そのアンダーフィル樹脂52を硬化する。これにより、半導体装置が製造される。

【0070】

以上説明した実施形態によれば、第1実施形態の(1)～(5)の効果に加えて以下の効果を奏する。

(6)ソルダレジスト層70に、パッド形成領域及びそのパッド形成領域の内側領域を含む四角形状の凹部70aを形成するようにした。これにより、アンダーフィル樹脂52が流れるソルダレジスト層71を平坦に形成することができる。このため、アンダーフィル樹脂52の流動性をより向上させることができる。

【0071】

(第3実施形態)

以下、第3実施形態について、図10に従って説明する。この実施形態のソルダレジスト層31～33によって形成される段差部D2a, D3aの形状が上記第1実施形態と異なっている。以下、第1実施形態との相違点を中心に説明する。

【0072】

図10(a)は、本実施形態の半導体装置の概略平面図であり、図10(b)は、図10(a)に示す半導体装置のA-A概略断面図であり、図10(c)は、図10(a)に示す半導体装置のB-B概略断面図である。

【0073】

図10(a)～(c)に示すように、本実施形態の半導体装置は、配線基板3と、配線基板3にフリップチップ実装された半導体チップ50と、配線基板3と半導体チップ50との隙間を充填するように配設されたアンダーフィル樹脂52とを有する。

【0074】

配線基板3は、基板本体10と、最上層の配線パターン20と、ソルダレジスト層30と、外部接続用パッド40とを有する。

ソルダレジスト層30には、パッド21となる配線パターン20を露出させるために、パッド形成領域を含む領域に凹部30bが形成されている。このソルダレジスト層30は、凹部30bに対応する領域に形成されたソルダレジスト層31と、凹部30bよりも外側領域に形成されたソルダレジスト層32と、凹部30bよりも内側領域に形成されたソルダレジスト層33とを含む。なお、ソルダレジスト層31とソルダレジスト層32とソルダレジスト層33とは一体に形成されている。

【0075】

上記ソルダレジスト層31は、その上面がソルダレジスト層32, 33の上面よりも低く形成されている。このため、図10(b), (c)に示すように、ソルダレジスト層31とソルダレジスト層32との境界部分に段差部D2aが形成されるとともに、ソルダレジスト層31とソルダレジスト層33との境界部分に段差部D3aが形成されている。さらに、これら段差部D2a, D3aには、傾斜部K1, K2がそれぞれ形成されている。具体的には、段差部D2aには、ソルダレジスト層32のエッジE1から配線基板3の中央側に向けて下方に傾斜される傾斜部K1が形成されている。また、段差部D3aには、ソルダレジスト層33のエッジから配線基板3の周辺側に向けて下方に傾斜される傾斜部K2が形成されている。このような傾斜部K1, K2により、段差部D2a, D3a(の傾斜部K1, K2)と被実装体の実装面(ソルダレジスト層31の上面やパッド21の上面)とがなす角度が鈍角となる。このため、アンダーフィル樹脂52の流動性が向上し、ボイドの発生を好適に抑制することができる。なお、上記段差部D2aは、従来のダム100としての機能も有する。

【0076】

次に、ソルダレジスト層30の凹部30bの形状について説明する。凹部30bの形状は、図10(a)に示すように、チップ実装領域CAの外周に沿って環状及び帯状に形成されている。さらに詳述すると、この凹部30bは、段差部D2aのソルダレジスト層32側(上面側)のエッジE1がチップ実装領域CAの外周に沿ってその外周の外側に位置

10

20

30

40

50

するように形成されている。すなわち、凹部 30b は、平面視において段差部 D2a の上面側のエッジ E1 がチップ実装領域 CA よりも大きく形成され、その外枠がチップ実装領域 CA よりも広く開口されている。また、この凹部 30b は、図 1 (b), (c) に示すように、段差部 D2a のソルダレジスト層 31 側 (下面側) のエッジ E2 がチップ実装領域 CA の外周に沿ってその外周の外側に位置するように形成されている。なお、このエッジ E2 がチップ実装領域 CA の外周の内側に位置するように形成されてもよく、エッジ E2 がチップ実装領域 CA の外周と重なるように形成されてもよい。

【0077】

以上説明した実施形態によれば、第 1 実施形態の (1) ~ (5) の効果に加えて以下の効果を奏する。

(7) ソルダレジスト層 31 ~ 33 によって形成される段差部 D2a, D3a に傾斜部 K1, K2 をそれぞれ形成するようにした。このような傾斜部 K1, K2 上をアンダーフィル樹脂 52 が流れることになるため、アンダーフィル樹脂 52 の流動性を向上させることができる。また、上記傾斜部 K1, K2 の形成によって、アンダーフィル樹脂 52 が流れる領域における断面直角状の角部を少なくすることができる。これにより、アンダーフィル樹脂 52 中のボイドが角部にトラップされることを好適に抑制することができる。

【0078】

(他の実施形態)

なお、上記実施形態は、これを適宜変更した以下の態様にて実施することもできる。

・上記各実施形態におけるソルダレジスト層 30, 70 の凹部 30a, 70a の形状は特に制限されない。例えば図 11 に示されるように、凹部 30c を、平面視において角部のない形状となるように形成してもよい。すなわち、平面視において凹部 30c の四隅等が曲線状になるように形成してもよい。

【0079】

・上記第 2 実施形態の凹部 70a のように四角形状の凹部をソルダレジスト層に形成するとともに、第 1 実施形態の製造方法によって配線基板を製造するようにしてもよい。この場合、図 12 に示すように、最上層の配線パターン 20 上に形成されたソルダレジスト層 75 には、パッド形成領域及びそのパッド形成領域よりも内側領域を含む四角形状の凹部 75a が形成される。さらに、凹部 75a は、その凹部 75a に対応する位置に形成された配線パターン 20 (パッド 21 以外の配線パターン 20 も含む) を露出するように、その凹部 75a に対応するソルダレジスト層 76 が薄化されることで形成される。なお、薄化されたソルダレジスト層 76 の上面が配線パターン 20 の上面よりも高くなるように、ソルダレジスト層 76 及び配線パターン 20 が形成される。

【0080】

・上記第 3 実施形態における傾斜部 K1 が曲面を有するように段差部 D2a を形成するようにしてもよい。また、傾斜部 K2 が曲面を有するように段差部 D3a を形成するようにしてもよい。

【0081】

・上記第 2 実施形態における段差部 D4 を、上記第 3 実施形態の段差部 D2a と同様に、傾斜部を有するように形成するようにしてもよい。

・上記各実施形態では、ペリフェラル状に配設されたパッド 21, 22 を有する配線基板 1 ~ 3 に具体化した。これに限らず、例えば図 13 に示すように、マトリクス状に配設されたパッド 23 を有する配線基板 4 に具体化してもよい。この場合には、例えばパッド 23 の形成される領域を含む領域に対応する部分のソルダレジスト層 77 を、それよりも外側に形成されたソルダレジスト層 78 よりも薄化することで、凹部 77a を形成するとともに、パッド 23 を露出する。さらに、ソルダレジスト層 77, 78 の境界部分に段差部 D6 を形成する。また、薄化されたソルダレジスト層 77 の上面がパッド 23 の上面よりも高くなるように、ソルダレジスト層 77 及びパッド 23 を形成する。

【0082】

・上記各実施形態では、サンドブラスト処理によりソルダレジスト層 30, 70 の薄化

10

20

30

40

50

(除去)を行ったが、これに限定されない。例えば樹脂エッキングやレーザ加工などによりソルダレジスト層30,70の薄化を行うようにしてもよい。

【0083】

・上記各実施形態において、パッド21,22以外で露出の必要な配線パターン20がある場合には、その露出の必要な領域のソルダレジスト層30,70をフォトリソグラフィ法により除去すればよい。また、印刷マスク等を利用して上記露出の必要な領域に予めソルダレジスト層30,70を形成しないようにしてもよい。

【0084】

・上記各実施形態のパッド21,22間に形成されたソルダレジスト層31,71における湾曲部31aの形成を省略してもよい。

・上記各実施形態では、配線基板1~3に半導体チップ50を実装する場合について説明したが、被実装体としては半導体チップ50に制限されない。例えば配線基板1~3の上に別の配線基板を積み重ねる構造を有するフリップチップ実装タイプのパッケージ(パッケージ・オン・パッケージ)にも、本発明を適用することが可能である。

【0085】

・上記各実施形態において、配線パターン20の下層の構造については特に限定されない。例えばコア基板11の構造及び材質は特に限定されない。また、コア基板11上に形成される下層配線(上記各実施形態では配線14,15)とそれを覆う絶縁層(上記各実施形態では絶縁層12,13)の層数についても特に限定されない。すなわち、コア基板11上に所定数の下層配線とそれを覆う絶縁層を形成してもよい。なお、配線パターン20のパターン形状についても特に限定されない。

【0086】

・上記各実施形態において、配線パターン20を形成するまでの工程及び配線基板1,2の下面側の外部接続用パッド40を形成する工程は、図15及び図16の製造方法に特に限定されない。

【0087】

・上記各実施形態における配線パターン20上に形成されるのは、ソルダレジスト層30,70に限定されず、絶縁層であれば良い。

【符号の説明】

【0088】

- 1, 2, 3, 4 配線基板
- 20 配線パターン(最上層配線)
- 21, 22, 23 パッド
- 30, 70, 75 ソルダレジスト層(絶縁層)
- 30a, 30b, 30c, 70a, 75a, 77a 凹部
- 31, 71, 76, 77 ソルダレジスト層(第1の絶縁層)
- 32, 72, 78 ソルダレジスト層(第2の絶縁層)
- 31a 湾曲部
- 50 半導体チップ(被実装体、半導体素子)
- 60, 82 マスク
- 60a, 82a 開口部
- D2, D2a, D4, D6 段差部(第1の段差部)
- D1, D5 段差部(第2の段差部)
- K1 傾斜部
- E1 エッジ

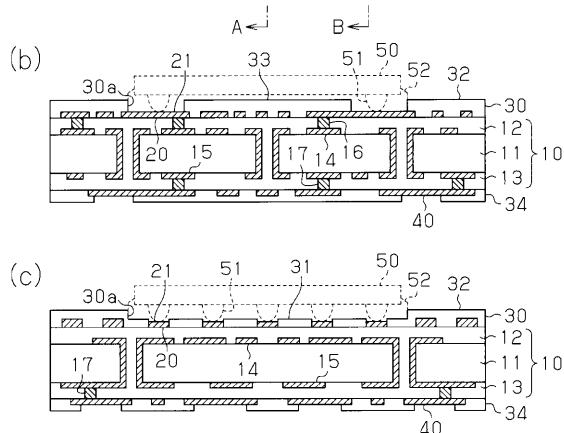
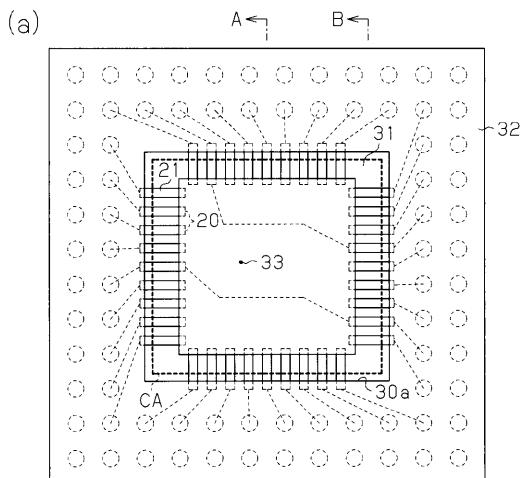
10

20

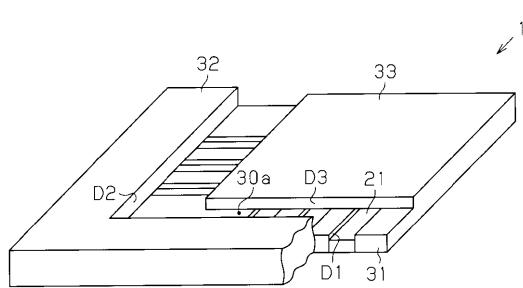
30

40

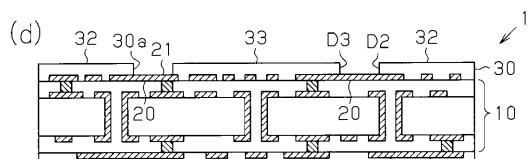
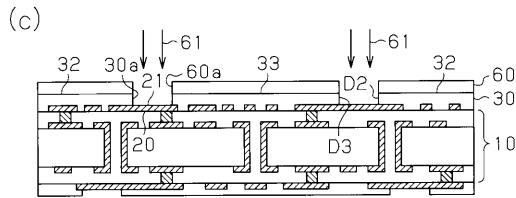
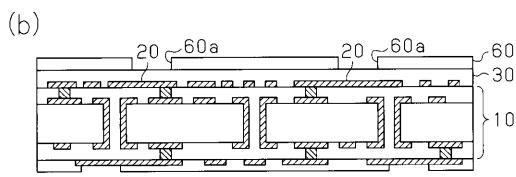
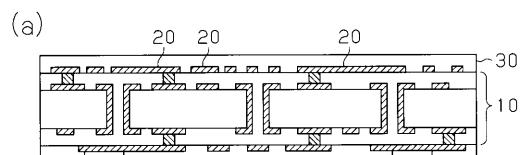
【図1】



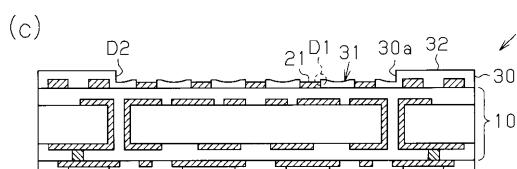
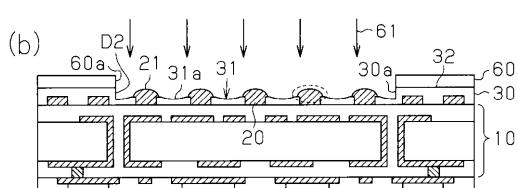
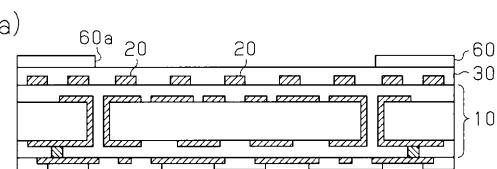
【図2】



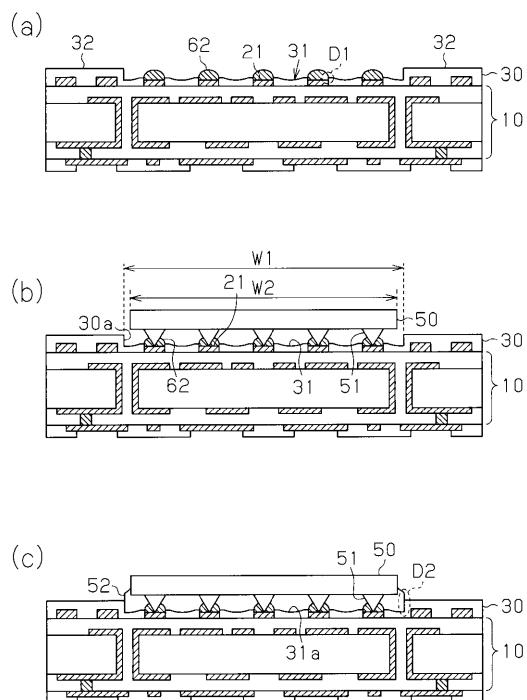
【図3】



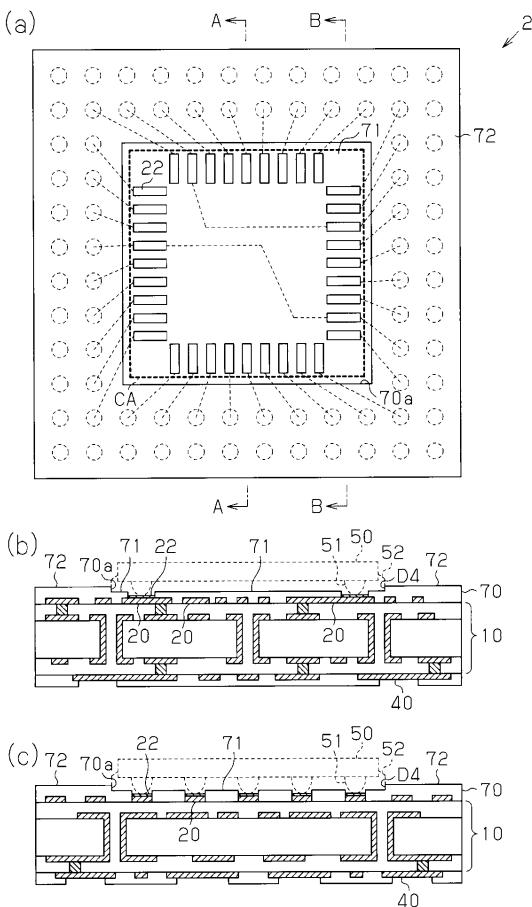
【図4】



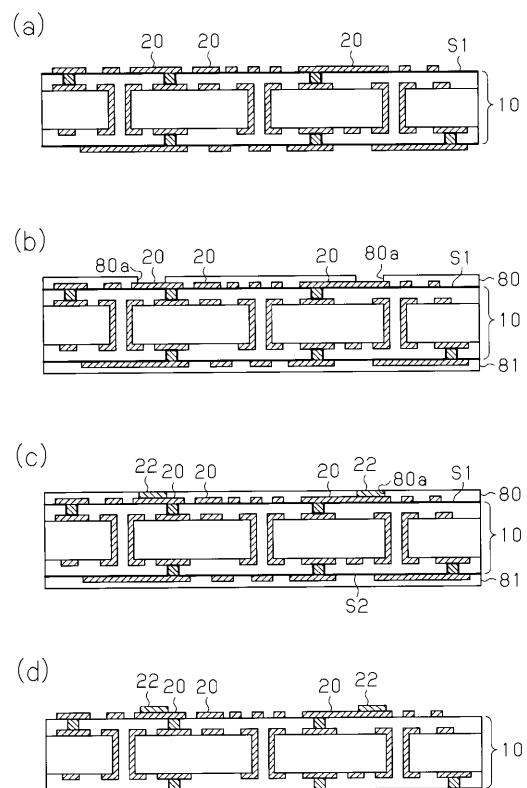
【図5】



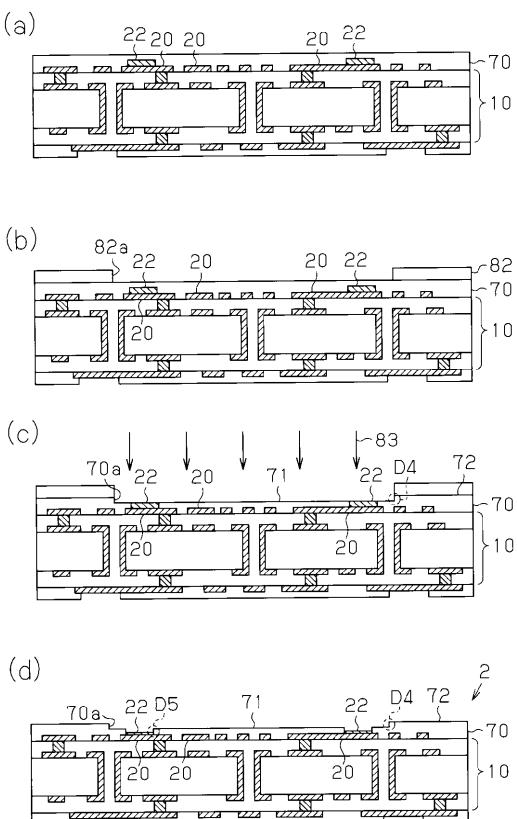
【図6】



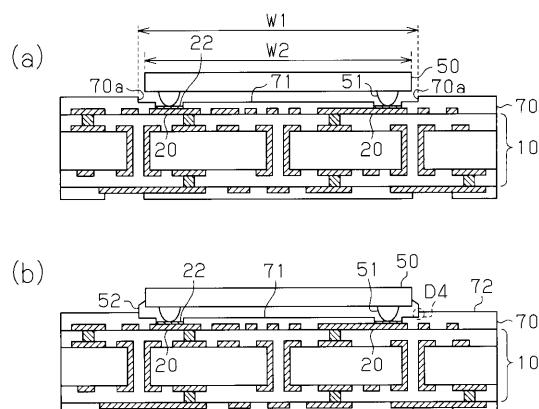
【図7】



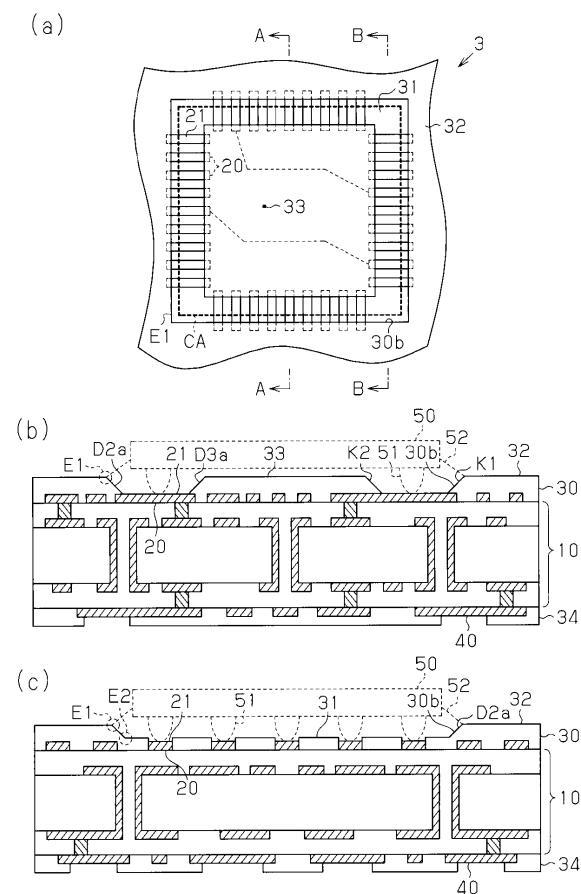
【図8】



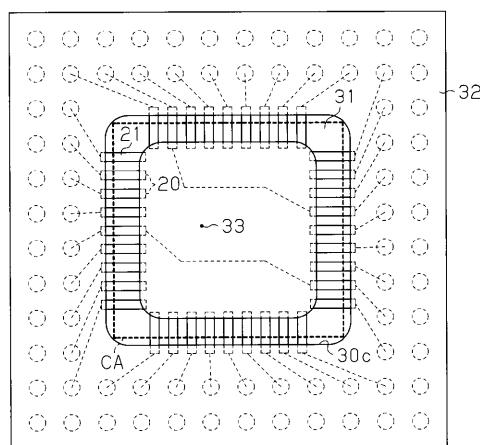
【図 9】



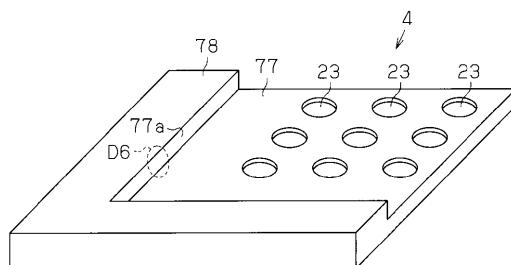
【図 10】



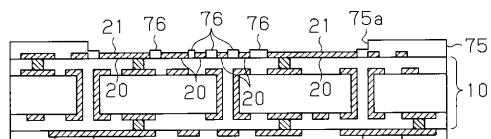
【図 11】



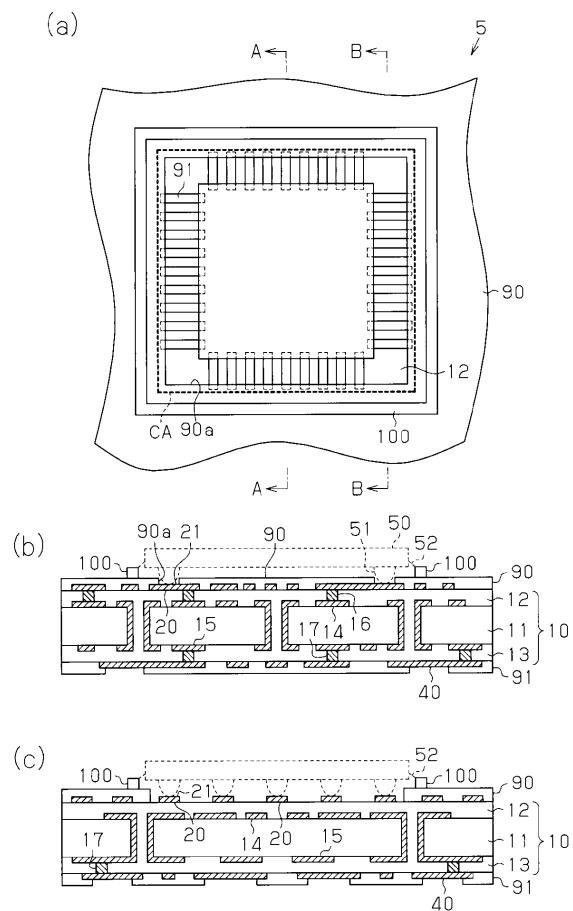
【図 13】



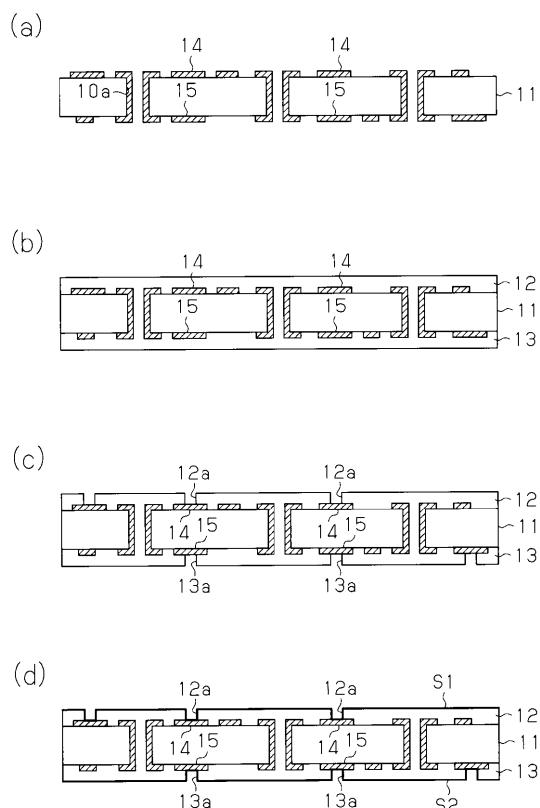
【図 12】



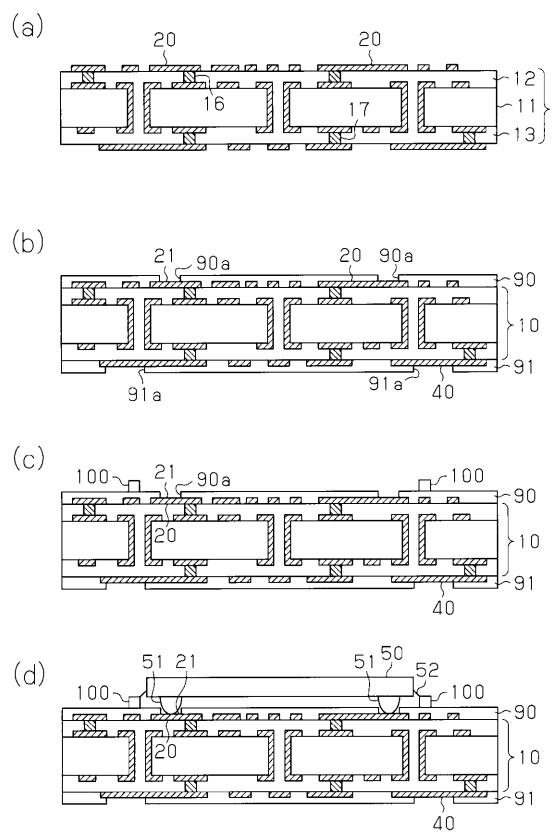
【図14】



【図15】



【図16】



フロントページの続き

F ターム(参考) 5E319 AA03 AA07 AA10 AB05 AC02 AC16 BB05 BB08 CC33 GG15