



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I552338 B

(45)公告日：中華民國 105 (2016) 年 10 月 01 日

(21)申請案號：103139370

(22)申請日：中華民國 103 (2014) 年 11 月 13 日

(51)Int. Cl. : H01L29/04 (2006.01)

(30)優先權：2013/12/18 世界智慧財產權組織 PCT/US13/76197

(71)申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)
美國

(72)發明人：全箕玟 JUN, KIMIN (KR)；摩洛 派翠克 MORROW, PATRICK (US)

(74)代理人：林志剛

(56)參考文獻：

TW 201334045A

TW 201344909A

TW 201349457A

CN 100533740C

審查人員：趙芝婷

申請專利範圍項數：25 項 圖式數：22 共 38 頁

(54)名稱

異質層裝置

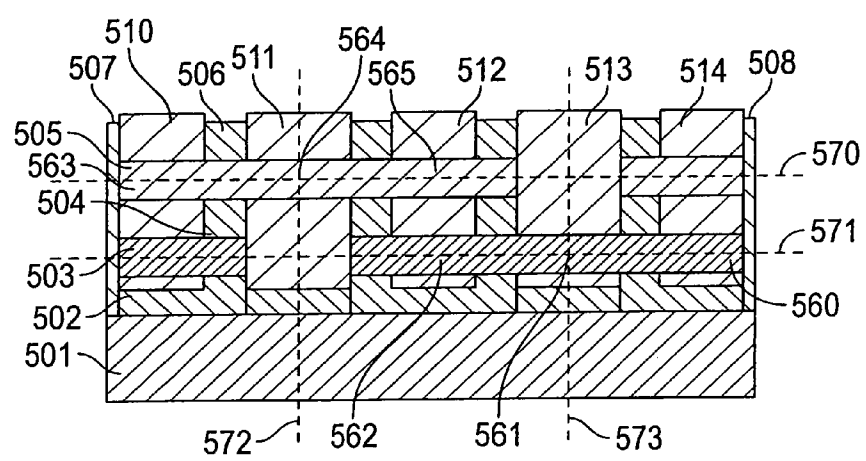
HETEROGENEOUS LAYER DEVICE

(57)摘要

一實施例包括一設備，該設備包含：一 N 型層包含具有均與一第一橫軸相交之一 N 型通道、一源極及一汲極之一 NMOS 裝置，該第一橫軸與一基材平行；一 P 型層包含具有均與一第二橫軸相交之一 P 型通道、一源極及一汲極之一 PMOS 裝置，該第二橫軸與該基材平行；一第一閘極，對應該 N 型通道，其與該第二橫軸相交；以及一第二閘極，對應該 P 型通道，其與該第一橫軸相交。其它實施例將在文中描述。

An embodiment includes an apparatus comprising: an N layer comprising an NMOS device having a N channel, source, and drain that are all intersected by a first horizontal axis that is parallel to a substrate; a P layer comprising a PMOS device having a P channel, source, and drain that are all intersected by a second horizontal axis that is parallel to the substrate; a first gate, corresponding to the N channel, which intersects the second horizontal axis; and a second gate, corresponding to the P channel, which intersects the first horizontal axis. Other embodiments are described herein.

指定代表圖：



第 8 圖

符號簡單說明：

- 501 . . . 基材
- 502、504、
- 506 . . . 層間介電質
- 503 . . . P 型層
- 505 . . . N 型層
- 510、511、512、
- 513、514 . . . 接觸
- 507、508 . . . 絕緣層部分
- 560 . . . 源極
- 561 . . . P 型通道
- 562、563、
- 565 . . . 汲極
- 564 . . . N 型通道
- 570、571 . . . 橫軸
- 572、573 . . . 垂直軸

發明摘要

公告本

※申請案號：103139370

※申請日：103 年 11 月 13 日

※IPC 分類：H01L 29/04 (2006.01)

【發明名稱】(中文/英文)

異質層裝置

Heterogeneous layer device

【中文】

一實施例包括一設備，該設備包含：一 N 型層包含具有均與一第一橫軸相交之一 N 型通道、一源極及一汲極之一 NMOS 裝置，該第一橫軸與一基材平行；一 P 型層包含具有均與一第二橫軸相交之一 P 型通道、一源極及一汲極之一 PMOS 裝置，該第二橫軸與該基材平行；一第一閘極，對應該 N 型通道，其與該第二橫軸相交；以及一第二閘極，對應該 P 型通道，其與該第一橫軸相交。其它實施例將在文中描述。

【英文】

An embodiment includes an apparatus comprising: an N layer comprising an NMOS device having a N channel, source, and drain that are all intersected by a first horizontal axis that is parallel to a substrate; a P layer comprising a PMOS device having a P channel, source, and drain that are all intersected by a second horizontal axis that is parallel to the substrate; a first gate, corresponding to the N channel, which intersects the second horizontal axis; and a second gate, corresponding to the P channel, which intersects the first horizontal axis. Other embodiments are described herein.

【代表圖】

【本案指定代表圖】：第(8)圖。

【本代表圖之符號簡單說明】：

- 501：基材
502、504、506：層間介電質
503：P型層
505：N型層
510、511、512、513、514：接觸
507、508：絕緣層部分
560：源極
561：P型通道
562、563、565：汲極
564：N型通道
570、571：橫軸
572、573：垂直軸

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

異質層裝置

Heterogeneous layer device

【技術領域】

[0001] 一實施例係有關於晶格不匹配之半導體裝置的處理。

【先前技術】

[0002] 各種電子和光電裝置可透過開發，例如，高品質 III-V 族半導體於矽(Si)元素基材上或 IV 族半導體於矽基材上而實現。能實現 III-V 族或 IV 族材料效能優點的表面層能夠主管各種高性能電子裝置，比如互補式金氧半導體(CMOS)和量子井(quantum well, QW)電晶體，此等裝置係以極高移動率之材料製成，上述材料如(但不限制於下列幾種)，銻化銾(indium antimonide, InSb)、砷化銾(indium arsenide, InAs)、鍺(germanium, Ge)及矽化鍺(silicon germanium, SiGe)。光學裝置如雷射(lasers)、檢測器(detectors)和光伏元件(photovoltaic)，以及電子裝置也可以從其他各種直接能隙材料製成，上述直接能隙材料如(但不限制於下列幾種)，砷化鎵(gallium arsenide, GaAs)及砷化銾鎵(indium gallium

arsenide, InGaAs)。

[0003] 然而，於矽基材上成長 III-V 族及 IV 族材料遭遇許多挑戰。晶格不匹配、極性-非極性不匹配及 III-V 族半導體磊晶 (EPI) 層與矽半導體基材間或 IV 族半導體磊晶 (EPI) 層與矽半導體基材間的熱錯配 (thermal mismatch)。當磊晶層與基材間的晶格不匹配超過幾個百分比，晶格不匹配所造成之應力 (strain) 會變過大且會在磊晶層裡產生缺陷 (defect)。當薄膜厚度大於臨界厚度 (critical thickness) (也就是薄膜在小於此厚度時可承受完全應力，當薄膜大於此厚度時局部應力將被釋放)，則藉由在薄膜與基材的介面以及磊晶薄膜內產生錯合差排 (misfit dislocation) 來釋放應力。磊晶的晶體缺陷可能為螺紋狀差排 (threading dislocations)、疊層缺陷 (stacking faults) 和雙晶 (twins) 之形態。許多的缺陷，特別是螺紋狀差排和雙晶，易蔓延進入半導體裝置製造所在的“裝置層”。一般而言，缺陷產生的嚴重程度與 III-V 族半導體與矽基材間的晶格不匹配程度或 IV 族半導體與矽基材間的晶格不匹配程度有關。

【圖式簡單說明】

[0004] 本發明之實施例的特徵和優點根據所附之申請專利範圍、以下詳細描述的一個或多個示範實施例及其所相應的圖而顯而易見，其中：

第 1 圖至第 4 圖係繪示習用層轉移程序；

第 5 圖至第 8 圖係繪示本發明之一實施例以一次微影和一次圖形化步驟來製造一異質通道裝置之步驟；

第 9 圖至第 15 圖係繪示本發明一實施例之垂直式異質通道裝置之製程程序；且

第 16 圖至第 22 圖係繪示本發明一實施例之共閘極裝置之製程程序。

【發明內容及實施方式】

[0005] 現在參考圖示，其中相似的裝置結構搭配相似的編號。為了使各實施例的結構能清楚呈現，本文所含的圖示為概略表示的半導體/電路結構。所以，所製備出的積體電路結構的真實外觀如在顯微照片中也許會顯得不同，但仍整併有例示實施例申請專利範圍的結構。此外，圖示可能僅示出有助於理解所描述的實施例之結構。其他為本領域習用之結構在為了使圖示能清楚表達的前提下可能不包含在圖內。例如，半導體裝置內每一層不一定需要示出。『一實施例』、『不同實施例』或此類類似表述之實施例可能包含特定特徵、結構或特性，但不是每一實施例必需包含該等特定特徵、結構或特性。一些實施例裡可能具有其他實施例所述之部分、全部的特徵，或不具有其他實施例所述的特徵。『第一』、『第二』、『第三』等描述了一個共同物件，並表示正指涉類似物件的不同實例。這樣的形容詞並不暗示此描述的物件一定在給定的順序，無論是在時間上、空間上、排序上或以任何其他方

式。『連接』可能表示元件彼此直接物理接觸或電性接觸，而『耦合』可表示元件彼此合作或互動，但不代表元件必需直接物理接觸或電性接觸。另外，相似或相同的號碼被使用來指定不同圖示中相同或相似部分，這樣做並不意味包括相似或相同的數字的所有圖示代表構成了單一的或相同的實施例。

[0006] 用以處理晶格不匹配的習用技術包括深寬比捕捉（Aspect Ratio Trapping, ART），ART 係基於於一特定角度向上蔓延的螺紋狀差排。ART 中，是將具有足夠大之深寬比之凹溝形成在第一半導體層（S1）內，進而使位於凹溝中的第二半導體層（S2）內之缺陷分布終止於凹溝的側壁，而終止部分上方的其他部分是沒有缺陷的。上述的凹溝可以包含或不包含一阻障層。

[0007] 另一習用之技術用以解決晶格不匹配問題之結構係利用沉積一厚緩衝層（比如：0.5 微米或比 0.5 微米稍厚）來橋接，介於 S1 基材及感興趣層（比如：裝置層包含 III-V 族材料之 S2 及其他均等材料）之間之晶格常數差。但此一習用之技術需經過複雜退火及組成物分級（compositional grading）步驟使缺陷透過厚緩衝層相互「拗折」已達到消除缺陷。但許多厚緩衝層技術是耗時、昂貴、產生不良粗糙表面及最低缺陷密度仍高等缺點。

[0008] 進一步，由於尺度微縮及裝置微小化，能容置凹溝或凹井的空間變小。由於，微縮緩衝層並不容易。因此，緩衝層須與 ART 結構耦合。雖然 ART 能夠減低轉

換層 (transition layer) /緩衝層的所需厚度，但 ART 本身仍需要很高的深寬比之圖案化 (patterning) 製程。且由於尺度微縮，製造很高的深寬比之結構的製程也因裝置微小化之可用結構 (比如：凹溝) 之空間減少而變困難。然一些群組具有相似的晶格常數 (lattice parameter) 之材料 (比如：銻與砷化銻)，於相互整合於一異質結構方式在未使用緩衝層 (或使用較薄緩衝層) 下取得有限的成功。

[0009] 除了上述 ART 及緩衝層技術外，亦有透過層轉移來異質整合不同晶格常數之材料。然而，層轉移也是有缺點。

[0010] 例如，設計一裝置需要有可以自由進入被轉移的施體層 (donor layer) 和/或用以接收施體層之接收層。第 1 圖幫忙說明此種主題。第 1 圖中一 N 型層 (具有一主要電子載子) 105 在一層間界介質 (interlayer dielectric, ILD) 104 上 (比如：ILD 厚度如 10 奈米厚或更薄)，其在一 P 型層 (具有一主要電洞載子) 103 上，其在 ILD 102 上，其在另外層上，比如是基材 101 (或其他類型層)。因此，圖 1 中有一層專用於 P 型裝置 (層 103) 和另一層專用於 N 型裝置 (層 105)。

[0011] 然而，P 型層 103 上現在直接披覆 ILD 104 及轉移層 105，使得層 103 之步驟是很困難的 (比如：形成切換裝置，如二極體和電晶體，在層 103 內是相當困難的)。例如電晶體之需要分開的源極、汲極和閘極控制。所以，如果一個電晶體位於埋藏層 103 以及層 105 內，至

少三個連接或接觸必需從金屬互連（未圖示）到被轉移層 105 用於 N 型裝置，並通過轉移層 105 以及到埋藏層或接收層 103 用於 P 型裝置的。然而，除非轉移層被鈍化在層 105 中，所述接觸橫移層 105 其可能會導致短路或傳遞途中提供功率給層 103 內的 P 型裝置的其它電力問題。

[0012] 如第 2 圖所示，一選項來完成該裝置層（裝置製程包括局部互連（local interconnect））在該上層被層轉移發生之前。例如，在形成 P 型層 203 和層間介電質層 202、204 被形成在基材 201 上後，接觸 210 可以被形成為連接 P 型層 203 的汲極/源極節點其中一者，接觸 211 可以被形成為 P 型層 203 的一通道之閘極，以及接觸 212 可以被形成為連接 P 型層 203 的汲極/源極節點另一者。

[0013] 接著，如第 3 圖所示，較上面的 N 型層 205 可以被轉移。第 4 圖中，形成 N 型裝置始於接觸 213 可以被形成為連接 N 型層 205 的汲極/源極節點其中一者，接觸 214 可以被形成為 N 型層 205 的一通道之閘極，以及接觸 215 可以被形成為連接 N 型層 205 的汲極/源極節點另一者。然而，加倍的微影及圖形化步驟（例如：一系列步驟用於圖形化 N 型裝置以及另一系列步驟用於圖形化 P 型裝置），其成本效益極低。

[0014] 相反的，一實施例可以以類似於習知平面製程的方式選擇性連接埋藏層和/或轉移層。一實施例的裝置（例如：P 型金屬-氧化物-半導體(PMOS)裝置和 N 型金屬-氧化物-半導體(NMOS)裝置）被“同時地”製造在基底/

接收層（如：層 103）以及轉移層（如：層 105）透過單次微影製程及圖形化製程。藉由“同時地”的步驟可以使閘極 211、214 被製造於同一時間或部分時間重疊（例如：沒必要在相同時間開始和結束閘極形成，允許閘極形成的過程中部分時間重疊）。一實施例中，將在後面描述，在閘極製程中（或一些其他接觸製程）非必要通道可被選擇性地蝕刻或以電氣短路（“短路”）來鈍化非必要通道。

[0015] 在一實施例中，終端產品沒有額外的互連層（比如：層 204 中的互接 210、211、212）。因此，儘管整合了異質通道，但沒有（或最小）增加遮罩數。

[0016] 第 5 圖至第 8 圖係繪示本發明之一實施例只需一次微影和一次圖形化來步驟製造一異質通道裝置之製程。該製程可使異質通道裝置的製程只需一次微影步驟和一次圖形化步驟。

[0017] 第 5 圖包括 ILD 506、N 型層 505、ILD 504、P 型層 503、ILD 502 以及基材（或其他層）501。還包括一包含層 503、505 之通道層堆疊，其會被用於形成裝置如切換裝置（比如：二極體、電晶體，和其他類似裝置）。此堆疊可位於介於絕緣層部分 507、508 之間（例如：淺層凹溝間隔層（shallow trench isolation, STI）、氧化物和其他類似物），其被形成在在一大型裝置堆疊部分內以形成第 5 圖所示之部分。

[0018] 第 6 圖描述閘極圖形化藉此孔洞 521、522 被形成（通過對 ILD 特定蝕刻）。第 7 圖說明選擇式去除通

道部分。特別是 N 型層 505 的部分被去除及 P 型層 503 的部分被去除。這有利於第 8 圖的閘極的形成，使得閘極 511 被形成在層 505 內之 N 型通道 564 之頂表面及底表面，及閘極 513 被形成在層 503 內之 P 型通道 561 之頂表面及底表面。接觸 510（用於層 505 之 N 型裝置之源極或汲極 563）、512（用於各層 505、503 分別之 N 型裝置及 P 型裝置之源極或汲極，如各裝置的汲極 565、562）及 514（用於層 503 之 P 型裝置之源極或汲極 560）被形成。如第 8 圖所示，該接觸/閘極 510、511，512、513、514 環繞該源極/汲極 (S/D) 節點以及可被形成在頂部分及底部分（例如：類似於多閘或三閘的配置）及，於一些實施例中，可被形成在側邊（例如：“全部環繞閘極”）。

[0019] 通道 561、564 可被圖形化於同一時間/同時因此各通道層不需額外的微影步驟（相較於具有 N 型裝置及 P 型裝置於一水平單層的習知平面裝置）。取而代之，於閘極製程時非必要的通道（第 7 圖所示）及 ILD 部分將選擇性被鈍化。因此，只有必要的通道被保留。

[0020] 然而，第 8 圖係繪示一範例之一裝置包含：一 N 型層包含具有與一橫軸 570 相交之一 N 型通道 564、一源極 563 及一汲極 565 之一 NMOS 裝置，該橫軸與一基材 501 平行；一 P 型層包含具有與一橫軸 571 相交之一 P 型通道 561、一源極 560 及一汲極 562 之一 PMOS 裝置，該橫軸與該基材 501 平行。一閘極 511 對應該 N 型通道 563，與該橫軸 571 相交儘管對應於 N 型通道。還有，一

閘極 513 對應該 P 型通道 561 及與該橫軸 570 相交。

[0021] 一實施例的 N 型層及 P 型層 503、505 可各包含係選自於 IV 族、III-V 族及 II-VI 族所組成之族群中的一種之一第一材料及一第二材料。一實施例中該 N 型層及該 P 型層彼此間晶格不匹配。

[0022] 一實施例的閘極可以是操作/控制通道的正上方和正下方。又，第 8 圖為簡略的以及不包含可能是一操控裝置之每一必需層或部分。例如，一閘極氧化物（未圖示）可能被使用在介於一閘極及一通道之間以得到較佳的操作通道。這些層未被說明是為了較佳專注於如用於本發明不同實施例中異質通道（例如：N 型通道及 P 型通道）同時去除非必需通道以及同時形成需要的閘極之能力的概念。

[0023] 一實施例中至少一 N 型層及 P 型層包含一有規則的單晶晶格，該單晶晶格具有一底表面直接與一氧化物（或其他絕緣層）之一頂表面接觸，以及該氧化物介於該基材及至少一 N 型層及 P 型層之間。所以，儘管 N 型層及 P 型層上形成非晶（amorphous）ILD 層 502、504 係由於層轉移的 N 型和/或 P 型層可能各為單晶晶格結構（single crystal lattice structure）。例如，一單晶結構可能包括矽，其整層的晶體晶格是連續及沒有破裂（沒有或一些晶界）在其邊緣上。其可被本質地製備（例如：由純矽製備）、摻雜、或包含非常少量的其他元素添加物以改變其半導體特性。單晶層係相對於非晶矽，其原子順序只

限於短範圍順序。

[0024] 換句話說，其中一 N 型層和 P 型層係利用層轉移而被轉移至裝置上，而不是直接成長於裝置上。一實施例中複合裝置層（如層 503、505）被轉移，在另一實施例可能只有一層被轉移（即，505）而其他層可能是利用磊晶成長（例如：ILD 502 可能被去除以及層 503 可能成長於緩衝層、基材 501 或其他類似層上）。

[0025] 如第 8 圖所示，垂直軸 572，與基材 501 正交，與閘極 511 和 N 型通道 564 相交；以及垂直軸 573，與基材 501 正交，與閘極 513 和 P 型通道 561 相交。

[0026] 第 9 圖至第 15 圖係繪示本發明一實施例之垂直式異質通道裝置（例如：一垂直式堆疊導線裝置）之製程步驟。

[0027] 第 9 圖包括 ILD 906、N 型層 905、ILD 904、P 型層 903 以及基材（或其他類似層）901。另一實施例中 ILD 層可能介於層 901、903 之間。埋藏的互連 915、916 可能被包括在基材 901 內（或一些層介於裝置層及基材之間）。

[0028] 同樣地，於一些實施例中 N 型層可能被設置在 P 型層之上，但在另一些實施例中 P 型層可能在 N 型層之上。很多實施例中僅呈現兩裝置層而在其他實施例中可能不被限制而可能包含 1、3、4、5、6 或更多裝置層。第 9-15 圖之全域式圖形化及選擇性鈍化製程可被延伸至其它結構，像垂直式整合裝置如第 16-22 圖所示將在以下

討論。

[0029] 第 10 圖接續基於阻障層 931、932、933 被形成以及接著孔洞 921、922、923、924 被形成的具有阻障層製造之通道層堆疊（第 9 圖）。結果，“導線”970、971 被形成（其至後被用來形成垂直式裝置）。阻障層及孔洞可能被用來如第 11 圖形成接觸 910、911、912、913。構成了金屬填充的埋藏式互連部分 915、916 導線連接裝置汲極 963。第 12 圖中 ILD 部分 941、943 被形成，其次是閘極 914、915，以及 ILD 部分 942、944 以完成 N 型閘極構造。

[0030] 第 13 圖中 P 型通道金屬填充 910、911 之金屬閘極執行圖形化及凹陷蝕刻（使用遮罩圖形化 950）。其後，在第 14 圖中 P 型閘極形成發生藉此 ILD 部份 945 被形成，其次是閘極 916，以及 ILD 部分 946 以完成 P 型閘極構造。第 15 圖為後續金屬填充從 P 型導線裝置源極 962 向上以形成接觸 917、918。

[0031] 所以，第 15 圖之裝置包含一 N 型層包含具有與一垂直軸 973 相交之一 N 型通道 964、一源極 965 及一汲極 963 之一 NMOS 裝置，該垂直軸與一基材 901 正交。第 15 圖更包含一 P 型層包含具有與一垂直軸 972 相交之一 P 型通道 961、一源極 962 及一汲極 960 之一 PMOS 裝置，該垂直軸與基材 901 垂直。一閘極 915 環繞 N 型通道 964（例如：“全部環繞閘極”或多閘極）且與絕緣層 943 直接接觸以及閘極 916 環繞 P 型通道 961 且與絕緣層 946

直接接觸。一接觸 912 直接與絕緣層 943 和一 P 型層部分 980 接觸以及一第二接觸 917 直接和絕緣層 946 和 N 型層部分 981 接觸。

[0032] 一實施例中源極和汲極的節點 963、965 中一或兩者延伸在絕緣層 944 之上/絕緣層 943 之下以及/或源極和汲極的節點 962、960 中一或兩者延伸在絕緣層 946 之上/絕緣層 945 之下藉此幫助形成垂直方向的導線裝置。

[0033] 一實施例的 N 型層包括第一、第二及第三子層 985、986、987，該第二子層直接與該第一子層及該第三子層接觸，以及該第二子層（做為通道）相較於第一子層（比如：其包括汲極或源極）和第三子層（比如：其包括汲極或源極）為重摻雜（heavily doped）。例如，層 986 可能被摻雜以及層 985、987 可能為不摻雜（比如：摻雜底層 986 少）。一實施例的 P 型層包括第一、第二及第三子層 984、983、982，該第二子層直接與該第一子層及該第三子層接觸，以及該第二子層（做為通道）相較於第一子層（比如：其包括汲極或源極）和第三子層（比如：其包括汲極或源極）為重摻雜。例如，層 983 可能被摻雜以及層 982、984 可能為不摻雜（比如：摻雜比層 983 少）。摻雜層 905（如果有的話）可能發生在層 905 被轉移（或成長在一些實施例中）之前或之後。摻雜層 903（如果只有）可能發生在層 903 被轉移（或成長於一些實施例中）之前或之後。

[0034] 關於摻雜，取決於裝置相較於汲極/源極，通道可能重摻雜或不重摻雜。在一些實施例中的通道具有相較於汲極/源極較低的摻雜。

[0035] 一實施例中橫軸 970，平行於基材，與 N 型通道 964 和接觸 918 和/或 917 相交。一實施例中的橫軸 971，平行於基材，與 P 型通道 961 和接觸 912 相交。

[0036] 一實施例的 N 型層及 P 型層 905、903 包含第一材料及第二材料其各包含係選自於 IV 族、III-V 族及 II-VI 族所組成之族群中的一種。一實施例中的 N 型層及 P 型層彼此間晶格不匹配。一實施例中至少一 N 型層及 P 型層包含一有規則的單晶晶格(例如：層 905)，其具有一底表面直接與一氧化物(例如：層 904)之一上表面接觸，以及該氧化物介於該基材 901 及至少一該 N 型層及該 P 型層之間。一實施例中至少一 N 型層及 P 型層(例如：層 905)被轉移至該設備，而不是直接成長在該設備上。

[0037] 第 15 圖的實施例中上及下通道導線裝置(例如：裝置包含通道 964、961)被製造於單一步驟。之後的雙金屬閘極製程，任何非必要通道藉由短路來鈍化。例如，導線部分 981(第 15 圖最左邊導線的上部)具有原始電容已形成裝置。然而，其沒有絕緣層(例如：沒有類似於層 943、944)以及任何源極或汲極節點(可能被形成 N 型裝置)被短路至任何可能為 N 型通道部分 981。因而，所述“非必要通道”可能來自於一 N 型部分 981“藉由短路來鈍化”。

[0038] 第 16 圖至第 22 圖係繪示本發明一實施例之多通道共閘閘極裝置之製程步驟。此裝置可能包括一反向邏輯閘極其具有共用一汲極之 N 型裝置及 P 型裝置。進一步，取代蝕刻互補式切換裝製的通道任一者，兩通道為有效的且由共閘極所控制。一實施例中的一金屬層可被埋藏在通道下且該通道使接觸分開於頂端和底端。

[0039] 此種反向電路輸出一電壓代表相對於輸入的反向邏輯位準以及使用兩互補式電晶體被組構於一 CMOS 組態中（儘管其他反向器實施例並不如此限制）。此組態大大地減少功率耗損當其中一電晶體於兩邏輯狀態中一直處於截止狀態。由於相比於只有 NMOS 或只有 PMOS 裝置較低的電阻處理速度可以被增進。反向器也可以以任一電阻-電晶體邏輯（resistor-transistor logic, RTL）或電晶體-電晶體邏輯（transistor-transistor logic, TTL）之組態利用於雙極性接面電晶體（bipolar junction transistor, BJT）來構造。

[0040] 第 16 圖始於一具有 ILD 1606 之通道層，P 型層 1605，ILD 1604，N 型層 1603，ILD 1602 以及基材(或其他層)1601。一閘極之一孔洞 1621 被形成如第 16 圖所示。第 17 圖中，執行金屬閘極填充以形成一閘極 1611 環繞水平 N 型通道 1661。第 18 圖中，執行雙金屬閘極填充以形成一雙閘極 1612 環繞水平 P 型通道 1664。一些實施例中閘極 1611、1612 彼此可有不同功函數但不需要限制於所有實施例。

[0041] 第 19 圖中接觸圖形化形成孔洞 1622、1623 以及第 20 圖中的孔洞 1622 被延伸穿過蝕刻終止層 1608 以及至接地平面 1607。其後，第 20 圖之較深接觸蝕刻 1622 至一底部接觸填充 1610（第 21 圖）及頂部接觸填充 1613（第 22 圖）。

[0042] 然而，第 22 圖繪示一設備包含一 N 型層 1603 包含具有與一橫軸 1671 相交之一 N 型通道 1661、一源極 1662 及一汲極 1660 之一 NMOS 裝置，該橫軸與基材 1601 平行；一 P 型層 1605 包含具有與一橫軸 1670 相交之一 P 型通道 1664、一源極 1665 及一汲極 1663 之一 PMOS 裝置，該橫軸與基材 1601 平行；一閘極 1612，其對應該 P 型通道，與一垂直軸 1672 相交，該垂直軸 1672 與一閘極 1611 相交，該閘極 1611 對應該 N 型通道；以及接觸 1614 直接與汲極 1660、1663 接觸。接觸 1610 直接與源極 1662 碰觸以及接觸 1613 直接與源極 1665 接觸。

[0043] 一實施例中，垂直軸 1673，與基材 1601 正交，與接觸 1610 和 1613 接觸。

[0044] 一實施例中 N 型層 1603 及 P 型層 1605 彼此間晶格不匹配。一實施例中至少一 N 型層及 P 型層包含一有規則的單晶晶格（例如：層 1605），其具有一底表面直接與一氧化物（例如：層 1604）之一上表面接觸，以及該氧化物介於該基材及 N 型層及該 P 型層至少一者之間。因此，N 型層及 P 型層至少一者（例如：層 1605）被轉移至該設備，而不是直接成長在該設備。

[0045] 因此，提供一數位高值（VIN，或“輸入”，藉由互連方式提供，第 22 圖未示出）至閘極 1611、1612 以啟動 P 型裝置（不是該 N 型裝置）從而將於共同汲極接觸 1614 上的輸出（VOUT）耦合至 N 型裝置之源極，其被耦合（利用接觸 1610）至接地平面 1607（例如：Vss）。提供一數位低值 VIN 至閘極 1611、1612 以啟動 P 型裝置（不是該 N 型裝置）從而將於從共同汲極接觸 1614 上的輸出（VOUT）耦合至 P 型裝置之源極，其被耦合（利用接觸 1613 及互連，第 22 圖未示出）至一高值（例如：Vdd）。因而當一高值輸入，則一低值輸出以及當一低值輸入則一高值輸出（例如：使用反向器該輸入被“反向”）。

[0046] 一反向器如第 22 圖所示為許多數位電子的一種構造模塊。例如，一記憶體（1-位元暫存器）藉由饋送兩反向器的輸出給彼此的輸入端可被建構為閃鎖器。乘法器、解碼器、狀態器和其他精密數位裝置可能全部使用如第 22 圖之反向器。第 22 圖之反向器由於其緊密垂直方向提供一儲存節省。

[0047] 當一層被轉移在一實施例中，各種層轉移技術可能被使用。例如，一施體晶元(S2)及 ILD 被轉移至接收晶元(S1)。例如，裝置及 ILD 層被轉移利用適當的層轉移/鍵合（bonding）技術，如絕緣層上矽鍺（SiGe On Insulator, SGOI）產生基材製程，其中一釋放的矽鍺基材 (relaxed SiGe substrate)係藉由合適的製程先將矽鍺成長於

一大塊基材 (bulk substrate) 上，接著轉移矽鍺之一釋放上層至另一基材 (比如：至 S1 基材的基底，該基底可能為一氧化矽晶元 (silicon oxide wafer))。

[0048] 另一層轉移例子包括一 ILD 製程，如一氧化物，先熱生長在 S2 晶元上，形成一氧化物-矽的界面。接著高劑量的氫氣 (比如： 5×10^{16} ions/cm²) 被注入 (implanted) 至 S2 晶元內以形成一剝離界面 (release interface)。其後，S2 晶元上之氧化物利用化學鍵合至 S1 晶元的表面上以形成埋藏氧化物 (buried oxide) 嵌入於 S1 及 S2 晶元之間。氫經過攝氏 500 度熱活化後在剝離界面形成孔洞，使部分在剝離層下面之晶種晶元 (seed wafer) 被去除、或被分離，而留下與埋藏氧化物連接的 S2 本體。然後，所形成的鍵合結構須經過適當溫度大約攝氏 1100 度的熱退火處理。最後，執行化學機械研磨 (chemical-mechanical polish, CMP) 製程以平滑該分離層。

[0049] 其他實施例可能利用其他層轉移製程，例如，利用電漿浸沒離子注入 (plasma immersion ion implantation, PIII) 製程以形成剝離界面，一種低功率電漿製程於室溫下用來使在接收晶元上之氧化物化學鍵合在受體晶元上，接著加壓空氣 (pressurized air burst)，例如在室溫下，被施加於剝離界面以產生裂縫，其後執行化學氣體蝕刻以形成完成剝離界面。

[0050] 如上所述之 N 型層及 P 型層 (即，第 8、15、22 圖)，在各種實施例中，可能各包括不同 IV 族、III-V

族及 II-VI 族的材料如鍺 (Ge)、矽鍺 (SiGe)、砷化鎵 (GaAs)、砷化鋁鎵 (AlGaAs)、砷化銦鎵 (InGaAs)、砷化銦 (InAs) 及銻化銦 (InSb)。兩層間的晶格不匹配可能低於 1% 或 2、3、4、5、6、7、8、9、10、11、12% 或更多。

[0051] 範例 1 包括一設備包含：一 N 型層包含具有與一第一橫軸相交之一 N 型通道、一源極及一汲極之一 NMOS 裝置，該第一橫軸與一基材平行；一 P 型層包含具有與一第二橫軸相交之一 P 型通道、一源極及一汲極之一 PMOS 裝置，該第二橫軸與該基材平行；一第一閘極對應該 N 型通道，其與該第二橫軸相交；以及一第二閘極對應該 P 型通道，其與該第一橫軸相交。

[0052] 範例 2 為範例 1 可選擇性的包括其中該 N 型層及該 P 型層其各包含係選自於 IV 族、III-V 族及 II-VI 族所組成之族群中的一種之一第一材料及一第二材料。

[0053] 範例 3 為範例 1-2 可選擇性的包括其中該 N 型層及該 P 型層彼此間晶格不匹配。

[0054] 範例 4 為範例 1-3 可選擇性的包括其中該第一閘極直接位於該 N 型通道之上及之下且該第二閘極直接位於該 P 型通道之上及之下。

[0055] 範例 5 為範例 1-4 可選擇性的包括其中至少一該 N 型層及該 P 型層包含一有規則的單晶晶格，該單晶晶格具有一底表面直接與一氧化物之一上表面接觸，以及該氧化物介於該基材及至少一該 N 型層及該 P 型層之

間。

[0056] 範例 6 為範例 1-5 可選擇性的包括其中至少一該 N 型層及該 P 型層被轉移至該設備，而不是成長在該設備。

[0057] 範例 7 為範例 1-6 可選擇性的包括其中包含一第一垂直軸與該基材正交，其與該第一閘極和該 N 型通道相交，以及一第二垂直軸與該基材正交，其與該第二閘極和該 P 型通道相交。

[0058] 範例 8 為範例 1-7 可選擇性的包括其中一絕緣部分直接與該 N 型層及該 P 型層接觸。

[0059] 範例 9 包括一設備包含：一 N 型層包含具有與一第一垂直軸相交之一 N 型通道、一第一源極及一第一汲極之一 NMOS 裝置，該第一垂直軸與一基材正交；一 P 型層包含具有與一第二垂直軸相交之一 P 型通道、一第二源極及一第二汲極之一 PMOS 裝置，該第二垂直軸與該基材正交；一第一閘極環繞該 N 型通道，其直接與一第一絕緣層接觸；一第二閘極環繞該 P 型通道，其與一第二絕緣層接觸；一第一接觸，其與該第一絕緣層和該 P 型層直接接觸；以及一第二接觸，其與該第二絕緣層和該 N 型層直接接觸。

[0060] 範例 10 為範例 9 可選擇性的包含其中一該第一源極及該第一汲極延伸在該第一絕緣層之上，另一該第一源極及該第一汲極延伸在該第一絕緣層之下。

[0061] 範例 11 為範例 9-10 可選擇性的包括其中一

該第二源極及該第二汲極延伸在該第二絕緣層之上，另一該第二源極及該第二汲極延伸在該第二絕緣層之下。

[0062] 範例 12 為範例 9-11 可選擇性的包括其中 (a) 其中一該 N 型層及該 P 型層包含第一子層、第二子層及第三子層，該第二子層直接與該第一子層及該第三子層接觸；(b) 該第二子層之摻雜不與至少一該第一子層及該第三子層之摻雜相同。

[0063] 範例 13 為範例 9-12 可選擇性的包括其中至少一該 N 型通道及該 P 型通道包括該第二子層之一部分，至少一該第一源極及該第二源極包括該第一子層之一部分，以及至少一該第一汲極及該第二汲極包括該第三子層之一部分。

[0064] 範例 14 為範例 9-13 可選擇性的包含一第一橫軸與該基材平行，與該 N 型通道及該第二接觸相交。

[0065] 範例 15 為範例 9-14 可選擇性的包含一第二橫軸與該基材平行，與該 P 型通道及該第一接觸相交。

[0066] 範例 16 為範例 9-15 可選擇性的包括其中該 N 型層及該 P 型層各包含係選自於 IV 族、III-V 族及 II-VI 族所組成之族群中的一種之第一材料及第二材料。

[0067] 範例 17 為範例 9-16 可選擇性的包括其中該 N 型層及該 P 型層彼此間晶格不匹配。

[0068] 範例 18 為範例 9-17 可選擇性的包括其中至少一該 N 型層及該 P 型層包含一有規則的單晶晶格，該單晶晶格具有一底表面直接與一氧化物之一上表面接觸，

以及該氧化物介於該基材及至少一該 N 型層及該 P 型層之間。

[0069] 範例 19 為範例 9-18 可選擇性的包括其中至少一該 N 型層及該 P 型層被轉移至該設備，而不是直接成長在該設備。

[0070] 範例 20 一種設備包含：一 N 型層包含具有與一第一橫軸相交之一 N 型通道、一第一源極及一第一汲極之一 NMOS 裝置，該第一橫軸與一基材平行；一 P 型層包含具有與一第二橫軸相交之一 P 型通道、一第二源極及一第二汲極之一 PMOS 裝置，該第二橫軸與該基材平行；一第一閘極，其對應該 N 型通道，與一垂直軸相交，該垂直軸與一第二閘極相交，該第二閘極對應該 P 型通道；以及一第一接觸直接與該第一汲極及該第二汲極接觸。

[0071] 範例 21 為範例 20 可選擇性的包括一第二接觸，其直接接觸該第一源極及一第三接觸，該第三接觸直接接觸該第二源極。

[0072] 範例 22 為範例 20-21 可選擇性的包括一垂直軸，與該基材正交，與該第二接觸及該第三接觸相交。

[0073] 範例 23 為範例 20-22 可選擇性的包括其中該第二接觸及該第三接觸包括具有不相等功函數的材料。

[0074] 範例 24 為範例 20-23 可選擇性的包括其中該 N 型層及該 P 型層彼此間晶格不匹配。

[0075] 範例 25 為範例 20-24 可選擇性的包括其中該設備為一反向器。

[0076] 前述有關本發明的實施例已揭露在發明內容及實施方式內。所揭露不是來用窮盡或限制本發明所公開的精確形式。申請專利範圍及實施方式內有關一些字彙，比如：左、右、上、下、越過、之下、較高、較低、第一、第二等，係僅用來當作敘述而不是用來限制。例如：當術語所指定的相對垂直位置之情況如基板的裝置側（或主動面）或集成電路為基板的“頂”表面，基板可能朝向不同的方位因此在一不同參考面時“頂”表面可能低於“底”表面，但於解讀上仍會落入術語“頂”的意義上。文中所述之“上”（包含申請專利範圍內）如第一層在第二層“上”不表示第一層與第二層直接接觸，除非有明確說明；因為可能有第三層或其他結構介於第一層與第二層之間。本文中所述實施方式的裝置和物件可能被製造、使用或組裝於一些位置或方位。因此所屬領域具通常知識者可藉由以上所教示之內容在不脫離本發明之精神和範圍內，當可作各種均等組合或置換如圖中所示之元件。因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

[0077]

101、201、501、901、1601：基材

102、202、502、1602、104、204、504、1604、506、904、906、941、942、943、944、945、946：層間介電質

103、203、503、903、1605：P型層

105、205、505、905、1603：N 型層

210、211、212、213、214、215、510、511、512、513、
514、910、911、912、913、917、918、1610、1613、
1614：接觸

507、508：絕緣層部分

511、513、915、916、1611、1612：閘極

560、962、965、1662、1665：源極

561、961、980、1664：P 型通道

562、563、565、960、963、1602、1660、1663、1665：
汲極

564、964、981、1661：N 型通道

570、571、970、971、1670、1671：橫軸

572、573、972、973、1672、1673：垂直軸

915、916：埋藏的連接

521、522、921、922、923、924、1621、1622、1623：孔
洞

931、932、933：阻障層

970、971、981：導線

950：遮罩

984、985：第一子層

983、986：第二子層

982、981：第三子層

1607：接地平面

申請專利範圍

1.一種異質層裝置，包含：

一 N 型層，包含具有均與一第一橫軸相交之一 N 型通道、一源極及一汲極之一 NMOS 裝置，該第一橫軸與一基材平行；

一 P 型層，包含具有均與一第二橫軸相交之一 P 型通道、一源極及一汲極之一 PMOS 裝置，該第二橫軸與該基材平行；

一第一閘極，其對應該 N 型通道，並與該第二橫軸相交；以及

一第二閘極，其對應該 P 型通道，並與該第一橫軸相交。

2.如申請專利範圍第 1 項所述之異質層裝置，其中該 N 型層及該 P 型層包含各選自由 IV 族、III-V 族及 II-VI 族所組成之族群之一第一材料及一第二材料。

3.如申請專利範圍第 1 項所述之異質層裝置，其中該 N 型層及該 P 型層彼此間晶格不匹配。

4.如申請專利範圍第 1 項所述之異質層裝置，其中該第一閘極直接位於該 N 型通道之上及之下且該第二閘極直接位於該 P 型通道之上及之下。

5.如申請專利範圍第 1 項所述之異質層裝置，其中該 N 型層及該 P 型層的至少一者包含一有規則的單晶晶格，該單晶晶格具有直接與一氧化物之一上表面接觸的一底表面，且該氧化物介於該基材與該 N 型層及該 P 型層的至

少一者之間。

6.如申請專利範圍第 1 項所述之異質層裝置，其中該 N 型層及該 P 型層的至少一者被轉移至該異質層裝置，而不是在該異質層裝置上成長。

7.如申請專利範圍第 1 項所述之異質層裝置，包含一第一垂直軸，其與該基材正交，並與該第一閘極和該 N 型通道相交，以及包含一第二垂直軸，其與該基材正交，並與該第二閘極和該 P 型通道相交。

8.如申請專利範圍第 1 項所述之異質層裝置，其中一絕緣部分直接與該 N 型層及該 P 型層接觸。

9.一種異質層裝置包含：

— N 型層，包含具有均與一第一垂直軸相交之一 N 型通道、一第一源極及一第一汲極之一 NMOS 裝置，該第一垂直軸與一基材正交；

— P 型層，包含具有與一第二垂直軸相交之一 P 型通道、一第二源極及一第二汲極之一 PMOS 裝置，該第二垂直軸與該基材正交；

— 第一閘極，其環繞該 N 型通道，直接與一第一絕緣層接觸；

— 第二閘極，其環繞該 P 型通道，直接與一第二絕緣層接觸；

— 第一接觸，其與該第一絕緣層和該 P 型層直接接觸；以及

— 第二接觸，其與該第二絕緣層和該 N 型層直接接

觸。

10.如申請專利範圍第 9 項所述之異質層裝置，其中該第一源極及該第一汲極中之一者延伸在該第一絕緣層之上，而該第一源極及該第一汲極中之另一者延伸在該第一絕緣層之下。

11.如申請專利範圍第 10 項所述之異質層裝置，其中一該第二源極及該第二汲極中之一者延伸在該第二絕緣層之上，另一該第二源極及該第二汲極中之另一者延伸在該第二絕緣層之下。

12.如申請專利範圍第 9 項所述之異質層裝置，其中（a）該 N 型層及該 P 型層的至少一者包含第一子層、第二子層及第三子層，該第二子層直接與該第一子層及該第三子層接觸；且（b）該第二子層之摻雜與該第一子層及該第三子層的至少一者之摻雜不相等。

13.如申請專利範圍第 12 項所述之異質層裝置，其中該 N 型通道及該 P 型通道的至少一者包括該第二子層之一部分，該第一源極及該第二源極的至少一者包括該第一子層之一部分，以及該第一汲極及該第二汲極的至少一者包括該第三子層之一部分。

14.如申請專利範圍第 9 項所述之異質層裝置，包含一第一橫軸，與該基材平行，並與該 N 型通道及該第二接觸相交。

15.如申請專利範圍第 14 項所述之異質層裝置，包含一第二橫軸，與該基材平行，並與該 P 型通道及該第一接

觸相交。

16.如申請專利範圍第 9 項所述之異質層裝置，其中該 N 型層及該 P 型層包含各選自由 IV 族、III-V 族及 II-VI 族所組成之族群中之第一材料及第二材料。

17.如申請專利範圍第 9 項所述之異質層裝置，其中該 N 型層及該 P 型層彼此間晶格不匹配。

18.如申請專利範圍第 9 項所述之異質層裝置，其中該 N 型層及該 P 型層的至少一者包含一有規則的單晶晶格，該單晶晶格具有直接與一氧化物之一上表面接觸的一底表面，以及該氧化物介於該基材及該 N 型層及該 P 型層的至少一者之間。

19.如申請專利範圍第 9 項所述之異質層裝置，其中該 N 型層及該 P 型層的至少一者被轉移至該異質層裝置，而不是直接在該異質層裝置上成長。

20.一種異質層裝置，包含：

一 N 型層，包含具有均與一第一橫軸相交之一 N 型通道、一第一源極及一第一汲極之一 NMOS 裝置，該第一橫軸與一基材平行；

一 P 型層，包含具有均與一第二橫軸相交之一 P 型通道、一第二源極及一第二汲極之一 PMOS 裝置，該第二橫軸與該基材平行；

一第一閘極，其對應該 N 型通道，與一垂直軸相交，該垂直軸與一第二閘極相交，該第二閘極對應該 P 型通道；以及

一第一接觸，直接與該第一汲極及該第二汲極接觸；
其中該 N 型層及該 P 型層的至少一者被轉移至該異質層裝置，而不是在該異質層裝置上成長。

21.如申請專利範圍第 20 項所述之異質層裝置，包含一第二接觸，其直接接觸該第一源極及一第三接觸，該第三接觸直接接觸該第二源極。

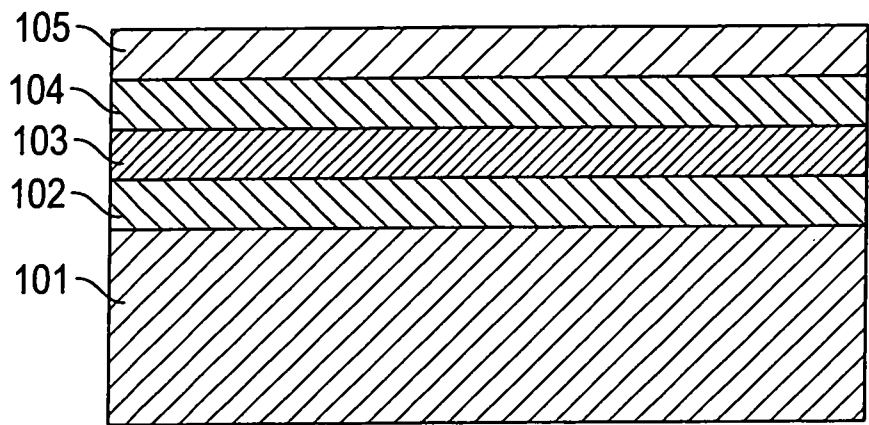
22.如申請專利範圍第 21 項所述之異質層裝置，包含一垂直軸，與該基材正交，與該第二接觸及該第三接觸相交。

23.如申請專利範圍第 21 項所述之異質層裝置，其中該第二接觸及該第三接觸包括具有不相等功函數的材料。

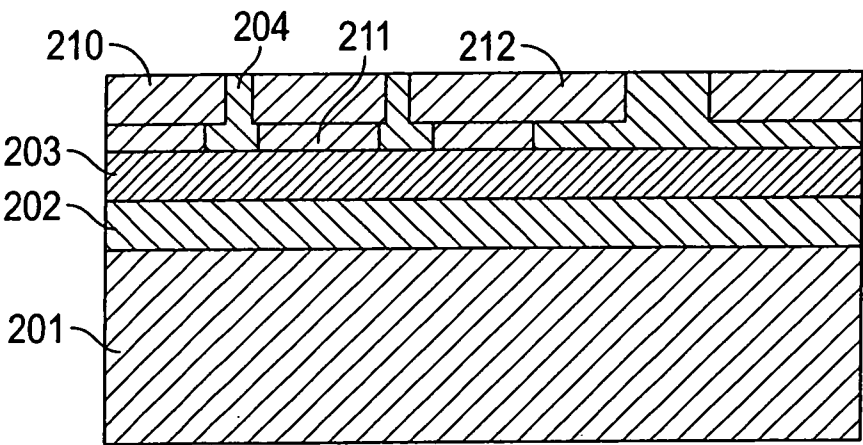
24.如申請專利範圍第 21 項所述之異質層裝置，其中該 N 型層及該 P 型層彼此間晶格不匹配。

25.如申請專利範圍第 21 項所述之異質層裝置，其中該異質層裝置為一反向器。

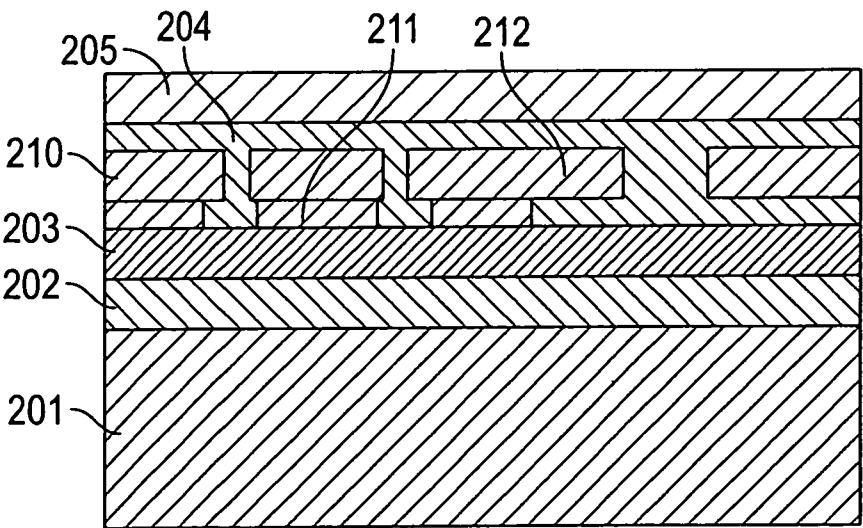
圖 式



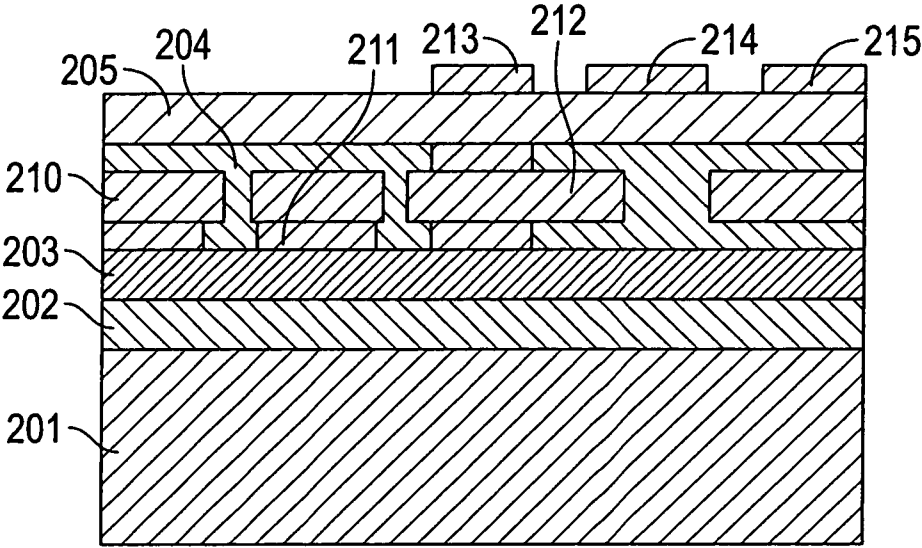
第 1 圖



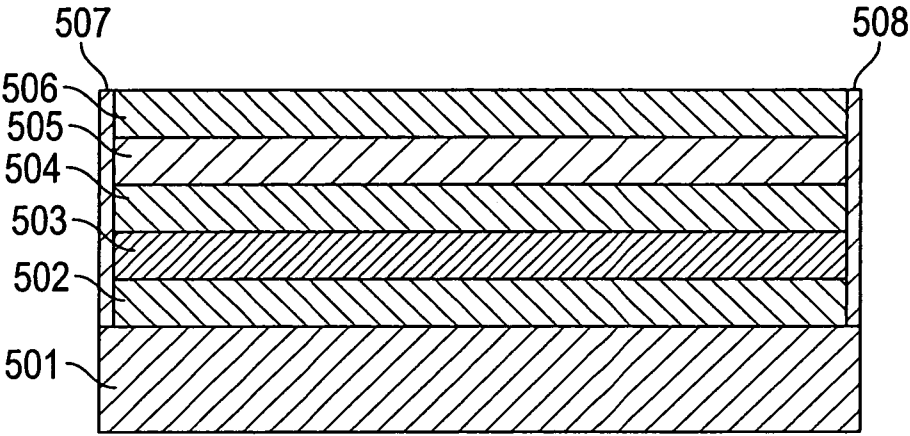
第 2 圖



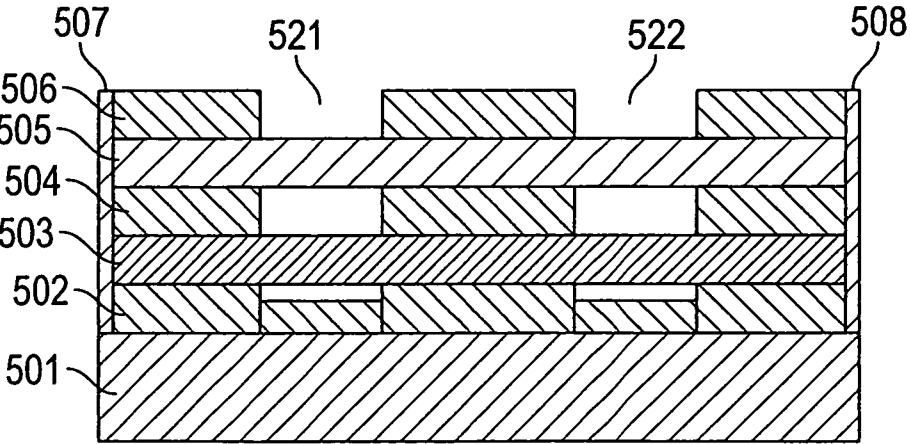
第 3 圖



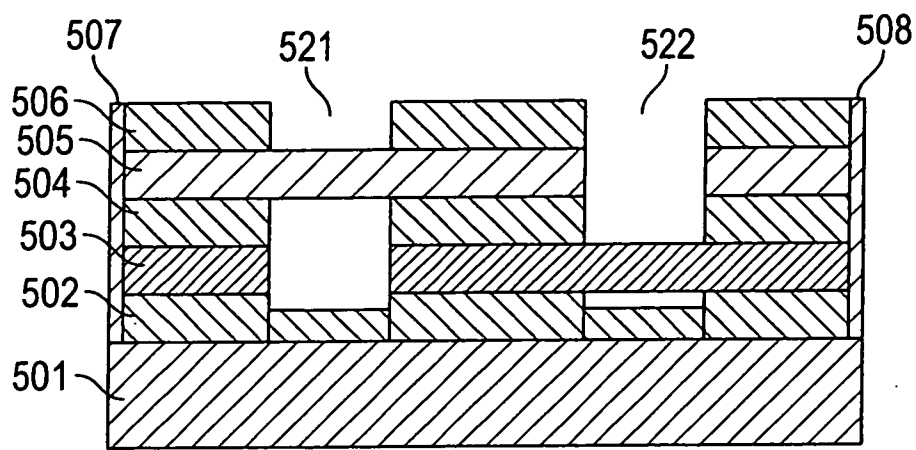
第 4 圖



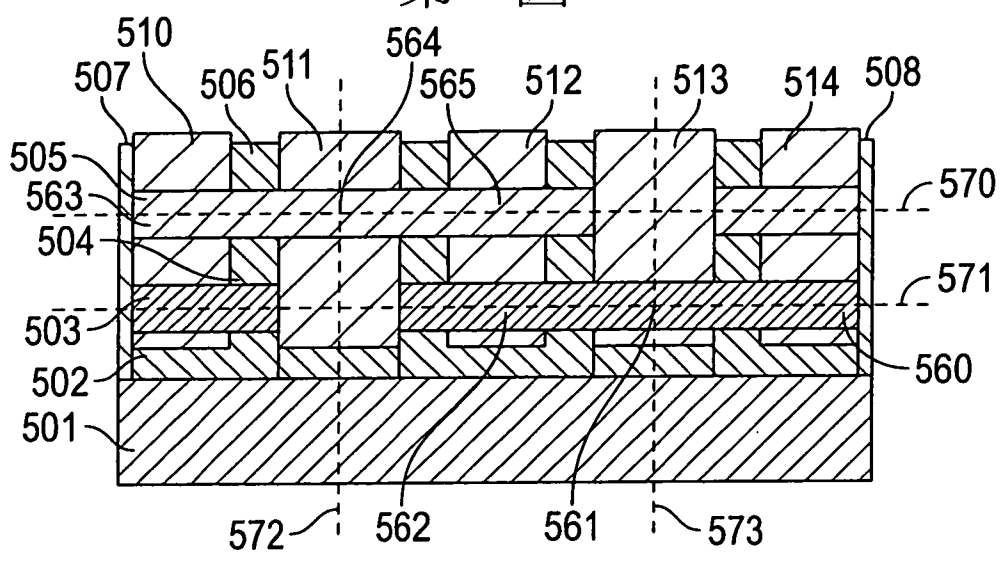
第 5 圖



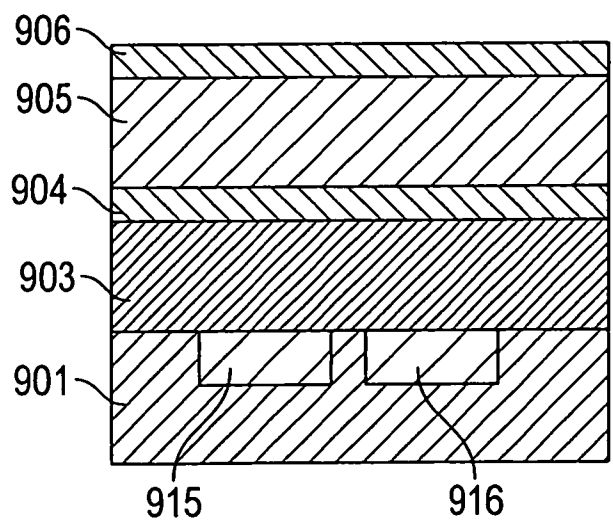
第 6 圖



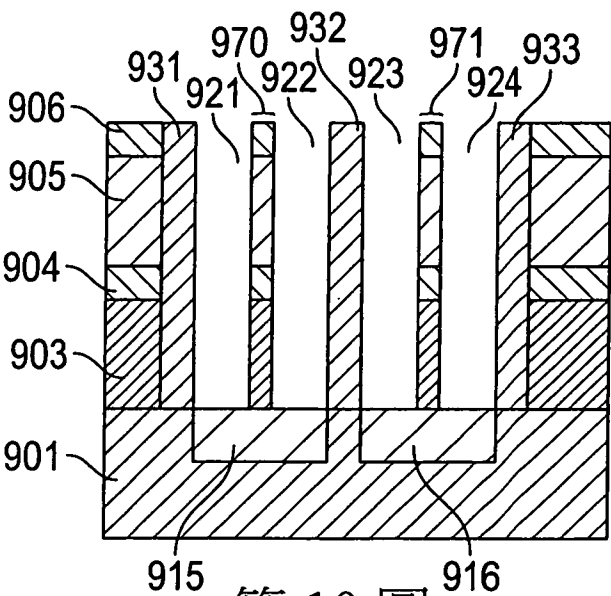
第 7 圖



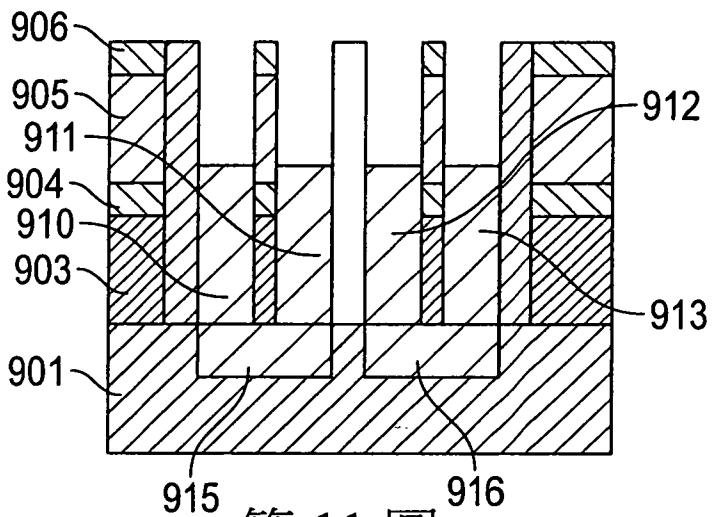
第 8 圖



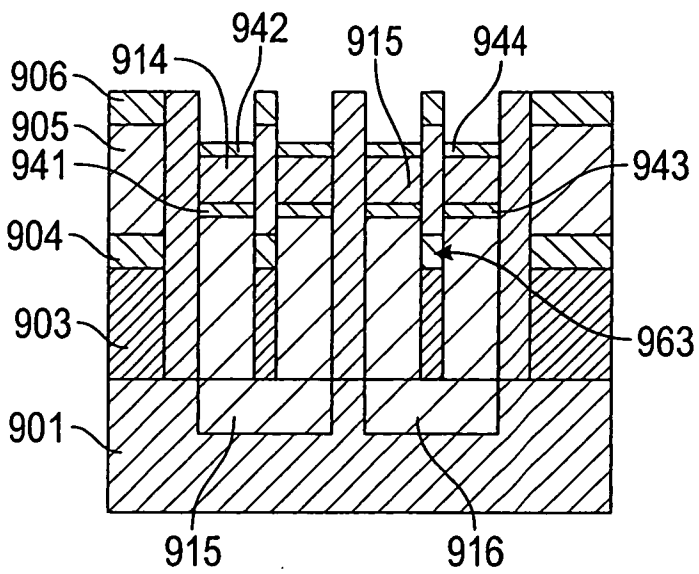
第 9 圖



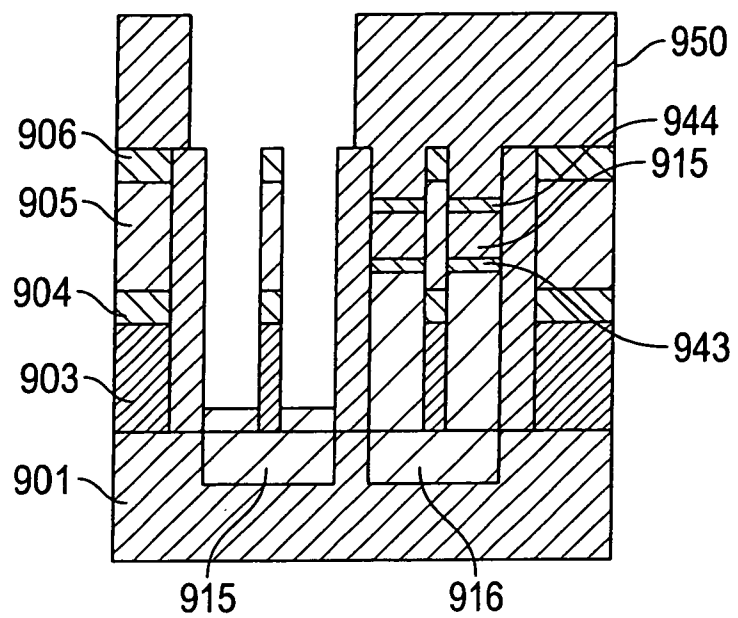
第 10 圖



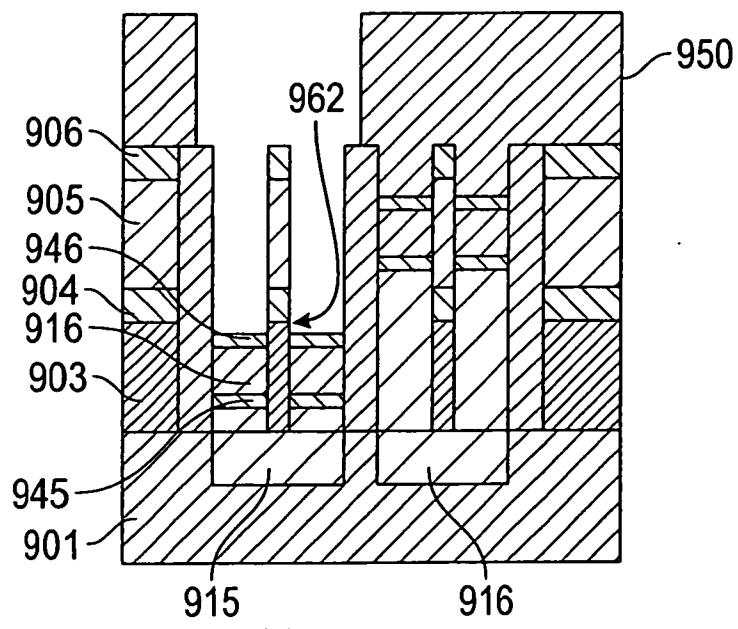
第 11 圖



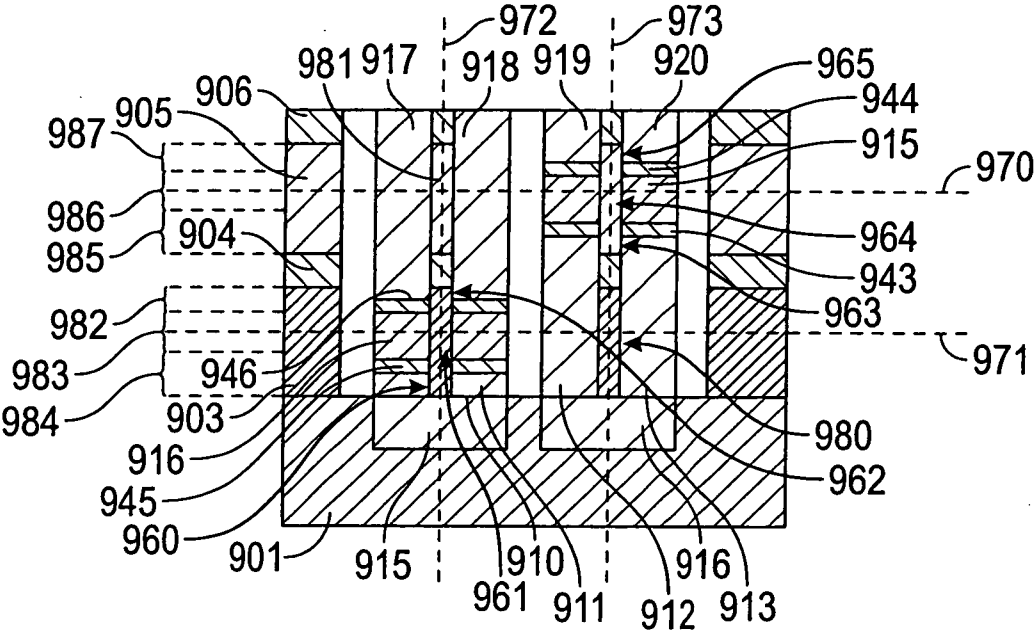
第 12 圖



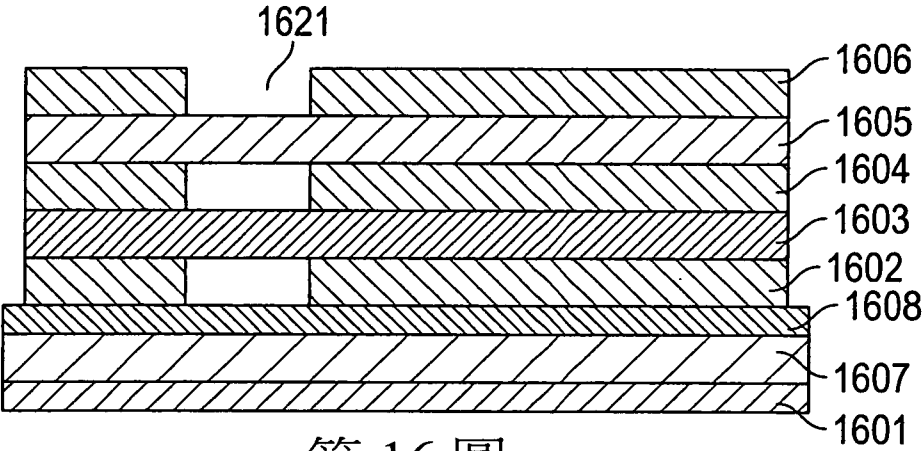
第 13 圖



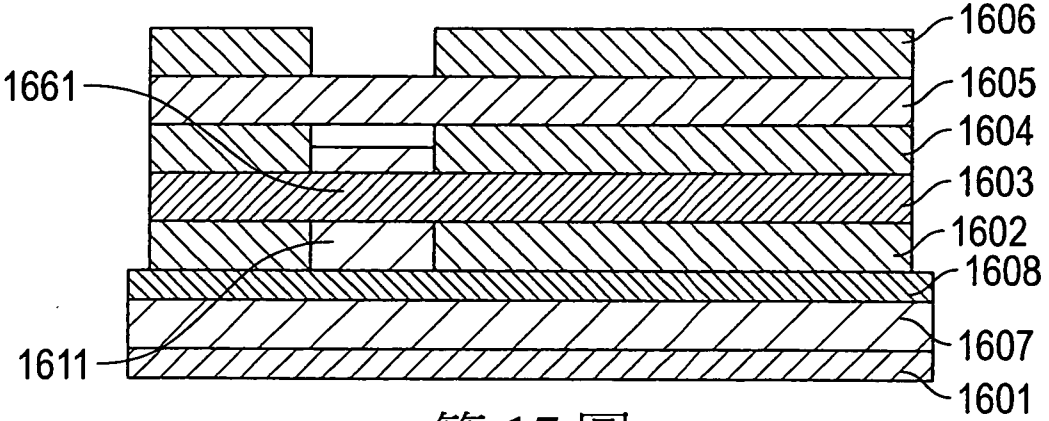
第 14 圖



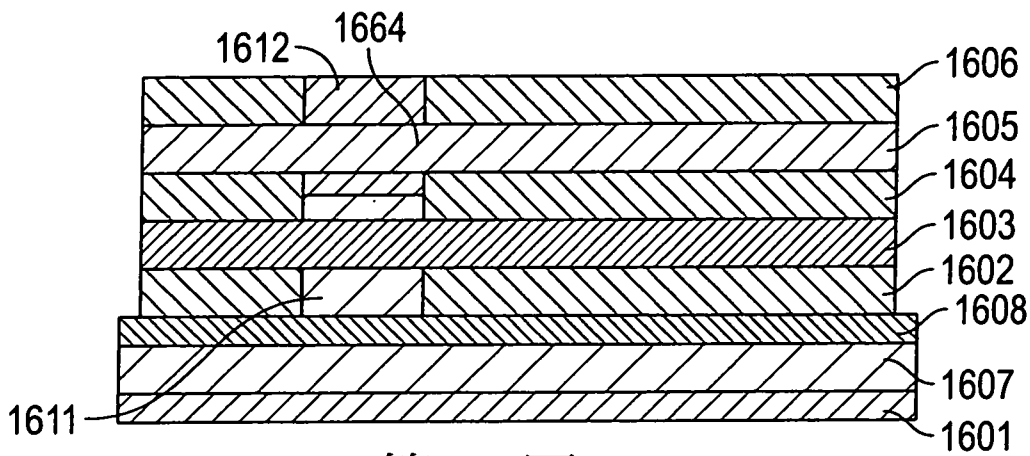
第 15 圖



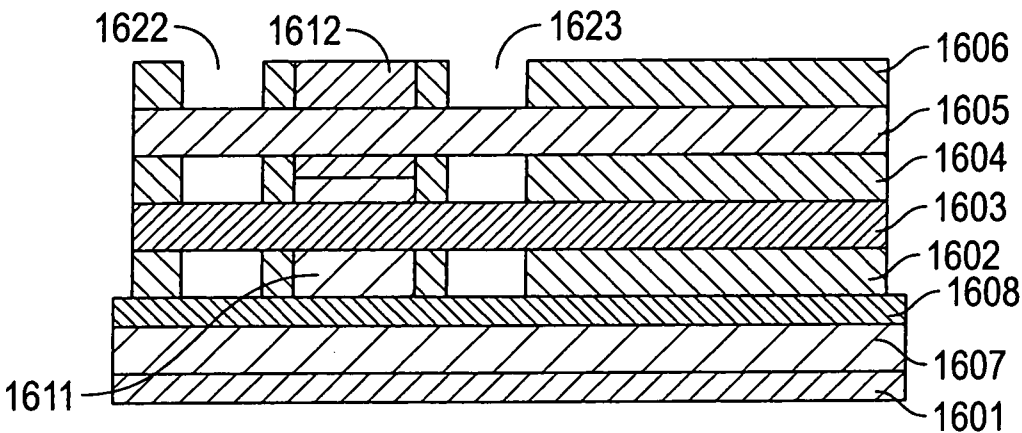
第 16 圖



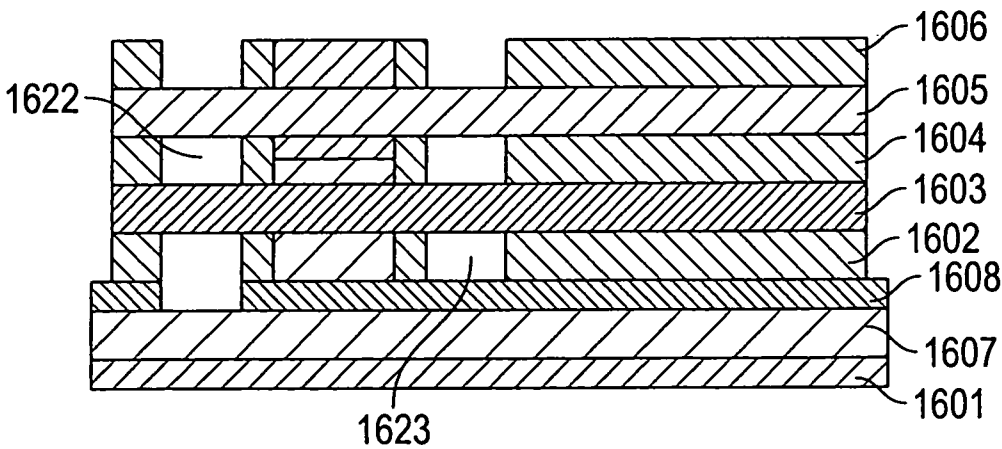
第 17 圖



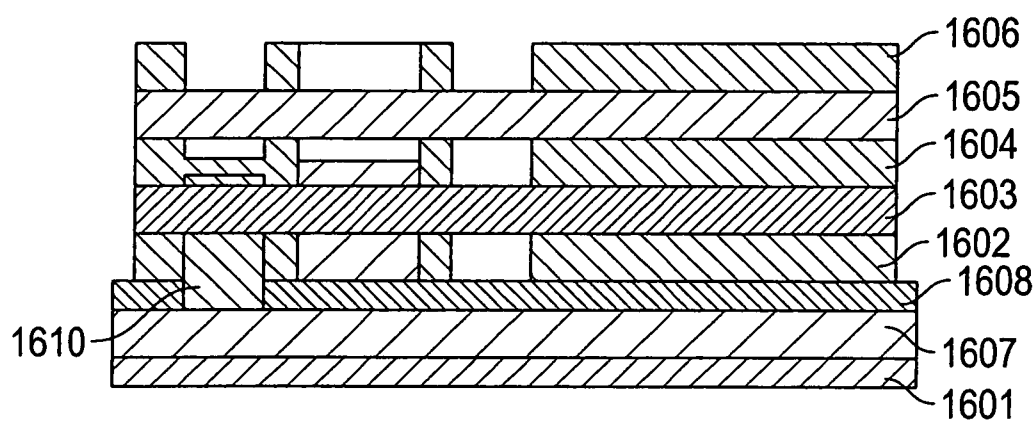
第 18 圖



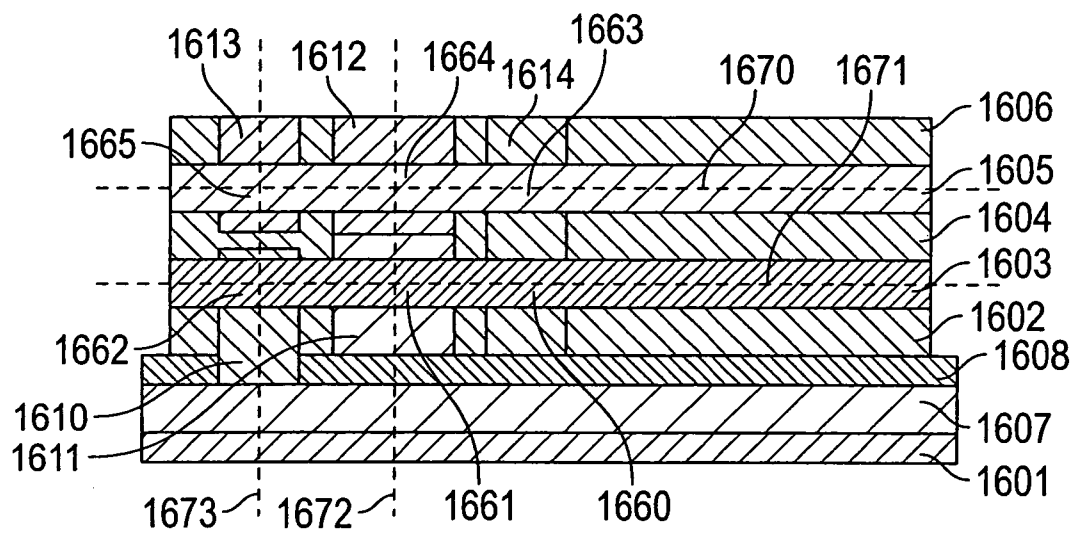
第 19 圖



第 20 圖



第 21 圖



第 22 圖