



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0028274
(43) 공개일자 2013년03월19일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)

(21) 출원번호 10-2011-0091698
(22) 출원일자 2011년09월09일
심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

김범준

서울특별시 서초구 논현로27길 58 (양재동)

허명구

충청남도 아산시 탕정면 탕정면로 37, 101동 502호 (탕정삼성트라펠리스)

(뒷면에 계속)

(74) 대리인

박영우

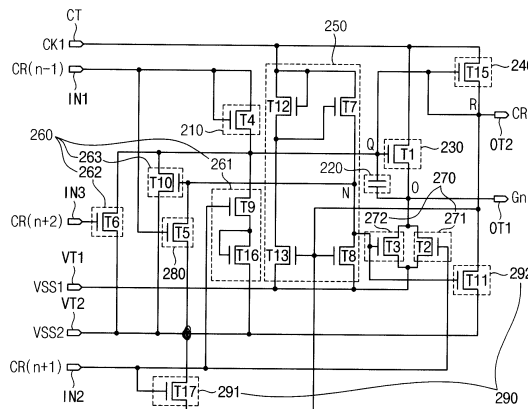
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 게이트 구동회로 및 이를 포함하는 표시 장치

(57) 요약

복수의 스테이지들이 종속적으로 연결되어 복수의 게이트 신호들을 출력하는 게이트 구동회로에서, 제 n (n 은 자연수) 스테이지는 게이트 출력부, 제1 노드 제어부 및 캐리부를 포함한다. 상기 게이트 출력부는 제어 노드의 하이 전압에 응답하여 클럭 신호의 하이 전압을 제 n 게이트 신호의 하이 전압으로 출력하는 제1 트랜지스터를 포함한다. 상기 제1 노드 제어부는 상기 제어 노드에 연결되어 상기 제어 노드의 신호를 제어하고, 상기 제1 트랜지스터의 채널 길이 보다 긴 채널 길이를 갖는 적어도 하나의 트랜지스터를 포함한다. 상기 캐리부는 상기 제어 노드의 신호에 응답하여 상기 클럭 신호의 하이 전압을 제 n 캐리 신호를 출력한다. 따라서, 상기 Q 노드에 연결된 적어도 하나의 트랜지스터의 채널 길이를 증가시킴으로써 부스트 업 구간에서 상기 Q 노드의 신호 레벨을 증가시켜 게이트 신호의 하이 레벨 및 지연 구간을 개선할 수 있다.

대표도 - 도2



(72) 발명자

이봉준

서울특별시 종로구 삼청로2길 29-1, 지층 (소격동)

문연규

충청남도 아산시 탕정면 탕정면로 37, 201동 2704호 (탕정 삼성트라펠리스)

이명섭

서울특별시 용산구 이촌로 201, 214동 508호 (이촌동, 한가람아파트)

김규태

서울특별시 용산구 효창원로 88, 브라운스톤용산 102동 701호 (용문동)

특허청구의 범위

청구항 1

복수의 스테이지들이 종속적으로 연결되어 복수의 게이트 신호들을 출력하는 게이트 구동회로에서, 제 n (n 은 자연수) 스테이지는 제어 노드의 하이 전압에 응답하여 클럭 신호의 하이 전압을 제 n 게이트 신호의 하이 전압으로 출력하는 제1 트랜지스터를 포함하는 게이트 출력부;

상기 제어 노드에 연결되어 상기 제어 노드의 신호를 제어하고, 상기 제1 트랜지스터의 채널 길이 보다 긴 채널 길이를 갖는 적어도 하나의 트랜지스터를 포함하는 제1 노드 제어부; 및

상기 제어 노드의 신호에 응답하여 상기 클럭 신호의 하이 전압을 제 n 캐리 신호를 출력하는 캐리부를 포함하는 게이트 구동회로.

청구항 2

제1항에 있어서,

상기 제 n 스테이지의 이전 스테이지들 중 적어도 하나로부터 출력된 캐리 신호의 하이 전압을 상기 제어 노드에 인가하는 제4 트랜지스터를 포함하는 버퍼부를 더 포함하고,

상기 제4 트랜지스터의 채널 길이는 상기 제1 트랜지스터의 채널 길이와 같거나 긴 것을 특징으로 하는 게이트 구동회로.

청구항 3

제1항에 있어서, 상기 제1 노드 제어부는

상기 제 n 스테이지의 다음 스테이지들 중 제1 스테이지의 출력 신호에 응답하여 상기 제어 노드의 신호를 로우 전압으로 방전하고, 상기 제1 트랜지스터의 채널 길이 보다 긴 채널 길이를 갖는 제9 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 4

제3항에 있어서, 상기 제1 스테이지의 출력 신호는 상기 제1 스테이지의 캐리부로부터 출력된 캐리 신호인 것을 특징으로 하는 게이트 구동회로.

청구항 5

제3항에 있어서, 상기 제1 스테이지의 출력 신호는 상기 제1 스테이지의 게이트 출력부로부터 출력된 게이트 신호인 것을 특징으로 하는 게이트 구동회로.

청구항 6

제3항에 있어서, 상기 제1 노드 제어부는

상기 제1 스테이지 다음의 스테이지들 중 제2 스테이지의 출력 신호에 응답하여 상기 제어 노드의 신호를 로우 전압으로 방전하고, 상기 제1 트랜지스터의 채널 길이 보다 긴 채널 길이를 갖는 제6 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 7

제6항에 있어서, 상기 제2 스테이지는 상기 제1 스테이지와 상기 스테이지들 마지막 스테이지 사이에 배치된 스테이지이고,

상기 제2 스테이지의 출력 신호는 상기 제2 스테이지의 캐리부로부터 출력된 캐리 신호인 것을 특징으로 하는 게이트 구동회로.

청구항 8

제6항에 있어서, 상기 제2 스테이지는 상기 스테이지들 중 마지막 스테이지이고,

상기 제2 스테이지의 출력 신호는 상기 제2 스테이지의 게이트 출력부로부터 출력된 게이트 신호인 것을 특징으로 하는 게이트 구동회로.

청구항 9

제1항에 있어서, 상기 제1 노드 제어부는

상기 클럭 신호와 다른 클럭 신호에 응답하여 상기 제어 노드의 신호를 로우 전압으로 유지하고, 상기 제1 트랜지스터의 채널 길이 보다 긴 채널 길이를 갖는 제11 트랜지스터를 포함하는 게이트 구동회로.

청구항 10

제1항에 있어서, 상기 제1 노드 제어부는

상기 클럭 신호에 기초하여 상기 제어 노드의 신호를 로우 전압으로 유지하고 상기 제1 트랜지스터의 채널 길이 보다 긴 채널 길이를 갖는 제10 트랜지스터를 포함하는 게이트 구동회로.

청구항 11

제10항에 있어서, 프레임 중 상기 제n 게이트 신호가 출력되는 제n 구간 이외의 나머지 구간 동안 상기 클럭 신호에 동기된 신호를 출력하는 인버팅 노드를 포함하는 인버팅부를 더 포함하고,

상기 제10 트랜지스터는 상기 인버팅 노드의 하이 전압에 응답하여 상기 제어 노드의 신호를 로우 전압으로 유지하는 것을 특징으로 하는 게이트 구동회로.

청구항 12

제11항에 있어서, 상기 제n 스테이지들 중 적어도 하나의 스테이지로부터 출력된 캐리 신호에 응답하여 상기 인버팅 노드의 신호를 로우 전압으로 방전하는 제2 노드 제어부를 더 포함하는 게이트 구동회로.

청구항 13

제11항에 있어서, 출력 노드에 연결되어 상기 제n 게이트 신호를 로우 전압으로 제어하는 제2 노드 제어부를 더 포함하는 게이트 구동회로.

청구항 14

제13항에 있어서, 상기 제2 노드 제어부는

상기 제n 스테이지 다음의 스테이지들 중 적어도 하나의 스테이지로부터 출력된 출력 신호에 응답하여 상기 제n 게이트 신호의 하이 전압을 로우 전압으로 방전하는 제2 트랜지스터; 및

상기 인버팅 노드의 신호에 응답하여 상기 제n 게이트 신호의 로우 전압을 유지하는 제3 트랜지스터를 포함하는 게이트 구동회로.

청구항 15

제14항에 있어서, 상기 제2 트랜지스터는 상기 적어도 하나의 스테이지로부터 출력된 캐리 신호를 수신하는 것을 특징으로 하는 게이트 구동회로.

청구항 16

제14항에 있어서, 상기 제2 트랜지스터는 상기 적어도 하나의 스테이지로부터 출력된 게이트 신호를 수신하는 것을 특징으로 하는 게이트 구동회로.

청구항 17

제14항에 있어서, 상기 제2 노드 제어부는

상기 클럭 신호와 다른 클럭 신호에 응답하여 상기 제n 게이트 신호의 로우 전압을 유지하는 제11 트랜지스터를

더 포함하는 게이트 구동회로.

청구항 18

제1항에 있어서, 상기 제1 노드 제어부의 적어도 하나의 트랜지스터는 상기 제1 트랜지스터의 채널 길이에 대해 10% 내지 50% 긴 것을 특징으로 하는 게이트 구동회로.

청구항 19

서로 교차하는 게이트 배선들 및 소스 배선들이 형성되어 영상을 표시하는 표시 영역과 상기 표시 영역을 둘러싸는 주변 영역을 포함하는 표시 패널;

상기 소스 배선들에 데이터 신호들을 출력하는 소스 구동회로; 및

상기 주변 영역에 집적되고, 상기 게이트 배선들에 게이트 신호들을 출력하는 복수의 스테이지들을 포함하는 게이트 구동회로를 포함하는 표시 장치에서,

상기 복수의 스테이지들 중 제 n (n 은 자연수) 스테이지는

제어 노드의 하이 전압에 응답하여 클럭 신호의 하이 전압을 제 n 게이트 신호의 하이 전압으로 출력하는 제1 트랜지스터를 포함하는 게이트 출력부;

상기 제어 노드에 연결되어 상기 제어 노드의 신호를 제어하고, 상기 제1 트랜지스터의 채널 길이 보다 긴 채널 길이를 갖는 적어도 하나의 트랜지스터를 포함하는 노드 제어부; 및

상기 제어 노드의 신호에 응답하여 상기 클럭 신호의 하이 전압을 제 n 캐리 신호를 출력하는 캐리부를 포함하는 표시 장치.

청구항 20

제19항에 있어서, 상기 제 n 스테이지의 이전 스테이지들 중 적어도 하나로부터 출력된 캐리 신호의 하이 전압을 상기 제어 노드에 인가하고 상기 제1 트랜지스터의 채널 길이와 같거나 긴 채널 길이를 갖는 제4 트랜지스터를 포함하는 버퍼부를 더 포함하고,

상기 노드 제어부는

상기 제 n 스테이지의 다음 스테이지들 중 제1 스테이지의 출력 신호에 응답하여 상기 제어 노드의 신호를 로우 전압으로 방전하는 제9 트랜지스터;

상기 제1 스테이지 다음의 스테이지들 중 제2 스테이지의 출력 신호에 응답하여 상기 제어 노드의 신호를 로우 전압으로 방전하는 제6 트랜지스터; 및

상기 클럭 신호에 기초하여 상기 제어 노드의 신호를 로우 전압으로 유지하는 제10 트랜지스터를 포함하고,

상기 제6, 제9 및 제10 트랜지스터들 중 적어도 하나는 상기 제1 트랜지스터의 채널 길이 보다 긴 것을 특징으로 하는 표시 장치.

명세서

기술분야

[0001] 본 발명은 게이트 구동회로 및 이를 포함하는 표시 장치에 관한 것으로, 보다 상세하게는 게이트 신호를 개선하기 위한 게이트 구동회로 및 이를 포함하는 표시 장치에 관한 것이다.

배경기술

[0002] 일반적으로, 액정 표시 장치는 액정의 광투과율을 이용하여 영상을 표시하는 액정 표시 패널 및 상기 액정 표시 패널의 하부에 배치되어 상기 액정 표시 패널로 광을 제공하는 백라이트 어셈블리를 포함한다.

[0003] 상기 액정 표시 장치는 복수의 게이트 라인들 및 상기 게이트 라인들과 교차하는 데이터 라인들에 의해 복수의 화소부가 형성된 액정 표시 패널과, 상기 게이트 라인들에 게이트 신호를 출력하는 게이트 구동회로 및 상기 데이터 라인들에 데이터 신호를 출력하는 데이터 구동회로를 포함한다. 이러한 상기 게이트 구동회로 및 상기 데

이터 구동회로는 칩(chip) 형태로 이루어져 표시 패널에 실장되는 것이 일반적이다.

[0004] 최근에는 전체적인 사이즈를 감소시키면서 생산성을 증대시키기 위하여 상기 게이트 구동회로를 표시 기판상에 아몰퍼스 실리콘 게이트(Amorphous Silicon Gate, ASG) 형태로 집적하는 방식이 사용되고 있다. 상기 게이트 구동회로를 상기 유리 기판 상에 직접 형성하는 ASG 기술이 소형 액정 표시 패널에서 적용되는 경우는 생산원가를 줄일 수 있다.

발명의 내용

해결하려는 과제

[0005] 이에, 본 발명의 기술적 과제는 이러한 점에서 착안된 것으로 본 발명의 목적은 게이트 구동회로의 스테이지에 포함된 제어 노드의 신호를 개선하기 위한 게이트 구동회로를 제공하는 것이다.

[0006] 본 발명의 다른 목적은 상기 게이트 구동회로를 포함하는 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0007] 상기한 본 발명의 목적을 실현하기 위한 일 실시예에 따른 복수의 스테이지들이 종속적으로 연결되어 복수의 게이트 신호들을 출력하는 게이트 구동회로에서, 제 n (n 은 자연수) 스테이지는 게이트 출력부, 제1 노드 제어부 및 캐리부를 포함한다. 상기 게이트 출력부는 제어 노드의 하이 전압에 응답하여 클럭 신호의 하이 전압을 제 n 게이트 신호의 하이 전압으로 출력하는 제1 트랜지스터를 포함한다. 상기 제1 노드 제어부는 상기 제어 노드에 연결되어 상기 제어 노드의 신호를 제어하고, 상기 제1 트랜지스터의 채널 길이 보다 긴 채널 길이를 갖는 적어도 하나의 트랜지스터를 포함한다. 상기 캐리부는 상기 제어 노드의 신호에 응답하여 상기 클럭 신호의 하이 전압을 제 n 캐리 신호를 출력한다.

[0008] 본 실시예에서, 상기 제 n 스테이지의 이전 스테이지들 중 적어도 하나로부터 출력된 캐리 신호의 하이 전압을 상기 제어 노드에 인가하는 제4 트랜지스터를 포함하는 버퍼부를 더 포함할 수 있다. 상기 제4 트랜지스터의 채널 길이는 상기 제1 트랜지스터의 채널 길이와 같거나 길 수 있다.

[0009] 본 실시예에서, 상기 제1 노드 제어부는 상기 제 n 스테이지의 다음 스테이지들 중 제1 스테이지의 출력 신호에 응답하여 상기 제어 노드의 신호를 로우 전압으로 방전하고, 상기 제1 트랜지스터의 채널 길이 보다 긴 채널 길이를 갖는 제9 트랜지스터를 포함할 수 있다.

[0010] 본 실시예에서, 상기 제1 스테이지의 출력 신호는 상기 제1 스테이지의 캐리부로부터 출력된 캐리 신호일 수 있다.

[0011] 본 실시예에서, 상기 제1 스테이지의 출력 신호는 상기 제1 스테이지의 게이트 출력부로부터 출력된 게이트 신호일 수 있다.

[0012] 본 실시예에서, 상기 제1 노드 제어부는 상기 제1 스테이지 다음의 스테이지들 중 제2 스테이지의 출력 신호에 응답하여 상기 제어 노드의 신호를 로우 전압으로 방전하고, 상기 제1 트랜지스터의 채널 길이 보다 긴 채널 길이를 갖는 제6 트랜지스터를 포함할 수 있다.

[0013] 본 실시예에서, 상기 제2 스테이지는 상기 제1 스테이지와 상기 스테이지들 마지막 스테이지 사이에 배치된 스테이지이고, 상기 제2 스테이지의 출력 신호는 상기 제2 스테이지의 캐리부로부터 출력된 캐리 신호일 수 있다.

[0014] 본 실시예에서, 상기 제2 스테이지는 상기 스테이지들 중 마지막 스테이지이고, 상기 제2 스테이지의 출력 신호는 상기 제2 스테이지의 게이트 출력부로부터 출력된 게이트 신호일 수 있다.

[0015] 본 실시예에서, 상기 제1 노드 제어부는 상기 클럭 신호와 다른 클럭 신호에 응답하여 상기 제어 노드의 신호를 로우 전압으로 유지하고, 상기 제1 트랜지스터의 채널 길이 보다 긴 채널 길이를 갖는 제11 트랜지스터를 포함할 수 있다.

[0016] 본 실시예에서, 상기 제1 노드 제어부는 상기 클럭 신호에 기초하여 상기 제어 노드의 신호를 로우 전압으로 유지하고, 상기 제1 트랜지스터의 채널 길이 보다 긴 채널 길이를 갖는 제10 트랜지스터를 포함할 수 있다.

[0017] 본 실시예에서, 프레임 중 상기 제 n 게이트 신호가 출력되는 제 n 구간 이외의 나머지 구간 동안 상기 클럭 신호에 동기된 신호를 출력하는 인버팅 노드를 포함하는 인버팅부를 더 포함하고, 상기 제10 트랜지스터는 상기 인

버팅 노드의 하이 전압에 응답하여 상기 제어 노드의 신호를 로우 전압으로 유지할 수 있다.

- [0018] 본 실시예에서, 상기 제 n 스테이지들 중 적어도 하나의 스테이지로부터 출력된 캐리 신호에 응답하여 상기 인버팅 노드의 신호를 로우 전압으로 방전하는 제2 노드 제어부를 더 포함할 수 있다.
- [0019] 본 실시예에서, 출력 노드에 연결되어 상기 제 n 게이트 신호를 로우 전압으로 제어하는 제2 노드 제어부를 더 포함할 수 있다.
- [0020] 본 실시예에서, 상기 제2 노드 제어부는 상기 제 n 스테이지 다음의 스테이지들 중 적어도 하나의 스테이지로부터 출력된 출력 신호에 응답하여 상기 제 n 게이트 신호의 하이 전압을 로우 전압으로 방전하는 제2 트랜지스터, 및 상기 인버팅 노드의 신호에 응답하여 상기 제 n 게이트 신호의 로우 전압을 유지하는 제3 트랜지스터를 포함할 수 있다.
- [0021] 본 실시예에서, 상기 제2 트랜지스터는 상기 적어도 하나의 스테이지로부터 출력된 캐리 신호를 수신할 수 있다.
- [0022] 본 실시예에서, 상기 제2 트랜지스터는 상기 적어도 하나의 스테이지로부터 출력된 게이트 신호를 수신할 수 있다.
- [0023] 본 실시예에서, 상기 제2 노드 제어부는 상기 클럭 신호와 다른 클럭 신호에 응답하여 상기 제 n 게이트 신호의 로우 전압을 유지하는 제11 트랜지스터를 더 포함할 수 있다.
- [0024] 본 실시예에서, 상기 제1 노드 제어부의 적어도 하나의 트랜지스터는 상기 제1 트랜지스터의 채널 길이에 대해 10% 내지 50% 길 수 있다.
- [0025] 상기한 본 발명의 다른 목적을 실현하기 위한 일 실시예에 따른 표시 장치는 표시 패널, 소스 구동회로 및 게이트 구동회로를 포함한다. 상기 표시 패널은 서로 교차하는 게이트 배선들 및 소스 배선들이 형성되어 영상을 표시하는 표시 영역과 상기 표시 영역을 둘러싸는 주변 영역을 포함한다. 상기 소스 구동회로는 상기 소스 배선들에 데이터 신호들을 출력한다. 상기 게이트 구동회로는 상기 주변 영역에 집적되고, 상기 게이트 배선들에 게이트 신호들을 출력하는 복수의 스테이지들을 포함하고, 제 n (n 은 자연수) 스테이지는 제어 노드의 하이 전압에 응답하여 클럭 신호의 하이 전압을 제 n 게이트 신호의 하이 전압으로 출력하는 제1 트랜지스터를 포함하는 게이트 출력부, 상기 제어 노드에 연결되어 상기 제어 노드의 신호를 제어하고, 상기 제1 트랜지스터의 채널 길이 보다 긴 채널 길이를 갖는 적어도 하나의 트랜지스터를 포함하는 노드 제어부, 및 상기 제어 노드의 신호에 응답하여 상기 클럭 신호의 하이 전압을 제 n 캐리 신호를 출력하는 캐리부를 포함한다.
- [0026] 본 실시예에서, 상기 제 n 스테이지의 이전 스테이지들 중 적어도 하나로부터 출력된 캐리 신호의 하이 전압을 상기 제어 노드에 인가하고 상기 제1 트랜지스터의 채널 길이와 같거나 큰 채널 길이를 갖는 제4 트랜지스터를 포함하는 버퍼부를 더 포함할 있다. 상기 노드 제어부는 상기 제 n 스테이지의 다음 스테이지들 중 제1 스테이지의 출력 신호에 응답하여 상기 제어 노드의 신호를 로우 전압으로 방전하는 제9 트랜지스터, 상기 제1 스테이지 다음의 스테이지들 중 제2 스테이지의 출력 신호에 응답하여 상기 제어 노드의 신호를 로우 전압으로 방전하는 제6 트랜지스터, 및 상기 클럭 신호에 기초하여 상기 제어 노드의 신호를 로우 전압으로 유지하는 제10 트랜지스터를 포함하고, 상기 제6, 제9 및 제10 트랜지스터들 중 적어도 하나는 상기 제1 트랜지스터의 채널 길이 보다 길 수 있다.

발명의 효과

- [0027] 본 발명의 실시예들에 따르면, 스테이지의 제어 노드인, Q 노드에 연결된 적어도 하나의 트랜지스터의 채널 길이를 증가시킴으로써 상기 Q 노드가 부스트 업되는 구간에 상기 Q 노드의 신호 레벨을 증가시켜 상기 스테이지로부터 출력되는 게이트 신호의 하이 레벨 및 지연 구간을 개선할 수 있다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 평면도이다.
- 도 2는 도 1에 도시된 스테이지에 대한 등가 회로도이다.
- 도 3a 및 도 3b는 도 2에 도시된 트랜지스터의 평면도 및 단면도이다.
- 도 4는 도 2에 도시된 스테이지의 입출력 신호의 파형도들이다.

도 5a 내지 도 5d는 도 4의 부스트 업 구간에 대한 트랜지스터들의 동작을 설명하기 위한 개념도들이다.

도 6은 도 2에 도시된 트랜지스터의 채널 길이에 대한 드레인-소스 전류에 대한 그래프이다.

도 7a 및 도 7b는 도 2에 도시된 트랜지스터의 제조 공정에 따른 채널 길이 및 드레인-소스 전류를 설명하기 위한 그래프이다.

도 8은 도 2에 도시된 스테이지에 따른 Q 노드의 신호 및 게이트 신호가 개선됨을 설명하기 위한 그래프이다.

도 9는 본 발명의 다른 실시예에 따른 스테이지의 등가 회로도이다.

도 10a 내지 도 10e는 부스트 업 구간에서 도 9에 도시된 트랜지스터들의 동작을 설명하기 위한 개념도들이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 보다 상세하게 설명하기로 한다.
- [0030] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 평면도이다.
- [0031] 도 1을 참조하면, 상기 표시 장치는 표시 패널(100), 게이트 구동회로(200), 데이터 구동회로(400) 및 인쇄회로 기판(500)을 포함한다.
- [0032] 상기 표시 패널(100)은 표시 영역(DA) 및 상기 표시 영역(DA)을 둘러싸는 주변 영역(PA)을 포함한다. 상기 표시 영역(DA)에는 서로 교차하는 게이트 라인들, 데이터 라인들 및 복수의 화소부를 포함한다. 각 화소부(P)는 게이트 라인(GL)과 데이터 라인(DL)에 전기적으로 연결된 스위칭 소자(TR)와, 상기 스위칭 소자(TR)와 전기적으로 연결된 액정 커패시터(CLC) 및 상기 액정 커패시터(CLC)와 병렬 연결된 스토리지 커패시터(CST)를 포함한다.
- [0033] 상기 게이트 구동회로(200)는 상기 게이트 라인들에 하이 전압의 게이트 신호들을 순차적으로 출력하는 쉬프트 레지스터를 포함한다. 상기 쉬프트 레지스터는 복수의 스테이지들(SRCn-1, SRCn, SRCn+1)(n은 자연수)을 포함한다. 상기 게이트 구동회로(200)는 상기 게이트 라인들의 일단부에 대응하는 상기 주변 영역(PA)에 집적된다. 본 실시예에서는 상기 게이트 구동회로(200)가 상기 게이트 라인들의 일단부에 대응하여 집적되는 것으로 설명하였으나, 상기 게이트 구동회로(200)는 상기 게이트 라인들의 양단부에 대응하여 집적될 수도 있다.
- [0034] 상기 데이터 구동회로(400)는 상기 데이터 라인들에 데이터 신호들을 출력하는 데이터 구동칩(410)과, 상기 데이터 구동칩(410)이 실장되어 상기 인쇄회로기판(500)과 상기 표시 패널(100)을 전기적으로 연결하는 연성회로 기판(430)을 포함한다. 본 실시예에서는 상기 데이터 구동칩(410)이 상기 연성회로기판(430)에 실장되는 것으로 설명하였으나, 상기 데이터 구동칩(410)은 상기 표시 패널(100)에 직접 실장될 수 있고, 또한 상기 데이터 구동칩(410)은 상기 표시 패널(100)의 주변 영역(PA)에 직접 집적될 수도 있다.
- [0035] 도 2는 도 1에 도시된 스테이지에 대한 등가 회로도이다. 도 3a 및 도 3b는 도 2에 도시된 트랜지스터의 평면도 및 단면도이다.
- [0036] 도 1 및 도 2를 참조하면, 상기 게이트 구동회로(200)는 서로 종속적으로 연결된 제1 내지 제m 스테이지들(SRC1, ..., SRCm)을 포함하는 쉬프트 레지스터를 포함한다. 상기 쉬프트 레지스터는 상기 제1 스테이지 이전 및 상기 제m 스테이지 이후에 적어도 하나의 더미 스테이지를 포함할 수 있다.
- [0037] 예를 들면, 제n 스테이지(SRCn)는 클럭 단자(CT), 제1 입력 단자(IN1), 제2 입력 단자(IN2), 제3 입력 단자(IN3), 제1 전압 단자(VT1), 제2 전압 단자(VT2), 제1 출력 단자(OT1) 및 제2 출력 단자(OT2)를 포함한다.
- [0038] 상기 클럭 단자(CT)는 제1 클럭 신호 또는 상기 제1 클럭 신호와 다른 제2 클럭 신호를 수신한다. 예를 들면, 상기 제2 클럭 신호는 상기 제1 클럭 신호와 위상이 반전될 수 있다. 이하에서는 상기 제1 클럭 신호는 클럭 신호(CK)로, 상기 제2 클럭 신호는 반전 클럭 신호(CKB)로 명칭한다.
- [0039] 홀수 번째 스테이지들(SRC1, SRC3, SRC5...)의 상기 클럭 단자(CT)는 상기 클럭 신호(CK)를 수신하고, 짝수 번째 스테이지들(SRC2, SRC4, SRC6...)의 상기 클럭 단자(CT)는 상기 반전 클럭 신호(CKB)를 수신한다. 상기 클럭 신호(CK) 및 상기 반전 클럭 신호(CKB)는 하이 전압(VDD)과 제1 로우 전압(VSS1)으로 이루어질 수 있다.
- [0040] 상기 제1 입력 단자(IN1)는 이전 스테이지들 중 하나의 캐리 신호를 수신한다. 예를 들면, 제n 스테이지의 제1 입력 단자(IN1)는 제n-1 캐리 신호(CRn-1)를 수신한다. 첫 번째 스테이지인, 상기 제1 스테이지(SRC1)의 경우, 상기 제1 입력 단자(IN1)는 상기 수직개시신호(STV)를 수신한다.

- [0041] 상기 제2 입력 단자(IN2)는 다음 스테이지들 중 하나의 캐리 신호를 수신한다. 예를 들면, 제n 스테이지의 제2 입력 단자(IN2)는 제n+1 캐리 신호(CRn+1)를 수신한다.
- [0042] 상기 제3 입력 단자(IN3)는 상기 제2 입력 단자(IN2)에 수신된 스테이지의 다음 스테이지들 중 하나의 캐리 신호를 수신한다. 예를 들면, 제n 스테이지의 제3 입력 단자(IN3)는 제n+2 캐리 신호(CRn+2)를 수신한다.
- [0043] 제1 전압 단자(VT1)는 상기 제1 로우 전압(VSS1)을 수신한다. 상기 제1 로우 전압(VSS1)은 제1 로우 레벨을 가지며, 상기 제1 로우 레벨은 상기 게이트 신호의 방전 레벨에 대응한다.
- [0044] 상기 제2 전압 단자(VT2)는 상기 제1 로우 레벨(VSS1) 보다 낮은 제2 로우 레벨을 가지는 제2 로우 전압(VSS2)을 수신한다. 상기 제2 로우 레벨은 상기 스테이지에 포함된 제어 노드(Q)(이하, Q 노드)의 방전 레벨에 대응한다.
- [0045] 상기 제1 출력 단자(OT1)는 제n 게이트 라인과 전기적으로 연결되어 제n 게이트 신호(Gn)를 출력한다.
- [0046] 상기 제2 출력 단자(OT2)는 제n 캐리 신호(CRn)를 출력한다. 상기 제2 출력 단자(OT2)는 다음 스테이지들 중 적어도 하나의 스테이지와 연결되고, 이전 스테이지들 중 적어도 두 개의 스테이지들과 연결된다.
- [0047] 예를 들면, 제n 스테이지(SRCn)는 복수의 트랜지스터들(T1, T2, ..., T17)을 포함한다.
- [0048] 도 3a 및 도 3b를 참조하면, 각 트랜지스터(T)는 게이트 전극(GE), 액티브 패턴(AP) 및 소스 전극(SE) 및 드레인 전극(DE)을 포함한다. 상기 소스 전극(SE)과 상기 드레인 전극(DE) 사이의 이격 영역에 의해 상기 트랜지스터의 채널(CH)이 정의되고, 상기 채널(CH)은 채널 폭(W) 및 채널 길이(L)를 가진다. 상기 액티브 패턴(AP)은 반도체층(SC) 및 저항 접촉층(OC)을 포함한다. 상기 저항 접촉층(OC)은 상기 반도체층(SC)과 상기 소스 전극(SE) 또는 상기 드레인 전극(DE) 사이에 배치되고, 채널(CH)에 대응하여 제거된다. 도시되지 않았으나, 상기 반도체층(SC)이 산화물 반도체인 경우, 상기 저항 접촉층(OC)은 생략할 수 있다.
- [0049] 상기 트랜지스터들(T1, T2, ..., T17) 각각의 채널 폭(W) 및 채널 길이(L)를 가진다. 예를 들면, 상기 제n 스테이지의 제어 노드인, Q 노드(Q)에 연결된 제4, 제6, 제9 및 제10 트랜지스터들(T4, T6, T9, T10) 중 적어도 하나의 채널 길이는 메인 트랜지스터인, 제1 트랜지스터(T1)의 채널 길이 보다 길 수 있다.
- [0050] 상기 제n 스테이지(SRCn)의 상기 트랜지스터들(T1, T2, ..., T17)은 버퍼부(210), 충전부(220), 게이트 출력부(230), 캐리부(240), 인버팅부(250), 제1 노드 제어부(260), 제2 노드 제어부(270), 제3 노드 제어부(280) 및 제4 노드 제어부(290)로 구동한다.
- [0051] 상기 버퍼부(210)는 상기 게이트 출력부(230)에 상기 제n-1 캐리 신호(CRn-1)를 전달한다. 상기 버퍼부(210)는 제4 트랜지스터(T4)를 포함할 수 있다. 상기 제4 트랜지스터(T4)는 상기 제1 입력 단자(IN1)에 연결된 제어 전극 및 입력 전극 및 상기 Q 노드(Q)에 연결된 출력 전극을 포함한다. 상기 Q 노드(Q)에 연결된 상기 제4 트랜지스터(T4)의 채널 길이는 제5 및 제12 트랜지스터들(T5, T12)을 제외한 나머지 트랜지스터들의 채널 길이와 같거나 길게 형성될 수 있다. 예를 들면, 상기 제4 트랜지스터(T4)의 채널 길이는 약 3.5 μm 내지 약 5 μm 일 수 있다.
- [0052] 상기 충전부(220)는 상기 제n-1 캐리 신호(CRn-1)에 응답하여 충전된다. 상기 충전부(220)의 일단은 상기 Q 노드(Q)와 연결되고, 타단은 상기 게이트 신호의 출력 노드(O)와 연결된다. 상기 버퍼부(210)에 상기 제n-1 캐리 신호(CRn-1)의 하이 전압(VDD)이 수신되면, 상기 충전부(220)는 상기 하이 전압(VDD)에 대응하는 제1 전압(V1)을 충전한다.
- [0053] 상기 게이트 출력부(230)는 제n 게이트 신호(Gn)를 출력한다. 상기 게이트 출력부(230)는 제1 트랜지스터(T1)를 포함할 수 있다. 상기 제1 트랜지스터(T1)는 상기 Q 노드(Q)에 연결된 제어 전극, 상기 클럭 단자(CT)와 연결된 입력 전극 및 상기 출력 노드(O)에 연결된 출력 전극을 포함한다. 상기 출력 노드(O)는 상기 제1 출력 단자(OT1)에 연결된다. 상기 제1 트랜지스터(T1)의 채널 길이는 약 3.5 μm 일 수 있다. 상기 제1 트랜지스터(T1)의 채널 길이는 노광기의 해상력 및 식각 공정의 능력에 따라서 다양하게 변할 수 있다. 예를 들면, 상기 제1 트랜지스터(T1)의 채널 길이는 약 3.0 μm 내지 약 4.0 μm 범위로 선택되어 사용될 수 있다.
- [0054] 상기 게이트 출력부(230)의 제어 전극에 상기 충전부(220)에 의해 충전된 상기 제1 전압(V1)이 인가된 상태에서 상기 클럭 단자(CT)에 상기 클럭 신호(CK)의 하이 전압이 수신되면 상기 게이트 출력부(230)의 부트스트랩된다. 상기 게이트 출력부(230)의 제어 전극에 상기 Q 노드(Q)의 제2 전압(VBT)이 인가되면, 상기 클럭 신호(CK)의 하이 전압을 제n 게이트 신호(Gn)의 하이 전압으로 출력한다. 상기 제n 게이트 신호(Gn)는 상기 출력 노드(O)에

연결된 상기 제1 출력 단자(OT1)를 통하여 출력된다.

- [0055] 상기 캐리부(240)는 상기 캐리 신호를 출력한다. 상기 캐리부(240)는 제15 트랜지스터(T15)를 포함할 수 있다. 상기 제15 트랜지스터(T15)는 상기 Q 노드(Q)에 연결된 제어 전극, 상기 클럭 단자(CT)에 연결된 입력 전극 및 캐리 노드(R)에 연결된 출력 전극을 포함한다. 상기 캐리 노드(R)는 제2 출력 단자(OT2)에 연결된다.
- [0056] 상기 캐리부(240)는 상기 제어 전극과 상기 출력 전극을 연결하는 커패시터를 더 포함할 수 있다. 상기 캐리부(240)는 상기 Q 노드(Q)에 하이 전압이 인가되면 상기 클럭 단자(CT)에 수신된 상기 클럭 신호(CK)의 하이 전압을 제n 캐리 신호(CRn)로 출력한다. 상기 제n 캐리 신호(CRn)는 상기 캐리 노드(R)에 연결된 상기 제2 출력 단자(OT2)를 통하여 출력된다. 상기 제15 트랜지스터(T15)의 채널 길이는 약 3.5 μm 일 수 있다.
- [0057] 상기 인버팅부(250)는 제12 트랜지스터(T12), 제7 트랜지스터(T7), 제13 트랜지스터(T13) 및 제8 트랜지스터(T8)를 포함할 수 있다. 상기 인버팅부(250)는 상부 캐리 노드(R)의 하이 전압인 구간에는 제1 로우 전압(VSS1)을 유지하고, 나머지 프레임 구간에는 상기 클럭 단자(CT)에 인가된 클럭 신호(CK)에 동기된 신호를 인버팅 노드(N)에 인가한다.
- [0058] 상기 제12 트랜지스터(T12)는 상기 클럭 단자(CT)에 연결된 제어 전극 및 입력 전극과, 상기 제13 트랜지스터(T13)의 입력 전극 및 상기 제7 트랜지스터(T7)와 연결된 출력 전극을 포함한다. 상기 제12 트랜지스터(T12)의 채널 길이는 약 15 μm 일 수 있다. 상기 제7 트랜지스터(T7)는 상기 제13 트랜지스터(T13)에 연결된 제어 전극, 상기 클럭 단자(CT)에 연결된 입력 전극 및 상기 제8 트랜지스터(T8)의 입력 전극과 연결된 출력 전극을 포함한다. 상기 제17 트랜지스터(T17)의 채널 길이는 약 3.5 μm 일 수 있다. 상기 제7 트랜지스터(T7)의 출력 전극은 상기 N 노드(N)에 연결된다. 상기 제13 트랜지스터(T13)는 상기 캐리 노드(R)에 연결된 제어 전극, 상기 제12 트랜지스터(T12)와 연결된 입력 전극 및 상기 제1 전압 단자(VT1)에 연결된 출력 전극을 포함한다. 상기 제13 트랜지스터(T13)의 채널 길이는 약 3.5 μm 일 수 있다. 상기 제8 트랜지스터(T8)는 상기 캐리 노드(R)에 연결된 제어 전극, 상기 N 노드(N)에 연결된 입력 전극 및 상기 제1 전압 단자(VT1)에 연결된 출력 전극을 포함한다. 상기 제8 트랜지스터(T8)의 채널 길이는 약 3.5 μm 일 수 있다.
- [0059] 상기 제1 노드 제어부(260)는 제1 방전부(261), 제2 방전부(262) 및 제1 유지부(263)를 포함하고, 상기 Q 노드(Q)에 인가되는 신호를 제어한다.
- [0060] 상기 제1 방전부(261)는 제9 트랜지스터(T9) 및 제16 트랜지스터(T16)를 포함한다. 상기 제9 트랜지스터(T9)는 상기 제2 입력 단자(IN2)에 연결된 제어 전극, 상기 Q 노드(Q)에 연결된 입력 전극 및 제16 트랜지스터(T16)를 통해 상기 제2 전압 단자(VT2)에 연결된 출력 전극을 포함한다. 상기 제16 트랜지스터(T16)는 상기 제9 트랜지스터(T9)의 출력 전극과 연결된 제어 전극 및 입력 전극과, 상기 제2 전압 단자(VT2)에 연결된 출력 전극을 포함한다. 상기 제1 방전부(261)는 상기 제n+1 캐리 신호(CRn+1)의 하이 전압이 응답하여 상기 Q 노드(Q)의 전압을 상기 제2 전압 단자(VT2)에 인가되는 상기 제2 로우 전압(VSS2)으로 방전한다. 상기 Q 노드(Q)에 연결된 상기 제9 트랜지스터(T9)의 채널 길이는 제5 및 제12 트랜지스터들(T5, T12)을 제외한 나머지 트랜지스터들의 채널 길이 보다 길게 형성될 수 있다. 예를 들면, 상기 제9 트랜지스터(T9)의 채널 길이는 약 4 μm 내지 약 5 μm 일 수 있다. 상기 제16 트랜지스터(T16)의 채널 길이는 약 3.5 μm 일 수 있다.
- [0061] 상기 제2 방전부(262)는 제6 트랜지스터(T6)를 포함한다. 상기 제6 트랜지스터(T6)는 제3 입력 단자(IN3)에 연결된 제어 전극, 상기 Q 노드(Q)에 연결된 입력 전극 및 상기 제2 전압 단자(VT2)에 연결된 출력 전극을 포함한다. 상기 제2 방전부(262)는 상기 제n+2 캐리 신호(CRn+2)의 하이 전압에 응답하여 상기 Q 노드(Q)의 전압을 상기 제2 로우 전압(VSS2)으로 방전한다. 상기 Q 노드(Q)에 연결된 상기 제6 트랜지스터(T6)의 채널 길이는 제5 및 제12 트랜지스터들(T5, T12)을 제외한 나머지 트랜지스터들의 채널 길이 보다 길게 형성될 수 있다. 예를 들면, 상기 제6 트랜지스터(T6)의 채널 길이는 약 4 μm 내지 약 5 μm 일 수 있다.
- [0062] 상기 제1 유지부(263)는 제10 트랜지스터(T10)를 포함한다. 상기 제10 트랜지스터(T10)는 상기 인버팅 노드(N)에 연결된 제어 전극, 상기 Q 노드(Q)에 연결된 입력 전극 및 상기 제2 전압 단자(VT2)에 연결된 출력 전극을 포함한다. 상기 제1 유지부(263)는 상기 인버팅 노드(N)의 하이 전압에 응답하여 상기 Q 노드(Q)의 신호를 상기 제2 로우 전압(VSS2)으로 유지한다. 상기 Q 노드(Q)에 연결된 상기 제10 트랜지스터(T10)의 상기 제5 및 제12 트랜지스터들(T5, T12)을 제외한 나머지 트랜지스터들의 채널 길이 보다 길게 형성될 수 있다. 예를 들면, 상기 제10 트랜지스터(T10)의 채널 길이는 약 4 μm 내지 약 5 μm 일 수 있다.
- [0063] 상기 제2 노드 제어부(270)는 제3 방전부(271) 및 제2 유지부(272)를 포함하고, 상기 출력 노드(O)에 인가되는 신호를 제어한다.

- [0064] 상기 제3 방전부(271)는 제2 트랜지스터(T2)를 포함한다. 상기 제2 트랜지스터(T2)는 상기 제2 입력 단자(IN2)에 연결된 제어 전극, 상기 출력 노드(O)에 연결된 입력 전극 및 상기 제1 전압 단자(VT1)에 연결된 출력 전극을 포함한다. 상기 제3 방전부(271)는 상기 제 $n+1$ 캐리 신호(CR $n+1$)의 하이 전압에 응답하여 상기 출력 노드(O)의 신호, 즉, 상기 제 n 게이트 신호(Gn)를 상기 제1 로우 전압(VSS1)으로 방전한다. 상기 제2 트랜지스터(T2)의 채널 길이는 약 3.5 μm 일 수 있다.
- [0065] 상기 제2 유지부(272)는 제3 트랜지스터(T3)를 포함한다. 상기 제3 트랜지스터(T3)는 상기 인버팅 노드(N)에 연결된 제어 전극, 상기 출력 노드(O)에 연결된 입력 전극 및 상기 제1 전압 단자(VT1)에 연결된 출력 전극을 포함한다. 상기 제2 유지부(272)는 상기 인버팅 노드(N)의 하이 전압에 응답하여 상기 제 n 게이트 신호(Gn)를 상기 제1 로우 전압(VSS1)으로 유지한다. 상기 제3 트랜지스터(T3)의 채널 길이는 약 3.5 μm 일 수 있다.
- [0066] 상기 제3 노드 제어부(280)는 제5 트랜지스터(T5)를 포함하고, 상기 인버팅 노드(N)에 인가되는 신호를 제어한다.
- [0067] 상기 제5 트랜지스터(T5)는 상기 제1 입력 단자(IN1)에 연결된 제어 전극, 상기 인버팅 노드(N)에 연결된 입력 전극 및 상기 제2 전압 단자(VT2)에 연결된 출력 전극을 포함한다. 상기 제2 노드 제어부(280)는 상기 제 $n-1$ 캐리 신호(CR $n-1$)의 하이 전압에 응답하여 상기 인버팅 노드(N)의 전압을 상기 제2 로우 전압(VSS2)으로 방전한다. 상기 제5 트랜지스터(T5)의 채널 길이는 약 15 μm 일 수 있다.
- [0068] 상기 제4 노드 제어부(290)는 제4 방전부(291) 및 제3 유지부(292)를 포함하고, 상기 캐리 노드(R)에 인가되는 신호를 제어한다.
- [0069] 상기 제4 방전부(291)는 제17 트랜지스터(T17)를 포함한다. 상기 제17 트랜지스터(T17)는 상기 제2 입력 단자(IN2)에 연결된 제어 전극, 상기 캐리 노드(R)에 연결된 입력 전극 및 상기 제2 전압 단자(VT2)에 연결된 출력 전극을 포함한다. 상기 제4 방전부(291)는 상기 제 $n+1$ 캐리 신호(CR $n+1$)의 하이 전압에 응답하여 상기 제 n 캐리 신호(CR n)를 상기 제2 로우 전압(VSS2)으로 방전한다. 상기 제17 트랜지스터(T17)의 채널 길이는 약 3.5 μm 일 수 있다.
- [0070] 상기 제3 유지부(292)는 제11 트랜지스터(T11)를 포함한다. 상기 제11 트랜지스터(T11)는 상기 인버팅 노드(N)에 연결된 제어 전극, 상기 캐리 노드(R)에 연결된 입력 전극 및 상기 제2 전압 단자(VT2)에 연결된 출력 전극을 포함한다. 상기 제3 유지부(292)는 상기 인버팅 노드(N)의 하이 전압에 응답하여 상기 제 n 캐리 신호(CR n)를 상기 제2 로우 전압(VSS2)으로 유지한다. 상기 제11 트랜지스터(T11)의 채널 길이는 약 3.5 μm 일 수 있다.
- [0071] 도 4는 도 2에 도시된 스테이지의 입출력 신호의 파형도들이다. 도 5a 내지 도 5d는 도 4의 부스트 업 구간에 대한 트랜지스터들의 동작을 설명하기 위한 개념도들이다.
- [0072] 도 3 및 도 4를 참조하면, 한 프레임의 제 $n-1$ 구간(T $n-1$)에, 제 $n-1$ 캐리 신호(CR $n-1$)의 하이 전압이 상기 제1 입력 단자(IN1)에 수신되면, 상기 제4 트랜지스터(T4)를 제 $n-1$ 캐리 신호(CR $n-1$)의 하이 전압(VDD)을 상기 충전부(220)에 인가한다. 상기 충전부(220)에 연결된 상기 Q 노드(Q)에는 제1 전압(V1)이 인가된다. 상기 제5 트랜지스터(T5)는 상기 인버팅 노드(N)의 신호를 상기 제2 로우 전압(VSS2)으로 유지시킨다.
- [0073] 제 n 구간(T n)에, 상기 클럭 신호(CK)의 하이 전압(VDD)이 상기 제1 트랜지스터(T1)에 입력되면 상기 제1 트랜지스터(T1)는 부스트랩된다. 이때 상기 Q 노드(Q)는 제2 전압(VB)이 인가되고 상기 제1 트랜지스터(T1)는 상기 제2 전압(VB)에 응답하여 제 n 게이트 신호(Gn)의 하이 전압(VDD)을 출력한다. 또한, 상기 제15 트랜지스터(T15)는 상기 Q 노드의 상기 제2 전압(VB)에 응답하여 제 n 캐리 신호(CR n)의 하이 전압(VDD)을 출력한다. 한편, 상기 하이 전압(VDD)의 상기 클럭 신호(CK)가 인가된 상기 인버팅부(250)는 상기 캐리 노드(R)의 하이 전압(VDD)에 응답하여 상기 인버팅 노드(N)의 전압을 상기 제1 로우 전압(VSS1)으로 방전시킨다.
- [0074] 제 $n+1$ 구간(T $n+1$)에, 제 $n+1$ 캐리 신호(CR $n+1$)의 하이 전압(VDD)이 상기 제2 입력 단자(IN2)에 수신되면, 제9 및 제16 트랜지스터들(T9, T16)은 턴-온되어 상기 Q 노드의 전압을 제2 로우 전압(VSS2)으로 방전시킨다. 상기 제2 트랜지스터(T2)는 상기 출력 노드(O)의 신호를 상기 제1 로우 전압(VSS1)으로 방전시키고, 상기 제17 트랜지스터(T17)는 상기 캐리 노드(R)의 신호를 상기 제2 로우 전압(VSS2)으로 방전시킨다.
- [0075] 제 $n+2$ 구간(T $n+2$)에, 제 $n+2$ 캐리 신호(CR $n+2$)의 하이 전압(VDD)이 상기 제3 입력 단자(IN3)에 수신되면, 상기 제6 트랜지스터(T6)는 상기 Q 노드(Q)의 신호를 상기 제2 로우 전압(VSS2)으로 방전시킨다.
- [0076] 상기 제 $n+2$ 구간(T $n+2$) 이후 프레임 동안, 상기 인버팅 노드(N)의 하이 전압에 응답하여 상기 제10 트랜지스터(T10)는 상기 Q 노드(Q)를 상기 제2 로우 전압(VSS2)으로 유지시키고, 상기 제3 트랜지스터(T3)는 상기 출력 노

드(O)를 상기 제1 로우 전압(VSS1)으로 유지시키고, 상기 제11 트랜지스터(T11)는 상기 캐리 노드(R)를 상기 제2 로우 전압(VSS2)으로 유지시킨다.

[0077] 상기 제n 스테이지(SRCn)의 상기 Q 노드(Q)의 구동 방법을 살펴보면, 상기 Q 노드(Q)의 신호는 상기 제n 구간(Tn)에서 제2 전압(VB)으로 부스트 업 된다. 상기 제n 구간(Tn) 동안 부스트 업 된 상기 Q 노드의 상기 제2 전압(VB)을 안정하게 유지하기 위해서 상기 Q 노드(Q)에 연결된 적어도 하나의 트랜지스터의 채널 길이를 상기 제1 트랜지스터(TR1)의 채널 길이 보다 길게 형성하여 강제적으로 구동 특성을 저하시켜 누설 전류에 의해 상기 제2 전압(VB)이 감소하는 것을 막을 수 있다.

[0078] 도 5a 내지 도 5d를 참조하면, 상기 Q 노드(Q)에는 상기 제4 트랜지스터(T4), 상기 제6 트랜지스터(T6), 상기 제9 트랜지스터(T9) 및 상기 제10 트랜지스터(T10)가 연결된다.

[0079] 상기 제n 구간(Tn)에서, 상기 제4 트랜지스터(T4)의 게이트 전극(GE) 및 소스 전극(SE)에는 상기 제n-1 캐리 신호(CRn-1)의 제2 로우 전압(VSS2)이 인가되고, 드레인 전극(DE)에는 부스트 업 된 상기 제2 전압(VB)이 인가된다. 상기 제4 트랜지스터(T4)는 게이트 전극(GE)과 소스 전극(SE) 간에는 0V의 게이트-소스 전압(Vgs4)을 갖고, 드레인 전극(DE)과 소스 전극(SE) 사이에는 드레인-소스 전류(Ids4)가 흐른다. 상기 제4 트랜지스터(T4)의 채널 길이를 상기 제1 트랜지스터의 채널 길이 보다 약 10 % 내지 50 % 크게 형성되어 상기 드레인-소스 전류(Ids4)를 감소시킬 수 있다. 예를 들면, 상기 제4 트랜지스터(T4)의 채널 길이는 약 4 μm 내지 약 5 μm 로 형성될 수 있다. 상기 제4 트랜지스터(T4)는 제n-1 구간(Tn-1)에 부스트 업 구동을 위해 상기 Q 노드(Q)에 상기 제1 전압(V1)을 제공한다. 따라서, 상기 채널 길이를 강제적으로 늘리는 경우 구동 특성이 저하되어 상기 부스트 업 구동에 문제가 될 수 있다. 따라서, 상기 Q 노드(Q)에 인가된 상기 제1 전압(V1)의 마진이 충분한 경우 상기 채널 길이를 상기 제1 트랜지스터(T1)의 채널 길이 보다 길게, 예컨대, 4 μm 내지 5 μm 로 형성할 수 있다. 반대로 상기 Q 노드(Q)에 인가된 상기 제1 전압(V1)의 마진이 거의 없는 경우 상기 채널 길이를 상기 제1 트랜지스터(T1)의 채널 길이와 동일하게, 예컨대, 3.5 μm 로 형성할 수 있다.

[0080] 상기 제n 구간(Tn)에서, 상기 제10 트랜지스터(T10)의 게이트 전극(GE)에는 상기 인버팅 노드(N)의 제1 로우 전압(VSS1)이 인가되고, 드레인 전극(DE)에는 상기 제2 전압(VB)이 인가되고, 소스 전극(SE)에는 상기 제2 전압 단자(VT2)에 수신된 상기 제2 로우 전압(VSS2)이 인가된다. 상기 제10 트랜지스터(T10)는 게이트 전극(GE)과 소스 전극(SE) 간에는 차 전압(ΔVSS)의 게이트-소스 전압(Vgs10)을 갖고, 드레인 전극(DE)과 소스 전극(SE) 사이에는 드레인-소스 전류(Ids10)가 흐른다. 상기 제4 트랜지스터(T4)의 채널 길이를 상기 제1 트랜지스터(T1)의 채널 길이 보다 약 10 % 내지 50 % 크게 형성되어 상기 드레인-소스 전류(Ids10)를 감소시킬 수 있다. 예를 들면, 약 4 μm 내지 약 5 μm 로 형성될 수 있다. 상기 제n 구간(Tn)에서, 상기 제6 트랜지스터(T6)의 게이트 전극(GE)에는 제n+2 캐리 신호(CRn+2)의 제2 로우 전압(VSS2)이 인가되고, 드레인 전극(DE)에는 상기 제2 전압(VB)이 인가되고, 소스 전극(SE)에는 상기 제2 전압 단자(VT2)에 수신된 상기 제2 로우 전압(VSS2)이 인가된다. 상기 제6 트랜지스터(T6)는 게이트 전극(GE)과 소스 전극(SE) 간에는 0V의 게이트-소스 전압(Vgs6)을 갖고, 드레인 전극(DE)과 소스 전극(SE) 사이에는 드레인-소스 전류(Ids6)가 흐른다. 상기 제6 트랜지스터(T6)의 채널 길이를 상기 제1 트랜지스터(T1)의 채널 길이 보다 약 10 % 내지 50 % 크게 형성되어 상기 드레인-소스 전류(Ids6)를 감소시킬 수 있다. 예를 들면, 약 4 μm 내지 약 5 μm 로 형성될 수 있다. 상기 제n 구간(Tn)에서, 상기 제9 트랜지스터(T9)의 게이트 전극(GE)에는 제n+1 캐리 신호(CRn+1)의 제2 로우 전압(VSS2)이 인가되고, 드레인 전극(DE)에는 상기 제2 전압(VB)이 인가되고, 소스 전극(SE)에는 상기 제2 전압 단자(VT2)에 수신된 상기 제2 로우 전압(VSS2)이 인가된다. 상기 제9 트랜지스터(T9)는 게이트 전극(GE)과 소스 전극(SE) 간에는 0V의 게이트-소스 전압(Vgs6)을 갖고, 드레인 전극(DE)과 소스 전극(SE) 사이에는 드레인-소스 전류(Ids9)가 흐른다. 상기 제9 트랜지스터(T9)의 채널 길이를 상기 제1 트랜지스터(T1)의 채널 길이 보다 약 10 % 내지 50 % 크게 형성되어 상기 드레인-소스 전류(Ids9)를 감소시킬 수 있다. 예를 들면, 약 4 μm 내지 약 5 μm 로 형성될 수 있다. 도 6a 및 도 6b는 도 3b에 도시된 트랜지스터의 채널 길이 및 드레인-소스 전류를 설명하기 위한 그래프이다.

[0081] 도 3, 도 6a 및 도 6b를 참조하면, 상기 트랜지스터(T)는 제1 식각 공정으로 금속층을 식각하여 소스 전극(SE)과 드레인 전극(DE)이 연결된 전극 패턴을 형성하고, 제2 식각 공정으로 상기 전극 패턴을 식각하여 서로 이격된 상기 소스 전극(SE) 및 상기 드레인 전극(DE)을 형성한다. 습식-건식 방식(WD)은 상기 제1 식각 공정은 습식 식각 방식으로 하고 상기 제2 식각 공정은 건식 식각 방식으로 하는 경우이며, 습식-습식 방식(WW)은 상기 제1 및 제2 식각 공정을 모두 습식 식각 방식으로 하는 경우이다.

[0082] 도 6a는 게이트-소스 전압이 0V 이고, 드레인-소스 전압이 60V인 트랜지스터들에 대한 채널 길이에 따른 드레인

-소스 전류의 변화를 설명하기 위한 그래프이다. 도 6a에 도시된 그래프와 같이, 상기 습식-건식 방식(WD)으로 형성된 트랜지스터의 채널 길이는 약 4.18 μm 의 평균값을 가졌고, 상기 습식-습식 방식(WW)으로 형성된 트랜지스터의 채널 길이는 약 4.45 μm 의 평균값을 가졌다. 상기 습식-건식 방식(WD) 보다 상기 습식-습식 방식(WW)에 따른 채널 길이가 약 7% 증가하였다.

- [0083] 상기 습식-건식 방식(WD)에 의해 상대적으로 짧은 상기 채널 길이를 갖는 트랜지스터의 드레인-소스 전류(I_{ds})의 평균값은 약 6.08.E-06 A 이었고, 상기 습식-습식 방식(WW)에 의해 상대적으로 긴 상기 채널 길이를 갖는 트랜지스터의 드레인-소스 전류(I_{ds})의 평균값은 약 3.50.E-06 A 이었다. 즉, 상기 채널 길이가 약 7% 증가된 경우, 상기 드레인-소스 전류(I_{ds})는 약 42% 감소하였다.
- [0084] 상기 게이트-소스 전압이 0V 이고, 드레인-소스 전압이 60V인 트랜지스터에서, 채널 길이가 길어지면 상기 드레인-소스 전류(I_{ds})가 감소함을 알 수 있다.
- [0085] 도 6a에서 설명된 트랜지스터의 특성은 본 실시예의 Q 노드에 연결된 상기 제4, 제6 및 제9 트랜지스터들(T4, T6, T9)에 대응될 수 있다.
- [0086] 따라서, 상기 제4 트랜지스터의 채널 길이를 증가시킬 경우, 제4 트랜지스터(T4)의 드레인-소스 전류(I_{ds})가 감소되어 상기 Q 노드의 신호 손실을 줄일 수 있다. 이에 따라서, 상기 제4 및 제6 트랜지스터 두 개의 채널 길이를 증가시킬 경우, 상기 Q 노드의 신호 손실을 더욱 줄일 수 있고, 제4, 제6 및 제9 트랜지스터 모두의 채널 길이를 증가시킬 경우, 상기 Q 노드의 신호 손실을 더 더욱 줄일 수 있음을 예측할 수 있다.
- [0087] 도 6b는 게이트-소스 전압이 4V 이고, 드레인-소스 전압이 60V인 트랜지스터들에 대한 채널 길이에 따른 드레인-소스 전류의 변화를 설명하기 위한 그래프이다. 도 6b에 도시된 그래프와 같이, 상기 습식-건식 방식(WD)으로 형성된 트랜지스터의 채널 길이는 약 4.18 μm 의 평균값을 가졌고, 상기 습식-습식 방식(WW)으로 형성된 트랜지스터의 채널 길이는 약 4.45 μm 의 평균값을 가졌다. 상기 습식-건식 방식(WD) 보다 상기 습식-습식 방식(WW)에 따른 채널 길이가 약 7% 증가하였다.
- [0088] 상기 습식-건식 방식(WD)에 의해 상대적으로 짧은 상기 채널 길이를 갖는 트랜지스터의 드레인-소스 전류(I_{ds})의 평균값은 약 3.19.E-05 A 이었고, 상기 습식-습식 방식(WW)에 의해 상대적으로 긴 상기 채널 길이를 갖는 트랜지스터의 드레인-소스 전류(I_{ds})의 평균값은 약 2.16.E-05 A 이었다. 즉, 상기 채널 길이가 약 7% 증가된 경우, 상기 드레인-소스 전류(I_{ds})는 약 32% 감소하였다.
- [0089] 상기 게이트-소스 전압이 4V 이고, 상기 드레인-소스 전압이 60V인 트랜지스터에서, 채널 길이가 길어지면 상기 드레인-소스 전류(I_{ds})가 감소함을 알 수 있다. 한편, 도 6a에 도시된 상기 드레인-소스 전류(I_{ds})는 약 3.50.E-06 A 로서, 도 6b에 도시된 상기 드레인-소스 전류(I_{ds}), 약 2.16.E-05 A 보다 약 1 order 증가하였다. 따라서, 상기 게이트-소스 전압이 4V 이고 상기 드레인-소스 전압이 60V인 트랜지스터의 경우, 상기 드레인-소스 전류(I_{ds})를 줄이기 위한 상기 채널 길이는 약 4 μm 이상을 유지하는 것이 바람직함을 알 수 있다.
- [0090] 도 6b에서 설명된 트랜지스터의 특성은 본 실시예의 Q 노드에 연결된 상기 제10 트랜지스터들(T10)에 대응될 수 있다.
- [0091] 따라서, 상기 제10 트랜지스터(T10)의 채널 길이를 증가시킬 경우, 드레인-소스 전류(I_{ds})가 감소되어 상기 Q 노드의 신호 손실을 줄일 수 있다. 또한, 상기 제10 트랜지스터(T10)의 채널 길이는 약 4 μm 이상을 유지하는 것이 바람직할 수 있다.
- [0092] 도 6a 및 도 6b를 참조하면, 본 실시예의 상기 Q 노드에 연결된 제4, 제6, 제9 및 제10 트랜지스터들 모두의 채널 길이를 증가시킬 경우 상기 Q 노드의 신호 손실을 현저하게 줄일 수 있음을 예측할 수 있다. 따라서 부스트업 구간에서 상기 Q 노드(Q)의 신호 손실을 막음으로써 상기 Q 노드(Q)에 의해 제어되는 게이트 신호의 신뢰성을 향상시킬 수 있다.
- [0093] 도 7은 도 2에 도시된 트랜지스터의 채널 길이에 대한 드레인-소스 전류에 대한 그래프이다.
- [0094] 도 2 및 도 7을 참조하면, 드레인-소스 전압(V_{ds})이 60V이고, 게이트-소스 전압(V_{gs})이 0V 인 트랜지스터의 채널 길이에 대한 상기 드레인-소스 전류(I_{ds})를 측정하였다.
- [0095] 상기 채널 길이가 약 3.5 μm 이하 영역에서 상기 드레인-소스 전류(I_{ds})가 약 1.00.E-04 A 내지 약 1.00.E-05 A 범위 내에 분포하였다. 상기 채널 길이가 약 4.5 μm 영역에서는 상기 드레인-소스 전류(I_{ds})가 급격히 감소하는 경향을 보였다. 상기 채널 길이가 약 4 μm 내지 약 5 μm 영역에서 상기 드레인-소스 전류(I_{ds})는 약 1.00.E-

06 A 에 근접한 범위 내에 분포하였다.

- [0096] 일반적으로 액티브 패턴과 소스 및 드레인 전극을 하나의 마스크로 제조하는 마스크 감축(maskless) 공정에서는, 상기 소스 전극과 상기 드레인 전극 사이의 채널 영역에 슬릿 패턴(또는 하프톤 패턴)이 형성된 마스크를 이용하여, 상기 소스 및 드레인 전극이 형성되는 영역에 제1 두께의 제1 포토레지스트 패턴을 형성하고 상기 채널 영역 상에 상기 제1 두께 보다 얇은 제2 두께의 제2 포토레지스트 패턴을 형성한다. 후속되는 에치 백(etch back) 공정으로 상기 제2 두께의 제2 포토레지스트 패턴을 제거하고 상기 제1 포토레지스트 패턴을 일부 두께를 제거한다. 상기 에치 백 공정에 의해 두께가 얇아진 제1 포토레지스트 패턴을 이용하여 상기 소스 전극, 드레인 전극 및 채널을 형성한다. 즉, 상기 제2 포토레지스트 패턴의 두께를 상기 제1 포토레지스트 패턴에 대해 상대적으로 얇게 형성할수록 채널 길이를 증가시킬 수 있다. 그러나, 현재 사용되는 노광기의 노광 마진 한계에 의해 상기 채널 길이를 약 0.5 μm 이상 증가시키는 것은 어렵다.
- [0097] 상기 드레인-소스 전압이 약 60V이고, 게이트-소스 전압이 약 0V 인 트랜지스터의 상기 채널 길이는 약 4 μm 내지 약 5 μm 로 설정하는 경우 상기 드레인-소스 전류(Ids)를 줄일 수 있었다.
- [0098] 상기 Q 노드(Q)에 연결된 상기 제4, 제6, 제9 및 제10 트랜지스터들 중 적어도 하나의 트랜지스터의 채널 길이를 약 4 μm 내지 약 5 μm 로 형성함으로써 부스트 업 구간에서 상기 Q 노드(Q)의 신호가 손실되는 것을 막을 수 있다.
- [0099] 도 8은 도 2에 도시된 스테이지에 따른 Q 노드의 신호 및 게이트 신호가 개선됨을 설명하기 위한 그래프이다.
- [0100] 도 2 및 도 8을 참조하면, 비교예에서는 Q 노드에 연결된 제4, 제6, 제9 및 제10 트랜지스터들(T4, T6, T9, T10)의 채널길이를 약 3.5 μm 로 형성하였다. 한편, 실시예에서는 스테이지의 Q 노드에 연결된 제4, 제6, 제9 및 제10 트랜지스터들(T4, T6, T9, T10)의 채널 길이를 상기 비교예보다 증가시킨 약 4 μm 로 형성하였다.
- [0101] 부스트 업 구간인, 예컨대 제n 구간(Tn)에서, 상기 비교예의 Q 노드와 상기 실시예의 Q 노드를 측정하였다. 도 8에 도시된 바와 같이, 상기 제n 구간(Tn)에서, 상기 비교예에 따른 Q 노드의 신호(C_Q)는 하이 레벨이 약 42V 이었고, 상기 실시예에 따른 Q 노드의 신호(E_Q)는 하이 레벨이 약 45V 이었다. 상기 실시예에 따른 Q 노드의 신호(E_Q)가 상기 비교예에 따른 Q 노드의 신호(C-Q) 보다 레벨이 높았다.
- [0102] 상기 Q 노드의 신호는 게이트 신호의 출력 파형에 영향을 미쳤다. 상기 부스트 업 구간인 상기 제n 구간(Tn)에서, 상기 비교예에 따른 게이트 신호(C_G)의 하이 레벨은 약 26V 이었고, 이에 대응하여 상기 실시예에 따른 게이트 신호(E_G)의 하이 레벨은 약 28V 이었다. 또한, 게이트 신호가 하이 레벨에서 로우 레벨로 떨어지는 지연 구간의 길이가 상기 비교예 보다 상기 실시예에서 짧아졌다. 결과적으로, 상기 실시예에 따른 상기 게이트 신호(E_G)가 상기 비교예에 따른 상기 게이트 신호(C_G)보다 특성이 개선되었다.
- [0103] 상기 Q 노드에 연결된 상기 제4, 제6, 제9 및 제10 트랜지스터들의 채널 길이를 증가시킴으로써 상기 부스트 업 구간에서 상기 Q 노드의 신호 레벨을 증가 및 지연 구간을 증가시켜 상기 게이트 신호의 하이 레벨 및 지연 구간을 개선할 수 있다.
- [0104] 도시되지 않았으나, 상기 Q 노드(Q)에 연결된 트랜지스터들 중 제4 및 제10 트랜지스터들(T4, T10)의 채널 길이를 각각 약 4 μm 로 형성한 경우, 상기 부스트 업 구간에서 상기 Q 노드(Q)의 신호가 레벨이 증가하는 것을 확인할 수 있었다. 다시 말해서, 상기 제4 및 제10 트랜지스터들(T4, T10)의 모두의 채널 길이를 약 4 μm 로 형성한 경우 역시 상기 게이트 신호의 하이 레벨 및 지연 구간을 개선됨을 알 수 있었다.
- [0105] 이상의 본 실시예에 따르면, 스테이지의 상기 Q 노드에 연결된 적어도 하나의 트랜지스터의 채널 길이를 증가시킴으로써 상기 Q 노드의 신호가 부스트 업 되는 구간에 상기 Q 노드의 신호 레벨을 증가시켜 상기 스테이지로부터 출력되는 게이트 신호의 하이 레벨 및 지연 구간을 개선할 수 있다.
- [0106] 도 9는 본 발명의 다른 실시예에 따른 스테이지의 등가 회로도이다.
- [0107] 이하에서는 앞서 설명된 구성요소와 동일한 구성요소는 동일한 도면부호를 부여하고 반복되는 설명은 간략하게 한다.
- [0108] 도 9를 참조하면, 제n 스테이지(SRCn)는 제1 클럭 단자(CT1), 제2 클럭 단자(CT2), 제1 입력 단자(IN1), 제2 입력 단자(IN2), 제3 입력 단자(IN3), 전압 단자(VT), 제1 출력 단자(OT1), 제2 출력 단자(OT2), 버퍼부(210), 충전부(220), 게이트 출력부(230), 캐리부(240), 인버팅부(250), 제1 노드 제어부(260) 및 제2 노드 제어부(270)를 포함한다.

- [0109] 상기 제1 클럭 단자(CT1)는 제1 클럭 신호 또는 상기 제1 클럭 신호와 다른 제2 클럭 신호를 수신한다. 예를 들면, 상기 제1 클럭 단자(CT1)는 상기 제1 클럭 신호를 수신한다.
- [0110] 상기 제2 클럭 단자(CT2)는 상기 제1 클럭 신호 또는 상기 제1 클럭 신호와 다른 상기 제2 클럭 신호를 수신한다. 예를 들면, 상기 제2 클럭 단자(CT2)는 상기 제2 클럭 신호를 수신한다.
- [0111] 예를 들면, 홀수 번째 스테이지들(SRC1, SRC3, SRC5...)의 상기 제1 클럭 단자(CT1)는 상기 제1 클럭 신호(CK)를 수신하고, 상기 제2 클럭 단자(CT2)는 상기 제2 클럭 신호(CKB)를 수신한다. 짝수 번째 스테이지들(SRC2, SRC4, SRC6,...)의 상기 제1 클럭 단자(CT1)는 상기 제2 클럭 신호(CKB)를 수신하고, 상기 제2 클럭 단자(CT2)는 상기 제1 클럭 신호(CK)를 수신한다. 이하에서는 상기 제1 클럭 신호(CK)를 클럭 신호, 상기 제2 클럭 신호(CKB)를 반전 클럭 신호로 명칭한다.
- [0112] 상기 제1 입력 단자(IN1)는 이전 스테이지들 중 적어도 하나의 캐리 신호를 수신한다. 예를 들면, 제n 스테이지의 제1 입력 단자(IN1)는 제n-1 스테이지의 제n-1 캐리 신호(CRn-1)를 수신한다. 첫 번째 스테이지인, 상기 제1 스테이지(SRC1)의 경우, 상기 제1 입력 단자(IN1)는 상기 수직개시신호(STV)를 수신한다.
- [0113] 상기 제2 입력 단자(IN2)는 다음 스테이지들 중 적어도 하나의 게이트 신호를 수신한다. 예를 들면, 제n 스테이지의 제2 입력 단자(IN2)는 제n+1 스테이지의 제n+1 게이트 신호(Gn+1)를 수신한다.
- [0114] 상기 제3 입력 단자(IN3)는 게이트 구동회로에 포함된 스테이지들 중 마지막 스테이지의 게이트 신호(GLAST)를 수신한다.
- [0115] 상기 전압 단자(VT)는 로우 전압(VSS)을 수신한다.
- [0116] 상기 제1 출력 단자(OT1)는 해당하는 게이트 라인과 전기적으로 연결되어 제n 게이트 신호(Gn)를 출력한다. 상기 제1 출력 단자(OT1)는 다음 스테이지들 중 적어도 하나의 스테이지와 연결되고, 마지막 스테이지의 경우 이전 스테이지들 각각의 제3 입력 단자(IN3)와 연결된다.
- [0117] 상기 제2 출력 단자(OT2)는 제n 캐리 신호(CRn)를 출력한다. 상기 제2 출력 단자(OT2)는 다음 스테이지들 중 적어도 하나의 스테이지와 연결된다.
- [0118] 상기 제n 스테이지는 복수의 트랜지스터들(T1, T2, ..., T15) 각각은 채널 폭과 채널 길이를 갖는다. 상기 제n 스테이지의 제어 노드인 Q 노드(Q)에 연결된 제4, 제6, 제9, 제10 및 제11 트랜지스터들(T4, T6, T9, T10, T11) 중 적어도 하나의 길이는 제1 트랜지스터(T1)의 채널 길이 보다 길 수 있다.
- [0119] 상기 제n 스테이지(SRCn)의 상기 트랜지스터들(T1, T2, ..., T15)은 버퍼부(210), 충전부(220), 게이트 출력부(230), 캐리부(240), 인버팅부(250), 제1 노드 제어부(260), 제2 노드 제어부(270) 및 제3 노드 제어부(280)로 구동한다.
- [0120] 상기 버퍼부(210)는 Q 노드(Q)에 연결된 제4 트랜지스터(T4)를 포함한다. 상기 버퍼부(210)는 상기 Q 노드(Q)에 상기 제n-1 캐리 신호(CRn-1)의 하이 전압을 인가한다. 상기 제4 트랜지스터(T4)의 채널 길이는 상기 게이트 출력부(230)에 포함된 제1 트랜지스터(T1)의 채널 길이와 같거나, 약 10 % 내지 50 % 크게 형성될 수 있다. 예를 들면, 약 3 μm 내지 약 5 μm 일 수 있다.
- [0121] 상기 충전부(220)는 상기 제n-1 캐리 신호(CRn-1)에 응답하여 상기 제n-1 캐리 신호(CRn-1)의 하이 전압에 대응하는 제1 전압(V1)을 충전한다.
- [0122] 상기 게이트 출력부(230)는 상기 Q 노드(Q)에 연결된 제1 트랜지스터(T1)를 포함한다. 상기 게이트 출력부(230)는 상기 제1 클럭 단자(CT1)에 수신된 상기 클럭 신호(CK)의 하이 전압에 응답하여 제n 게이트 신호(Gn)를 출력한다. 상기 게이트 출력부(230)는 제1 트랜지스터(T1)를 포함할 수 있다. 상기 제1 트랜지스터(T1)의 채널 길이는 약 3.5 μm 일 수 있다.
- [0123] 상기 캐리부(240)는 제15 트랜지스터(T15)를 포함한다. 상기 캐리부(240)는 상기 Q 노드의 신호에 응답하여 상기 클럭 신호(CK)의 하이 전압을 제n 캐리 신호(CRn)로 출력한다. 상기 제15 트랜지스터(T15)의 채널 길이는 약 3.5 μm 일 수 있다.
- [0124] 상기 인버팅부(250)는 제12 트랜지스터(T12), 제7 트랜지스터(T7), 제13 트랜지스터(T13) 및 제8 트랜지스터(T8)를 포함할 수 있다. 상기 인버팅부(250)는 상기 출력 노드(0)에 하이 전압이 인가되는 구간, 즉, 하이 전압의 제n 게이트 신호(Gn)가 출력되는 제n 구간을 제외한 프레임의 나머지 구간 동안 상기 제1 클럭 단자(CT1)에

인가된 클럭 신호(CK)에 동기된 신호를 인버팅 노드(N)에 인가한다. 상기 제12 트랜지스터(T12)의 채널 길이는 약 15 μm 일 수 있다. 상기 제17 트랜지스터(T17)의 채널 길이는 약 3.5 μm 일 수 있다. 상기 제13 트랜지스터(T13)의 채널 길이는 약 3.5 μm 일 수 있다. 상기 제8 트랜지스터(T8)의 채널 길이는 약 3.5 μm 일 수 있다.

- [0125] 상기 제1 노드 제어부(260)는 제1 방전부(261), 제1 유지부(262), 제2 유지부(263) 및 리셋부(264)를 포함하고, 상기 Q 노드(Q)에 인가되는 신호를 제어한다.
- [0126] 상기 제1 방전부(261)는 제9 트랜지스터(T9)를 포함한다. 상기 제9 트랜지스터(T9)는 상기 제2 입력 단자(IN2)에 연결된 제어 전극, 상기 Q 노드(Q)에 연결된 입력 전극 및 상기 전압 단자(VT)에 연결된 출력 전극을 포함한다. 상기 제1 방전부(261)는 상기 제n+1 게이트 신호(Gn+1)의 하이 전압에 응답하여 상기 Q 노드(Q)의 전압을 상기 전압 단자(VT)에 인가되는 상기 로우 전압(VSS)으로 방전한다. 상기 Q 노드(Q)에 연결된 상기 제9 트랜지스터(T9)의 채널 길이는 상기 제1 트랜지스터(T1)의 길이 보다 약 10 % 내지 50 % 크게 형성될 수 있다. 예를 들면, 약 4 μm 내지 약 5 μm 일 수 있다.
- [0127] 상기 제1 유지부(262)는 제10 트랜지스터(T10)를 포함한다. 상기 제10 트랜지스터(T10)는 제1 클럭 단자(CT1)에 연결된 제어 전극, 상기 Q 노드(Q)에 연결된 입력 전극 및 출력 노드(O)에 연결된 출력 전극을 포함한다. 상기 제1 유지부(262)는 상기 클럭 신호(CK)의 하이 전압에 응답하여 상기 Q 노드(Q)의 전압을 상기 출력 노드(O)의 전압으로 유지한다. 상기 Q 노드(Q)에 연결된 상기 제10 트랜지스터(T10)의 채널 길이는 상기 제1 트랜지스터(T1)의 길이 보다 약 10 % 내지 50 % 크게 형성될 수 있다. 예를 들면, 약 4 μm 내지 약 5 μm 일 수 있다.
- [0128] 상기 제2 유지부(263)는 제11 트랜지스터(T11)를 포함한다. 상기 제11 트랜지스터(T11)는 상기 제2 클럭 단자(CT2)에 연결된 제어 전극, 상기 Q 노드(Q)에 연결된 입력 전극 및 상기 제1 입력 단자(IN1)에 연결된 출력 전극을 포함한다. 상기 제2 유지부(263)는 상기 반전 클럭 신호(CKB)의 하이 전압에 응답하여 상기 Q 노드(Q)의 신호를 상기 제n-1 캐리 신호(CRn-1)의 로우 레벨로 유지한다. 상기 Q 노드(Q)에 연결된 상기 제11 트랜지스터(T11)의 채널 길이는 상기 제1 트랜지스터(T1)의 길이 보다 약 10 % 내지 50 % 크게 형성될 수 있다. 예를 들면, 약 4 μm 내지 약 5 μm 일 수 있다.
- [0129] 상기 리셋부(264)는 제6 트랜지스터(T6)를 포함한다. 상기 제6 트랜지스터(T6)는 제3 입력 단자(IN3)에 연결된 제어 전극, 상기 Q 노드(Q)에 연결된 입력 전극 및 상기 전압 단자(VT)에 연결된 출력 전극을 포함한다. 상기 리셋부(264)는 마지막 게이트 신호(GLAST)의 하이 전압에 응답하여 상기 Q 노드(Q)의 신호를 상기 로우 전압(VSS)으로 리셋한다. 상기 Q 노드(Q)에 연결된 상기 제6 트랜지스터(T6)의 채널 길이는 상기 제1 트랜지스터(T1)의 길이 보다 약 10 % 내지 50 % 크게 형성될 수 있다. 예를 들면, 약 4 μm 내지 약 5 μm 일 수 있다.
- [0130] 상기 제2 노드 제어부(270)는 제3 방전부(271), 제3 유지부(272) 및 제4 유지부(273)를 포함하고, 상기 출력 노드(Q)에 인가되는 신호를 제어한다.
- [0131] 상기 제3 방전부(271)는 제2 트랜지스터(T2)를 포함한다. 상기 제2 트랜지스터(T2)는 상기 제2 입력 단자(IN2)에 연결된 제어 전극, 상기 출력 노드(O)에 연결된 입력 전극 및 상기 전압 단자(VT)에 연결된 출력 전극을 포함한다. 상기 제3 방전부(271)는 상기 제n+1 게이트 신호(Gn+1)의 하이 전압에 응답하여 상기 출력 노드(O)의 신호, 즉, 상기 제n 게이트 신호(Gn)를 상기 로우 전압(VSS)으로 방전한다. 상기 제2 트랜지스터(T2)의 채널 길이는 약 3.5 μm 일 수 있다.
- [0132] 상기 제3 유지부(272)는 제3 트랜지스터(T3)를 포함한다. 상기 제3 트랜지스터(T3)는 상기 인버팅 노드(N)에 연결된 제어 전극, 상기 출력 노드(O)에 연결된 입력 전극 및 상기 전압 단자(VT)에 연결된 출력 전극을 포함한다. 상기 제3 유지부(272)는 상기 인버팅 노드(N)의 하이 전압에 응답하여 상기 제n 게이트 신호(Gn)를 상기 로우 전압(VSS)으로 유지한다. 상기 제3 트랜지스터(T3)의 채널 길이는 약 3.5 μm 일 수 있다.
- [0133] 상기 제4 유지부(273)는 제5 트랜지스터(T5)를 포함한다. 상기 제5 트랜지스터(T5)는 상기 제2 입력 단자(IN2)에 연결된 제어 전극, 상기 출력 노드(O)에 연결된 입력 전극 및 상기 전압 단자(VT)에 연결된 출력 전극을 포함한다. 상기 제4 유지부(273)는 상기 반전 클럭 신호(CKB)의 하이 전압에 응답하여 상기 제n 게이트 신호(Gn)를 상기 로우 전압(VSS)으로 유지한다. 상기 제5 트랜지스터(T5)의 채널 길이는 약 3.5 μm 일 수 있다.
- [0134] 도 10a 내지 도 10e는 부스트 업 구간에서 도 9에 도시된 트랜지스터들의 동작을 설명하기 위한 개념도들이다.
- [0135] 도 4 및 도 10a를 참조하면, 상기 Q 노드(Q)의 부스트 업 구간인 제n 구간(Tn)에서, 본 실시예의 상기 제4 트랜지스터(T4)의 게이트 전극(GE) 및 소스 전극(SE)에는 상기 제n-1 캐리 신호(CRn-1)의 로우 전압(VSS)이 인가되고, 드레인 전극(DE)에는 부스트 업 된 제2 전압(VB)이 인가된다. 상기 제4 트랜지스터(T4)는 게이트 전극(GE)

과 소스 전극(SE) 간에는 0V의 게이트-소스 전압(Vgs4)을 갖고, 드레인 전극(DE)과 소스 전극(SE) 사이에는 드레인-소스 전류(Ids4)가 흐른다. 상기 제4 트랜지스터(T4)의 채널 길이를 상기 제1 트랜지스터의 채널 길이 보다 길게, 예컨대, 약 4 μm 내지 약 5 μm 로 형성하여 상기 드레인-소스 전류(Ids4)를 감소시킬 수 있다.

[0136] 제n-1 구간(Tn-1) 동안, 상기 제4 트랜지스터(T4)는 부스트 업 구동을 위해 상기 Q 노드(Q)에 상기 제1 전압(V1)을 제공한다. 따라서 상기 채널 길이를 강제로 늘리는 경우 구동 특성이 저하되어 상기 부스트 업 구동에 문제가 될 수 있다. 따라서 구동 마진이 있는 경우는 상기 채널 길이를 상기 제1 트랜지스터(T1)의 채널 길이 보다 길게, 예컨대, 4 μm 내지 5 μm 로 형성할 수 있다. 반대로 구동 마진이 없는 경우에 상기 채널 길이를 상기 제1 트랜지스터(T1)의 채널 길이와 동일하게, 예컨대, 약 3.5 μm 로 형성할 수 있다.

[0137] 도 4 및 도 10b를 참조하면, 상기 제n 구간(Tn)에서, 상기 제6 트랜지스터(T6)의 게이트 전극(GE)에는 마지막 게이트 신호(GLAST)의 로우 전압(VSS)이 인가되고, 드레인 전극(DE)에는 상기 제2 전압(VB)이 인가되고, 소스 전극(SE)에는 상기 전압 단자(VT)에 수신된 상기 로우 전압(VSS)이 인가된다. 상기 제6 트랜지스터(T6)는 게이트 전극(GE)과 소스 전극(SE) 간에는 0V의 게이트-소스 전압(Vgs6)을 갖고, 드레인 전극(DE)과 소스 전극(SE) 사이에는 드레인-소스 전류(Ids6)가 흐른다. 상기 제6 트랜지스터(T6)의 채널 길이를 상기 제1 트랜지스터(T1)의 채널 길이 보다 길게, 예컨대, 약 4 μm 내지 약 5 μm 로 형성하여 상기 드레인-소스 전류(Ids6)를 감소시킬 수 있다.

[0138] 도 4 및 도 10c를 참조하면, 상기 제n 구간(Tn)에서, 상기 제9 트랜지스터(T9)의 게이트 전극(GE)에는 제n+1 게이트 신호(Gn+1)의 로우 전압(VSS)이 인가되고, 드레인 전극(DE)에는 상기 제2 전압(VB)이 인가되고, 소스 전극(SE)에는 상기 전압 단자(VT)에 수신된 상기 로우 전압(VSS)이 인가된다. 상기 제9 트랜지스터(T9)는 게이트 전극(GE)과 소스 전극(SE) 간에는 0V의 게이트-소스 전압(Vgs9)을 갖고, 드레인 전극(DE)과 소스 전극(SE) 사이에는 드레인-소스 전류(Ids9)가 흐른다. 상기 제9 트랜지스터(T9)의 채널 길이를 상기 제1 트랜지스터(T1)의 채널 길이 보다 길게, 예컨대, 약 4 μm 내지 약 5 μm 로 형성하여 상기 드레인-소스 전류(Ids9)를 감소시킬 수 있다.

[0139] 도 4 및 도 10d를 참조하면, 상기 제n 구간(Tn)에서, 상기 제11 트랜지스터(T11)의 게이트 전극(GE)에는 상기 반전 클럭 신호(CKB)의 로우 전압(VSS)이 인가되고, 드레인 전극(DE)에는 상기 제2 전압(VB)이 인가되고, 소스 전극(SE)에는 상기 제n-1 캐리 신호(CRn-1)의 로우 전압(VSS)이 인가된다. 상기 제11 트랜지스터(T11)는 게이트 전극(GE)과 소스 전극(SE) 간에는 0V의 게이트-소스 전압(Vgs11)을 갖고, 드레인 전극(DE)과 소스 전극(SE) 사이에는 드레인-소스 전류(Ids11)가 흐른다. 상기 제11 트랜지스터(T11)의 채널 길이를 상기 제1 트랜지스터(T1)의 채널 길이 보다 길게, 예컨대, 약 4 μm 내지 약 5 μm 로 형성하여 상기 드레인-소스 전류(Ids11)를 감소시킬 수 있다.

[0140] 도 4 및 도 10e를 참조하면, 상기 제n 구간(Tn)에서, 상기 제10 트랜지스터(T10)의 게이트 전극(GE)에는 상기 클럭 신호(CK)의 하이 전압(VDD)이 인가되고, 드레인 전극(DE)에는 상기 제2 전압(VB)이 인가되고, 소스 전극(SE)에는 상기 출력 노드(O)의 하이 전압(VDD)이 인가된다. 상기 제10 트랜지스터(T10)는 게이트 전극(GE)과 소스 전극(SE) 간에는 0V의 게이트-소스 전압(Vgs10)을 갖고, 드레인 전극(DE)과 소스 전극(SE) 사이에는 드레인-소스 전류(Ids10)가 흐른다. 상기 제10 트랜지스터(T10)의 채널 길이를 상기 제1 트랜지스터(T1)의 채널 길이 보다 길게, 예컨대, 약 4 μm 내지 약 5 μm 로 형성하여 상기 드레인-소스 전류(Ids10)를 감소시킬 수 있다.

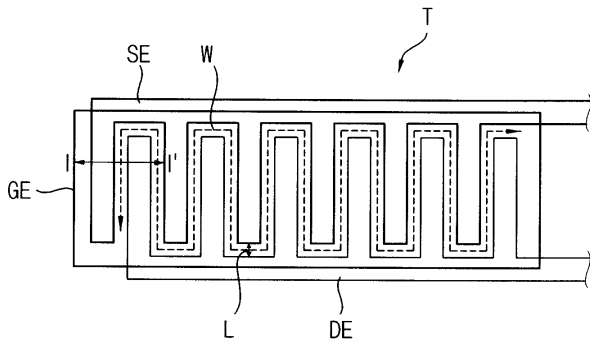
[0141] 본 실시예에 따르면, 상기 Q 노드에 연결된 상기 제4, 제6, 제9, 제10 및 제11 트랜지스터들 중 적어도 하나의 채널 길이를 증가시킴으로써 상기 부스트 업 구간에서 상기 Q 노드의 신호 레벨을 증가시켜 상기 게이트 신호의 하이 레벨 및 지연 구간을 개선할 수 있다.

[0142] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

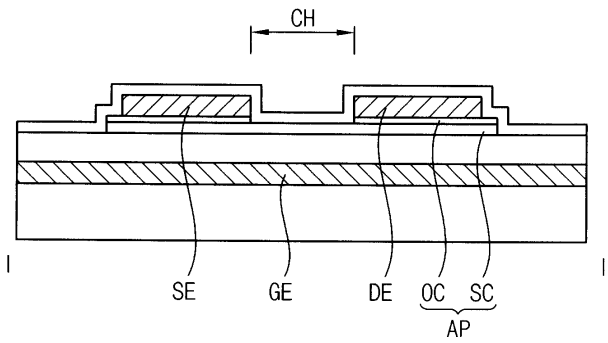
부호의 설명

- [0143] 100 : 표시 패널
- 200, 300 : 게이트 구동회로
- 400 : 소스 구동회로
- 500 : 인쇄회로기판
- SRCn : 제n 스테이지
- 210 : 버퍼부
- 220 : 충전부
- 230 : 게이트 출력부

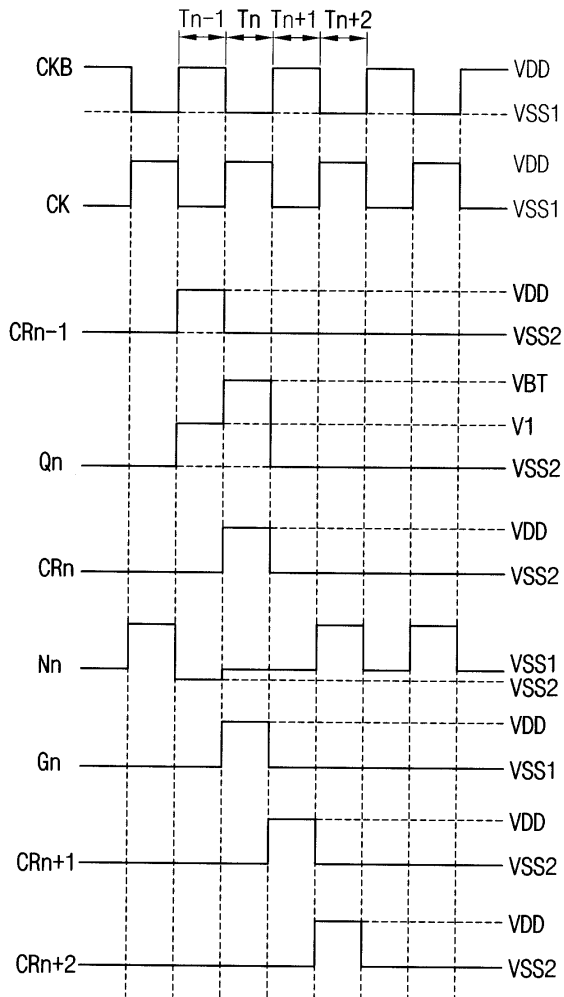
도면3a



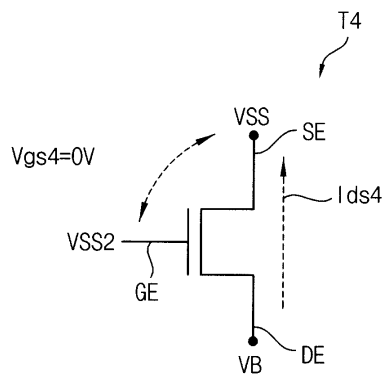
도면3b



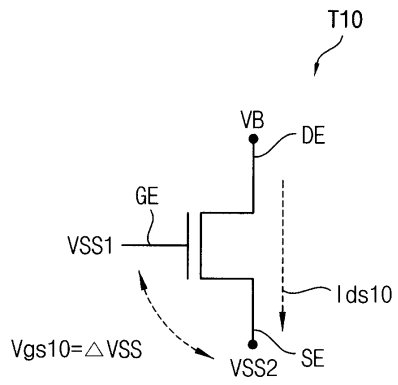
도면4



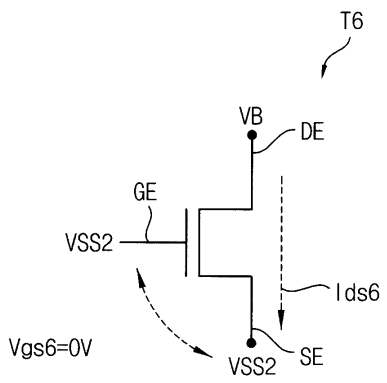
도면5a



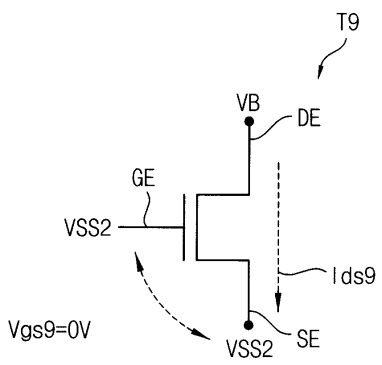
도면5b



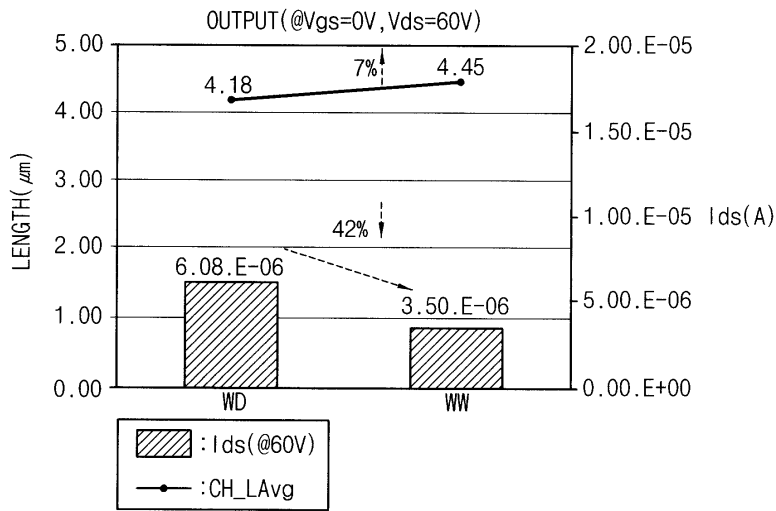
도면5c



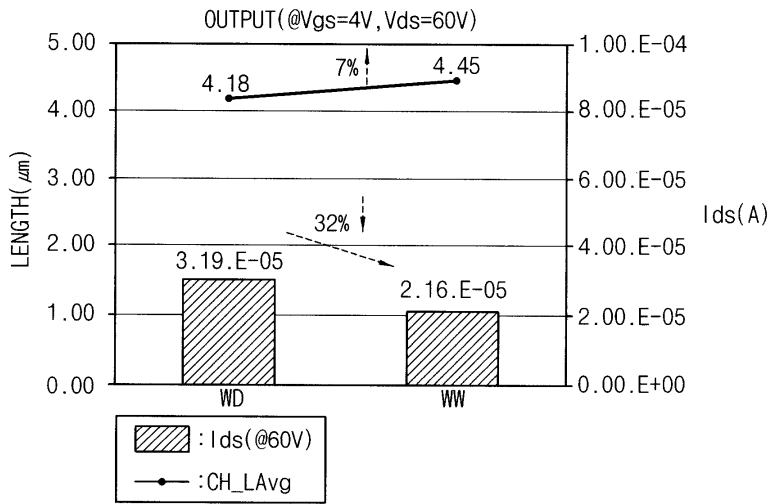
도면5d



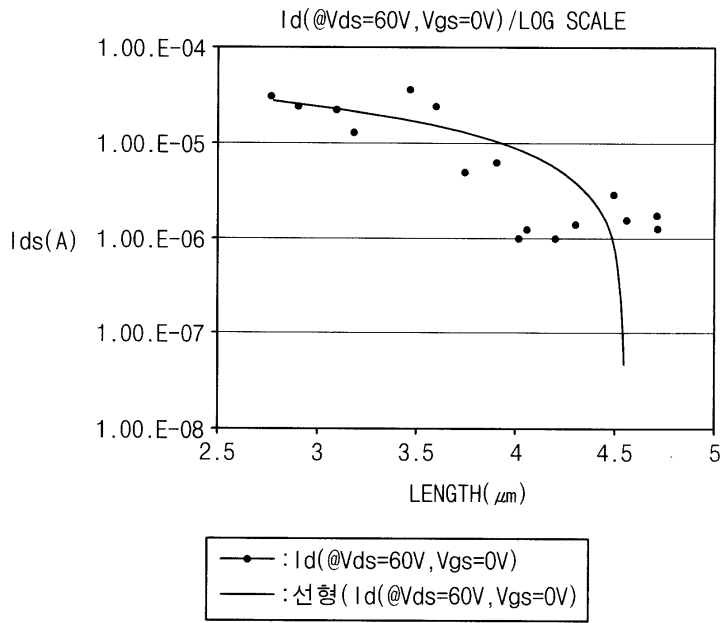
도면6a



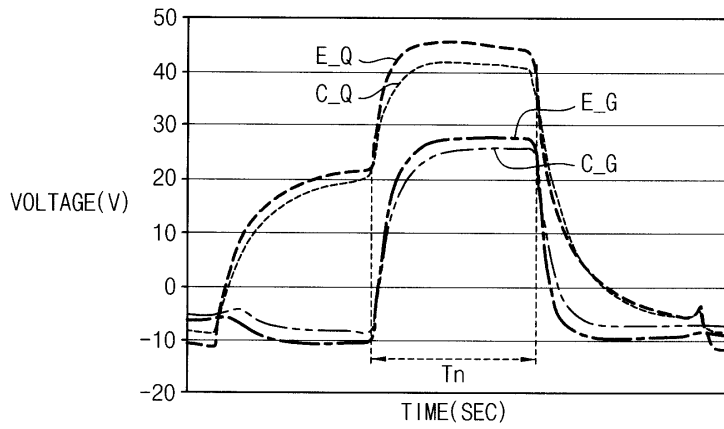
도면6b



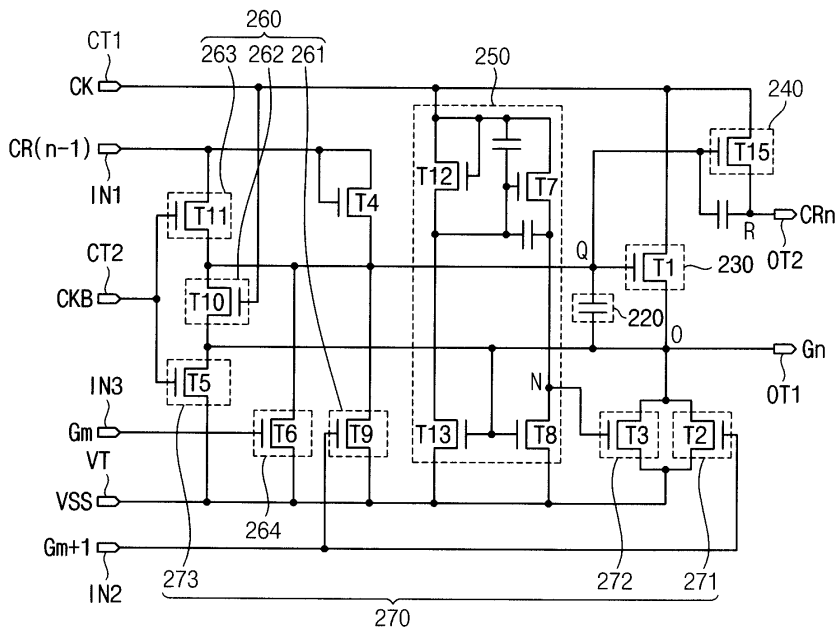
도면7



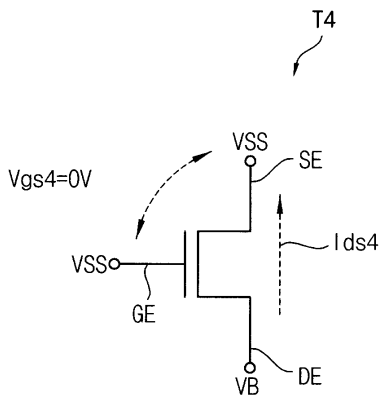
도면8



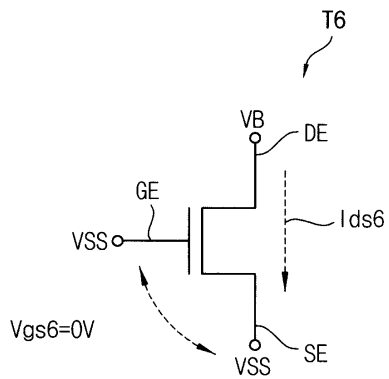
도면9



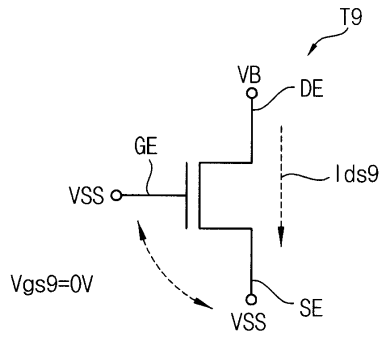
도면10a



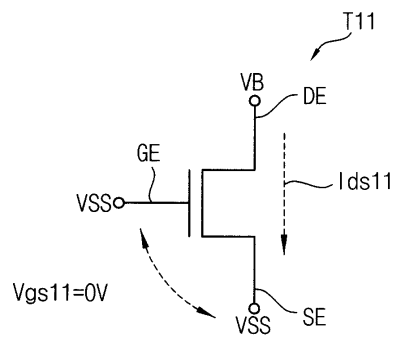
도면10b



도면10c



도면10d



도면10e

