

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4641741号
(P4641741)

(45) 発行日 平成23年3月2日(2011.3.2)

(24) 登録日 平成22年12月10日(2010.12.10)

(51) Int.Cl. F I

HO 1 L 29/786 (2006.01)

HO 1 L 21/336 (2006.01)

HO 1 L 27/088 (2006.01)

HO 1 L 21/8234 (2006.01)

HO 1 L 27/08 (2006.01)

HO 1 L 29/78 6 1 6 A

HO 1 L 27/08 1 0 2 B

HO 1 L 27/08 3 3 1 E

HO 1 L 29/78 6 1 2 B

HO 1 L 29/78 6 1 3 Z

請求項の数 10 (全 21 頁)

(21) 出願番号	特願2004-159597 (P2004-159597)	(73) 特許権者	000006013
(22) 出願日	平成16年5月28日 (2004. 5. 28)		三菱電機株式会社
(65) 公開番号	特開2005-340638 (P2005-340638A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成17年12月8日 (2005. 12. 8)	(74) 代理人	100064746
審査請求日	平成18年10月5日 (2006. 10. 5)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

それぞれ半導体層、絶縁膜および電極を有して所定の基板上に形成された複数の半導体素子を含む半導体装置であって、

前記電極は単層の導電層から形成され、

複数の前記半導体素子のそれぞれは、

前記半導体層に形成され、所定の不純物濃度を有する第1不純物領域と、

前記第1不純物領域と距離を隔てて前記半導体層に形成され、所定の不純物濃度を有する第2不純物領域と、

前記第1不純物領域と前記第2不純物領域との間に位置する前記半導体層の部分に前記第1不純物領域および前記第2不純物領域とそれぞれ距離を隔てて形成され、所定のチャネル長を有するチャネルとなるチャネル領域と、

前記第1不純物領域と前記チャネル領域との間に位置する前記半導体層の部分に前記チャネル領域と接するように形成され、前記第1不純物領域よりも低い不純物濃度を有するとともに、チャネル長方向に一定の不純物濃度を有する第3不純物領域と、

前記第2不純物領域と前記チャネル領域との間に位置する前記半導体層の部分に前記チャネル領域に接するように形成され、前記第2不純物領域よりも低い不純物濃度を有するとともに、チャネル長方向に一定の不純物濃度を有する第4不純物領域と、

前記第1不純物領域と前記第3不純物領域との間に位置する前記半導体層の部分に形成され、前記第1不純物領域に接する第5不純物領域と、

10

20

前記第 2 不純物領域と前記第 4 不純物領域との間に位置する前記半導体層の部分に形成され、前記第 2 不純物領域に接する第 6 不純物領域とを有し、

複数の前記半導体素子のそれぞれでは、

前記絶縁膜は前記半導体層と前記電極とにそれぞれ接するように前記半導体層と前記電極との間に形成され、

前記電極は、対向する一方側部および他方側部を有し、

前記第 3 不純物領域と前記第 5 不純物領域との接合部および前記一方側部は略同一平面上に位置するとともに、前記第 4 不純物領域と前記第 6 不純物領域との接合部および前記他方側部は略同一平面上に位置し、

10

前記電極は、前記チャンネル領域、前記第 3 不純物領域および前記第 4 不純物領域のそれぞれの全体と対向してオーバーラップし、前記第 1 不純物領域、前記第 2 不純物領域、前記第 5 不純物領域および前記第 6 不純物領域とはオーバーラップしないように形成され、

前記電極と前記第 3 不純物領域とが対向してオーバーラップしている部分および前記電極と前記第 4 不純物領域とが対向してオーバーラップしている部分が、チャンネル長方向に略等しい所定のオーバーラップ長を有し、

複数の前記半導体素子は、

前記所定のオーバーラップ長として第 1 のオーバーラップ長を有する第 1 素子と、

前記所定のオーバーラップ長として前記第 1 のオーバーラップ長よりも短い第 2 のオーバーラップ長を有する第 2 素子とを備え、

20

前記第 1 素子および前記第 2 素子をそれぞれ形成する前記第 1 不純物領域～前記第 6 不純物領域は、同じ導電型とされ、

前記第 1 素子および前記第 2 素子では、前記第 5 不純物領域のチャンネル長方向の長さと同様に前記第 6 不純物領域のチャンネル長方向の長さはすべて同じ長さにされた、半導体装置。

【請求項 2】

複数の前記半導体素子は、

前記所定のオーバーラップ長として第 3 のオーバーラップ長を有する第 3 素子と、

前記所定のオーバーラップ長として前記第 3 のオーバーラップ長よりも短い第 4 のオーバーラップ長を有する第 4 素子とを備え、

30

前記第 3 素子および前記第 4 素子のそれぞれは、

前記半導体層に形成され、所定の不純物濃度を有する第 7 不純物領域と、

前記第 7 不純物領域と距離を隔てて前記半導体層に形成され、所定の不純物濃度を有する第 8 不純物領域と、

前記第 7 不純物領域と前記第 8 不純物領域との間に位置する前記半導体層の部分に前記第 7 不純物領域および前記第 8 不純物領域とそれぞれ距離を隔てて形成され、所定のチャンネル長を有するチャンネルとなるチャンネル領域と、

前記第 7 不純物領域と前記チャンネル領域との間に位置する前記半導体層の部分に前記チャンネル領域と接するように形成され、前記第 7 不純物領域よりも低い不純物濃度を有するとともに、チャンネル長方向に一定の不純物濃度を有する第 9 不純物領域と、

40

前記第 8 不純物領域と前記チャンネル領域との間に位置する前記半導体層の部分に前記チャンネル領域に接するように形成され、前記第 8 不純物領域よりも低い不純物濃度を有するとともに、チャンネル長方向に一定の不純物濃度を有する第 10 不純物領域とを有し、

前記第 3 素子および前記第 4 素子をそれぞれ形成する前記第 7 不純物領域～前記第 10 不純物領域は、同じ導電型とされた、請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 素子～前記第 4 素子は、所定の前記基板として同一の基板上に形成された、請求項 2 記載の半導体装置。

50

【請求項 4】

複数の画素から構成され、画像を表示するための画素部と、
前記画素部を駆動するための駆動回路部と
を備え、

前記画素部および前記駆動回路部は、前記第 1 素子および前記第 3 素子の少なくともいずれかによって構成される、請求項 2 または 3 に記載の半導体装置。

【請求項 5】

前記第 1 素子～前記第 4 素子は、n チャネル型のトランジスタである、請求項 2～4 のいずれかに記載の半導体装置。

【請求項 6】

前記第 3 不純物領域および前記第 4 不純物領域の不純物濃度は、 $1 \times 10^{17} \text{ atom/cm}^3$ 以上で $1 \times 10^{19} \text{ atom/cm}^3$ 以下である、請求項 1～5 のいずれかに記載の半導体装置。

【請求項 7】

前記第 3 不純物領域および前記第 4 不純物領域の不純物濃度は、前記第 5 不純物領域および前記第 6 不純物領域の不純物濃度よりも低く設定された、請求項 2～6 のいずれかに記載の半導体装置。

【請求項 8】

前記第 1 のオーバーラップ長～前記第 4 のオーバーラップ長は、 $0.1 \mu\text{m}$ 以上 $2 \mu\text{m}$ 以下の範囲で設定された、請求項 2～7 のいずれかに記載の半導体装置。

【請求項 9】

所定の前記基板はガラス基板および石英基板のいずれかである、請求項 1～8 のいずれかに記載の半導体装置。

【請求項 10】

前記半導体層は多結晶シリコンである、請求項 1～9 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、特に、液晶表示デバイスや有機 EL (Electro Luminescence) 表示デバイスなどの表示デバイスに適用される半導体装置に関するものである。

【背景技術】

【0002】

表示デバイスには薄膜トランジスタが使用されている。そのような薄膜トランジスタの一例として、特許文献 1 に記載された GOLD (Gate Overlapped Lightly Doped Drain) 構造の薄膜トランジスタについて説明する。GOLD 構造の n チャネル型薄膜トランジスタは、ソース領域、ドレイン領域、チャネル領域、GOLD 領域、ゲート絶縁膜およびゲート電極等を有してガラス基板上に形成される。

【0003】

GOLD 領域は、チャネル領域とドレイン領域との間の領域において、特に、ゲート電極の直下に位置する領域に形成されて、ゲート電極と平面的にオーバーラップしている。その GOLD 領域はチャネル領域における不純物濃度よりも高く、ドレイン領域における不純物濃度よりも低い濃度に設定されている。

【0004】

次に、GOLD 構造の n チャネル型薄膜トランジスタの動作について説明する。ゲートに所定の正電圧を印加するとチャネル領域にチャネルが形成されて、ソース領域とドレイン領域との間の抵抗が小さくなり、ソース領域とドレイン領域との間に電流を流すことができる状態となる。

【0005】

ゲートに比べてドレインにより高い電圧を印加することによって、ドレイン側の接合部分に比較的大きな電界が生じる。この電界により加速された電子がインパクトイオン化現

10

20

30

40

50

象を引き起こして、電子と正孔の対が生成される。この現象が繰り返されて電子と正孔の対が増大しドレイン電流が増加して、アバランシェ破壊に至ることになる。このときのドレイン電圧がソース・ドレイン耐圧となる。

【 0 0 0 6 】

なお、本明細書では、ゲート電極に 0 V を印加して、ソース・ドレイン間に流れるドレイン電流が、ゲート幅 1 μm 当たり 0 . 1 μA 流れるときのドレイン電圧をソース・ドレイン耐圧とした。

【 0 0 0 7 】

GOLD 領域は、このソース・ドレイン耐圧を向上するために設けられたもので、チャネル領域とドレイン領域との間の領域においてゲート電極と重なるように形成されている。通常、GOLD 領域の不純物濃度はドレイン領域の不純物濃度より低い濃度に設定される。このような構造によれば、ドレイン近傍の電界がチャネル領域と GOLD 領域との接合部で緩和されて、インパクトイオン化現象を抑制することができ、ソース・ドレイン耐圧を向上することができる。

10

【 0 0 0 8 】

その GOLD 領域のチャネル長方向の長さをより長く設定することによって、ソース・ドレイン耐圧をさらに向上することができる。

【特許文献 1】特開 2 0 0 0 - 2 5 2 4 7 3 号公報

【発明の開示】

【発明が解決しようとする課題】

20

【 0 0 0 9 】

しかしながら、従来の半導体装置では次のような問題点があった。従来の半導体装置では、すべての n チャネル型の GOLD 構造の薄膜トランジスタに対して GOLD 領域の GOLD 長が同じ長さに設定されていた。そのため、GOLD 長としては、薄膜トランジスタが形成された TFT (Thin Film Transistor) アレイ基板の中で最も高いソース・ドレイン耐圧が要求される n チャネル型の薄膜トランジスタに合わせて長い GOLD 長を設定する必要があった。すなわち、印加される電圧が最も高い n チャネル型の薄膜トランジスタに合わせて長い GOLD 長を設定する必要があった。

【 0 0 1 0 】

そのために、印加される電圧が比較的 low、そのような長い GOLD 長を必要しない n チャネル型の薄膜トランジスタに対しても、長い GOLD 長を設定していた。

30

【 0 0 1 1 】

このように、本来長い GOLD 長を必要としない薄膜トランジスタに対しても、長い GOLD 長を設定していたために薄膜トランジスタの占有面積が増大してしまい、1 枚のガラス基板から製造される TFT アレイ基板の数が減少して製造コストが上昇するという問題があった。

【 0 0 1 2 】

本発明は、上記問題点を解決するためになされたものであり、その目的は、半導体素子の占有面積の削減が図られる半導体装置を提供することである。

【課題を解決するための手段】

40

【 0 0 1 3 】

本発明に係る半導体装置は、それぞれ半導体層、絶縁膜および電極を有して所定の基板上に形成された複数の半導体素子を含む半導体装置である。複数の半導体素子のそれぞれは、第 1 不純物領域と第 2 不純物領域とチャネル領域と第 3 不純物領域と第 4 不純物領域とを有している。第 1 不純物領域は半導体層に形成され、所定の不純物濃度を有している。第 2 不純物領域は、第 1 不純物領域と距離を隔てて半導体層に形成され、所定の不純物濃度を有している。チャネル領域は、第 1 不純物領域と第 2 不純物領域との間に位置する半導体層の部分に第 1 不純物領域および第 2 不純物領域とそれぞれ距離を隔てて形成され、所定のチャネル長を有してチャネルとなる。第 3 不純物領域は、第 1 不純物領域とチャネル領域との間に位置する半導体層の部分にチャネル領域と接するように形成され、第 1

50

不純物領域よりも低い不純物濃度を有している。第４不純物領域は、第２不純物領域とチャンネル領域との間に位置する半導体層の部分にチャンネル領域に接するように形成され、第２不純物領域よりも低い不純物濃度を有している。複数の半導体素子のそれぞれでは、絶縁膜は半導体層と電極とにそれぞれ接するように半導体層と電極との間に形成されている。電極は、対向する一方側部および他方側部を有して、チャンネル領域、第３不純物領域の部分および第４不純物領域の部分と対向するようにオーバーラップして形成されている。一方側部を含む平面が半導体層と交わる部分からチャンネル領域までの、電極と第３不純物領域とが対向してオーバーラップしている部分および他方側部を含む平面が半導体層と交わる部分からチャンネル領域までの、電極と第４不純物領域とが対向してオーバーラップしている部分が、チャンネル長方向に所定のオーバーラップ長を有している。そして、複数の半導体素子は、所定のオーバーラップ長として第１のオーバーラップ長を有する第１素子と、所定のオーバーラップ長として第１のオーバーラップ長よりも短い第２のオーバーラップ長を有する第２素子とを備えている。

10

【発明の効果】

【００１４】

この構成によれば、半導体装置に要求される特性に応じて、第１のオーバーラップ長を有する第１素子に加えて第２のオーバーラップ長を有する第２素子を適用することによって、第２素子の占有面積が低減して半導体素子の占有面積を削減することができる。

【発明を実施するための最良の形態】

【００１５】

20

実施の形態１

本発明の実施の形態１に係る半導体装置として液晶表示装置について説明する。図１は、液晶表示装置のＴＦＴアレイ基板の構成を示すブロック図である。まず、画像を表示するための画素部２１は、画素薄膜トランジスタ２２、液晶（画素容量）２３、蓄積容量２４、コモン電極（コモン線）２５、データ線２６、アドレス線２７、Ｃｓ（Common Source）線２８および画素電極２９から構成されている。

【００１６】

その画素部２１の周辺には、ソースドライバ３０、ゲートドライバ３１、対向電極駆動回路３２、電源回路３３、階調電圧回路３４および信号制御回路３５が設けられている。これらソースドライバ３０～信号制御回路３５の各回路は、ガラス基板上に形成される薄膜トランジスタによって構成されている。なお、画素部２１を駆動するための駆動回路として、ソースドライバ３０、対向電極駆動回路３２および階調電圧回路３４が含まれる。

30

【００１７】

次に、ＴＦＴアレイ基板の動作について簡単に説明する。まず、ＴＦＴアレイ基板の外部（図示せず）から電源回路３３に対して所定の電源電圧が供給される。電源回路３３から、ソースドライバ３０、ゲートドライバ３１、対向電極駆動回路３２、階調電圧回路３４、信号制御回路３５に対してそれぞれ必要な電圧が供給される。

【００１８】

また、ＴＦＴアレイ基板の外部から、映像信号であるデータ信号、同期をとるための同期信号およびクロック信号が信号制御回路３５に入力される。信号制御回路３５は、データ信号、制御信号およびクロック信号をソースドライバ３０に供給するとともに、制御信号とクロック信号をゲートドライバ３１に供給する。階調電圧回路３４は、ソースドライバ３０の出力電圧発生に用いられる１０個の階調電圧をソースドライバ３０に供給する。対向電極駆動回路３２は、コモン電圧を画素電極２９に対向するコモン電極２５に供給する。

40

【００１９】

ソースドライバ３０では、信号制御回路３５から送られる画素データ信号としてのＲＧＢ信号のたとえば各６ビットの画素データが、同様に信号制御回路３５から送られるクロック信号のタイミングで順次ラッチして、ソースドライバ３０に取り込まれる。次に、この画素データはソースドライバ３０内の６ビットのＤＡコンバータによってアナログ信号

50

に変換されて、画素部 21 のデータ線 26 に供給される。

【0020】

ゲートドライバ 31 はシフトレジスタと出力回路からなり、信号制御回路 35 から送られるクロック信号によってレジスタをシフト動作させ、レジスタが H (High) レベルであれば画素薄膜トランジスタ 22 のオン電圧に出力回路を切り換える。一方、L (Low) レベルであればオフ電圧に出力回路を切り換える。このようにゲートドライバ 31 は、画素部 21 のアドレス線 27 (画素薄膜トランジスタ 22 のゲート) に対して順次オン/オフ電圧を印加する。

【0021】

ゲートドライバ 31 によってオン電圧が印加されたアドレス線 27 に接続されている画素薄膜トランジスタ 22 はオンの状態になる。オンの状態の間にソースドライバ 30 からそれぞれのデータ線 26 に送られたそれぞれの画素データに対応した電圧信号 (アナログ信号) が蓄積容量 24 に送られる。

10

【0022】

蓄積容量 24 では、画素部 21 全体の表示が 1 回行われる 1 フレームの時間 (一般に 16.7 msec) の間、送られたアナログ信号に対応した電圧が保持される。すなわち、1 フレームの間、画素電極 29 の電圧は送られたアナログ信号に対応した電圧に保持されている。

【0023】

この画素電極 29 と対向電極駆動回路 32 から送られたコモン電極 25 の電圧によって、画素容量 23、すなわち液晶に印加される電圧が決まる。そして、その電圧によって液晶 (画素容量 23) の配列状態が決まり、液晶を透過する光強度が決定される。

20

【0024】

このように一つのアドレス線 27 に接続された画素電極 29 のすべてにそれぞれに対応したアナログ信号に対応した電圧が印加された後、アドレス線 27 をオフ電圧にして画素薄膜トランジスタ 22 をオフの状態にする。その後、次のアドレス線 27 (下に位置するアドレス線) をオン電圧を印加して、前のアドレス線 27 の場合の動作と同様して、このアドレス線 27 に接続されている画素電極 29 にそれぞれに対応したアナログ信号に対応した電圧が印加される。このようにしてすべてのアドレス線 27 に対して上述した動作が行われることで、1 フレームの画像表示が終了する。なお、通常 Cs 線 28 は接地されている。

30

【0025】

ここで、それぞれの回路の動作電圧について説明する。TFT アレイ基板の外部から与えられるデータ信号、同期信号、クロック信号および電源のそれぞれの電圧は 3.3 V とされる。当然のことながら、データ信号、同期信号、クロック信号は 0 V から 3.3 V の範囲で変化することになる。また、信号制御回路 35 およびゲートドライバ 31 も、電源電圧 3.3 V で動作する。

【0026】

一方、画素部 21 の画素薄膜トランジスタ 22、ソースドライバ 30、対向電極駆動回路 32 および階調電圧回路 34 のそれぞれの電圧は 5 V とされる。これは液晶 (画素容量 23) を駆動するためには 5 V の電圧が必要とされるからである。

40

【0027】

このため、電源回路 33 は、信号制御回路 35 およびゲートドライバ 31 には 3.3 V の電圧を供給するとともに、画素薄膜トランジスタ 22、ソースドライバ 30、対向電極駆動回路 32 および階調電圧回路 34 には 5 V の電圧を昇圧回路により発生させて供給している。

【0028】

次に、TFT アレイ基板に形成される薄膜トランジスタの構造について説明する。図 2 に示すように、無アルカリのガラス基板 1 上に膜厚約 50 nm のシリコン窒化膜 2 が形成され、そのシリコン窒化膜 2 上に膜厚約 100 nm のシリコン酸化膜 3 が形成されている

50

。そのシリコン酸化膜 3 のうち、領域 R 1 に位置するシリコン酸化膜 3 の部分上にはアイランド状の多結晶シリコン膜が形成されている。

【 0 0 2 9 】

その多結晶シリコン膜には、所定の不純物濃度を有するソース領域 4 5 と、そのソース領域 4 5 と距離を隔てられた所定の不純物濃度を有するドレイン領域 4 6 が形成されている。ソース領域 4 5 とドレイン領域 4 6 との間に位置する領域には、ソース領域 4 5 およびドレイン領域 4 5 とそれぞれ距離を隔てられて、所定のチャンネル長を有するチャンネル領域 4 0 が形成されている。

【 0 0 3 0 】

ソース領域 4 5 とチャンネル領域 4 0 との間に位置する領域には、G O L D 領域 4 1 が形成されている。また、ドレイン領域 4 6 とチャンネル領域 4 0 との間に位置する領域には、G O L D 領域 4 2 が形成されている。G O L D 領域 4 1 , 4 2 のそれぞれの不純物濃度は、チャンネル領域 4 0 の不純物濃度よりも高く、ソース領域 4 5 およびドレイン領域 4 6 の不純物濃度よりも低く設定されている。

【 0 0 3 1 】

一方、シリコン酸化膜 3 のうち、領域 R 2 に位置するシリコン酸化膜 3 の部分上にもアイランド状の多結晶シリコン膜が形成されている。その多結晶シリコン膜においても、領域 R 1 と同様に、所定の不純物濃度を有するチャンネル領域 4 0 、ソース領域 4 5 、ドレイン領域 4 6 および G O L D 領域 4 1 , 4 2 がそれぞれ形成されている。

【 0 0 3 2 】

そのアイランド状の多結晶シリコン膜を覆うように、膜厚約 1 0 0 n m のシリコン酸化膜からなるゲート絶縁膜 5 が形成されている。そのゲート絶縁膜 5 のうち、領域 R 1 と領域 R 2 に位置するゲート絶縁膜 5 の部分上にゲート電極 6 a がそれぞれ形成されている。そのゲート電極 6 a を覆うように、たとえば膜厚約 5 0 0 n m のシリコン酸化膜からなる層間絶縁膜 7 が形成されている。

【 0 0 3 3 】

その層間絶縁膜 7 のうち、領域 R 1 に位置する層間絶縁膜 7 の部分では、ソース領域 4 5 の表面を露出するコンタクトホール 7 a と、ドレイン領域 4 6 の表面を露出するコンタクトホール 7 b がそれぞれ形成されている。そのコンタクトホール 7 a , 7 b を充填するように、層間絶縁膜 7 上にソース電極 8 a とドレイン電極 8 b とが形成されている。

【 0 0 3 4 】

また、領域 R 2 に位置する層間絶縁膜 7 の部分においても、ソース領域 4 5 の表面を露出するコンタクトホール 7 a と、ドレイン領域 4 6 の表面を露出するコンタクトホール 7 b がそれぞれ形成され、そして、そのコンタクトホール 7 a , 7 b を充填するように、層間絶縁膜 7 上にソース電極 8 a とドレイン電極 8 b とが形成されている。

【 0 0 3 5 】

このようにして、領域 R 1 では、ゲート電極 6 a 、ソース領域 4 5 、ドレイン領域 4 6 、G O L D 領域 4 1 , 4 2 およびチャンネル領域 4 0 によって薄膜トランジスタ T 1 が構成される。一方、領域 R 2 では、ゲート電極 6 a 、ソース領域 4 5 、ドレイン領域 4 6 、G O L D 領域 4 1 , 4 2 およびチャンネル領域 4 0 によって薄膜トランジスタ T 2 が構成される。

【 0 0 3 6 】

薄膜トランジスタ T 1 、T 2 では、それぞれゲート電極 6 a は、チャンネル領域 4 0 の全体を覆うように形成されるとともに、G O L D 領域 4 1 および G O L D 領域 4 2 と平面的にオーバーラップするように形成されている。

【 0 0 3 7 】

つまり、薄膜トランジスタ T 1 では、一方の G O L D 領域 4 1 とソース領域 4 5 との接合部およびゲート電極 6 a の一方側部とは略同一平面 H 1 上に位置し、他方の G O L D 領域 4 2 とドレイン領域 4 6 との接合部およびゲート電極 6 a の他方側部は同一平面 H 2 上に位置している。

10

20

30

40

50

【0038】

一方、薄膜トランジスタT2では、一方のGOLD領域41とソース領域45との接合部およびゲート電極6aの一方側部とは略同一平面H3上に位置し、他方のGOLD領域42とドレイン領域46との接合部およびゲート電極6aの他方側部は同一平面H4上に位置している。

【0039】

薄膜トランジスタT1, T2では、ソース領域45は不純物として濃度 $5 \times 10^{20} \text{ atom/cm}^3$ のリンを含有し、ドレイン領域46も不純物として濃度 $5 \times 10^{20} \text{ atom/cm}^3$ のリンを含有する。GOLD領域41, 42は、不純物として濃度 $1 \times 10^{18} \text{ atom/cm}^3$ のリンを含有する。なお、チャネル領域40は、電氣的に活性な不純物を含有しない。

10

【0040】

また、チャネル領域40の長さ、すなわち、実効ゲート長は $3 \mu\text{m}$ とされる。そして、薄膜トランジスタT1のGOLD領域41, 42のチャネル長方向の長さ(GOLD長)G1, G2は、ともに $1.5 \mu\text{m}$ とされる。一方、薄膜トランジスタT2のGOLD領域41, 42のGOLD長G3, G4は、ともに $0.5 \mu\text{m}$ とされる。

【0041】

次に、上述した液晶表示装置のTFTアレイ基板の製造方法について説明する。図3に示すように、まず、基板として、コーニング社製1737のガラス基板1の主表面上に、たとえばプラズマCVD (Chemical Vapor Deposition) 法により膜厚約 50 nm のシリコン窒化膜2が形成される。そのシリコン窒化膜2上に、膜厚約 100 nm のシリコン酸化膜3が形成される。次に、そのシリコン酸化膜3上に膜厚約 50 nm の非晶質シリコン膜が形成される。

20

【0042】

なお、シリコン窒化膜2はガラス基板1に含まれる不純物が上方に拡散するのを阻止するために形成される。この不純物の拡散を阻止するための膜としてはシリコン窒化膜の他に、 SiON 、 SiC 、 AlN 、 Al_2O_3 などの材料を適用してもよい。また、非晶質シリコン膜の下地膜としてシリコン窒化膜2とシリコン酸化膜3との2層構造としたが、2層構造に限られるものではなく、これらの膜を省いたり、あるいはさらに膜を積層してもよい。

30

【0043】

次に、非晶質シリコン膜を所定の真空中にて熱処理を施すことにより、非晶質シリコン膜中に存在する不要な水素が除去される。次に、非晶質シリコン膜に、たとえばXeClレーザによるレーザ光を照射することにより、図3に示すように、非晶質シリコン膜が多結晶化されて多結晶シリコン膜4とされる。多結晶シリコン膜4の粒径は約 $0.5 \mu\text{m}$ 程度である。

【0044】

次に、その多結晶シリコン膜4の領域R1に位置する部分にはレジストパターン61aが形成され、領域R2に位置する部分にはレジストパターン61bが形成される。次に、そのレジストパターン61a, 61bをマスクとして多結晶シリコン膜4に異方性エッチングを施すことにより、図4に示すように、領域R1, R2にアイランド状の多結晶シリコン膜4a, 4bがそれぞれ形成される。その後、アッシングと薬液処理を施すことで、レジストパターンが61a, 61bが除去される。

40

【0045】

次に、その多結晶シリコン膜4a, 4bを覆うように、シリコン酸化膜からなるゲート絶縁膜5が形成される。次に、薄膜トランジスタのしきい値を制御するために、たとえばドーズ量 $1 \times 10^{12} \text{ atom/cm}^2$ 、加速エネルギー 60 KeV にて多結晶シリコン膜にボロンが注入されて、図5に示すように、アイランド状の不純物領域4aaがそれぞれ形成される。

【0046】

50

次に、図 6 に示すように、所定の写真製版処理を施すことにより、領域 R 1 では薄膜トランジスタ T 1 を形成するためのレジストパターン 6 2 a が形成されるとともに、領域 R 2 では薄膜トランジスタ T 2 を形成するためのレジストパターン 6 2 b が形成される

そのレジストパターン 6 2 a , 6 2 b をマスクとして、たとえばドーズ量 7×10^{12} atom/cm²、加速エネルギー 80 KeV にて不純物領域 4 a a にリンを注入することにより、領域 R 1 , R 2 にはそれぞれ不純物領域 4 a b , 4 a c が形成される。この注入量が GOLD 領域における注入量 (1×10^{18} atom/cm³) になる。その後、アッシングと薬液処理を施すことで、レジストパターン 6 2 a , 6 2 b が除去される。

【 0 0 4 7 】

次に、図 7 に示すように、スパッタ法によりゲート絶縁膜 5 の全面に膜厚約 300 nm のクロム膜 6 が形成される。次に、所定の写真製版処理を施すことにより、領域 R 1、R 2 ではそれぞれゲート電極をパターニングするためのレジストパターン 6 3 a , 6 3 b が形成される。このとき、レジストパターン 6 3 a のゲート長方向の長さ S 1 は、レジストパターン 6 3 b のゲート長方向の長さ S 2 よりも長く設定される。

【 0 0 4 8 】

次に、そのレジストパターン 6 3 a , 6 3 b をマスクとしてクロム膜 6 にドライエッチングを施すことにより、図 8 に示すように、領域 R 1 , R 2 ではそれぞれゲート電極 6 a が形成される。このとき、領域 R 1 のゲート電極 6 a の幅 (ゲート長方向の長さ) は L 1 となり、領域 R 2 のゲート電極 6 a の幅 (ゲート長方向の長さ) は L 2 となる。その後、アッシングと薬液処理を施すことで、レジストパターン 6 3 a , 6 3 b が除去される。

【 0 0 4 9 】

なお、このとき、ウエットエッチングによりゲート電極を形成する場合には、ウエットエッチングによってレジストパターンの寸法が短くなる分をあらかじめ含んだ寸法のレジストパターンを形成することが望ましい。

【 0 0 5 0 】

次に、ゲート電極 6 a をマスクとして、たとえばドーズ量 3×10^{15} atom/cm²、加速エネルギー 80 KeV にてリンを注入することにより、領域 R 1 に位置する不純物領域 4 a b , 4 a c に、薄膜トランジスタ T 1 のソース領域となる不純物領域 4 a d およびドレイン領域となる不純物領域 4 a e がそれぞれ形成される。不純物領域 4 a d , 4 a e の不純物濃度は 5×10^{20} atom/cm³ となる。

【 0 0 5 1 】

一方、領域 R 2 に位置する不純物領域 4 a b , 4 a c に、薄膜トランジスタ T 2 のソース領域となる不純物領域 4 a d およびドレイン領域となる不純物領域 4 a e がそれぞれ形成される。

【 0 0 5 2 】

次に、図 9 に示すように、ゲート電極 6 a を覆うように、たとえばプラズマ CVD 法により膜厚約 500 nm のシリコン酸化膜からなる層間絶縁膜 7 が形成される。次に、その層間絶縁膜 7 上に所定の写真製版処理を施すことにより、コンタクトホールを形成するためのレジストパターン (図示せず) が形成される。そのレジストパターンをマスクとして、層間絶縁膜 7 およびゲート絶縁膜 5 に異方性エッチングを施すことにより、領域 R 1 , R 2 のそれぞれにおいて、不純物領域 4 a d の表面を露出するコンタクトホール 7 a と、不純物領域 4 a e の表面を露出するコンタクトホール 7 b が形成される。

【 0 0 5 3 】

次に、コンタクトホール 7 a , 7 b を充填するように、層間絶縁膜 7 上にクロム膜とアルミニウム膜との積層膜 (図示せず) が形成される。その積層膜上に所定の写真製版処理を施すことにより、電極を形成するためのレジストパターン (図示せず) が形成される。次に、そのレジストパターンをマスクとしてウエットエッチングを施すことにより、ソース電極 8 a とドレイン電極 8 b が形成される。

【 0 0 5 4 】

以上の工程を経て、図 2 に示される薄膜トランジスタ T 1 , T 2 を備えた TFT アレイ

10

20

30

40

50

基板の主要部分が形成される。薄膜トランジスタ T_1 、 T_2 では、不純物領域4a dがソース領域45となり、不純物領域4a eがドレイン領域46となり、不純物領域4a b、4a cがGOLD領域41、42となり、不純物領域4a aがチャネル領域40となる。

【0055】

上述したTFTアレイ基板では、1枚のガラス基板1上にGOLD長の異なる薄膜トランジスタが形成されることで、回路に要求される特性に応じて最適なGOLD長を有する薄膜トランジスタを適用することができる。そして、GOLD長の異なる薄膜トランジスタを形成することによって、薄膜トランジスタの占有面積を削減することができる。以下、このことについて詳しく説明する。

【0056】

10

液晶表示装置に使用されるTFTアレイ基板では、一定のコントラストを確保して液晶を駆動するための所定の電圧を確保するために、回路の駆動電圧を一律に下げることができない。

【0057】

これに対して、液晶の膜厚を薄くすれば、駆動電圧を下げることはできる。しかしながら、液晶の厚さが薄くなるとバックライトの光を十分に遮光することができなくなる。そのため、黒の表示を鮮明に行なうことができなくなって、コントラストが低下することになる。したがって、液晶表示装置では、液晶を駆動するための電圧を5V以下に設定することができない。

【0058】

20

液晶を駆動するための電圧として5Vを確保するために、画素部21の画素薄膜トランジスタ22、その画素部薄膜トランジスタ22に電源電圧を供給するための電源回路33、対向電極駆動回路32、階調電圧回路34、画素部薄膜トランジスタ22に画素データを転送するソースドライバ30に使用される薄膜トランジスタの駆動電圧はそれぞれ5Vとされる。その他の回路における薄膜トランジスタの駆動電圧は3.3Vとされる。

【0059】

駆動電圧として異なる2つの電圧が使用されることで、薄膜トランジスタのソース・ドレイン耐圧も、駆動電圧に対応した耐圧を有していることが望ましい。

【0060】

ここで、薄膜トランジスタにおけるGOLD長とソース・ドレイン耐圧との関係を図10に示す。図10に示すように、GOLD長が長くなるにしたがってソース・ドレイン耐圧は増大し、GOLD長が2 μ mを超えるとソース・ドレイン耐圧はほとんど向上せず飽和する傾向にある。GOLD長が0.5 μ mの場合の薄膜トランジスタのソース・ドレイン耐圧は約1.3Vであり、GOLD長が1.5 μ mの薄膜トランジスタのソース・ドレイン耐圧は1.8Vであることがわかる。

30

【0061】

本実施の形態に係る液晶表示装置のTFT基板では、信号制御回路27など電圧3.3Vのもとで使用される回路の薄膜トランジスタとして、GOLD長が0.5 μ mの薄膜トランジスタが適用される。一方、液晶を駆動するための回路など電圧5Vのもとで使用される回路の薄膜トランジスタとして、GOLD長が1.5 μ mの薄膜トランジスタが適用される。なお、信頼性の観点からソース・ドレイン耐圧は使用電圧の3倍以上になるように設定することが望ましい。

40

【0062】

このように、上述したTFTアレイ基板では、電圧が高い回路には、薄膜トランジスタとして、比較的GOLD長の長い薄膜トランジスタが適用される一方、電圧が低い回路には、薄膜トランジスタとして、比較的GOLD長の短い薄膜トランジスタが適用される。

【0063】

液晶表示装置に使用される薄膜トランジスタにおいては、上記のように駆動電圧が下げられないために、通常のLSI (Large Scale Integrated Circuit) に使用されるトランジスタと比べると、比較的長いGOLD長、たとえば1.5 μ m程度のGOLD長を設定

50

する必要がある。通常の L S I に使用される薄膜トランジスタの G O L D 長は $0.1 \mu\text{m}$ 程度である。

【 0 0 6 4 】

薄膜トランジスタの G O L D 長によって、薄膜トランジスタの占有面積は大きく変動する。たとえば、G O L D 長 $0.5 \mu\text{m}$ 、ゲート幅 $10 \mu\text{m}$ 、実効ゲート長 $3 \mu\text{m}$ の薄膜トランジスタ 1 つあたりの占有面積は、ソース電極およびドレイン電極を除くと、約 $160 \mu\text{m}^2$ となる。これに対して、G O L D 長が $1.5 \mu\text{m}$ の薄膜トランジスタ 1 つの占有面積は、約 $180 \mu\text{m}^2$ となる。

【 0 0 6 5 】

このことから、T F T アレイ基板におけるすべての薄膜トランジスタの G O L D 長を $1.5 \mu\text{m}$ に設定したとすれば、T F T アレイ基板において薄膜トランジスタの占有面積は非常に大きくなってしまう。

【 0 0 6 6 】

上述した液晶表示装置の T F T アレイ基板では、G O L D 長 $0.5 \mu\text{m}$ の薄膜トランジスタと、G O L D 長 $1.5 \mu\text{m}$ の薄膜トランジスタを適用することによって、G O L D 長 $0.5 \mu\text{m}$ の薄膜トランジスタ 1 つあたりについて、G O L D 長 $1.5 \mu\text{m}$ の薄膜トランジスタ 1 つの占有面積よりも約 $20 \mu\text{m}^2$ 削減できることになる。これは、G O L D 長 $1.5 \mu\text{m}$ の薄膜トランジスタ 1 つの占有面積の約 11% に相当する。

【 0 0 6 7 】

そうすると、T F T アレイ基板に形成される薄膜トランジスタの全体では、G O L D 長 $0.5 \mu\text{m}$ の薄膜トランジスタの数を約 10000 とすると、約 0.2mm^2 ($20 \mu\text{m}^2 \times 10000$) 程度の薄膜トランジスタの占有面積を削減することができることになる。

【 0 0 6 8 】

また、上述した液晶表示装置の T F T アレイ基板では、電圧が低い回路に対して比較的 G O L D 長の短い薄膜トランジスタを適用することによって、以下に述べるように、薄膜トランジスタの寄生容量が減少して、動作速度をより速くする効果も得られる。

【 0 0 6 9 】

G O L D 長 $0.5 \mu\text{m}$ の薄膜トランジスタの占有面積と G O L D 長 $1.5 \mu\text{m}$ の薄膜トランジスタの占有面積との差 $20 \mu\text{m}^2$ は、G O L D 領域の面積である。図 2 に示すように、その G O L D 領域 41, 42 は多結晶シリコン膜に形成され、G O L D 領域 41, 42 とゲート電極 6a とは薄いゲート絶縁膜 5 を介在させて対向している。そのため、G O L D 領域の面積が大きいほど G O L D 領域とゲート電極との間の寄生容量も大きくなる。したがって、G O L D 領域の面積を削減することによって、G O L D 領域とゲート電極との間の寄生容量が低減して、回路の動作速度を向上することができることになる。

【 0 0 7 0 】

なお、上述した液晶表示装置では、薄膜トランジスタ T1 の G O L D 領域 41, 42 の不純物濃度として $1 \times 10^{18} \text{atom/cm}^3$ の場合を例に挙げて説明したが、G O L D 領域 41, 42 の不純物濃度としてはこの濃度に限られるものではない。チャネル領域 40 の不純物濃度より高く、ソース領域 45 およびドレイン領域 46 の不純物濃度より低ければソース・ドレイン耐圧を向上することができる。

【 0 0 7 1 】

また、ソース・ドレイン耐圧を十分に確保するには、G O L D 領域 41, 42 の不純物濃度は $1 \times 10^{17} \text{atom/cm}^3$ 以上で $1 \times 10^{19} \text{atom/cm}^3$ 以下であることが望ましい。

【 0 0 7 2 】

なお、上述した液晶表示装置では、使用される電圧として 3.3V と 5V の 2 系統の場合を例に挙げて説明したが、液晶表示装置としては、 3.3V よりもさらに低い電圧によって動作する回路を備えている場合も想定される。そのような液晶表示装置の T F T アレイ基板では、さらに、G O L D 領域を備えない薄膜トランジスタを形成してもよい。

【 0 0 7 3 】

10

20

30

40

50

すなわち、図 1 1 に示すように、領域 R 1 および領域 R 2 にはそれぞれ G O L D 領域を備えた薄膜トランジスタ T 1 , T 2 が形成されるとともに、領域 R 3 には G O L D 領域を備えない薄膜トランジスタ T 3 が形成される。3 . 3 V よりもさらに低い電圧によって動作する回路には、薄膜トランジスタ T 3 が適用される。薄膜トランジスタ T 3 は、ゲート電極 6 a、ソース領域 4 5、ドレイン領域 4 6 およびチャネル領域 4 0 によって構成される。

【 0 0 7 4 】

この液晶表示装置では、3 . 3 V よりもさらに低い電圧によって動作する回路に対して G O L D 領域を備えた薄膜トランジスタを適用する場合と比べると、そのような回路に G O L D 領域を備えない薄膜トランジスタ T 3 を適用することによって、薄膜トランジスタの占有面積をさらに低減するが可能になる。なお、薄膜トランジスタとして n チャネル型の薄膜トランジスタを例に挙げたが、p チャネル型の薄膜トランジスタにも適用することができる。

10

【 0 0 7 5 】

実施の形態 2

ここでは、G O L D 領域に加えて L D D 領域を含む薄膜トランジスタを有する液晶表示装置の T F T アレイ基板を例に挙げる。

【 0 0 7 6 】

図 1 2 に示すように、領域 R 1 に位置する多結晶シリコン膜には、所定の不純物濃度を有するソース領域 4 5 と、そのソース領域 4 5 と距離を隔てられた所定の不純物濃度を有するドレイン領域 4 6 が形成されている。ソース領域 4 5 とドレイン領域 4 6 との間に位置する領域には、ソース領域 4 5 およびドレイン領域 4 5 とそれぞれ距離を隔てられて、所定のチャネル長を有するチャネル領域 4 0 が形成されている。

20

【 0 0 7 7 】

ソース領域 4 5 とチャネル領域 4 0 との間に位置する領域には、ソース領域 4 5 の側に L D D 領域 4 3 が形成され、チャネル領域 4 0 の側に G O L D 領域 4 1 が形成されている。また、ドレイン領域 4 6 とチャネル領域 4 0 との間に位置する領域には、ドレイン領域 4 6 の側に L D D 領域 4 4 が形成され、チャネル領域 4 0 の側に G O L D 領域 4 2 が形成されている。

【 0 0 7 8 】

領域 R 1 では、これらチャネル領域 4 0、ソース領域 4 5、ドレイン領域 4 6、G O L D 領域 4 1 , 4 2 および L D D 領域 4 3 , 4 4 と、ゲート電極 6 a とによって薄膜トランジスタ T 4 が構成される。

30

【 0 0 7 9 】

一方、領域 R 2 に位置する多結晶シリコン膜にも、領域 R 1 と同様に、所定の不純物濃度を有するチャネル領域 4 0、ソース領域 4 5、ドレイン領域 4 6、G O L D 領域 4 1 , 4 2 および L D D 領域 4 3 , 4 4 がそれぞれ形成されている。領域 R 2 では、これらチャネル領域 4 0、ソース領域 4 5、ドレイン領域 4 6、G O L D 領域 4 1 , 4 2 および L D D 領域 4 3 , 4 4 と、ゲート電極 6 a とによって薄膜トランジスタ T 5 が構成される。

【 0 0 8 0 】

なお、これ以外の構成については、図 2 に示す構造と同様なので、同一部材には同一符号を付しその説明を省略する。

40

【 0 0 8 1 】

薄膜トランジスタ T 4、T 5 では、それぞれゲート電極 6 a は、チャネル領域 4 0 の全体を覆うように形成されるとともに、G O L D 領域 4 1 および G O L D 領域 4 2 と平面的にオーバーラップするように形成されている。

【 0 0 8 2 】

つまり、薄膜トランジスタ T 4 では、一方の G O L D 領域 4 1 と L D D 領域 4 3 との接合部およびゲート電極 6 a の一方側部とは略同一平面 H 5 上に位置し、他方の G O L D 領域 4 2 と L D D 領域 4 4 との接合部およびゲート電極 6 a の他方側部は同一平面 H 6 上に

50

位置している。

【0083】

一方、薄膜トランジスタT5では、一方のGOLD領域41とLDD領域43との接合部およびゲート電極6aの一方側部とは略同一平面H7上に位置し、他方のGOLD領域42とLDD領域44との接合部およびゲート電極6aの他方側部は同一平面H8上に位置している。

【0084】

薄膜トランジスタT4, T5では、ソース領域45は不純物として濃度 $5 \times 10^{20} \text{ atom/cm}^3$ のリンを含有し、ドレイン領域46も不純物として濃度 $5 \times 10^{20} \text{ atom/cm}^3$ のリンを含有する。GOLD領域41, 42は、不純物として濃度 $1 \times 10^{18} \text{ atom/cm}^3$ のリンを含有する。LDD領域43, 44は、不純物として濃度 $5 \times 10^{18} \text{ atom/cm}^3$ のリンを含有する。チャンネル領域40は、電氣的に活性な不純物を含有しない。

【0085】

薄膜トランジスタT4のGOLD領域41, 42のGOLD長G1, G2は、ともに $2.0 \mu\text{m}$ とされる。一方、薄膜トランジスタT5のGOLD領域41, 42のGOLD長G3, G4は、ともに $0.5 \mu\text{m}$ とされる。また、薄膜トランジスタT4のLDD領域43, 44のチャンネル長方向の長さ(LDD長)L1, L2と、薄膜トランジスタT5のLDD領域43, 44のLDD長L3, L4は、いずれも $0.5 \mu\text{m}$ とされる。

【0086】

次に、上述した液晶表示装置のTFTアレイ基板の製造方法について説明する。まず実施の形態1において説明した図1～図5に示す工程を経た後、図6に示す工程と同様にし、図13に示すように、所定の写真製版処理を施すことにより、領域R1では薄膜トランジスタT4を形成するためのレジストパターン62aが形成されるとともに、領域R2では薄膜トランジスタT5を形成するためのレジストパターン62bが形成される

そのレジストパターン62a, 62bをマスクとして、たとえばドーズ量 $7 \times 10^{12} \text{ atom/cm}^2$ 、加速エネルギー 80 KeV にて不純物領域4aaにリンを注入することにより、領域R1, R2にはそれぞれ不純物領域4ab, 4acが形成される。この注入量がGOLD領域における注入量($1 \times 10^{18} \text{ atom/cm}^3$)になる。その後、アッシングと薬液処理を施すことで、レジストパターン62a, 62bが除去される。

【0087】

次に、図7に示す工程と同様の工程を経て、領域R1, R2ではそれぞれゲート電極をパターニングするためのレジストパターン63a, 63b(図14参照)が形成される。そのレジストパターン63a, 63bをマスクとしてクロム膜にウェットエッチングを施すことにより、図14に示すように、領域R1, R2ではそれぞれゲート電極6aが形成される。なお、ウェットエッチングを施す際に露出するクロム膜の側面にサイドエッチングが施されることになるが、そのエッチングされる量はオーバーエッチングを施す時間によって制御することができる。

【0088】

次に、レジストパターン63a, 63bをマスクとして、たとえばドーズ量 $8 \times 10^{14} \text{ atom/cm}^2$ 、加速エネルギー 80 KeV にて不純物領域4ab, 4acにリンを注入することにより、ソース領域およびドレイン領域となる不純物領域4ad, 4aeが形成される。不純物領域4ad, 4aeの不純物濃度は、 $5 \times 10^{20} \text{ atom/cm}^3$ となる。その後、アッシングと薬液処理を施すことで、レジストパターンが63a, 63bが除去される。

【0089】

次に、図15に示すように、ゲート電極6aをマスクとして、たとえばドーズ量 $3 \times 10^{13} \text{ atom/cm}^2$ 、加速エネルギー 80 KeV にてリンを注入することにより残された不純物領域4ab, 4acにLDD領域となる不純物領域4af, 4agがそれぞれ形成される。LDD領域となる不純物領域4af, 4agの不純物濃度($5 \times 10^{18} \text{ atom}$

$/\text{cm}^3$)は、当該リンの注入量と、GOLD領域を形成するためのリンの注入量とによって決まることになる。

【0090】

このようにして、LDD領域となる不純物領域4af, 4agが形成されることで、LDD領域となる不純物領域4af, 4agの不純物濃度は、GOLD領域となる不純物領域4ab, 4acの不純物濃度よりも高くなる。

【0091】

その後、図9に示す工程と同様の工程を経て、図12に示される薄膜トランジスタT4, T5を備えたTFTEレイ基板の主要部が形成される。

【0092】

上述したTFTEレイ基板では、1枚のガラス基板1上にGOLD長の異なる薄膜トランジスタT4, T5が形成されることで、回路に要求される特性に応じて最適な薄膜トランジスタT4, T5を適用することができることに加えて、薄膜トランジスタT4, T5がLDD領域を備えていることによって、薄膜トランジスタT4, T5のソース・ドレイン耐圧をさらに向上することができる。

【0093】

薄膜トランジスタT4, T5のソース・ドレイン耐圧がさらに向上することによって、より高い電圧(回路電圧)に対応することができる。すなわち、動画表示などの動作速度を速めるためのTFTEレイ基板、あるいは、解像度を増大させた大画面等のためのTFTEレイ基板として、このTFTEレイ基板を適用することができる。

【0094】

特に、解像度が増加すると、ソースドライバ30の動作周波数(データ線26の周波数)は高くなる。たとえば、解像度VGA (Video Graphics Array) の場合の画素数は 640×480 であり、その駆動に必要なデータ線の動作周波数は25MHzであるのに対して、解像度XGA (eXtended Graphics Array) の場合の画素数は 1024×768 であり、その駆動に必要なデータ線の動作周波数は65MHzにまで高くなる。このように大画面のTFTEレイ基板を動作させるためには、電源電圧を上げて動作速度を速くしなければならない。

【0095】

本実施の形態に係る液晶表示装置のTFTEレイ基板では、高速動作を図るためにソースドライバ30(図1参照)の駆動電圧は7Vに昇圧されている。そのソースドライバ30の回路など電圧7Vのもとで使用される回路の薄膜トランジスタとして、GOLD長が $2.0\mu\text{m}$ の薄膜トランジスタが適用される。一方、信号制御回路35など電圧3.3Vのもとで使用される回路の薄膜トランジスタとして、GOLD長が $0.5\mu\text{m}$ の薄膜トランジスタが適用される。

【0096】

上述した液晶表示装置のTFTEレイ基板では、薄膜トランジスタにGOLD領域に加えてLDD領域が形成されていることで、ソース・ドレイン耐圧をさらに向上することができる。

【0097】

また、電圧が高い回路には、比較的GOLD長の長い薄膜トランジスタが適用される一方、電圧が低い回路には、比較的GOLD長の短い薄膜トランジスタが適用されることで、前述したように、薄膜トランジスタの占有面積を削減することができる。

【0098】

実施の形態3

ここでは、液晶表示装置のTFTEレイ基板のバリエーションの一例として、実施の形態1において説明した薄膜トランジスタT1, T2と、実施の形態2において説明した薄膜トランジスタT4, T5とを有するTFTEレイ基板について説明する。

【0099】

図16に示すように、TFTEレイ基板において、領域R1および領域R2には、GO

10

20

30

40

50

L D 領域と L D D 領域の双方を備えた薄膜トランジスタ T 4 , T 5 がそれぞれ形成されている。一方、領域 R 3 および領域 R 4 には、L D D 領域を備えずに G O L D 領域だけを備えた薄膜トランジスタ T 1 , T 2 がそれぞれ形成されている。基本的な構造は、図 2 および図 1 2 にそれぞれ示される構造と同様なので、同一部材には同一符号を付しその説明を省略する。

【 0 1 0 0 】

薄膜トランジスタ T 1 では、G O L D 領域 4 1 , 4 2 の G O L D 長 G 1 , G 2 は、ともに $1.5 \mu\text{m}$ とされる。薄膜トランジスタ T 2 では、G O L D 領域 4 1 , 4 2 の G O L D 長 G 3 , G 4 は、ともに $0.5 \mu\text{m}$ とされる。

【 0 1 0 1 】

薄膜トランジスタ T 4 では、G O L D 領域 4 1 , 4 2 の G O L D 長 G 1 , G 2 は、ともに $2.0 \mu\text{m}$ とされ、L D D 領域 4 3 , 4 4 のチャネル長方向の長さ (L D D 長) L 1 , L 2 は、ともに $0.5 \mu\text{m}$ とされる。薄膜トランジスタ T 5 では、G O L D 領域 4 1 , 4 2 の G O L D 長 G 3 , G 4 は、ともに $0.5 \mu\text{m}$ とされ、L D D 領域 4 3 , 4 4 の L D D 長 L 3 , L 4 は、ともに $0.5 \mu\text{m}$ とされる。

【 0 1 0 2 】

したがって、T F T アレイ基板には、ソース・ドレイン耐圧のそれぞれ異なる 4 種類の薄膜トランジスタ T 1 , T 2 , T 4 , T 5 がガラス基板 1 上に形成されていることになり、液晶表示装置としては、互いに異なる 4 系統の電圧を使用することが可能になる。

【 0 1 0 3 】

液晶表示装置として、液晶の応答速度を速くしようとして、液晶 (画素容量 2 3) の駆動電圧を 5 V からたとえば 6 V へ昇圧したとすると、電圧としては、7 V , 6 V , 5 V , 3 . 3 V の 4 つの電圧が使用されることになる。

【 0 1 0 4 】

本実施の形態に係る液晶表示装置の T F T アレイ基板では、ソースドライバ 3 0 の回路など電圧 7 V のもとで使用される回路の薄膜トランジスタとして、薄膜トランジスタ T 4 が適用される。階調電圧回路 3 4 および対向電極駆動回路 3 2 など電圧 6 V のもとで使用される回路の薄膜トランジスタとして、薄膜トランジスタ T 5 が適用される。

【 0 1 0 5 】

ゲートドライバ 3 1 および電源回路 3 3 など電圧 5 V のもとで使用される回路の薄膜トランジスタとして、薄膜トランジスタ T 1 が適用される。信号制御回路 3 5 など電圧 3 . 3 V のもとで使用される回路の薄膜トランジスタとして、薄膜トランジスタ T 2 が適用される。

【 0 1 0 6 】

上述した液晶表示装置の T F T アレイ基板では、T F T アレイ基板におけるすべての薄膜トランジスタの G O L D 長を最も高い電圧に対応した G O L D 長に設定した場合と比べると、電圧に応じた G O L D 長を有する薄膜トランジスタを適用することによって、薄膜トランジスタの占有面積を削減することができる。

【 0 1 0 7 】

そして、G O L D 領域に加えて L D D 領域が形成された薄膜トランジスタ T 4 , T 5 を備えていることで、ソース・ドレイン耐圧が向上して、より高い電圧に対応することができて、液晶表示装置の動作速度の向上を図ることができる。

【 0 1 0 8 】

L D D 領域を備えずに G O L D 領域だけを備えた薄膜トランジスタ T 1 , T 2 と、G O L D 領域と L D D 領域の双方を備えた薄膜トランジスタ T 4 , T 5 とを同一基板上に形成するには、まず、図 1 3 に示す工程において、領域 R 1 , R 2 , R 3 , R 4 にそれぞれ形成される薄膜トランジスタ T 1 , T 2 , T 4 , T 5 の G O L D 領域を形成する。次に、図 1 4 に示す工程では、領域 R 3 , R 4 をレジストパターンで覆い、薄膜トランジスタ T 1 , T 2 のゲート電極を形成させないようにする。その後、他のマスク (レジストパターン) を用いて、領域 R 3 , R 4 の薄膜トランジスタ T 1 , T 2 を形成すればよい。具体的な

10

20

30

40

50

製造方法は、実施の形態 1、2 において説明した方法を適用することができる。

【0109】

なお、上述した各実施の形態における液晶表示装置の TFT アレイ基板では、GOLD 領域を備えた薄膜トランジスタとして n チャネル型の薄膜トランジスタを例に挙げたが、それは次の理由による。n 型トランジスタのキャリアは電子であり、p 型トランジスタのキャリアは正孔である。半導体中ではキャリアの有効質量は電子の方が正孔よりも軽いことで、n チャネル型の薄膜トランジスタの方がアバランシェ崩壊を起こしやすいために、ソース・ドレイン耐圧が低くなる。そのため、n チャネル型の薄膜トランジスタでは、GOLD 領域を備えていることが望ましい。

【0110】

また、電子の有効質量が小さく、そして、電子のシリコン酸化膜への障壁高さ（シリコンの伝導帯とシリコン酸化膜の伝導帯のエネルギー差 = 3.1 eV ）が、正孔のシリコン酸化膜への障壁高さ（シリコンの価電子帯とシリコン酸化膜の価電子帯のエネルギー差 = 3.8 eV ）よりも小さいことで、電子の方がゲート絶縁膜（シリコン酸化膜）に注入されて、ゲート絶縁膜がダメージを受けやすく、n チャネル型の薄膜トランジスタの方が素子としての特性が劣化して信頼性が損なわれやすい。そのため、信頼性を確保する観点からも、n チャネル型の薄膜トランジスタには GOLD 領域を備えていることが望ましい。

【0111】

なお、GOLD 領域を備えた薄膜トランジスタとしては n チャネル型の薄膜トランジスタに限られるものではなく、p チャネル型の薄膜トランジスタであってもよい。

【0112】

また、上述した液晶表示装置における TFT アレイ基板では、GOLD 領域を備えた薄膜トランジスタの GOLD 長として、3 種類（ $0.5 \mu\text{m}$ 、 $1.5 \mu\text{m}$ 、 $2.0 \mu\text{m}$ ）の場合を例に挙げて説明したが、GOLD 長としてはこれらに限られるものではなく、使用される電圧に応じた GOLD 長を適用することができる。そのような GOLD 長としては、 $0.1 \mu\text{m}$ 以上 $2.0 \mu\text{m}$ 以下であることが望ましい。

【0113】

ここで、上限値を $2.0 \mu\text{m}$ とするのは、上述したように、GOLD 長が $2 \mu\text{m}$ を超えてもソース・ドレイン耐圧はほとんど向上せず、薄膜トランジスタの占有面積が増加するためである。一方、下限値を $0.1 \mu\text{m}$ とするのは次の理由による。

【0114】

薄膜トランジスタを適用した画像表示装置において、設計の自由度を上げるために薄膜トランジスタにすべての信号を処理させる場合も想定される。すべての信号を TFT アレイ基板にて行なうとすると TFT アレイ基板に組み込まれる回路が増大するため、基板面積の増大を最小限に抑えるために薄膜トランジスタの微細化が必要とされる。このとき、その微細化された薄膜トランジスタをたとえば電源電圧 1.8 V あるいは 1.3 V 程度の比較的低い電圧で動作させるとすると、GOLD 長が $0.1 \mu\text{m}$ 以上であればソース・ドレイン耐圧を十分に確保することができる。すなわち、GOLD 長が $0.1 \mu\text{m}$ 以上であれば、薄膜トランジスタの微細化を図って、かつ、ソース・ドレイン耐圧を確保することができる。

【0115】

また、上述した各実施の形態においては、薄膜トランジスタとしてソース領域およびドレイン領域等が形成される多結晶シリコン膜上にゲート絶縁膜を介在させてゲート電極が形成された、いわゆるプレーナ構造の薄膜トランジスタを例に挙げて説明した。

【0116】

本発明に係る液晶表示装置の薄膜トランジスタとしては、このようなプレーナ構造の薄膜トランジスタに限られず、ゲート電極上にゲート絶縁膜を介在させてソース領域およびドレイン領域等となる半導体層を形成した、いわゆる逆スタガ構造の薄膜トランジスタであってもよい。

【0117】

このような場合においても、GOLD領域とLDD領域を備えた薄膜トランジスタでは、一方のGOLD領域とLDD領域との接合部および電極の一方側部とは略同一平面上に位置し、他方のGOLD領域とLDD領域との接合部および電極の他方側部は同一平面上に位置することになる。

【0118】

そして、LDD領域を備えずにGOLD領域だけを備えた薄膜トランジスタでは、一方のGOLD領域とソース領域との接合部および電極の一方側部とは略同一平面上に位置し、他方のGOLD領域とドレイン領域との接合部および電極の他方側部は同一平面上に位置することになる。

【0119】

また、上述した各実施の形態においては、基板として無アルカリのガラス基板を例に挙げて説明したが、基板としては光を透過させる材料であればよく、たとえば石英基板なども適用することができる。

【図面の簡単な説明】

【0120】

【図1】本発明の実施の形態1に係る液晶表示装置のTFTアレイ基板の構成を示すブロック図である。

【図2】同実施の形態において、TFTアレイ基板の断面図である。

【図3】同実施の形態において、図2に示すTFTアレイ基板の製造方法の一工程を示す断面図である。

【図4】同実施の形態において、図3に示す工程の後に行われる工程を示す断面図である。

【図5】同実施の形態において、図4に示す工程の後に行われる工程を示す断面図である。

【図6】同実施の形態において、図5に示す工程の後に行われる工程を示す断面図である。

【図7】同実施の形態において、図6に示す工程の後に行われる工程を示す断面図である。

【図8】同実施の形態において、図7に示す工程の後に行われる工程を示す断面図である。

【図9】同実施の形態において、図8に示す工程の後に行われる工程を示す断面図である。

【図10】同実施の形態において、GOLD長とソース・ドレイン耐圧の関係を示すグラフである。

【図11】同実施の形態において、変形例に係る液晶表示装置のTFTアレイ基板の断面図である。

【図12】本発明の実施の形態2に係る液晶表示装置のTFTアレイ基板の断面図である。

【図13】同実施の形態において、図12に示すTFTアレイ基板の製造方法の一工程を示す断面図である。

【図14】同実施の形態において、図13に示す工程の後に行われる工程を示す断面図である。

【図15】同実施の形態において、図14に示す工程の後に行われる工程を示す断面図である。

【図16】本発明の実施の形態3に係る液晶表示装置のTFTアレイ基板の断面図である。

【符号の説明】

【0121】

1 ガラス基板、2 シリコン窒化膜、3 シリコン酸化膜、4 多結晶シリコン膜、4a a, 4a b, 4a c, 4a d, 4a e, 4a f, 4a g 不純物領域、5 ゲート絶

10

20

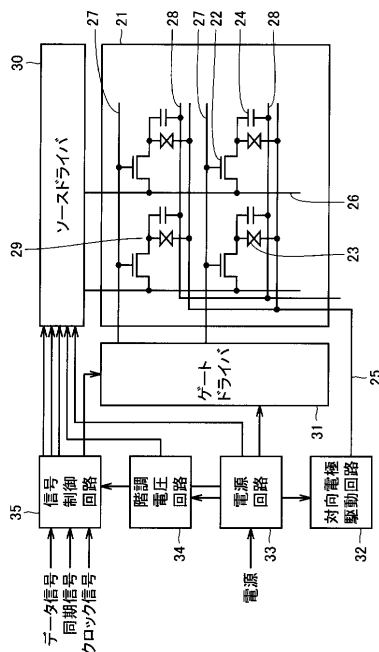
30

40

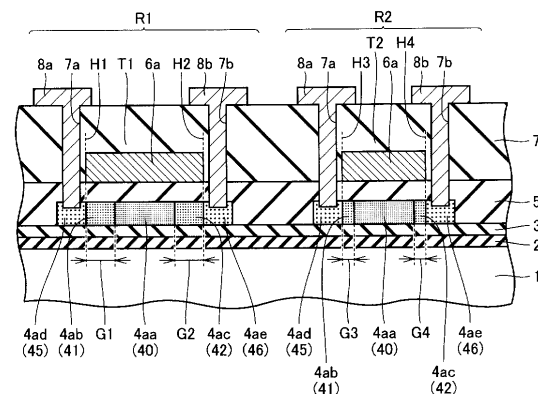
50

縁膜、6 クロム膜、6 a ゲート電極、7 層間絶縁膜、7 a , 7 b コンタクトホール、8 a ソース電極、8 b ドレイン電極、21 画素部、22 画素薄膜トランジスタ、23 画素容量、24 蓄積容量、25 コモン電極、26 データ線、27 アドレス線、28 Cs線、29 画素電極、30 ソースドライバ、31 ゲートドライバ、32 対向電極駆動回路、33 電源回路、34 階調電圧回路、35 信号制御回路、40 チャンネル領域、41 , 42 GOLD領域、43 , 44 LDD領域、45 ソース領域、46 ドレイン領域。

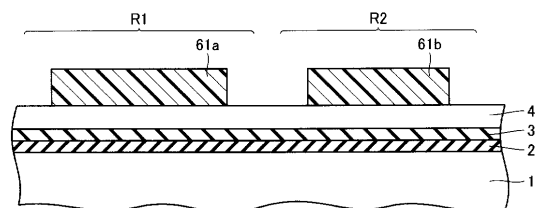
【圖 1】



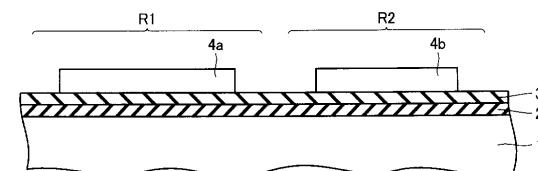
【圖 2】



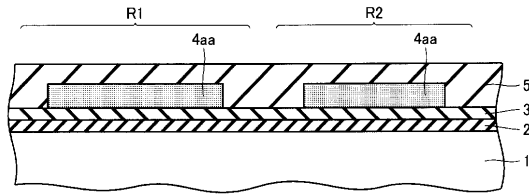
【 図 3 】



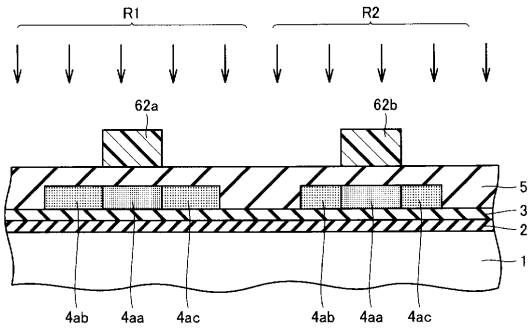
【圖 4】



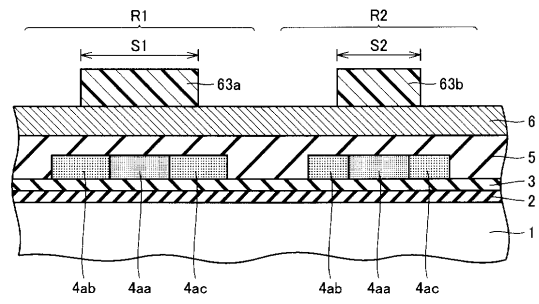
【図 5】



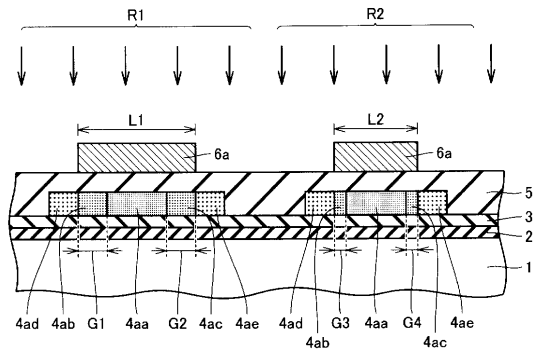
【図 6】



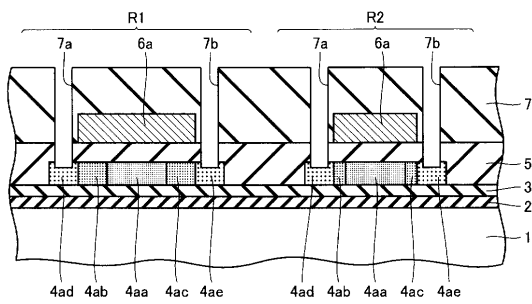
【図 7】



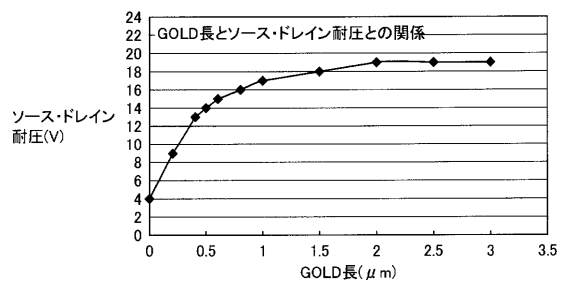
【図 8】



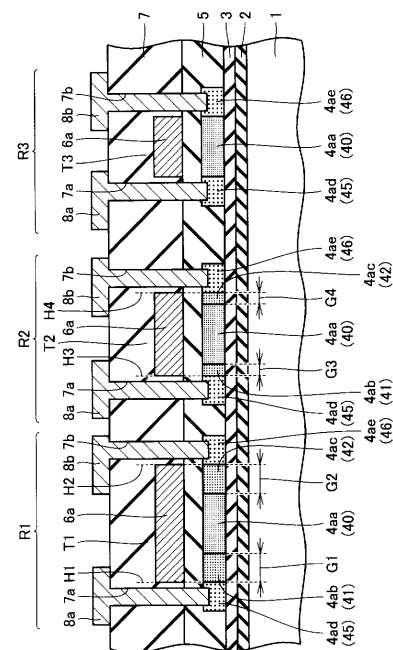
【図 9】



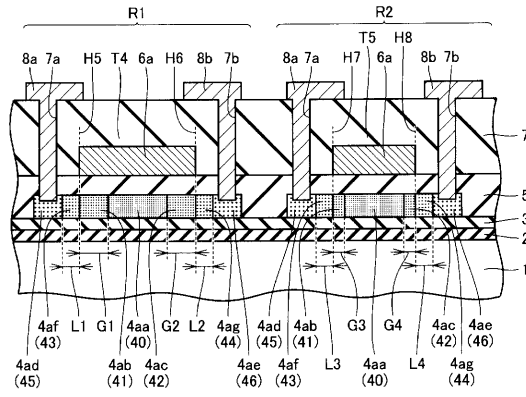
【図 10】



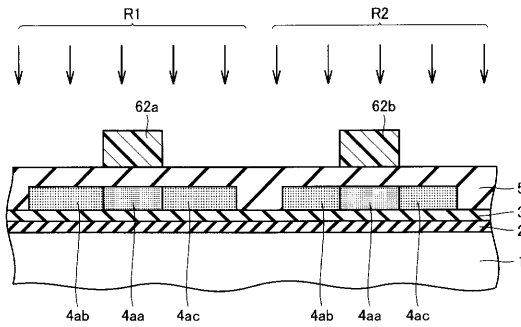
【図 11】



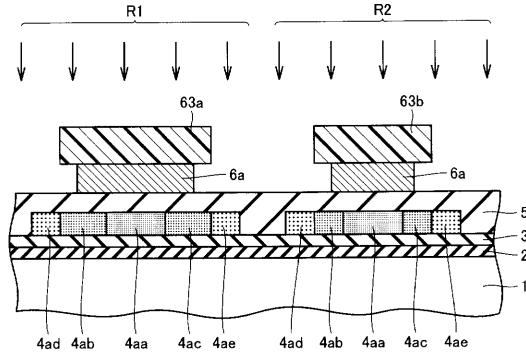
【図 1 2】



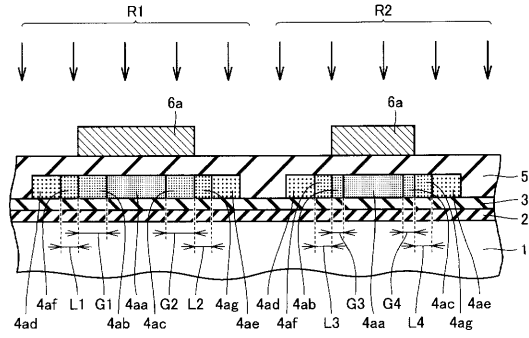
【図 1 3】



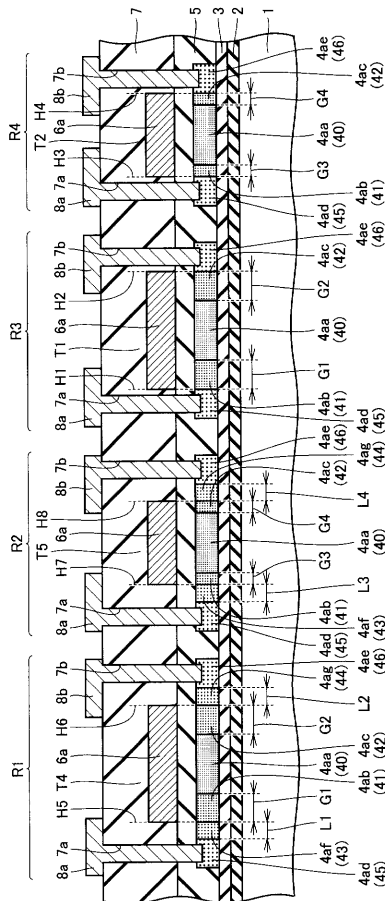
【図 1 4】



【図 1 5】



【図 1 6】



フロントページの続き

- (72)発明者 須賀原 和之
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 豊田 吉彦
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 中川 直紀
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 坂本 孝雄
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 綿引 隆

- (56)参考文献 特開2000-243975(JP,A)
特開2000-332257(JP,A)
特開2000-223716(JP,A)
特開平04-269836(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336
H01L 21/8234
H01L 27/08
H01L 27/088
H01L 29/786