



(12)发明专利

(10)授权公告号 CN 106104807 B

(45)授权公告日 2019.04.23

(21)申请号 201580012747.1

(72)发明人 J·J·徐 K·利姆 J·J·朱

(22)申请日 2015.03.04

S·S·宋 M·巴达罗格鲁  
V·马赫卡奥特桑 D·杨  
C·F·耶普

(65)同一申请的已公布的文献号

申请公布号 CN 106104807 A

(74)专利代理机构 上海专利商标事务所有限公司 31100

(43)申请公布日 2016.11.09

代理人 周敏

(30)优先权数据

61/950,681 2014.03.10 US

(51)Int.Cl.

14/341,568 2014.07.25 US

H01L 29/78(2006.01)

(85)PCT国际申请进入国家阶段日

H01L 29/49(2006.01)

2016.09.08

H01L 21/336(2006.01)

(86)PCT国际申请的申请数据

PCT/US2015/018806 2015.03.04

(56)对比文件

(87)PCT国际申请的公布数据

W02015/138202 EN 2015.09.17

JP 特开2004-119549 A, 2004.04.15,

US 2008/0254579 A1, 2008.10.16,

审查员 靳莘莘

(73)专利权人 高通股份有限公司

权利要求书3页 说明书22页 附图37页

地址 美国加利福尼亚州

(54)发明名称

其中限定有间隙的半导体器件

(57)摘要

在特定实施例中，一种方法包括在半导体器件的虚栅极上形成第一分隔件结构，以及在第一分隔件结构上形成牺牲分隔件。该方法还包括蚀刻半导体器件的结构以创建开口，经由开口移除牺牲分隔件，以及沉积材料以闭合来限定间隙。

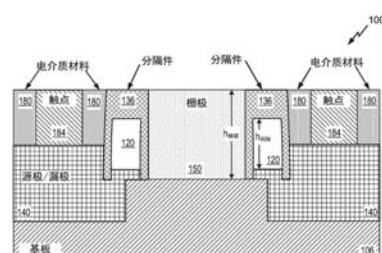


图 1A

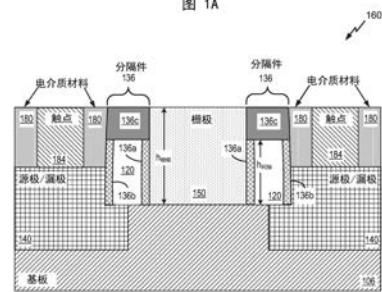


图 1B

1. 一种用于形成半导体器件的方法,包括:  
在半导体器件的虚栅极上形成第一分隔件结构;  
在所述第一分隔件结构上形成牺牲分隔件;  
蚀刻结构和创建开口,其中所述结构包括鳍的一部分,并且其中蚀刻所述结构包括移除所述鳍与所述牺牲分隔件接触的一部分;以及  
经由所述开口移除所述牺牲分隔件并沉积材料以闭合所述开口从而限定间隙。
2. 如权利要求1所述的方法,其特征在于,所述结构与所述牺牲分隔件接触,并且其中蚀刻所述结构暴露所述牺牲分隔件的一部分。
3. 如权利要求1所述的方法,其特征在于,所述虚栅极被形成在所述半导体器件的基板上,并且其中所述鳍的所述部分位于所述牺牲分隔件与所述基板之间。
4. 如权利要求1所述的方法,其特征在于,所述结构包括所述第一分隔件结构、第二分隔件结构、或其组合,并且其中蚀刻所述结构包括移除所述第一分隔件结构的一部分、所述第二分隔件结构的一部分、或其组合。
5. 如权利要求4所述的方法,其特征在于,所述材料对应于第三分隔件结构,并且其中所述第三分隔件结构与所述第一分隔件结构、所述第二分隔件或两者接触。
6. 如权利要求5所述的方法,其特征在于,所述半导体器件的分隔件包括所述第一分隔件结构、所述第二分隔件结构和所述第三分隔件结构。
7. 如权利要求1所述的方法,其特征在于,所述材料对应于所述半导体器件的源极/漏极区域的源极/漏极区域材料,并且其中沉积所述材料包括外延生长所述半导体器件的所述源极/漏极区域。
8. 如权利要求1所述的方法,其特征在于,所述开口由所述第一分隔件结构、第二分隔件结构、电介质层、所述虚栅极或其组合来限定。
9. 如权利要求1所述的方法,其特征在于,进一步包括,将所述虚栅极替换成栅极,其中所述开口由所述第一分隔件结构、第二分隔件结构、电介质层、所述栅极或其组合来限定。
10. 如权利要求1所述的方法,其特征在于,进一步包括,在所述牺牲分隔件上形成第二分隔件结构。
11. 如权利要求10所述的方法,其特征在于,所述第二分隔件结构的一部分形成在所述第一分隔件结构的一部分上。
12. 如权利要求10所述的方法,其特征在于,所述材料的一部分位于所述第一分隔件结构与所述第二分隔件结构之间。
13. 如权利要求10所述的方法,其特征在于,所述第一分隔件结构包括第一材料,并且其中所述第二分隔件结构包括所述第一材料。
14. 如权利要求10所述的方法,其特征在于,所述半导体器件的分隔件包括所述第一分隔件结构和所述第二分隔件结构。
15. 一种半导体器件,包括:  
栅极;  
触点;  
所述栅极与所述触点之间的分隔件结构;以及  
电耦合至所述触点的源极/漏极区域,其中所述源极/漏极区域的外延生长材料和所述

分隔件结构限定位于所述栅极与所述触点之间的间隙，所述外延生长材料闭合所述间隙的开口，并且其中所述间隙的高度小于所述栅极的高度，并且所述栅极和所述源极/漏极区域接触基板，

其中所述栅极、所述触点和所述源极/漏极区域被包括在鳍型场效应晶体管(FinFET)器件中。

16. 如权利要求15所述的半导体器件，其特征在于，所述栅极、所述触点和所述源极/漏极区域被集成到便携式计算机、通信设备、便携式音乐播放器、便携式数字视频播放器、移动位置数据单元、或其组合中。

17. 如权利要求15所述的半导体器件，其特征在于，所述栅极、所述触点和所述源极/漏极区域被集成到移动电话、无线电、导航设备、个人数字助理(PDA)、或其组合中。

18. 如权利要求15所述的半导体器件，其特征在于，所述栅极、所述触点和所述源极/漏极区域被集成到卫星无线电、蜂窝电话、或其组合中。

19. 如权利要求15所述的半导体器件，其特征在于，所述栅极、所述触点和所述源极/漏极区域被集成到机顶盒、娱乐单元、固定位置数据单元、台式计算机、监视器、调谐器、或其组合中。

20. 如权利要求15所述的半导体器件，其特征在于，所述栅极、所述触点和所述源极/漏极区域被集成到计算机监视器、电视机、音乐播放器、视频播放器、或其组合中。

21. 如权利要求15所述的半导体器件，其特征在于，所述栅极、所述触点和所述源极/漏极区域被集成到数字音乐播放器、数字视频播放器、或其组合中。

22. 如权利要求15所述的半导体器件，其特征在于，所述栅极、所述触点和所述源极/漏极区域被集成到数字视频碟(DVD)播放器中。

23. 一种包括处理器可执行指令的非瞬态计算机可读介质，所述指令在由处理器执行时使所述处理器：

发起半导体器件的形成，所述半导体器件通过以下操作来形成：

在半导体器件的虚栅极上形成第一分隔件结构；

在所述第一分隔件结构上形成牺牲分隔件；

蚀刻结构和创建开口，其中所述结构包括鳍的一部分，并且其中蚀刻所述结构包括移除所述鳍与所述牺牲分隔件接触的一部分；以及

经由所述开口移除所述牺牲分隔件并沉积材料以闭合所述开口从而限定间隙。

24. 如权利要求23所述的非瞬态计算机可读介质，其特征在于，所述半导体器件进一步通过以下步骤来形成：

在所述半导体器件的基板上形成所述虚栅极；

移除所述虚栅极以创建腔；以及

在所述腔中形成栅极，其中所述栅极耦合至所述半导体器件的沟道区域。

25. 如权利要求24所述的非瞬态计算机可读介质，其特征在于，所述沟道区域被包括在所述鳍中。

26. 如权利要求24所述的非瞬态计算机可读介质，其特征在于，所述虚栅极在移除所述牺牲分隔件之前移除。

27. 如权利要求24所述的非瞬态计算机可读介质，其特征在于，所述牺牲分隔件在移除

所述虚栅极之前移除。

28. 如权利要求24所述的非瞬态计算机可读介质,其特征在于,所述半导体器件进一步通过在形成所述栅极之后形成触点来形成,并且其中所述触点电耦合至所述半导体器件的源极/漏极区域。

29. 如权利要求23所述的非瞬态计算机可读介质,其特征在于,所述半导体器件进一步通过以下步骤来形成:

在所述半导体器件的基板上形成源极/漏极区域;

在所述源极/漏极区域上形成电介质层;

移除所述电介质层的一部分以创建腔;以及

在所述腔中形成触点,其中所述触点电耦合至所述源极/漏极区域。

30. 如权利要求29所述的非瞬态计算机可读介质,其特征在于,所述触点在移除所述牺牲分隔件之前形成。

31. 如权利要求29所述的非瞬态计算机可读介质,其特征在于,所述牺牲分隔件在形成所述触点之前移除。

32. 一种用于形成半导体器件的装备,包括:

用于激活半导体器件的沟道区域的装置,其中所述沟道区域耦合至所述半导体器件的源极/漏极区域;以及

用于传导电流的装置,所述用于传导的装置耦合至所述源极/漏极区域,其中所述源极/漏极区域的外延生长材料和分隔件结构限定位于所述用于激活的装置与所述用于传导的装置之间的间隙,所述外延生长材料闭合所述间隙的开口,并且其中所述间隙的高度小于所述用于激活的装置的高度,并且所述用于激活沟道区域的装置和所述源极/漏极区域接触基板,

其中所述用于激活的装置、所述用于传导的装置和所述源极/漏极区域被包括在鳍型场效应晶体管(FinFET)器件中。

33. 如权利要求32所述的装备,其特征在于,所述用于激活的装置包括所述半导体器件的栅极,并且其中所述用于传导的装置包括触点。

34. 如权利要求32所述的装备,其特征在于,所述用于激活的装置和所述用于传导的装置被集成到便携式计算机、通信设备、移动位置数据单元、机顶盒、娱乐单元、固定位置数据单元、台式计算机、监视器、调谐器、或其组合中。

35. 如权利要求32所述的装备,其特征在于,所述用于激活的装置和所述用于传导的装置被集成到移动电话、无线电、导航设备、个人数字助理(PDA)、计算机监视器、电视机、音乐播放器、视频播放器、或其组合中。

36. 如权利要求32所述的装备,其特征在于,所述用于激活的装置和所述用于传导的装置被集成到卫星无线电、蜂窝电话、数字音乐播放器、数字视频播放器、或其组合中。

37. 如权利要求32所述的装备,其特征在于,所述用于激活的装置和所述用于传导的装置被集成到便携式音乐播放器、便携式数字视频播放器、或其组合中。

38. 如权利要求32所述的装备,其特征在于,所述用于激活的装置和所述用于传导的装置被集成到数字视频碟(DVD)播放器中。

## 其中限定有间隙的半导体器件

[0001] I. 优先权要求

[0002] 本申请要求共同拥有的于2014年3月10日提交的美国临时专利申请No.61/950,681、以及于2014年7月25日提交的美国非临时专利申请No.14/341,568的优先权，这两个申请的内容通过援引全部明确纳入于此。

[0003] II. 领域

[0004] 本公开一般涉及其中限定有间隙的半导体器件。

[0005] III. 相关技术描述

[0006] 技术进步已产生越来越小的装置且越来越强大的计算设备。例如，当前存在各种各样的便携式个人计算设备，包括较小、轻量且易于由用户携带的无线计算设备，诸如便携式无线电话、个人数字助理 (PDA) 以及寻呼设备。更具体地，便携式无线电话 (诸如蜂窝电话和网际协议 (IP) 电话) 可通过无线网络传达语音和数据分组。此外，许多此类无线电话包括被纳入于其中的其他类型的设备。例如，无线电话还可包括数码相机、数码摄像机、数字记录器以及音频文件播放器。同样，此类无线电话可处理可执行指令，包括可被用于访问因特网的软件应用，诸如web浏览器应用。如此，这些无线电话可包括显著的计算能力。

[0007] 便携式个人计算设备 (诸如，无线计算设备) 可包括半导体器件 (诸如，鳍式场效应晶体管 (FinFET) 器件)。FinFET器件可形成有一个或多个鳍。当FinFET器件包括单个鳍时，鳍的形状可将FinFET的驱动强度 (例如，电流，诸如交流电流) 限制到相对较低的水平。为了实现较高的驱动强度，FinFET器件可形成有多个鳍。然而，多个鳍可引入寄生电容，其约束 (例如，限制) 了FinFET器件的交流电流性能。

[0008] IV. 概述

[0009] 本公开提供了一种其中限定有间隙 (例如，空气间隙和/或真空间隙) 的半导体器件。例如，半导体器件的源极/漏极区域可限定间隙。一种形成半导体器件 (诸如，FinFET器件) 的方法可包括在半导体器件的虚栅极 (例如，虚栅极的侧壁) 上沉积第一分隔件材料。该方法还可包括在第一分隔件材料上沉积牺牲分隔件；以及在牺牲分隔件上沉积第二分隔件材料。第二分隔件材料可以与第一分隔件材料接触。该方法可进一步包括移除第一分隔件材料与第二分隔件材料之间的牺牲分隔件以创建第一分隔件材料与第二分隔件材料之间的腔 (具有开口)。例如，牺牲分隔件材料可通过开口来移除 (例如，蚀刻)。该方法可包括填充开口以建立由第一分隔件材料的一部分且由第二分隔件材料的一部分限定的间隙。开口可用第三分隔件材料 (例如，分隔件盖) 或源极/漏极区域材料来填充 (例如，闭合)。间隙可由半导体器件的源极/漏极区域来限定。另外，作为解说性而非限定性示例，间隙可由第一分隔件材料、第二分隔件材料、第三分隔件材料、半导体器件的基板 (例如，鳍) 或其组合来限定。间隙的高度可以小于半导体器件的栅极的高度。与不包括间隙的半导体器件相比，间隙可实现减小的寄生电容并且可增大半导体器件的驱动强度。

[0010] 在特定实施例中，一种方法包括在半导体器件的虚栅极上形成第一分隔件结构，以及在第一分隔件结构上形成牺牲分隔件。该方法还包括移除半导体器件的结构以创建开口，通过开口移除牺牲分隔件，以及沉积材料以闭合开口从而限定间隙。

[0011] 在另一特定实施例中，一种半导体器件包括栅极、触点和源极/漏极区域。源极/漏极区域电耦合至触点并且限定位在栅极与触点之间的间隙。间隙的高度小于栅极的高度。

[0012] 在另一特定实施例中，一种非瞬态计算机可读介质包括指令，这些指令在由处理器执行时使该处理器发起半导体器件的形成。该半导体器件通过在半导体器件的虚栅极上形成第一分隔件结构和通过在第一分隔件结构上形成牺牲分隔件来形成。该半导体器件进一步通过蚀刻结构以创建开口来形成。该半导体器件进一步通过经由开口移除牺牲分隔件和通过沉积材料以闭合开口从而限定位隙来形成。

[0013] 在另一特定实施例中，一种装备包括用于激活半导体器件的沟道区域的装置。沟道区域耦合至半导体器件的源极/漏极区域。该装备进一步包括用于传导电流的装置，用于传导的装置耦合至源极/漏极区域。源极/漏极区域限定位在用于激活的装置与用于传导的装置之间的间隙。间隙的高度可小于用于激活沟道区域的装置的高度。

[0014] 所公开的实施例中的至少一者所提供的一个特定优点在于与不具有限定位隙的器件(例如，FinFET)相比减小的寄生电容(例如，栅极电容)和AC性能改进。所公开的实施例中的至少一者所提供的另一特定优点在于与不具有限定位隙的FinFET器件相比可减小FinFET晶体管延迟时间和/或可减小开关能量。

[0015] 本公开的其他方面、优点和特征将在阅读了整个申请后变得明了，整个申请包括下述章节：附图简述、详细描述以及权利要求书。

[0016] V.附图简述

[0017] 图1A是包括限定位隙的源极/漏极区域的第一半导体器件的部分视图的示图；

[0018] 图1B是包括限定位隙的源极/漏极区域的第二半导体器件的部分视图的示图；

[0019] 图2是制造包括限定位隙的源极/漏极区域的半导体器件的第一过程的至少一个阶段的第一解说性示图；

[0020] 图3是在虚栅极上形成硬掩模之后制造半导体器件的第一过程的至少一个阶段的第二解说性示图；

[0021] 图4是在形成第一分隔件结构之后制造半导体器件的第一过程的至少一个阶段的第三解说性示图；

[0022] 图5是在形成牺牲分隔件之后制造半导体器件的第一过程的至少一个阶段的第四解说性示图；

[0023] 图6是在形成第二分隔件结构之后制造半导体器件的第一过程的至少一个阶段的第五解说性示图；

[0024] 图7是在移除半导体器件的鳍的一部分之后制造半导体器件的第一过程的至少一个阶段的第六解说性示图；

[0025] 图8是在移除牺牲分隔件之后制造半导体器件的第一过程的至少一个阶段的第七解说性示图；

[0026] 图9是在形成源极/漏极区域之后制造半导体器件的第一过程的至少一个阶段的第八解说性示图；

[0027] 图10是在沉积电介质材料之后且在执行平坦化之后制造半导体器件的第一过程的至少一个阶段的第九解说性示图；

[0028] 图11是在移除虚栅极之后制造半导体器件的第一过程的至少一个阶段的第十解

说性示图；

[0029] 图12是在形成栅极之后制造半导体器件的第一过程的至少一个阶段的第十一解说性示图；

[0030] 图13是在形成腔之后制造半导体器件的第一过程的至少一个阶段的第十二解说性示图；

[0031] 图14是在形成触点之后制造半导体器件的第一过程的至少一个阶段的第十三解说性示图；

[0032] 图15是在移除半导体器件的鳍的一部分之后制造半导体器件的第二过程的至少一个阶段的第一解说性示图；

[0033] 图16是在形成源极/漏极区域之后制造半导体器件的第二过程的至少一个阶段的第二解说性示图；

[0034] 图17是在沉积电介质材料之后且在执行平坦化之后制造半导体器件的第二过程的至少一个阶段的第三解说性示图；

[0035] 图18是在暴露牺牲分隔件的一部分之后制造半导体器件的第二过程的至少一个阶段的第四解说性示图；

[0036] 图19是在移除牺牲分隔件之后制造半导体器件的第二过程的至少一个阶段的第五解说性示图；

[0037] 图20是在形成第三分隔件材料之后制造半导体器件的第二过程的至少一个阶段的第六解说性示图；

[0038] 图21是在执行平坦化之后制造半导体器件的第二过程的至少一个阶段的第七解说性示图；

[0039] 图22是在移除虚栅极之后制造半导体器件的第二过程的至少一个阶段的第八解说性示图；

[0040] 图23是在形成栅极之后制造半导体器件的第二过程的至少一个阶段的第九解说性示图；

[0041] 图24是在形成腔之后制造半导体器件的第二过程的至少一个阶段的第十解说性示图；

[0042] 图25是在形成触点之后制造半导体器件的第二过程的至少一个阶段的第十一解说性示图；

[0043] 图26是制造包括限定间隙的源极/漏极区域的半导体器件的第三过程的至少一个阶段的第一解说性示图；

[0044] 图27是在移除虚栅极之后制造半导体器件的第三过程的至少一个阶段的第二解说性示图；

[0045] 图28是在形成栅极之后制造半导体器件的第三过程的至少一个阶段的第三解说性示图；

[0046] 图29是在形成腔之后制造半导体器件的第三过程的至少一个阶段的第四解说性示图；

[0047] 图30是在形成触点之后制造半导体器件的第三过程的至少一个阶段的第五解说性示图；

[0048] 图31是在暴露牺牲分隔件的一部分之后制造半导体器件的第三过程的至少一个阶段的第六解说性示图；

[0049] 图32是在移除牺牲分隔件之后制造半导体器件的第三过程的至少一个阶段的第七解说性示图；

[0050] 图33是在形成第三分隔件材料之后且在执行平坦化之后制造半导体器件的第一过程的至少一个阶段的第八解说性示图；

[0051] 图34是形成图1A-B的半导体器件的方法的解说性实施例的流程图；

[0052] 图35是形成图1B的半导体器件的方法的第一解说性实施例的流程图；

[0053] 图36是形成图1B的半导体器件的方法的第二解说性实施例的流程图；

[0054] 图37是形成图1A的半导体器件的方法的解说性实施例的流程图；

[0055] 图38是包括图1A或图1B的半导体器件的设备的框图；以及

[0056] 图39是制造包括图1A或图1B的半导体器件的设备的制造过程的解说性实施例的数据流程图。

[0057] VI. 详细描述

[0058] 以下参照附图来描述本公开的特定实施例。在本描述中，贯穿附图的共同特征由共同参考标记来标明。

[0059] 参考图1A,示出了其间限定有间隙的半导体器件100的示图。半导体器件100可包括或对应于场效应晶体管(FET)器件,诸如包括一个或多个鳍的FinFET器件、金属氧化物半导体(MOS)器件(作为解说性而非限定性示例,诸如p型金属氧化物半导体(pMOS)器件或n型金属氧化物半导体(nMOS)器件)。

[0060] 半导体器件100可包括基板106、一个或多个源极/漏极区域140、电介质材料180(例如,电介质层)、一个或多个触点184、分隔件136、以及栅极150。基板106可以与晶片相关联和/或从晶片(作为解说性而非限定性示例,诸如硅晶片)形成。基板106可以包括硅(Si)基板。基板106可包括与半导体器件100的沟道区域相关联的鳍部分。

[0061] 栅极150可耦合至基板106(例如,与基板106接触),诸如耦合至基板106的鳍部分。栅极150可包括共形氧化层152(例如,高K(HiK)材料)、栅极材料(例如,金属)、或其组合。栅极150可以具有高度 $h_{栅极}$ 。栅极150的高度 $h_{栅极}$ 可相对于基板106的表面来确定。例如,栅极150的高度 $h_{栅极}$ 可以基于从栅极150的顶部表面到栅极150的底部表面的距离来确定。栅极150的底部表面可与基板106的表面(诸如,基板106的沟道区域的表面)接触。

[0062] 尽管半导体器件100被解说为具有两个源极/漏极(S/D)区域140,但源极/漏极区域140之一可被标示为源极区域,并且源极/漏极区域140中的另一者可被标示为漏极区域。源极/漏极区域140中的每一者可耦合至对应触点184。触点184可包括金属。每个触点184可以与对应源极/漏极区域140接触。替换或附加地,每个触点184可通过一个或多个结构(诸如通过硅化物)耦合至对应源极/漏极区域140。

[0063] 分隔件136可位于栅极150与触点184之间。尽管分隔件136被解说为单个分隔件结构,但分隔件136可包括一个或多个子结构,如本文参照图1B进一步描述的。分隔件136可包括一种或多种材料,作为解说性而非限定性示例,诸如氧化物或氮化物(例如,包括硅(Si)、碳(C)、硼(B)、或其组合的氮化物)。

[0064] 半导体器件100的一个或多个组件(例如,一个或多个结构)可限定间隙120。例如,

如图1A中所解说的,分隔件136和一个或多个源极/漏极区域140限定间隙120。另外,如图1B中解说的,基板106也可限定间隙120。间隙120可以具有高度 $h_{间隙}$ 。间隙120的高度 $h_{间隙}$ 可以基于从间隙120的顶部边界到间隙120的底部边界之间的距离来确定。间隙120的顶部边界可通过分隔件136的表面来建立。间隙120的底部边界可通过源极/漏极区域140的表面来建立。间隙120的高度 $h_{间隙}$ 小于栅极150的高度 $h_{栅极}$ 。

[0065] 在半导体器件100的操作期间,半导体器件100的栅极150和触点184(例如,源极/漏极电极)可根据半导体器件100的操作来偏置。在半导体器件100处于导通状态时,栅极150可以激活沟道区域以启用从第一源极/漏极区域140(例如,源极区域)到第二源极/漏极区域140(例如,漏极区域)的载流子路径,诸如贯穿基板106的载流子路径(例如,贯穿半导体器件100的鳍)。在半导体器件100处于关断状态时,栅极150可以不激活沟道区域并且载流子路径可以不被启用(例如,载流子路径在操作的阈下态相中被禁用)。

[0066] 通过具有间隙120(诸如,空气填充的间隙或真空间隙),半导体器件100与具有多个鳍而不具有限定的间隙的FinFET器件相比可有利地包括减小的寄生电容(例如,栅极电容)和AC性能改进。另外,与半导体器件100相关联的FinFET晶体管延迟时间和/或开关能量可有利地被减小。

[0067] 参考图1B,示出了其间限定有间隙的半导体器件100的示图。半导体器件160可包括或对应于图1A的半导体器件100。例如,半导体器件100可包括或对应于场效应晶体管(FET)器件,诸如FinFET器件。

[0068] 分隔件136可包括一个或多个子结构,诸如第一分隔件结构136a、第二分隔件结构136b、以及第三分隔件结构136c。尽管分隔件136被解说为包括三个子结构,但分隔件136可包括少于三个子结构或多于三个子结构。

[0069] 作为解说性而非限定性示例,第一分隔件结构136a可包括氧化物或氮化硅并且第二分隔件结构136b可包括氧化物或氮化硅。第一分隔件结构136a的第一分隔件材料和第二分隔件结构136b的第二分隔件材料可以是相同材料或者可以是不同材料。第三分隔件结构136可包括第三分隔件材料,作为解说性而非限定性示例,诸如氮化物(例如,包括硅(Si)、碳(C)、硼(B)、或其组合的氮化物)。

[0070] 间隙120的高度 $h_{间隙}$ 可以基于从间隙120的顶部边界到间隙120的底部边界之间的距离来确定。间隙120的顶部边界可通过分隔件136的表面(例如,第三分隔件结构136c的表面)来建立。间隙120的底部边界可通过源极/漏极区域140的表面和/或基板106的表面(诸如,基板106的沟道区域的表面)来建立。间隙120的高度 $h_{间隙}$ 小于栅极150的高度 $h_{栅极}$ 。

[0071] 半导体器件160可按与半导体器件100相似的方式来操作。半导体器件160与具有多个鳍而不具有限定的间隙的FinFET器件相比可有利地包括减小的寄生电容(例如,栅极电容)和AC性能改进。另外,与半导体器件160相关联的FinFET晶体管延迟时间和/或开关能量可有利地被减小。

[0072] 参照图2,描绘了制造包括限定间隙的源极/漏极区域的半导体器件的第一过程的至少一个阶段的第一解说性示图并且被一般性地标示为200。半导体器件(诸如,FinFET器件)可对应于图1A的半导体器件100。如图2中所描绘的晶片202被解说为在晶片202上执行浅沟槽隔离(STI)以形成鳍之后。例如,晶片202可在STI期间被蚀刻以形成鳍。晶片202可以包括基板106,作为解说性而非限定性示例,诸如硅(Si)基板。相应地,鳍可包括硅(Si)。尽

管解说了单个鳍，但基板106可包括不止一个鳍。

[0073] 参照图3,描绘了在虚栅极上形成硬掩模之后制造半导体器件的第一过程的至少一个阶段的第二解说性示图，并且被一般性地标示为300。虚栅极304可形成在晶片202之上(例如，在基板106之上)。例如，虚栅极304可形成在鳍的至少一部分上。为了解说，虚栅极304可沉积在晶片202上和基板106上。作为解说性而非限定性示例，虚栅极304可包括非晶硅(a-Si)或多晶硅。硬掩模310可形成在虚栅极304之上。例如，硬掩模310可沉积在虚栅极304的表面(例如，顶部)上。硬掩模310可包括氧化物。

[0074] 参照图4,描绘了在形成第一分隔件材料之后制造半导体器件的第一过程的至少一个阶段的第三解说性示图，并且被一般性地标示为400。第一分隔件结构136a可形成在虚栅极304上。例如，第一分隔件结构136a可通过在虚栅极304上沉积第一分隔件材料来形成。第一分隔件结构136a可沉积在虚栅极304的侧壁上，以使得第一分隔件结构136a与虚栅极304接触。第一分隔件结构136a可形成在晶片202之上和基板106之上。第一分隔件结构136a(例如，第一分隔件材料)可包括氮化硅(SiN)或氧化物。蚀刻可作为第一分隔件结构136a的形成的部分或补充来执行。

[0075] 参照图5,描绘了在形成牺牲分隔件之后制造半导体器件的第一过程的至少一个阶段的第三解说性示图，并且被一般性地标示为500。牺牲分隔件522可被共形地形成在第一分隔件结构136a的至少一部分上。牺牲分隔件522可形成在晶片202之上和基板106之上。牺牲分隔件522可包括含有碳的材料。牺牲分隔件522的横截面厚度可大于第一分隔件结构136a的横截面厚度。

[0076] 蚀刻可作为牺牲分隔件522的形成的部分或补充来执行。例如，牺牲分隔件522可被蚀刻以暴露第一分隔件结构136a的表面的一部分。替换地，在蚀刻牺牲分隔件522之后，牺牲分隔件522可覆盖第一分隔件结构136a的全部。

[0077] 参照图6,描绘了在形成第二分隔件材料之后制造半导体器件的第一过程的至少一个阶段的第五解说性示图，并且被一般性地标示为600。图6还包括贯穿半导体器件的鳍的横截面650。第二分隔件结构136b可形成在第一分隔件结构136a和/或牺牲分隔件522上。例如，第二分隔件136b的第二分隔件材料可沉积在第一分隔件结构136a和牺牲分隔件522上，以使得第二分隔件结构136b与第一分隔件结构136a的表面的一部分和牺牲分隔件522的表面的至少一部分接触。在第二分隔件结构136b与第一分隔件结构136a接触时，第一分隔件结构136a和第二分隔件结构136b可被统称为分隔件136。第二分隔件结构136b可形成在晶片202之上和基板106之上。相应地，牺牲分隔件522可位于第一分隔件结构136a与第二分隔件结构136b之间。

[0078] 第二分隔件结构136b的第二分隔件材料可包括与第一分隔件结构136a的第一分隔件材料相同的材料，或者可以是与第一个分隔件材料不同的材料。例如，第二分隔件材料可包括氮化硅(SiN)或氧化物。蚀刻可作为第二分隔件结构136b的形成的部分或补充来执行。第二分隔件结构136b的横截面厚度可小于牺牲分隔件522的横截面厚度。

[0079] 参照图7,描绘了在移除半导体器件的鳍的一部分之后制造半导体器件的第一过程的至少一个阶段的第六解说性示图，并且被一般性地标示为700。图7还包括贯穿半导体器件的鳍的横截面750。可移除基板106与源极/漏极(S/D)区域相关联的一部分(诸如，鳍的一部分)。例如，基板106(例如，鳍)与一个或多个S/D区域相关联的部分可被蚀刻(例如，凹

陷),而基板106与沟道区域相关联的另一部分不被移除。在基板106的该部分被蚀刻之后,基板106的该部分的表面可以低于晶片202的表面。基板106的该部分的移除可包括移除鳍的与第二分隔件结构136b接触的特定部分。鳍的与第二分隔件结构136b接触的该特定部分的移除可暴露牺牲分隔件522的一部分。另外,鳍的与牺牲分隔件522接触的另一特定部分也可被蚀刻。基板的该部分的移除可建立可通过其移除牺牲分隔件522的开口712。

[0080] 参照图8,描绘了在移除牺牲分隔件之后制造半导体器件的第一过程的至少一个阶段的第七解说性示图,并且被一般性地标示为800。图8还解说了贯穿半导体器件的鳍的横截面850。牺牲分隔件522可使用化学性或反应性气体化学品来移除。例如,氢反应或标准清除1型可被用于在不执行蚀刻操作的情况下移除牺牲分隔件522。牺牲分隔件552的移除可以不影响(例如,可以不移除)第一分隔件结构136a或第二分隔件结构136b。牺牲分隔件522的移除可以创建由第一分隔件结构136a和第二分隔件结构136b限定的腔842。腔842还可由基板106(例如,鳍)和/或晶片202限定。

[0081] 参照图9,描绘了在形成源极/漏极区域之后制造半导体器件的第一过程的至少一个阶段的第八解说性示图,并且被一般性地标示为900。图9还解说了贯穿半导体器件的鳍的横截面950。源极/漏极(S/D)区域140可被形成(例如,种植)在基板106(例如,鳍)的凹陷部分之上和/或晶片202之上。例如,源极/漏极(S/D)区域140可被外延沉积(例如,外延生长)在基板106(例如,鳍)的该部分上。S/D区域140可至少部分地延伸进入到图8的腔842中并且可阻塞(例如,闭合)通过其移除牺牲分隔件522的开口712。通过闭合通过其移除牺牲分隔件522的开口712,可通过分隔件136的至少一部分(例如,第一分隔件结构136a和第二分隔件结构136b)来限定间隙120(例如,空气间隙或真空间隙)。间隙120可进一步由晶片202和/或S/D区域140来限定。附加或替换地,间隙120可进一步由基板106(例如,鳍)来限定。

[0082] 参照图10,描绘了在沉积电介质材料之后且在执行平坦化之后制造半导体器件的第一过程的至少一个阶段的第九解说性示图,并且被一般性地标示为1000。图10还解说了贯穿半导体器件的鳍的横截面1050。电介质材料180可沉积在晶片202之上。例如,电介质材料180可包括含硅材料。在沉积电介质材料180之后,可执行化学机械平坦化(CMP)(例如,化学机械抛光)以移除电介质材料180和硬掩模310的一部分。通过移除硬掩模310,CMP可暴露虚栅极304,诸如虚栅极304的顶部表面。

[0083] 参照图11,描绘了在移除虚栅极之后制造半导体器件的第一过程的至少一个阶段的第十解说性示图,并且被一般性地标示为1100。图11还解说了贯穿半导体器件的鳍的横截面1150。可移除虚栅极304以建立(例如,形成)腔1144。例如,可蚀刻掉虚栅极304以暴露基板106(例如,鳍)的与沟道区域相关联的至少一部分。虚栅极304可以使用干法蚀刻、湿法蚀刻、或其组合来被移除。

[0084] 参照图12,描绘了在形成栅极之后制造半导体器件的第一过程的至少一个阶段的第十一解说性示图,并且被一般性地标示为1200。图12还解说了贯穿半导体器件的鳍的横截面1250。可在图11的腔1144中形成(例如,沉积)栅极150。例如,栅极150可被形成在基板106(例如,鳍)的被暴露在图11的腔1144中的部分上(例如,之上)。栅极150可包括高k材料。尽管被解说为单个材料层,但栅极150可包括一个或多个层(例如,一种或多种材料),作为解说性而非限定性实施例,诸如氧化物层、高k栅极电介质、和/或金属栅极层(例如,金属栅

极材料)。

[0085] 参照图13,描绘了在形成腔之后制造半导体器件的第一过程的至少一个阶段的第十二解说性示图,并且被一般性地标示为1300。图13还解说了贯穿半导体器件的鳍的横截面1350。可执行触点图案化以创建腔1346。例如,可使用蚀刻工艺来创建腔1346(例如,沟槽)并暴露S/D区域140的一部分(例如,表面)。腔1346可以不暴露分隔件136的一部分,诸如,第二分隔件结构136b的表面。

[0086] 参照图14,描绘了在形成触点之后制造半导体器件的第一过程的至少一个阶段的第十三解说性示图,并且被一般性地标示为1400。图14还解说了半导体器件贯穿线A-A的横截面1450。可在图13的腔1346中形成触点184。在特定实施例中,触点184不触及分隔件136。触点184可包括金属材料。图14的半导体器件可包括或对应于图1A的半导体器件100。

[0087] 半导体器件可有利地包括限定间隙120的分隔件136。间隙120可减小寄生电容(例如,栅极电容,诸如栅极150与触点184之间的电容)。另外,间隙120可提供与不具有限定的间隙的FinFET器件相比的AC性能改进。

[0088] 参照图15,描绘了在移除半导体器件的鳍的一部分之后制造半导体器件的第二过程的至少一个阶段的第一解说性示图,并且被一般性地标示为1500。图15还解说了贯穿半导体器件的鳍的横截面1550。可移除基板106与源极/漏极(S/D)区域相关联的一部分(例如,鳍的一部分)。例如,基板106与一个或多个S/D区域相关联的部分可被蚀刻(例如,凹陷),而鳍与沟道区域相关联的另一部分不被移除。在基板106的该部分被蚀刻之后,可暴露第二分隔件结构136b的一部分和牺牲分隔件522的一部分。图15的半导体器件可包括或对应于图7中所解说了的半导体器件。例如,第二过程的至少一个阶段的示图1500可在在一个或多个阶段(诸如,参照图2-6解说了的过程的一个或多个阶段)之后。

[0089] 参照图16,描绘了在形成源极/漏极区域被执行之后制造半导体器件的第二过程的至少一个阶段的第二解说性示图,并且被一般性地标示为1600。图16还解说了贯穿半导体器件的鳍的横截面1650。源极/漏极(S/D)区域140可被形成(例如,种植)在基板106的凹陷部分之上和/或晶片202之上。例如,源极/漏极(S/D)区域140可被外延沉积(例如,外延生长)在基板106的该部分上。S/D区域140可与牺牲分隔件522和/或分隔件136(例如,第二分隔件结构136b)接触。

[0090] 参照图17,描绘了在沉积电介质材料之后且在执行平坦化之后制造半导体器件的第二过程的至少一个阶段的第三解说性示图,并且被一般性地标示为1700。图17还解说了贯穿半导体器件的鳍的横截面1750。电介质材料180可形成在晶片202之上。例如,电介质材料180可包括含硅材料。在沉积电介质材料180之后,可执行化学机械平坦化(CMP)(例如,化学机械抛光)以移除电介质材料180和硬掩模310的一部分。通过移除硬掩模310,CMP可暴露虚栅极304,诸如虚栅极304的表面。附加或替换地,CMP可暴露分隔件136(例如,第一分隔件结构136a和/或第二分隔件结构136b)的表面。

[0091] 参照图18,描绘了在暴露牺牲分隔件的一部分之后制造半导体器件的第二过程的至少一个阶段的第四解说性示图,并且被一般性地标示为1800。图18还解说了贯穿半导体器件的鳍的横截面1850。可移除分隔件136(包括第一分隔件结构136a和/或第二分隔件结构136b)的一部分以暴露牺牲分隔件522的一部分。例如,可蚀刻分隔件136的该部分以暴露牺牲分隔件522的表面。移除分隔件136的该部分可创建腔1842。腔1842可由虚栅极304、第

一分隔件结构136a、牺牲分隔件522、第二分隔件结构136b、电介质材料180或其组合来限定。在移除分隔件136的该部分以暴露牺牲分隔件522之后,可暴露第一分隔件结构136a的位于牺牲分隔件522与虚栅极304之间的一部分。另外,在移除分隔件136的该部分以暴露牺牲分隔件522之后,可暴露第二分隔件结构136b的位于牺牲分隔件522与电介质材料180之间的一部分。腔1842可具有通过其移除牺牲分隔件522的开口1812。

[0092] 参照图19,描绘了在移除牺牲分隔件之后制造半导体器件的第二过程的至少一个阶段的第五解说性示图,并且被一般性地标示为1900。图19还解说了贯穿半导体器件的鳍的横截面1950。牺牲分隔件522可使用化学性或反应性气体化学品来移除。例如,氢反应或标准清除1型可被用于在不执行蚀刻操作的情况下移除牺牲分隔件522。牺牲分隔件522可通过图18的开口1812来被移除。牺牲分隔件522的移除可以不影响(例如,可以不移除)第一分隔件结构136a或第二分隔件结构136b。牺牲分隔件522的移除可扩展腔1842,以使得腔1842由基板106(例如,鳍)和/或S/D区域140限定。

[0093] 参照图20,描绘了在形成第三分隔件材料之后制造半导体器件的第二过程的至少一个阶段的第六解说性示图,并且被一般性地标示为2000。图20还包括贯穿半导体器件的鳍的横截面2050。第三分隔件结构136c可形成在半导体器件上。例如,第三分隔件结构136c可以非共形地沉积在半导体器件上。第三分隔件结构136c可至少部分地延伸进入到图19的腔1842中,并且可阻塞(例如,闭合)通过其移除牺牲分隔件522的开口1812。通过闭合通过其移除牺牲分隔件522的开口1812,间隙120(例如,空气间隙或真空间隙)可通过第三分隔件结构136c、第一分隔件结构136a和/或第二分隔件结构136b的至少一部分来限定。间隙120可进一步由晶片202、基板106和/或S/D区域140来限定。附加或替换地,间隙120可进一步由鳍来限定。

[0094] 第三分隔件结构136c可包括第三分隔件材料,作为解说性而非限定性示例,诸如氮化硅或另一氮化物(诸如,包括碳(C)或硼(B)的氮化物)。第三分隔件材料可以是与第一分隔件结构136a的第一分隔件材料和/或第二分隔件结构136b的第二分隔件材料相同的材料或者不同的材料。第三分隔件结构136c可被配置成操作为用于建立和限定间隙120的盖或密封。

[0095] 参照图21,描绘了在执行平坦化之后制造半导体器件的第二过程的至少一个阶段的第七解说性示图,并且被一般性地标示为2100。图21还解说了贯穿半导体器件的鳍的横截面2150。可执行化学机械平坦化(CMP)(例如,化学机械抛光)以移除第三分隔件结构136c的一部分并且由此建立包括第一分隔件结构136a、第二分隔件结构136b和第三分隔件结构136c的分隔件136。通过移除第三分隔件结构136c的该部分,CMP可暴露虚栅极304,诸如虚栅极304的表面。附加或替换地,通过移除第三分隔件结构136c的该部分,CMP可暴露电介质材料的表面。

[0096] 参照图22,描绘了在移除虚栅极之后制造半导体器件的第二过程的至少一个阶段的第八解说性示图,并且被一般性地标示为2200。图22还解说了贯穿半导体器件的鳍的横截面2250。可移除虚栅极304以建立腔2244。例如,可蚀刻掉虚栅极304以暴露基板106(例如,鳍)的与沟道区域相关联的至少一部分。虚栅极304可以使用干法蚀刻、湿法蚀刻、或其组合来被移除。

[0097] 参照图23,描绘了在形成栅极之后制造半导体器件的第二过程的至少一个阶段的

第九解说性示图，并且被一般性地标示为2300。图23还解说了贯穿半导体器件的鳍的横截面2350。可在图22的腔2244中形成(例如，沉积)栅极150。例如，栅极150可被形成在基板106(例如，鳍)的被暴露在图22的腔2244中的部分上(例如，之上)。栅极150可包括高k材料。栅极150可包括一个或多个层(例如，一种或多种材料)，作为解说性而非限定性实施例，诸如氧化物层、高k栅极电介质、和/或金属栅极层(例如，金属栅极材料)。

[0098] 参照图24，描绘了在形成腔之后制造半导体器件的第二过程的至少一个阶段的第十解说性示图，并且被一般性地标示为2400。图24还解说了贯穿半导体器件的鳍的横截面2450。可执行触点图案化以创建腔2446。例如，可使用蚀刻工艺来创建腔2446(例如，沟槽)并暴露S/D区域140的一部分(例如，表面)。在特定实施例中，腔2446不暴露分隔件136的一部分，诸如，第二分隔件结构136b或第三分隔件结构136c的表面。

[0099] 参照图25，描绘了在形成触点之后制造半导体器件的第二过程的至少一个阶段的第十一解说性示图，并且被一般性地标示为2500。图25还解说了半导体器件的贯穿线B-B的横截面2550。可在图24的腔2446中形成触点184。触点184可以不触及分隔件136。触点184可以是金属材料。图25的半导体器件可包括或对应于图1B的半导体器件160。

[0100] 半导体器件可有利地包括限定间隙120的分隔件136。间隙120可减小寄生电容(例如，栅极电容，诸如栅极150与触点184之间的电容)。另外，间隙120可提供与不具有限定的间隙的FinFET器件相比的AC性能改进。

[0101] 参照图26，描绘了在沉积电介质材料之后且在执行平坦化之后制造半导体器件的第三过程的至少一个阶段的第一解说性示图，并且被一般性地标示为2600。图26还解说了贯穿半导体器件的鳍的横截面2650。电介质材料180可形成在晶片202之上。例如，电介质材料180可包括含硅材料。在沉积电介质材料180之后，可执行化学机械平坦化(CMP)(例如，化学机械抛光)以移除电介质材料180和硬掩模310的一部分。通过移除硬掩模310，CMP可暴露虚栅极304，诸如虚栅极304的表面。附加或替换地，CMP可暴露分隔件136(例如，第一分隔件结构136a和/或第二分隔件结构136b)的表面。

[0102] 参照图27，描绘了在移除虚栅极之后制造半导体器件的第三过程的至少一个阶段的第二解说性示图，并且被一般性地标示为2700。图27还解说了贯穿半导体器件的鳍的横截面2750。可移除虚栅极304以建立腔2744。例如，可蚀刻掉虚栅极304以暴露基板106(例如，鳍)的与沟道区域相关联的至少一部分。虚栅极304可以使用干法蚀刻、湿法蚀刻、或其组合来被移除。

[0103] 参照图28，描绘了在形成栅极之后制造半导体器件的第三过程的至少一个阶段的第三解说性示图，并且被一般性地标示为2800。图28还解说了贯穿半导体器件的鳍的横截面2850。可在图27的腔2744中形成(例如，沉积)栅极150。例如，栅极150可被形成在基板106(例如，鳍)的被暴露在图27的腔2744中的部分上(例如，之上)。栅极150可包括高k材料。栅极150可包括一个或多个层(例如，一种或多种材料)，作为解说性而非限定性实施例，诸如氧化物层、高k栅极电介质、和/或金属栅极层(例如，金属栅极材料)。

[0104] 参照图29，描绘了在形成腔之后制造半导体的第三过程的至少一个阶段的第三解说性示图，并且被一般性地标示为2900。图29还解说了贯穿半导体器件的鳍的横截面2950。可执行触点图案化以创建腔2946。例如，可使用蚀刻工艺来创建腔2946(例如，沟槽)并暴露S/D区域140的一部分(例如，表面)。在特定实施例中，腔2946不暴露分隔件136的一部分，诸

如,第二分隔件结构136b的表面。

[0105] 参照图30,描绘了在形成触点之后制造半导体器件的第三过程的至少一个阶段的第五解说性示图,并且被一般性地标示为3000。图30还解说了贯穿半导体器件的鳍的横截面3050。可在图29的腔2946中形成触点184。在特定实施例中,触点184不触及分隔件136。触点184可以是金属材料。

[0106] 参照图31,描绘了在暴露牺牲分隔件的一部分之后制造半导体器件的第三过程的至少一个阶段的第六解说性示图,并且被一般性地标示为3100。图31还包括贯穿半导体器件的鳍的横截面3150。可移除分隔件136(包括第一分隔件结构136a和第二分隔件结构136b)的一部分以暴露牺牲分隔件522的一部分。例如,可蚀刻分隔件136的该部分以暴露牺牲分隔件522的表面。移除分隔件136的该部分可创建腔3142。腔1842可由栅极150、第一分隔件结构136a、牺牲分隔件522、第二分隔件结构136b、电介质材料180或其组合来限定。在移除分隔件136的该部分以暴露牺牲分隔件522之后,可暴露第一分隔件结构136a的位于牺牲分隔件522与栅极150之间的一部分。另外,在移除分隔件136的该部分以暴露牺牲分隔件522之后,可暴露第二分隔件结构136b的位于牺牲分隔件522与电介质材料180之间的一部分。腔3142可以与通过其移除牺牲分隔件522的开口3112相关联。

[0107] 参照图32,描绘了在移除牺牲分隔件之后制造半导体器件的第三过程的至少一个阶段的第七解说性示图,并且被一般性地标示为3200。图32还解说了贯穿半导体器件的鳍的横截面3250。牺牲分隔件522可使用化学性或反应性气体化学品来移除。例如,氢反应或标准清除1型可被用于在不执行蚀刻操作的情况下移除牺牲分隔件522。牺牲分隔件522的移除可以不影响(例如,移除)第一分隔件结构136a或第二分隔件结构136b。牺牲分隔件522的移除可扩展腔3142,以使得腔3142由基板106(例如,鳍)和/或S/D区域140限定。

[0108] 参照图33,描绘了在形成第三分隔件材料之后且在执行平坦化之后制造半导体器件的第三过程的至少一个阶段的第八解说性示图,并且被一般性地标示为3300。图33还解说了半导体器件贯穿线C-C的横截面3350。第三分隔件结构136c可形成在半导体器件上。例如,第三分隔件结构136c可以非共形地沉积在半导体器件上。第三分隔件结构136c可至少部分地延伸进入到图32的腔3142中并且可阻塞(例如,闭合)通过其移除牺牲分隔件522的开口3112。通过闭合开口3112,间隙120(例如,空气间隙或真空间隙)可由第三分隔件结构136c、第一分隔件结构136a和/或第二分隔件结构136b来限定。间隙120可进一步由晶片202、基板106和/或S/D区域140来限定。附加或替换地,间隙120可进一步由鳍来限定。

[0109] 在特定实施例中,第三分隔件结构136c包括氮化硅或另一氮化物,诸如包含碳或硼的氮化物。第三分隔件结构136c可以是与第一分隔件结构136a和/或第二分隔件结构136b相同的材料或者不同的材料。第三分隔件结构136c可被配置成操作为用于建立和限定间隙120的盖或密封。图32的半导体器件可包括或对应于图1B的半导体器件160。

[0110] 半导体器件可有利地包括限定间隙120的分隔件136。间隙120可减小寄生电容(例如,栅极电容,诸如栅极150与触点184之间的电容)。另外,间隙120可提供与不具有限定的间隙的FinFET器件相比的AC性能改进。

[0111] 参照图34,描绘了形成半导体器件的方法3400的第一解说性实施例的流程图。半导体可包括场效应晶体管(FET),诸如包括一个或多个鳍的FinFET、或金属氧化物半导体(MOS)(作为解说性而非限定性示例,诸如p型金属氧化物半导体(pMOS)或n型金属氧化物半

导体(nMOS)器件)。例如,该半导体器件可包括图1A的半导体器件100、图1B的半导体器件160、根据图2-14所解说的过程形成的半导体器件、根据图15-25所解说的过程形成的半导体器件、或者根据图26-33所解说的过程形成的半导体器件。

[0112] 方法3400包括在3402,在半导体器件的虚栅极上形成第一分隔件结构。第一分隔件结构可包括氧化物或氮化物。可在半导体器件的基板上形成虚栅极。例如,第一分隔件结构可包括或对应于图1A-1B的分隔件136、或图1B和图4的第一分隔件结构136a、或其组合。虚栅极可包括或对应于图3的虚栅极304。

[0113] 方法3400进一步包括在3404,在第一分隔件材料上形成牺牲分隔件。牺牲分隔件可包括或对应于图5的牺牲分隔件522。

[0114] 方法3400进一步包括在3406,蚀刻结构以创建开口。该结构可以与牺牲分隔件接触(例如,毗邻)。蚀刻该结构可暴露牺牲分隔件的一部分。该结构可包括基板(例如,基板的鳍部分),诸如图1A-1B的基板106,或者该结构可包括第一分隔件结构和/或第二分隔件结构。第二分隔件结构可包括或对应于图1A-1B的分隔件136、或图1B和图6的第二分隔件结构136b、或其组合。该开口可对应于图7的开口712、图18的开口1812、或图31的开口3112。

[0115] 方法3400进一步包括在3408,经由开口移除牺牲分隔件和沉积材料以闭合该开口从而限定间隙。牺牲分隔件522可使用化学性或反应性气体化学品来移除。例如,氢反应或标准清除1型可被用于在不执行蚀刻操作的情况下移除牺牲分隔件522。该材料可通过外延生长(诸如在基板上外延生长)来沉积。该材料可包括图1A-B的源极/漏极区域140的源极/漏极材料或者图1B的第三分隔件结构136c的材料。该间隙可包括或对应于图1A-B的间隙120。该间隙可由半导体器件的源极/漏极区域(诸如,图1A-B的源极/漏极区域140)的一部分来限定。该间隙可位于半导体器件的栅极与耦合至源极/漏极区域的触点之间。该间隙可减小与半导体器件相关联的寄生电容。

[0116] 在特定实施例中,第二分隔件结构可形成在牺牲分隔件上。例如,第二分隔件结构可形成在第一分隔件结构的一部分上。半导体器件的分隔件(例如,图1B的分隔件136)包括至少第一分隔件结构和第二分隔件结构。第一分隔件结构和第二分隔件结构可包括相同材料。该材料的一部分可位于第一分隔件结构与第二分隔件结构之间。第一分隔件结构和第二分隔件结构可限定间隙。

[0117] 在另一特定实施例中,方法3400可包括建立开口。开口可通过移除基板的一部分(诸如,半导体器件的鳍的一部分)来创建(例如,图7的开口712)。替换地,开口可通过移除第一分隔件结构的一部分、第二分隔件结构的一部分、牺牲分隔件的一部分或其组合来创建(例如,图18的开口1812或图31的开口3112)。例如,该开口由第一分隔件结构、第二分隔件结构、电介质层、虚栅极或其组合来限定。作为另一示例,该开口可由第一分隔件结构、第二分隔件结构、电介质层、栅极或其组合来限定。

[0118] 在另一特定实施例中,虚栅极可被移除以创建腔,诸如,图11的腔1144、图22的腔2244或图27的腔2744。例如,虚栅极可在移除牺牲分隔件之前被移除。作为另一示例,牺牲分隔件可在移除虚栅极之前被移除。可在腔中形成栅极,诸如图1A-B的栅极150。栅极可耦合至基板的沟道区域,诸如包括在半导体器件的鳍中的沟道。栅极可包括高K材料。可在形成栅极之后形成触点(诸如,图1A-B的触点148)。触点可电耦合至半导体器件的源极/漏极区域。

[0119] 在特定实施例中，源极/漏极区域被形成在半导体器件的基板上，并且电介质层(诸如，图1A-B的电介质材料180)被沉积在源极/漏极区域上。电介质层的一部分可被移除以创建腔(诸如，图13的腔1346、图24的腔2446或图29的腔2946)，并且可在腔中形成触点。例如，触点可在移除牺牲分隔件之前形成。作为另一示例，触点可在移除牺牲分隔件之前形成。

[0120] 方法3400可被用于限定位于栅极与半导体器件的触点之间的间隙。该间隙可减小寄生电容(例如，栅极电容，诸如栅极与触点之间的电容)。另外，该间隙可提供与不具有限定的间隙的半导体器件相比的AC性能改进。

[0121] 参照图35，形成半导体器件的方法3500的解说性实施例的流程图。例如，该半导体器件可包括图1B的半导体器件160或根据图26-33所解说的过程形成的半导体器件。

[0122] 方法3500可包括在3502，在基板上执行浅沟槽隔离。例如，该基板可包括或对应于图1B的基板106、图2的晶片202或其组合。

[0123] 方法3500可进一步包括在3504，在基板的一部分之上形成虚栅极和在虚栅极上形成硬掩模。虚栅极和硬掩模可分别包括或对应于图3的虚栅极304和硬掩模310。

[0124] 方法3500还可包括在3506，在虚栅极上沉积第一分隔件材料。第一分隔件材料可直接沉积在虚栅极上和/或可与虚栅极接触。第一分隔件材料可包括或对应于图1B的分隔件136(例如，第一分隔件结构136a)。

[0125] 方法3500可进一步包括在3508，在第一分隔件材料上沉积牺牲分隔件。牺牲分隔件可直接沉积在第一分隔件材料上和/或可与第一分隔件材料接触。牺牲分隔件可包括或对应于图5的牺牲分隔件522。

[0126] 方法3500还可包括在3510，在牺牲分隔件上沉积第二分隔件材料。第二分隔件可直接沉积在第一分隔件材料、牺牲分隔件或其组合上和/或可与第一分隔件材料、牺牲分隔件或其组合接触。第二分隔件可包括或对应于图1B的分隔件136(例如，第二分隔件结构136b)。可在沉积第二分隔件材料之后执行蚀刻工艺。

[0127] 方法3500可进一步包括在3512，移除基板的一部分。被移除的基板的该部分可对应于半导体器件的源极/漏极区域。附加或替换地，被移除的基板的该部分可包括或对应于基板的鳍的一部分。

[0128] 方法3500还可包括在3514，形成源极/漏极区域和沉积电介质材料。源极/漏极区域和电介质材料可分别包括或对应于图1B的源极/漏极区域140和图1B的电介质材料180。在沉积电介质材料之后，可执行化学机械平坦化(CMP)工艺(例如，化学机械抛光)以移除电介质材料和硬掩模的一部分。通过移除硬掩模，CMP可暴露虚栅极，诸如虚栅极的表面。

[0129] 方法3500可进一步包括在3516移除虚栅极以建立腔，以及在3518在腔中形成栅极。该腔可包括或对应于图27的腔2744。该栅极可包括或对应于图1B的栅极150。

[0130] 方法3500还可包括在3520，形成触点。为了形成触点，电介质材料的一部分可被移除以形成腔(例如，沟槽)(诸如，图29的腔2946)，并且可在腔中形成触点。该触点可包括或对应于图1B的触点184。

[0131] 方法3500可进一步包括在3522暴露牺牲分隔件的一部分以及在3524移除牺牲分隔件。可通过移除分隔件(包括第一分隔件材料和第二分隔件材料)的一部分来暴露牺牲分隔件。例如，移除分隔件的该部分可包括移除第一分隔件材料的一部分、第二分隔件材料的

一部分、或其组合。分隔件的该部分的移除可建立可通过其移除牺牲分隔件的开口(诸如图31的开口3112)。

[0132] 方法3500还可包括在3526,沉积第三分隔件材料。可沉积第三分隔件材料以闭合(例如,填充)开口。闭合开口可限定间隙,诸如空气间隙或真空间隙。该间隙可包括或对应于图1B的间隙120。第三分隔件材料可包括或对应于第三分隔件结构136c。在沉积第三分隔件材料之后,可执行CMP工艺以移除第三分隔件材料的一部分。

[0133] 方法3500可被用于限定位子栅极与半导体器件的触点之间的间隙。该间隙可减小寄生电容(例如,栅极电容,诸如栅极与触点之间的电容)。另外,该间隙可提供与不具有限定的间隙的半导体器件相比的AC性能改进。

[0134] 参照图36,描绘了形成半导体器件的方法3600的解说性实施例的流程图。例如,该半导体器件可包括图1B的半导体器件160或根据图15-25所解说的过程形成的半导体器件。

[0135] 方法3600可包括在3602,形成源极/漏极区域和沉积电介质材料。源极/漏极区域和电介质材料可分别包括或对应于图1B的源极/漏极区域140和图1B的电介质材料180。在沉积电介质材料之后,可执行化学机械平坦化(CMP)工艺(例如,化学机械抛光)以移除电介质材料和硬掩模的一部分。通过移除硬掩模,CMP可暴露虚栅极,诸如虚栅极的表面。替换或附加地,CMP工艺可暴露分隔件,诸如通过第一分隔件材料和第二分隔件材料形成的分隔件的表面。第一分隔件材料和第二分隔件材料可分别包括或对应于图1B的第一分隔件结构136a和第二分隔件结构136b。

[0136] 方法3600可进一步包括在3604暴露牺牲分隔件的一部分以及在3606移除牺牲分隔件。可通过移除分隔件(包括第一分隔件材料和第二分隔件材料)的一部分来暴露牺牲分隔件。例如,移除分隔件的该部分可包括移除第一分隔件材料的一部分、第二分隔件材料的一部分、或其组合。分隔件的该部分的移除可建立可通过其移除牺牲分隔件的开口(诸如图18的开口1812)。

[0137] 方法3600还可包括在3608,沉积第三分隔件材料。可沉积第三分隔件材料以闭合(例如,填充)开口。闭合开口可限定间隙,诸如空气间隙或真空间隙。该间隙可包括或对应于图1B的间隙120。第三分隔件材料可包括或对应于图1B的第三分隔件结构136c。在沉积第三分隔件材料之后,可执行CMP工艺以移除第三分隔件材料的一部分。

[0138] 方法3600还可包括在3610移除虚栅极以建立腔,以及在3612在腔中形成栅极。该腔可包括或对应于图22的腔2244。该栅极可包括或对应于图1B的栅极150。

[0139] 方法3600可进一步包括在3614,形成触点。为了形成触点,电介质材料的一部分可被移除以形成腔(例如,沟槽)(诸如,图24的腔2446),并且可在腔中形成触点。该触点可包括或对应于图1B的触点184。

[0140] 方法3600可被用于限定位子栅极与半导体器件的触点之间的间隙。该间隙可减小寄生电容(例如,栅极电容,诸如栅极与触点之间的电容)。另外,该间隙可提供与不具有限定的间隙的半导体器件相比的AC性能改进。

[0141] 参照图37,描绘了形成半导体器件的方法3700的解说性实施例的流程图。例如,该半导体器件可包括图1A的半导体器件100或根据图2-14所解说的过程形成的半导体器件。

[0142] 方法3700可包括在3702,经由开口移除牺牲分隔件。牺牲分隔件可包括或对应于图5的牺牲分隔件522。该开口可包括或对应于图7的开口712。

[0143] 方法3700可进一步包括在3704,形成源极/漏极区域和沉积电介质材料。源极/漏极区域可通过外延生长源极/漏极材料来形成。形成源极/漏极区域可闭合开口并限定间隙,诸如空气间隙或真空间隙。源极/漏极区域和电介质材料可分别包括或对应于图1A的源极/漏极区域140和图1A的电介质材料180。在沉积电介质材料之后,可执行化学机械平坦化(CMP)工艺(例如,化学机械抛光)以移除电介质材料和硬掩模的一部分。通过移除硬掩模,CMP可暴露虚栅极,诸如虚栅极的表面。

[0144] 方法3700还可包括在3706移除虚栅极以建立腔,以及在3708在腔中形成栅极。该腔可包括或对应于图11的腔1144。该栅极可包括或对应于图1A的栅极150。

[0145] 方法3700可进一步包括在3710,形成触点。为了形成触点,电介质材料的一部分可被移除以形成腔(例如,沟槽)(诸如,图13的腔1346),并且可在腔中形成触点。该触点可包括或对应于图1A的触点184。

[0146] 方法3700可被用于限定位于栅极与半导体器件的触点之间的间隙。该间隙可减小寄生电容(例如,栅极电容,诸如栅极与触点之间的电容)。另外,该间隙可提供与不具有限定的间隙的半导体器件相比的AC性能改进。

[0147] 图34-37的方法可通过现场可编程门阵列(FPGA)器件、专用集成电路(ASIC)、处理单元(诸如中央处理器单元(CPU))、数字信号处理器(DSP)、控制器、另一硬件设备、固件设备、或其任何组合来实现。作为示例,图34-37的方法可由执行指令以控制制造装备的一个或多个处理器来执行。

[0148] 参照图38,描绘了无线通信设备3800的特定解说性实施例的框图。设备3800可包括图1A的半导体器件100、图1B的半导体器件160、根据图2-14所解说的过程形成的半导体器件、根据图15-25所解说的过程形成的半导体器件、根据图26-33所解说的过程形成的半导体器件、使用图34-37的方法中的至少一种形成的半导体器件、或其组合。

[0149] 设备3800包括耦合至存储器3832的处理器3810,诸如数字信号处理器(DSP)。处理器3810可包括半导体器件3864。例如,半导体器件3864可以是图1A的半导体器件100、图1B的半导体器件160、根据图2-14所解说的过程形成的半导体器件、根据图15-25所解说的过程形成的半导体器件、根据图26-33所解说的过程形成的半导体器件、使用图34-37的方法中的至少一种形成的半导体器件、或其组合。

[0150] 存储器3832包括指令3868(例如,可执行指令),诸如计算机可读指令或处理器可读指令。指令3868可包括可由计算机(诸如处理器3810)执行的一个或多个指令。

[0151] 图38还示出了耦合至处理器3810和显示器3828的显示控制器3826。编码器/解码器(CODEC)3834也可耦合至处理器3810。扬声器3836和话筒3838可耦合至CODEC 3834。

[0152] 图38还指示无线接口3840(诸如无线控制器)可被耦合至处理器3810和天线3842。在特定实施例中,处理器3810、显示器控制器3826、存储器3832、CODEC 3834、以及无线接口3840被包括在系统级封装或片上系统设备3822中。在一特定实施例中,输入设备3830和电源3844被耦合至片上系统设备3822。此外,在一特定实施例中,如图38中所解说的,显示器3828、输入设备3830、扬声器3836、话筒3838、天线3842和电源3844在片上系统设备3822外部。然而,显示器3828、输入设备3830、扬声器3836、话筒3838、天线3842和电源3844中的每一者可被耦合到片上系统设备3822的组件,诸如接口或控制器。尽管半导体器件3864被描绘为被包括在处理器3810中,但半导体器件3864可被包括在设备3800的另一组件或耦合至

设备3800的组件中。例如，半导体器件3864可被包括在存储器3832、无线接口3840、电源3844、输入设备3830、显示器3828、显示器控制器3826、CODEC 3834、扬声器3836或话筒3838中。

[0153] 结合图1-38所描述的实施例中的一者或多者，公开了一种可包括用于激活半导体器件的沟道区域的装置的设备。沟道区域可耦合至半导体器件的源极/漏极区域。用于激活的装置可对应于图1A-1B的栅极150，被配置成激活沟道区域的一个或多个其它结构、器件或电路，或其任何组合。

[0154] 该设备还可包括用于传导电流的装置。用于传导的装置可耦合至源极/漏极区域。源极/漏极区域可限定位于用于激活的装置与用于传导的装置之间的间隙。间隙的高度可小于用于激活沟道区域的装置的高度。用于传导的装置可对应于图1A-1B的触点184，被配置成传导电流的一个或多个其它结构、器件或电路，或其任何组合。

[0155] 结合图1-38所描述的实施例，公开了一种方法，该方法可包括用于在半导体器件的虚栅极上形成第一分隔件结构的第一步骤，诸如通过图34的方法3400在3402处或图35的方法3500在3506处、或者通过在虚栅极上沉积第一分隔件结构的第一分隔件材料、通过第一分隔件结构的第一分隔件材料在虚栅极上的外延生长、通过被配置成在半导体器件的虚栅极上形成第一分隔件结构的一个或多个其它过程或其任何组合来描述的。

[0156] 该方法还可包括用于在第一分隔件结构上形成牺牲分隔件的第二步骤，诸如通过图34的方法3400在3404处或图35的方法3500在3508处、或者通过在第一分隔件结构上沉积牺牲分隔件的牺牲分隔件材料、通过牺牲分隔件的牺牲分隔件材料在第一分隔件结构上的外延生长、通过被配置成在第一分隔件结构上形成牺牲分隔件的一个或多个其它过程或其任何组合来描述的。

[0157] 该方法还可包括蚀刻结构以创建开口的第三步骤，诸如通过图34的方法3400在3406处、图35的方法3500在3522处、图36的方法3600在3604处、或通过蚀刻结构、基板的一部分、第一分隔件结构和/或第二分隔件结构以创建开口、通过使用化学性或反应性气体化学品来蚀刻结构、通过被配置成蚀刻结构的一个或多个过程、或其任何组合来描述的。

[0158] 该方法还可包括用于经由开口移除牺牲分隔件的第四步骤，诸如通过图34的方法3400在3408处、图35的方法3500在3524处、图36的方法3600在3606处或图37的方法3700在3702处、或通过使用化学制品、氢反应、标准清除1型或反应性气体化学品来经由开口移除牺牲分隔件、通过被配置成经由开口移除牺牲分隔件的一个或多个其它过程、或其任何组合来描述的。

[0159] 该方法还可包括用于沉积材料以闭合开口的第五步骤。移除牺牲分隔件和沉积材料可限定间隙。用于沉积材料的第五步骤可包括执行图34的方法3400在3408处、图35的方法3500在3526处、图36的方法3600在3608处、或图37的方法3700在3704处，或者通过沉积与第三分隔件结构相关联的第三分隔件材料以闭合开口、通过第三分隔件结构的第三分隔件材料的外延生长以闭合开口、通过沉积与源极/漏极区域相关联的源极/漏极材料以闭合开口、通过外延生长与源极/漏极区域相关联的源极/漏极材料以闭合开口、通过被配置成沉积材料以闭合开口的一个或多个其它过程、或其任何组合。

[0160] 所公开的实施例中的一个或多个实施例可在一种系统或装置（诸如设备3800）中实现，该系统或装置可包括通信设备、固定位置的数据单元、移动位置的数据单元、移动电

话、蜂窝电话、卫星电话、计算机、平板设备、便携式计算机、或台式计算机。替换或附加地，设备3800可包括机顶盒、娱乐单元、导航设备、个人数字助理(PDA)、监视器、计算机监视器、电视机、调谐器、无线电、卫星无线电、音乐播放器、数字音乐播放器、便携式音乐播放器、视频播放器、数字视频播放器、数字视频盘(DVD)播放器、便携式数字视频播放器、存储或检索数据或计算机指令的任何其他设备、或其组合。作为另一解说性而非限定性示例，该系统或装置可包括远程单元(诸如移动电话、手持式个人通信系统(PCS)单元)、便携式数据单元(诸如个人数据助理、启用全球定位系统(GPS)的设备、导航设备)、固定位置的数据单元(诸如仪表读数装备)、或存储或检索数据或计算机指令的任何其他设备、或其组合。

[0161] 上文公开的设备和功能性可被设计和配置在存储在计算机可读介质上的计算机文件(例如,RTL、GDSII、GERBER等)中。一些或全部此类文件可被提供给基于此类文件来制造设备的制造处理人员。结果得到的产品包括半导体晶片，其随后被切割为半导体管芯并被封装成半导体芯片。这些芯片随后被用在以上描述的设备中。图39描绘了电子设备制造过程3900的特定说明性实施例。

[0162] 物理器件信息3902在制造过程3900处(诸如在研究计算机3906处)被接收。物理器件信息3902可以包括表示半导体器件的至少一个物理属性的设计信息，该半导体器件诸如图1A的半导体器件100、图1B的半导体器件160、根据图2-14所解说的过程形成的半导体器件、根据图15-25所解说的过程形成的半导体器件、根据图26-33所解说的过程形成的半导体器件、使用图34-37的方法中的至少一种形成的半导体器件、或其组合。例如，物理器件信息3902可包括经由耦合至研究计算机3906的用户接口3904输入的物理参数、材料特性、以及结构信息。研究计算机3906包括耦合至计算机可读介质(例如，非瞬态计算机可读介质)(诸如存储器3910)的处理器3908，诸如一个或多个处理核。存储器3910可存储计算机可读指令，其可被执行以使处理器3908将物理器件信息3902转换成遵循文件格式并生成库文件3912。

[0163] 在特定实施例中，库文件3912包括至少一个包括经转换的设计信息的数据文件。例如，库文件3912可包括半导体器件库，包括被提供以供与电子设计自动化(EDA)工具3920联用的包括以下各项的器件：图1A的半导体器件100、图1B的半导体器件160、根据图2-14所解说的过程形成的半导体器件、根据图15-25所解说的过程形成的半导体器件、根据图26-33所解说的过程形成的半导体器件、使用图34-37的方法中的至少一种形成的半导体器件、或其组合。

[0164] 库文件3912可在设计计算机3914处与EDA工具3920协同使用，设计计算机3914包括耦合至存储器3918的处理器1916，诸如一个或多个处理核。EDA工具3920可作为处理器可执行指令被存储在存储器3918处以使得设计计算机3914的用户能够设计库文件3912的包括以下各项的电路：图1A的半导体器件100、图1B的半导体器件160、根据图2-14所解说的过程形成的半导体器件、根据图15-25所解说的过程形成的半导体器件、根据图26-33所解说的过程形成的半导体器件、使用图34-37的方法中的至少一种形成的半导体器件、或其组合。例如，设计计算机3914的用户可经由耦合至设计计算机3914的用户接口3924来输入电路设计信息3922。电路设计信息3922可以包括表示半导体器件的至少一个物理属性的设计信息，该半导体器件诸如图1A的半导体器件100、图1B的半导体器件160、根据图2-14所解说的过程形成的半导体器件、根据图15-25所解说的过程形成的半导体器件、根据图26-33所

解说的过程形成的半导体器件、使用图34-37的方法中的至少一种形成的半导体器件、或其组合。为了解说，电路设计属性可包括特定电路的标识以及与电路设计中其他元件的关系、定位信息、特征尺寸信息、互连信息、或表示半导体器件的物理属性的其他信息。

[0165] 设计计算机3914可被配置成转换设计信息(包括电路设计信息3922)以遵循某一文件格式。为了解说，该文件格式可包括以阶层式格式表示关于电路布局的平面几何形状、文本标记、及其他信息的数据库二进制文件格式，诸如图形数据系统(GDSII)文件格式。设计计算机3914可被配置成生成包括经转换设计信息的数据文件，诸如包括描述以下各项的信息以及其它电路或信息的GDSII文件3926：图1A的半导体器件100、图1B的半导体器件160、根据图2-14所解说的过程形成的半导体器件、根据图15-25所解说的过程形成的半导体器件、根据图26-33所解说的过程形成的半导体器件、使用图34-37的方法中的至少一种形成的半导体器件、或其组合。为了解说，数据文件可包括对应于包括以下各项的片上系统(SOC)的信息：图1A的半导体器件100、图1B的半导体器件160、根据图2-14所解说的过程形成的半导体器件、根据图15-25所解说的过程形成的半导体器件、根据图26-33所解说的过程形成的半导体器件、使用图34-37的方法中的至少一种形成的半导体器件、或其组合，该SOC还包括SOC内的附加电子电路和组件。

[0166] GDSII文件3926可在制造过程3928处接收以根据GDSII文件3926中的经转换信息来制造图1A的半导体器件100、图1B的半导体器件160、根据图2-14所解说的过程形成的半导体器件、根据图15-25所解说的过程形成的半导体器件、根据图26-33所解说的过程形成的半导体器件、使用图34-37的方法中的至少一种形成的半导体器件、或其组合。例如，设备制造过程可包括将GDSII文件3926提供给掩模制造商3930以创建一个或多个掩模，诸如用于与光刻处理联用的掩模，其被解说为代表性掩模3932。掩模3932可在制造过程期间被用于生成一个或多个晶片3933，晶片3933可被测试并被分成管芯，诸如代表性管芯3936。管芯3936包括含有器件的电路，该器件包括图1A的半导体器件100、图1B的半导体器件160、根据图2-14所解说的过程形成的半导体器件、根据图15-25所解说的过程形成的半导体器件、根据图26-33所解说的过程形成的半导体器件、使用图34-37的方法中的至少一种形成的半导体器件、或其组合。

[0167] 例如，制造过程3928可包括处理器3934和存储器3935以发起和/或控制该制造过程3928。存储器3935可包括可执行指令，诸如计算机可读指令或处理器可读指令。这些可执行指令可包括可由计算机(诸如处理器3934)执行的一个或多个指令。

[0168] 制造过程3928可由全自动化或部分自动化的制造系统来实现。例如，制造过程3928可以根据调度来自动化。制造系统可包括用于执行一个或多个操作以形成半导体器件的制造装备(例如，处理工具)。例如，制造装备可被配置成沉积一种或多种材料、外延生长一种或多种材料、共形地沉积一种或多种材料、施加硬掩模、施加蚀刻掩模、执行蚀刻、执行平坦化、形成虚栅极堆叠、形成栅极堆叠、执行标准清除1型，等等。

[0169] 制造系统(例如，执行制造过程3928的自动化系统)可具有分布式架构(例如，分层结构)。例如，该制造系统可包括根据该分布式架构分布的一个或多个处理器(诸如处理器3934)、一个或多个存储器(诸如存储器3935)、和/或控制器。该分布式架构可包括控制或发起一个或多个低级系统的操作的高级处理器。例如，制造过程3928的高级部分可包括一个或多个处理器(诸如处理器3934)，并且低级系统可各自包括一个或多个相应控制器或可受

其控制。特定低级系统的特定控制器可从特定高级系统接收一个或多个指令(例如,命令),可向下级模块或处理工具发布子命令,以及可反过来向该特定高级系统传达状态数据。一个或多个低级系统中的每个低级系统可与一件或多件相应制造装备(例如,处理工具)相关联。在一特定实施例中,该制造系统可包括分布在该制造系统中的多个处理器。例如,低级系统组件的控制器可包括处理器,诸如处理器3934。

[0170] 替换地,处理器3934可以是该制造系统的高级系统、子系统、或组件的一部分。在另一实施例中,处理器3934包括制造系统的各种等级和组件处的分布式处理。

[0171] 因此,处理器3934可包括处理器可执行指令,该处理器可执行指令在由处理器3934执行时使得处理器3934发起或控制半导体器件的形成,该半导体器件通过以下步骤来形成:在半导体器件的虚栅极上形成第一分隔件结构、在第一分隔件结构上形成牺牲分隔件、经由开口移除牺牲分隔件、以及沉积材料以闭合开口,其中该材料限定间隙。例如,第一分隔件结构可通过一种或多种掺杂工具(诸如分子束外延生长工具、可流动化学气相沉积(FCVD)工具、共形沉积工具或旋涂沉积工具)来形成。作为另一示例,牺牲分隔件可通过一种或多种沉积工具(诸如分子束外延生长工具、可流动化学气相沉积(FCVD)工具、共形沉积工具或旋涂沉积工具)来形成。作为另一示例,牺牲分隔件可通过一种或多种移除工具(诸如化学移除工具、反应气体移除工具、氢反应移除工具或标准清除1型移除工具)来移除。作为另一示例,该材料可通过一种或多种沉积工具(诸如分子束外延生长工具、可流动化学气相沉积(FCVD)工具、共形沉积工具或旋涂沉积工具)来沉积。

[0172] 存储器3935中所包括的可执行指令可使得处理器3934能够发起半导体器件的形成,该半导体器件诸如图1A的半导体器件100、图1B的半导体器件160、根据图2-14所解说的过程形成的半导体器件、根据图15-25所解说的过程形成的半导体器件、根据图26-33所解说的过程形成的半导体器件、使用图34-37的方法中的至少一种形成的半导体器件、或其组合。在特定实施例中,存储器3935是存储计算机可执行指令的非瞬态计算机可读介质,该计算机可执行指令可由处理器3934执行以使得处理器3934根据图2-33所解说的过程中的任一者的至少一部分、图34-37的方法中的任一者的至少一部分、或其任何组合来发起半导体器件(诸如场效应晶体管(FET)或互补金属氧化物半导体(CMOS)器件)的形成。例如,计算机可执行指令可以被执行以使得处理器3934发起半导体器件的形成。半导体器件可通过以下步骤来形成:在半导体器件的虚栅极上形成第一分隔件结构、在第一分隔件结构上形成牺牲分隔件、蚀刻结构以创建开口、经由开口移除牺牲分隔件、以及沉积材料以闭合开口,其中该材料限定间隙。

[0173] 作为解说性示例,处理器3934可以发起或控制用于在半导体器件的虚栅极上形成第一分隔件结构的第一步骤。例如,处理器3934可被嵌入或耦合至一个或多个控制器,这一个或多个控制器控制一件或多件制造装备以执行用于在半导体器件的虚栅极上形成第一分隔件结构的第一步骤。处理器3934可通过以下操作来控制用于在半导体器件的虚栅极上形成第一分隔件结构的第一步骤:控制如通过图34的方法3400在3402处、图35的方法3500在3506处描述的一个或多个过程、控制第一分隔件结构的第一分隔件材料在虚栅极上的外延沉积、控制第一分隔件结构的第一分隔件材料在虚栅极上的沉积、控制被配置成在半导体器件的虚栅极上形成第一分隔件结构的一个或多个其它过程或其任何组合。

[0174] 处理器3934还可控制用于在第一分隔件结构上形成牺牲分隔件的第二步骤。例

如,处理器3934可被嵌入或耦合至一个或多个控制器,这一个或多个控制器控制一件或多件制造装备以执行用于在第一分隔件结构上形成牺牲分隔件的第二步骤。处理器3934可通过以下操作来控制用于在第一分隔件结构器件上形成牺牲分隔件的第二步骤:控制如通过图34的方法3400在3404处、图35的方法3500在3508处描述的一个或多个过程、控制高迁移率沟道材料在至少腔中的沉积、控制高迁移率材料在腔中的外延生长、控制被配置成在第一分隔件结构上形成牺牲分隔件的一个或多个其它过程、或其任何组合。

[0175] 处理器3934还可控制用于蚀刻结构以创建开口的第三步骤。例如,处理器3934可被嵌入或耦合至一个或多个控制器,这一个或多个控制器控制一件或多件制造装备以执行用于蚀刻结构以创建开口的第三步骤。处理器3934可通过以下操作来控制用于蚀刻结构以创建开口的第三步骤:控制如通过图34的方法3400在3406处、图35的方法3500在3522处、图36的方法3600在3604处描述的一个或多个过程、或蚀刻结构以创建开口、蚀刻基板的一部分以创建开口、蚀刻第一分隔件结构的一部分以创建开口、蚀刻第二分隔件结构的一部分以创建开口、使用化学制品来蚀刻结构、使用反应性气体化学品来蚀刻结构、被配置成蚀刻结构的一个或多个过程、或其任何组合。

[0176] 处理器3934还可控制用于经由开口移除牺牲分隔件的第四步骤。例如,处理器3934可被嵌入或耦合至一个或多个控制器,这一个或多个控制器控制一件或多件制造装备以执行用于经由开口移除牺牲分隔件的第四步骤。处理器3934可通过以下操作来控制用于经由开口移除牺牲分隔件的第四步骤:控制如通过图34的方法3400在3408处、图35的方法3500在3524处、图36的方法3600在3606处或图37的方法3700在3702处描述的一个或多个过程、或控制经由开口来移除牺牲分隔件的牺牲分隔件材料、控制化学制品的使用来经由开口移除牺牲分隔件、控制反应性气体化学品的使用来经由开口移除牺牲分隔件、控制氢反应的使用来经由开口移除牺牲分隔件、控制标准清除1型的使用来经由开口移除牺牲分隔件、控制被配置成经由开口移除牺牲分隔件的一个或多个其它过程、或其任何组合来描述的。

[0177] 处理器3934还可控制用于沉积材料以闭合开口的第五步骤。例如,处理器3934可被嵌入或耦合至一个或多个控制器,这一个或多个控制器控制一件或多件制造装备以执行用于沉积材料以闭合开口的第五步骤。移除牺牲分隔件和沉积材料可限定间隙。处理器3934可通过以下操作来控制用于沉积材料以闭合开口的第五步骤:控制如通过图34的方法3400在3408处、图35的方法3500在3526处、图36的方法3600在3608处、图37的方法3700在3704处描述的一个或多个过程,控制与第三分隔件结构相关联的第三分隔件材料的沉积以闭合开口、控制第三分隔件结构的第三分隔件材料的外延生长以闭合开口、控制与源极/漏极区域相关联的源极/漏极材料的沉积以闭合开口、控制与源极/漏极区域相关联的源极/漏极材料的外延生长以闭合开口、控制被配置成沉积材料以闭合开口的一个或多个其它过程、或其任何组合。

[0178] 管芯3936可被提供给封装过程3938,其中管芯3936被纳入到代表性封装3940中。例如,封装3940可包括单个管芯3936或多个管芯,诸如系统级封装(SiP)安排。封装3940可被配置成遵循一个或多个标准或规范,诸如电子器件工程联合委员会(JEDEC)标准。

[0179] 关于封装3940的信息可诸如经由存储在计算机3946处的组件库被分发给各产品设计者。计算机3946可包括耦合至存储器3950的处理器3948,诸如一个或多个处理核。印刷

电路板 (PCB) 工具可作为处理器可执行指令被存储在存储器3950处以处理经由用户接口3944从计算机3946的用户接收的PCB设计信息3942。PCB设计信息3942可包括经封装半导体器件在电路板上的物理定位信息,该经封装半导体器件对应于封装3940,封装3940包括:图1A的半导体器件100、图1B的半导体器件160、根据图2-14所解说的过程形成的半导体器件、根据图15-25所解说的过程形成的半导体器件、根据图26-33所解说的过程形成的半导体器件、使用图34-37的方法中的至少一种形成的半导体器件、或其组合。

[0180] 计算机3946可被配置成转换PCB设计信息3942以生成数据文件,诸如具有包括经封装半导体器件在电路板上的物理定位信息、以及电连接(诸如迹线和通孔)的布局的数据的GERBER文件3952,其中经封装半导体器件对应于封装3940,封装3940包括图1A的半导体器件100、图1B的半导体器件160、根据图2-14所解说的过程形成的半导体器件、根据图15-25所解说的过程形成的半导体器件、根据图26-33所解说的过程形成的半导体器件、使用图34-37的方法中的至少一种形成的半导体器件、或其组合。在其他实施例中,由经转换的PCB设计信息生成的数据文件可具有GERBER格式以外的其他格式。

[0181] GERBER文件3952可在板组装过程3954处被接收并且被用于创建根据GERBER文件3952内存储的设计信息来制造的PCB,诸如代表性PCB 3956。例如,GERBER文件3952可被上传到一个或多个机器以执行PCB生产过程的各个步骤。PCB 3956可填充有电子组件(包括封装3940)以形成代表性印刷电路组裝件 (PCA) 3958。

[0182] PCA 3958可在产品制造过程3960处被接收,并被集成到一个或多个电子设备中,诸如第一代表性电子设备3962和第二代表性电子设备3964。例如,第一代表性电子设备3962、第二代表性电子设备3964、或这两者可包括或对应于图38的无线通信设备3800。作为解说性而非限定性示例,第一代表性电子设备3962、第二代表性电子设备3964、或这两者可包括通信设备、固定位置数据单元、移动位置数据单元、移动电话、蜂窝电话、卫星电话、计算机、平板设备、便携式计算机、或台式计算机。替换或附加地,第一代表性电子设备3962、第二代表性电子设备3964或两者可包括机顶盒、娱乐单元、导航设备、个人数字助理 (PDA)、监视器、计算机监视器、电视机、调谐器、无线电、卫星无线电、音乐播放器、数字音乐播放器、便携式音乐播放器、视频播放器、数字视频播放器、数字视频盘 (DVD) 播放器、便携式数字视频播放器、存储或检索数据或计算机指令的任何其他设备、或其组合,图1A的半导体器件100、图1B的半导体器件160、根据图2-14所解说的过程形成的半导体器件、根据图15-25所解说的过程形成的半导体器件、根据图26-33所解说的过程形成的半导体器件、使用图34-37的方法中的至少一种形成的半导体器件、或其组合被集成于其中。作为另一解说性而非限定性示例,电子设备3962和3964中的一者或者可包括远程单元(诸如移动电话)、手持式个人通信系统 (PCS) 单元、便携式数据单元(诸如个人数据助理)、启用全球定位系统 (GPS) 的设备、导航设备、固定位置数据单元(诸如仪表读数装备)、或者存储或检索数据或计算机指令的任何其他设备、或其任何组合。尽管图39解说了根据本公开的教导的远程单元,但本公开并不限于这些所解说的单元。本公开的实施例可合适地用在包括具有存储器和片上电路系统的有源集成电路系统的任何设备中。

[0183] 包括图1A的半导体器件100、图1B的半导体器件160、根据图2-14所解说的过程形成的半导体器件、根据图15-25所解说的过程形成的半导体器件、根据图26-33所解说的过程形成的半导体器件、使用图34-37的方法中的至少一种形成的半导体器件、或其组合的器

件可被制造、处理和纳入电子设备中,如在解说性过程3900中描述的。关于图1-38所公开的实施例的一个或多个方面可被包括在各个处理阶段,诸如被包括在库文件3912、GDSII文件3926(例如,具有GDSII格式的文件)、以及GERBER文件3952(例如,具有GERBER格式的文件)内,以及被存储在研究计算机3906的存储器3910、设计计算机3914的存储器3918、计算机3946的存储器3950、在各个阶段(诸如在板组装过程3954处)使用的一个或多个其他计算机或处理器(未示出)的存储器处,并且还被纳入到一个或多个其他物理实施例中,诸如掩模3932、管芯3936、封装3940、PCA 3958、其他产品(诸如原型电路或设备(未示出))、或其任何组合。尽管描绘了从物理器件设计到最终产品的各个代表性生产阶段,然而在其他实施例中可使用较少的阶段或可包括附加阶段。类似地,过程3900可由单个实体或由执行过程3900的各个阶段的一个或多个实体来执行。

[0184] 尽管图1-39中的一个或多个图可以解说根据本公开的教导的各系统、装置、和/或方法,但本公开不限于这些所解说的系统、装置、和/或方法。本公开的各实施例可适于用在包括集成电路系统(包括存储器、处理器和片上电路系统)的任何设备中。

[0185] 尽管图1-39中的一个或多个图可以解说根据本公开的教导的各系统、装置、和/或方法,但本公开不限于这些所解说的系统、装置、和/或方法。图1-39中任一者的如本文所解说或描述的一个或多个功能或组件可与图1-39中另一者的一个或多个其他部分相组合。相应地,本文中所描述的任何单个实施例都不应被解释为是限定性的,并且本公开的各实施例可在不脱离本公开的教导的情况下被合适地组合。

[0186] 技术人员将进一步领会,结合本文所公开的实施例来描述的各种解说性逻辑框、配置、模块、电路、和算法步骤可实现为电子硬件、由处理器执行的计算机软件、或这两者的组合。各种解说性组件、框、配置、模块、电路、和步骤已经在上文以其功能性的形式作了一般化描述。此类功能性是被实现为硬件还是处理器可执行指令取决于具体应用和加诸于整体系统的设计约束。技术人员可针对每种特定应用以不同方式来实现所描述的功能性,但此类实现决策不应被解读为致使脱离本发明的范围。

[0187] 结合本文所公开的实施例描述的方法或算法的各个步骤可直接用硬件、由处理器执行的软件模块或这两者的组合来实现。软件模块可驻留在随机存取存储器(RAM)、闪存、只读存储器(ROM)、可编程只读存储器(PROM)、可擦式可编程只读存储器(EPROM)、电可擦式可编程只读存储器(EEPROM)、寄存器、硬盘、可移动盘、压缩盘只读存储器(CD-ROM)、或本领域中所知的任何其他形式的非瞬态存储介质中。示例性的存储介质耦合至处理器以使该处理器能从/向该存储介质读写信息。在替换方案中,存储介质可以被整合到处理器。处理器和存储介质可驻留在专用集成电路(ASIC)中。ASIC可驻留在计算设备或用户终端中。在替换方案中,处理器和存储介质可作为分立组件驻留在计算设备或用户终端中。

[0188] 提供前面对所公开的实施例的描述是为了使本领域技术人员皆能制作或使用所公开的实施例。对这些实施例的各种修改对于本领域技术人员而言将是显而易见的,并且本文中定义的原理可被应用于其他实施例而不会脱离本公开的范围。因此,本公开并非旨在被限定于本文中示出的实施例,而是应被授予与如由所附权利要求定义的原理和新颖性特征一致的最广的可能范围。

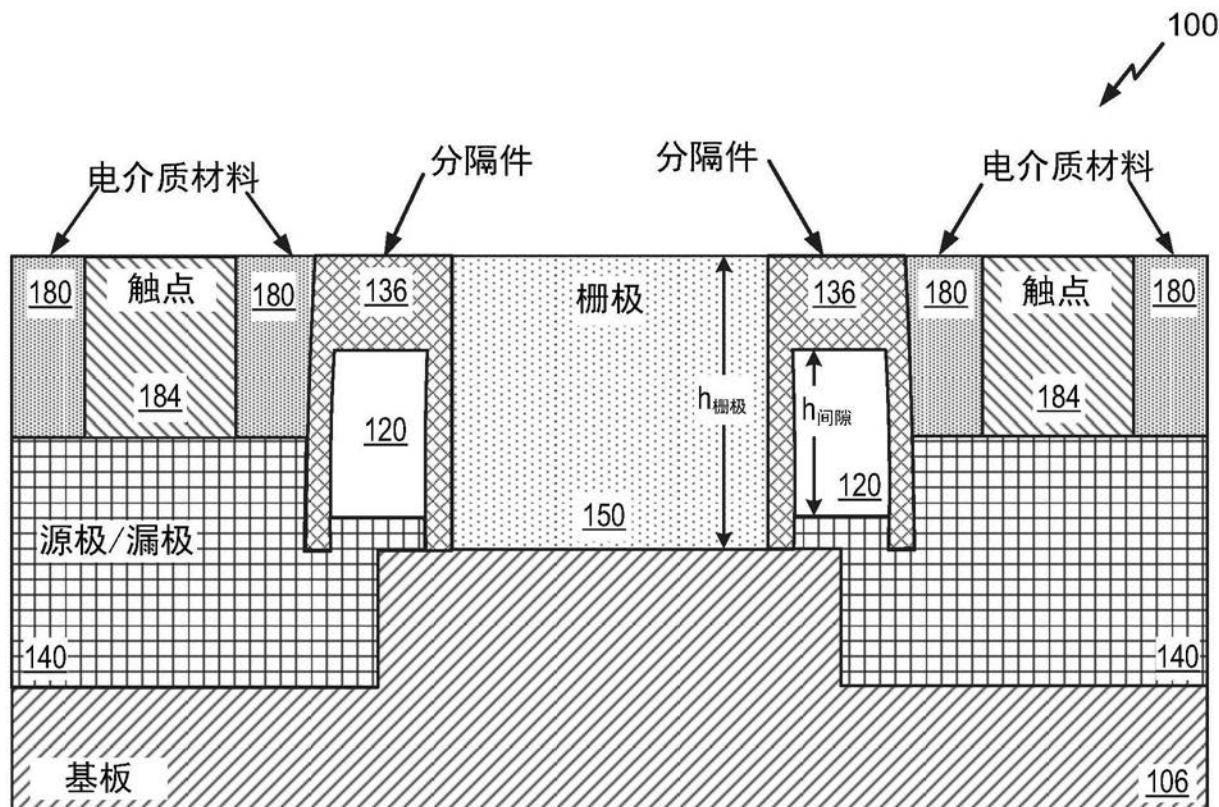


图1A

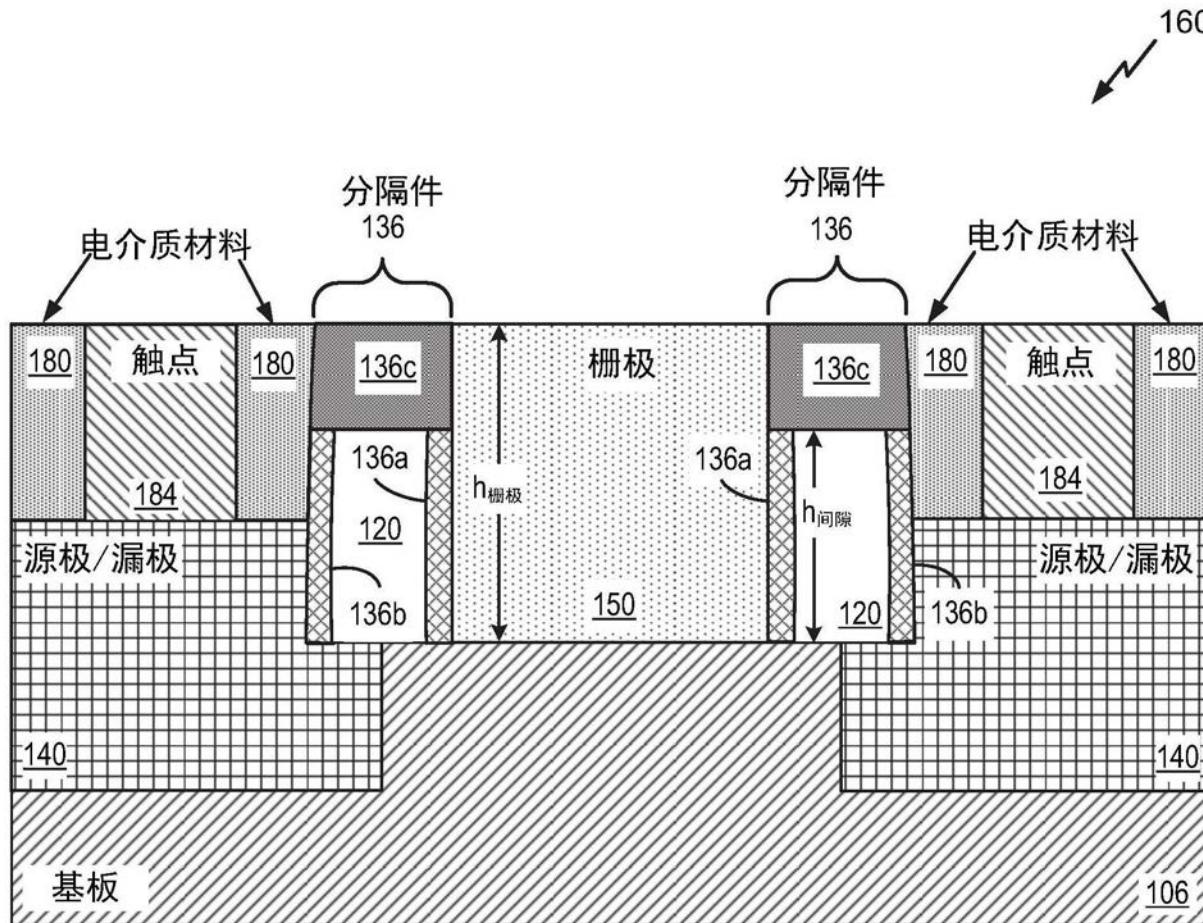


图1B

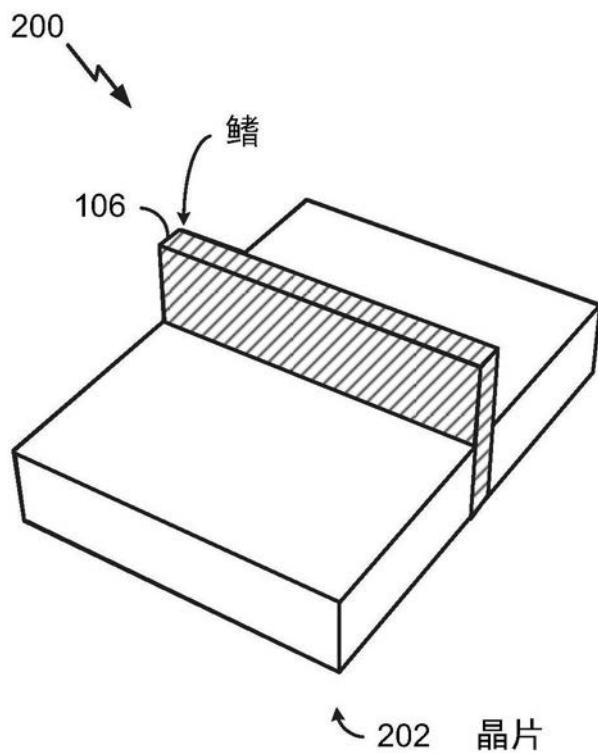


图2

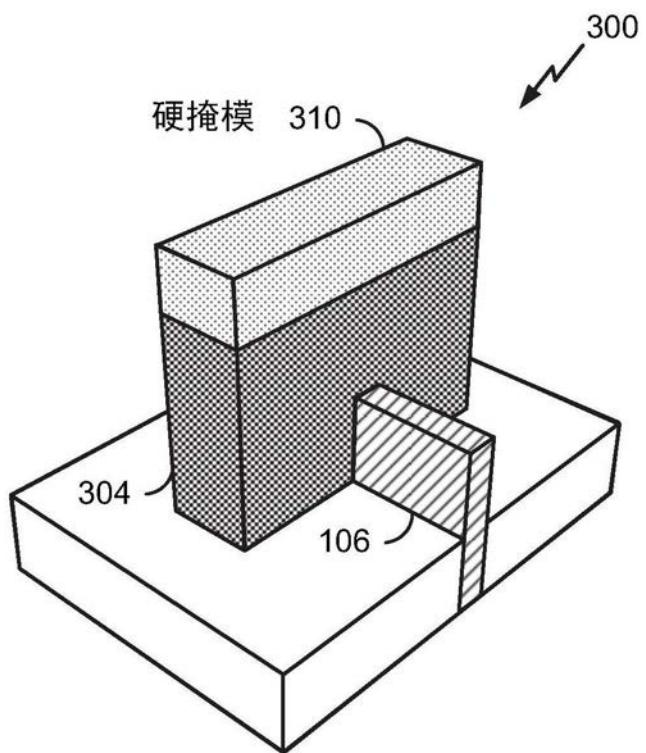


图3

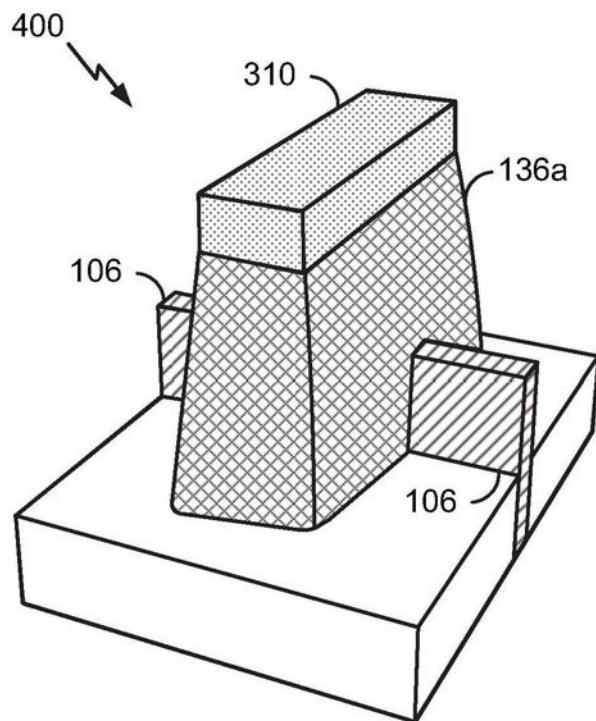


图4

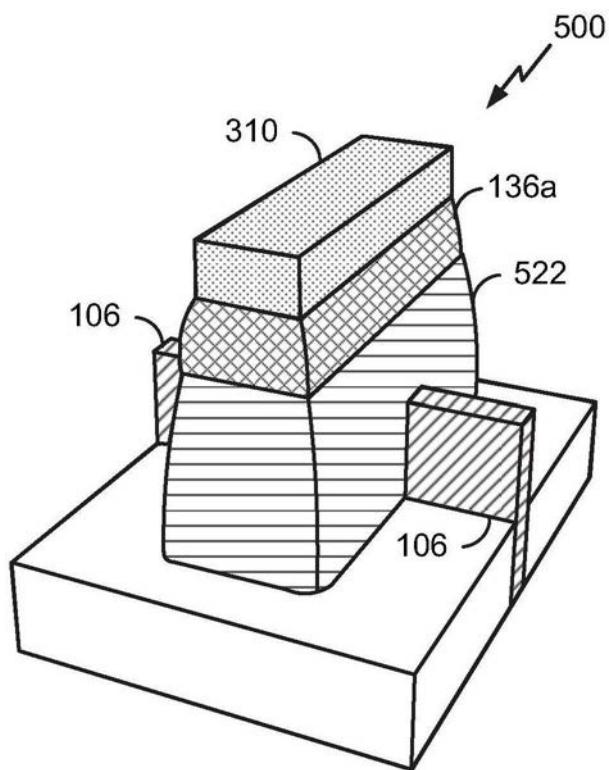


图5

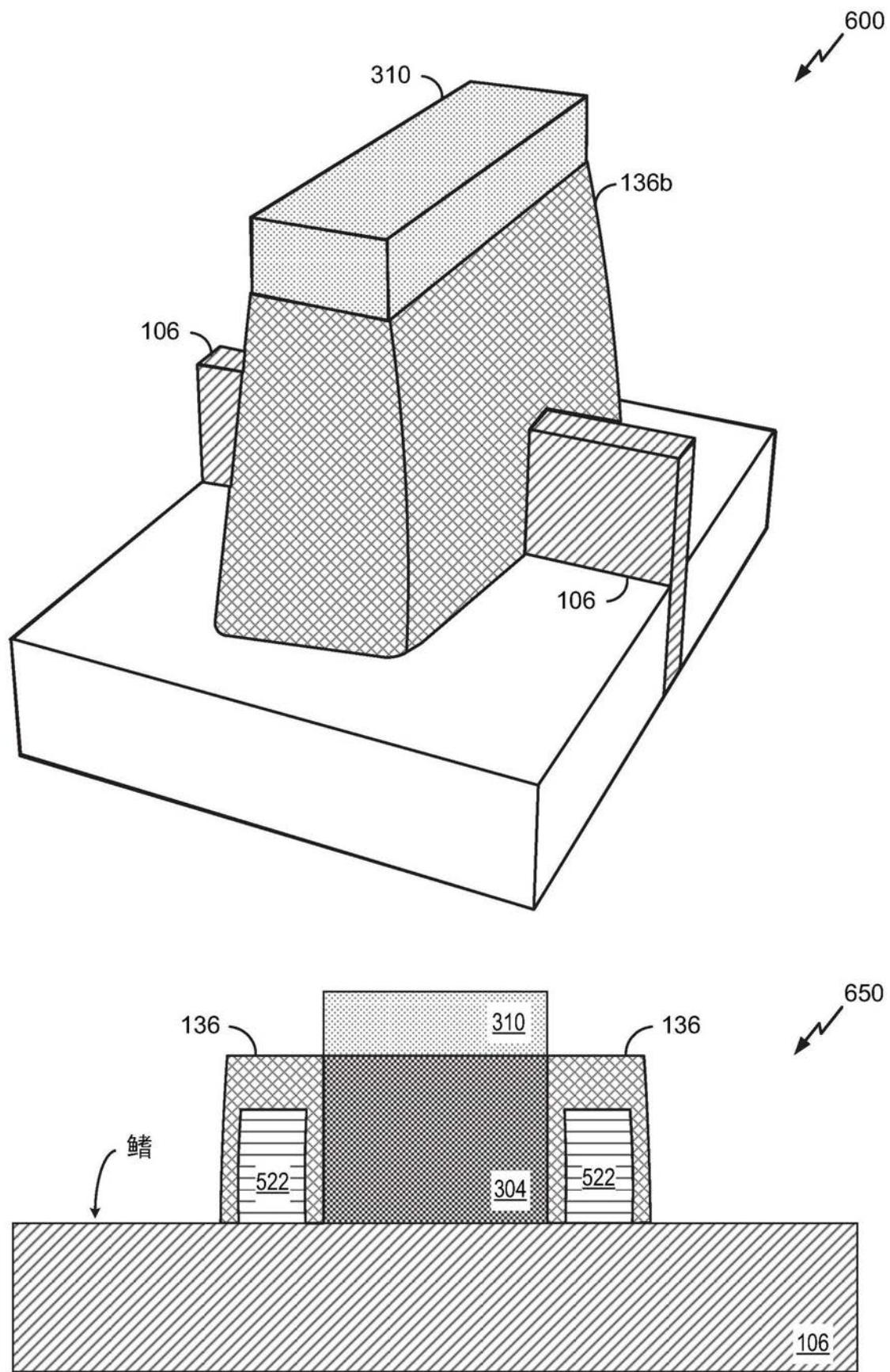


图6

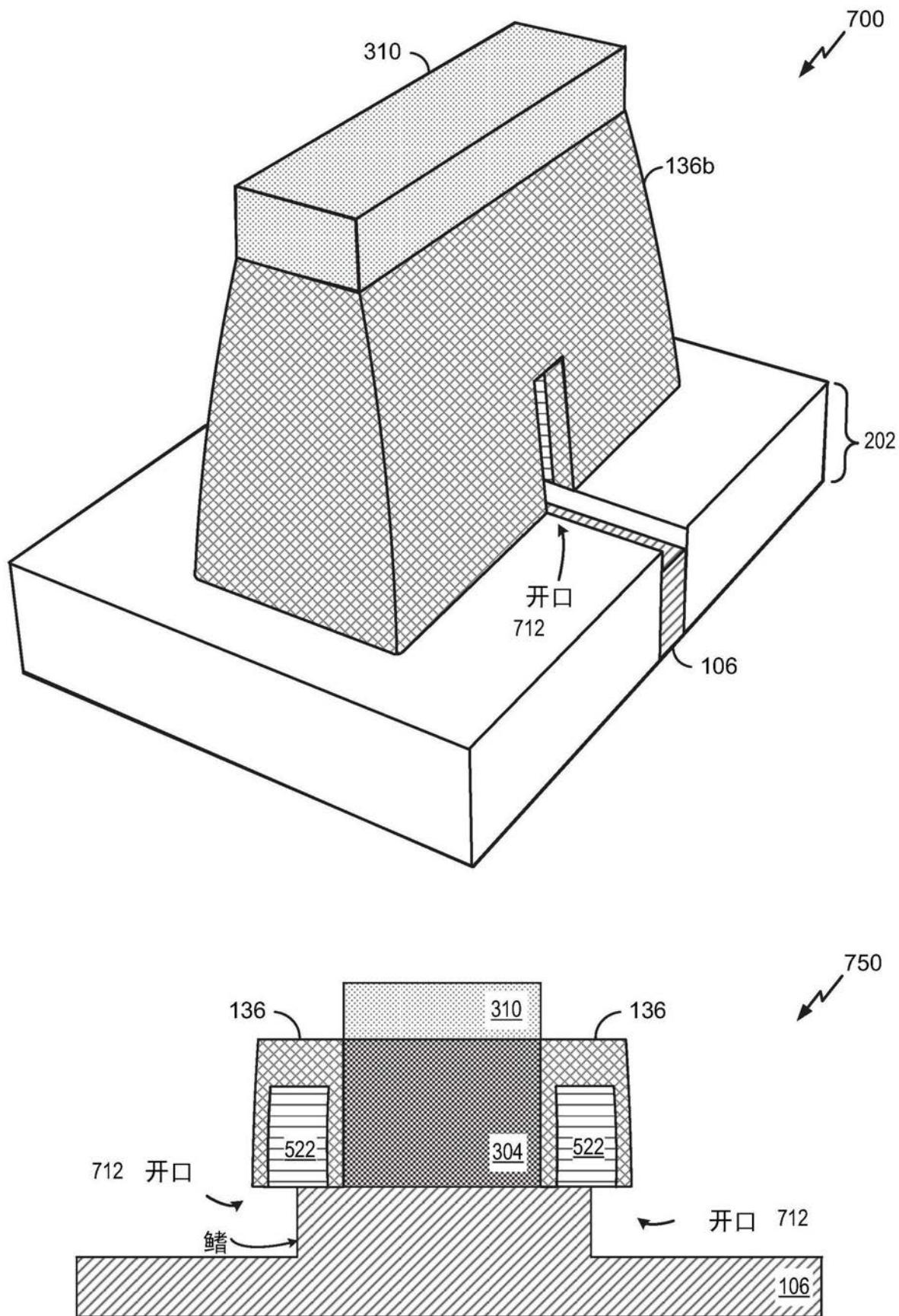


图7

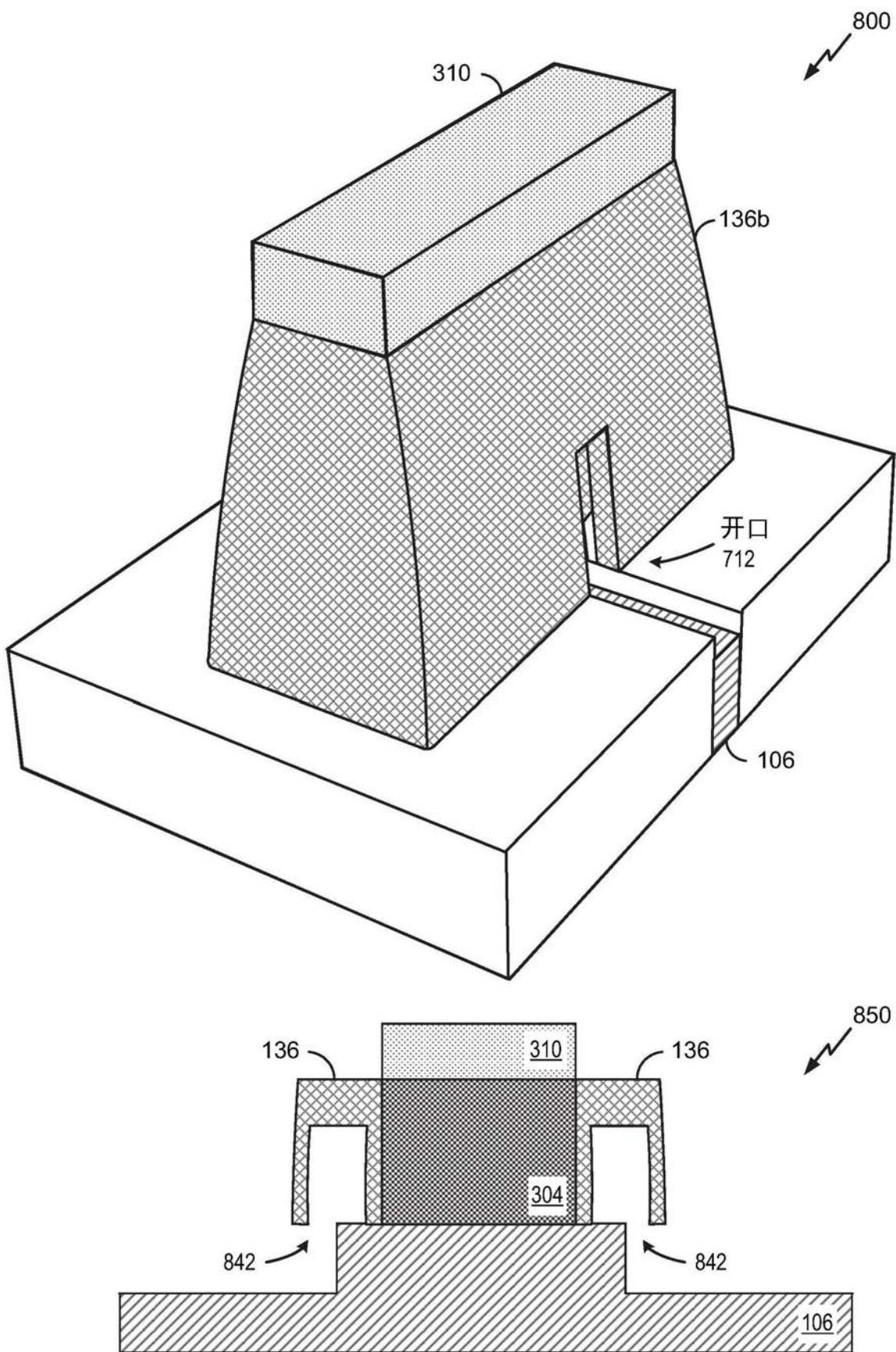


图8

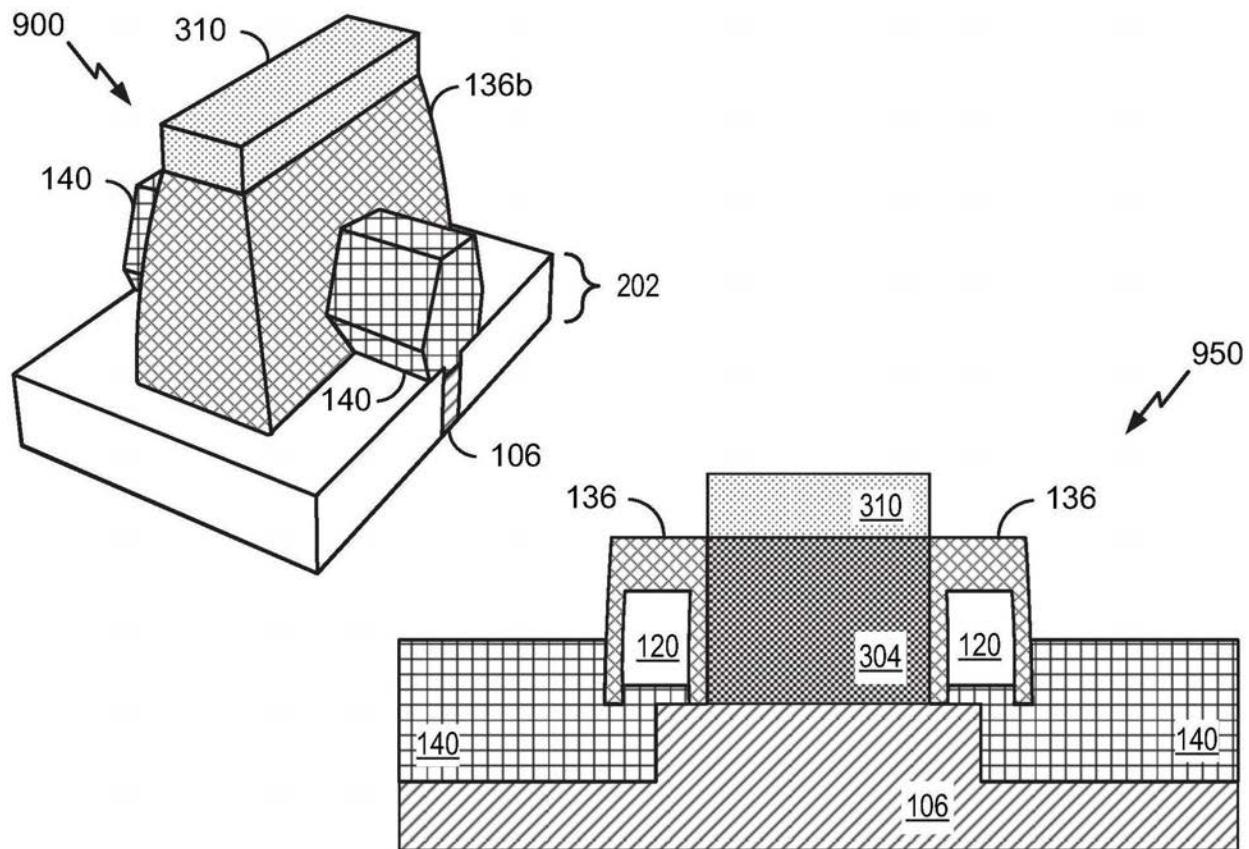


图9

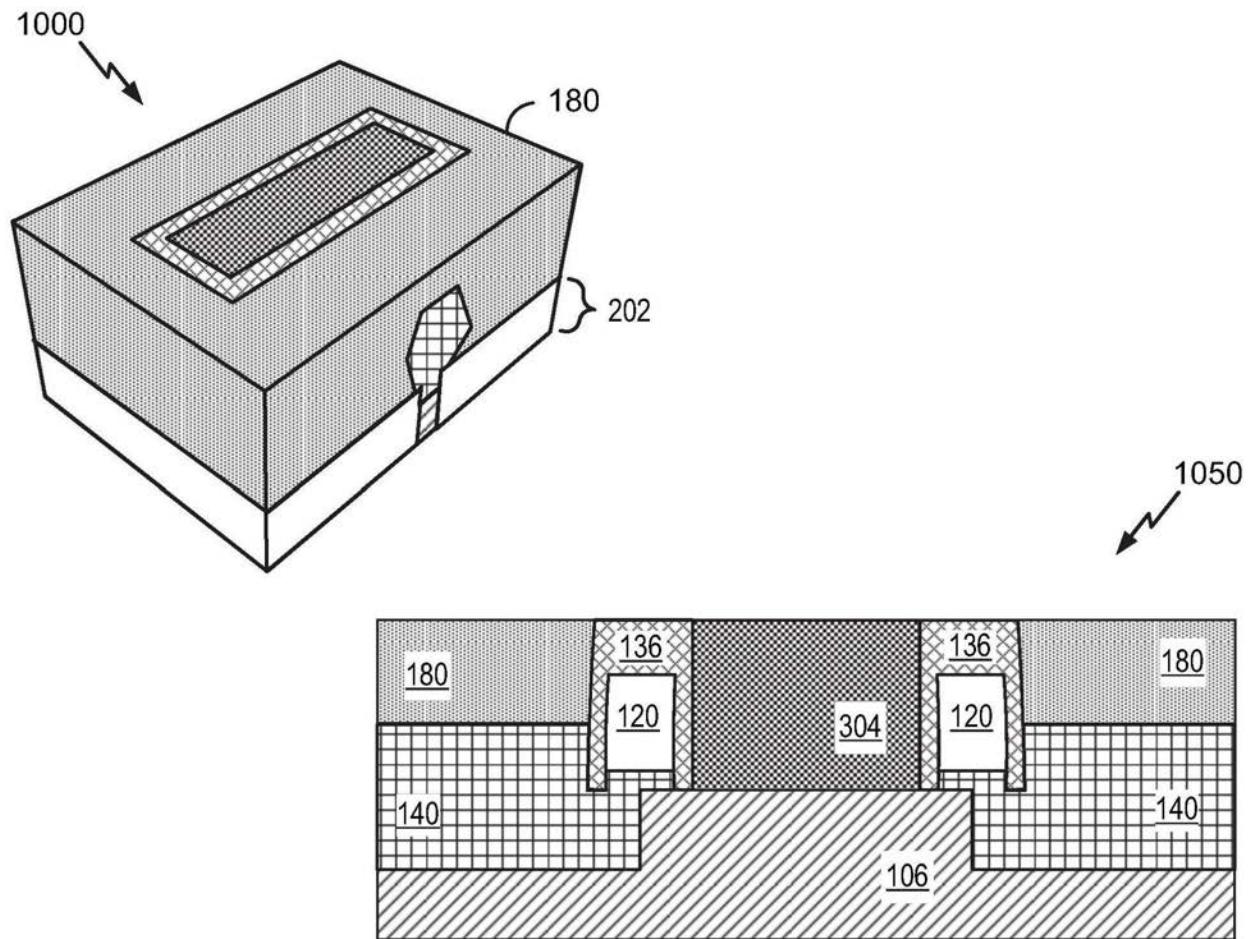


图10

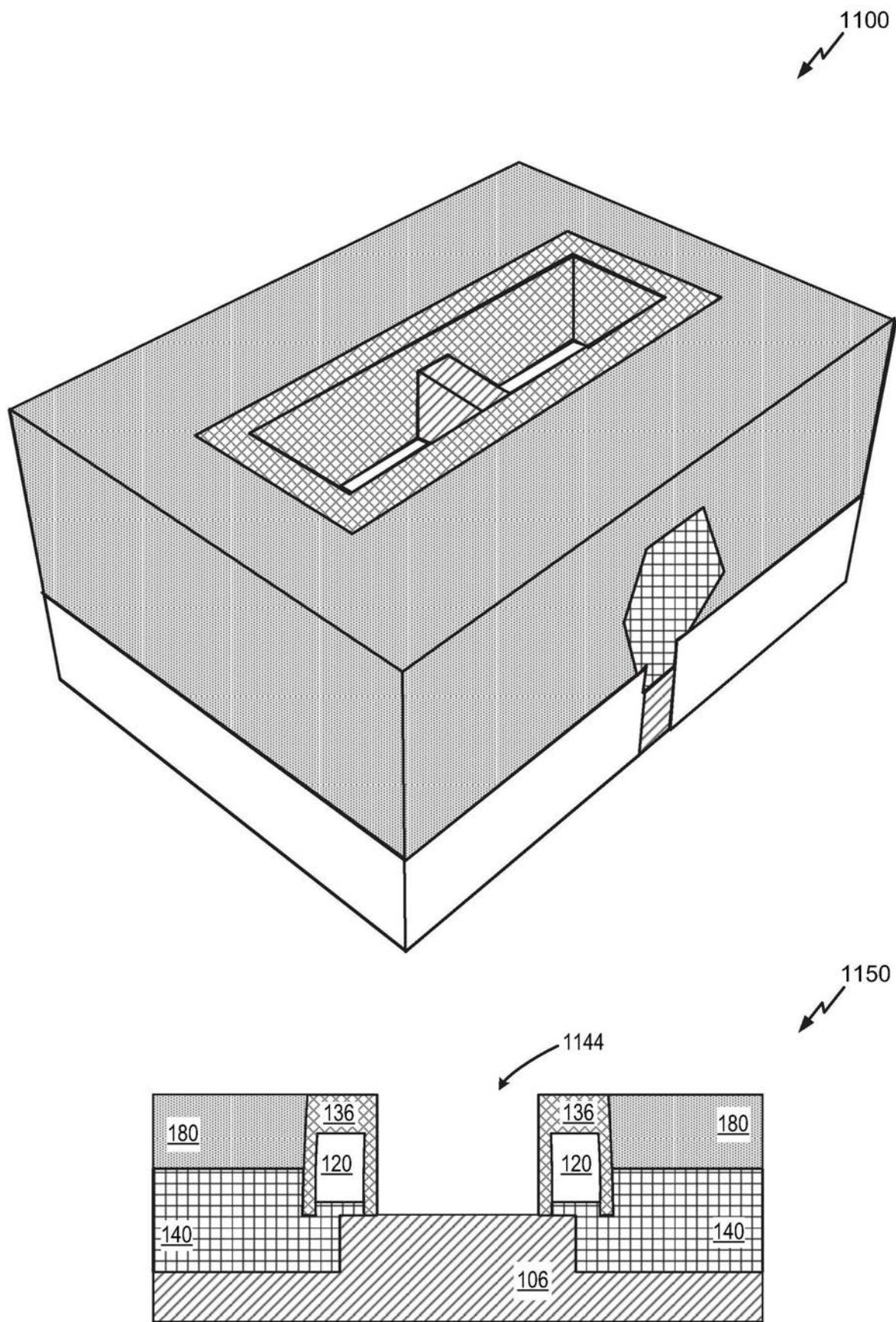


图11

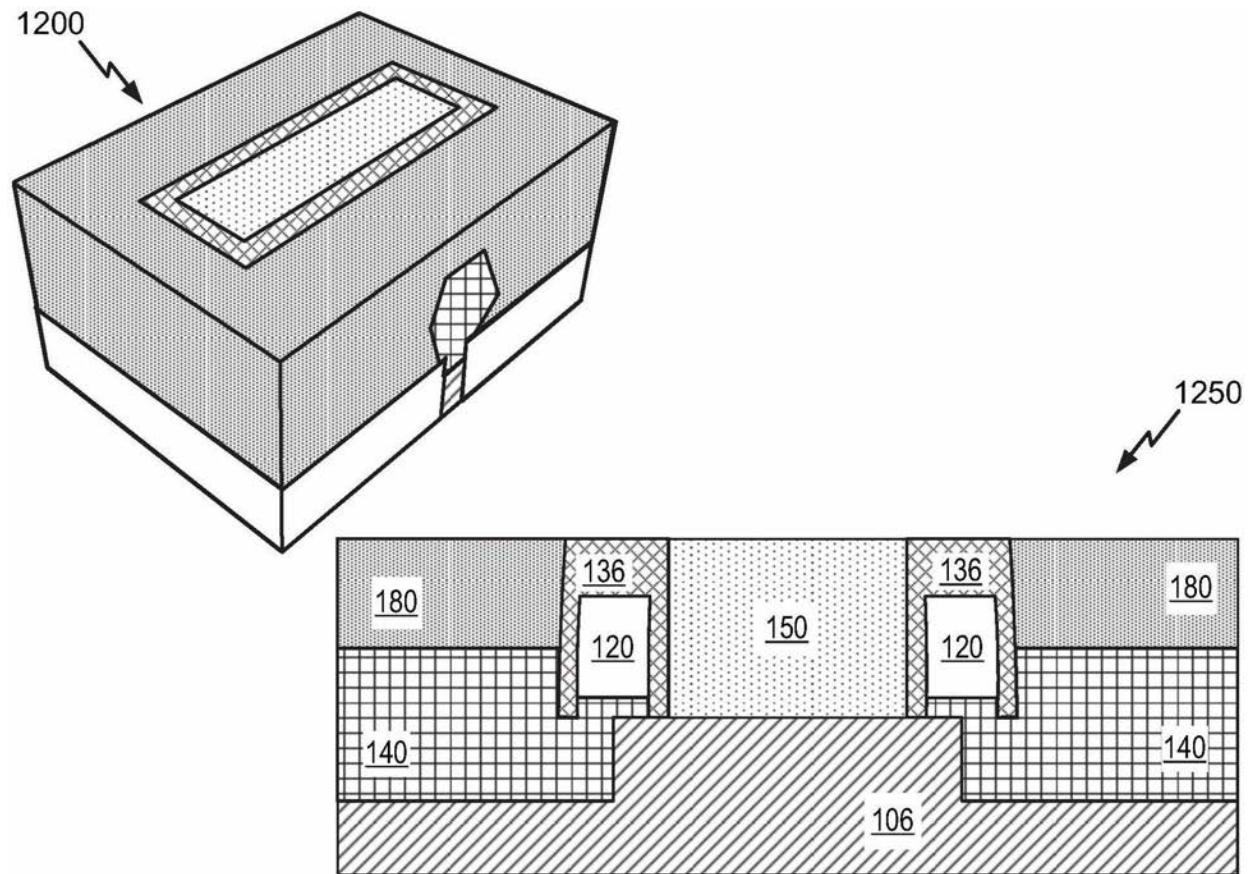


图12

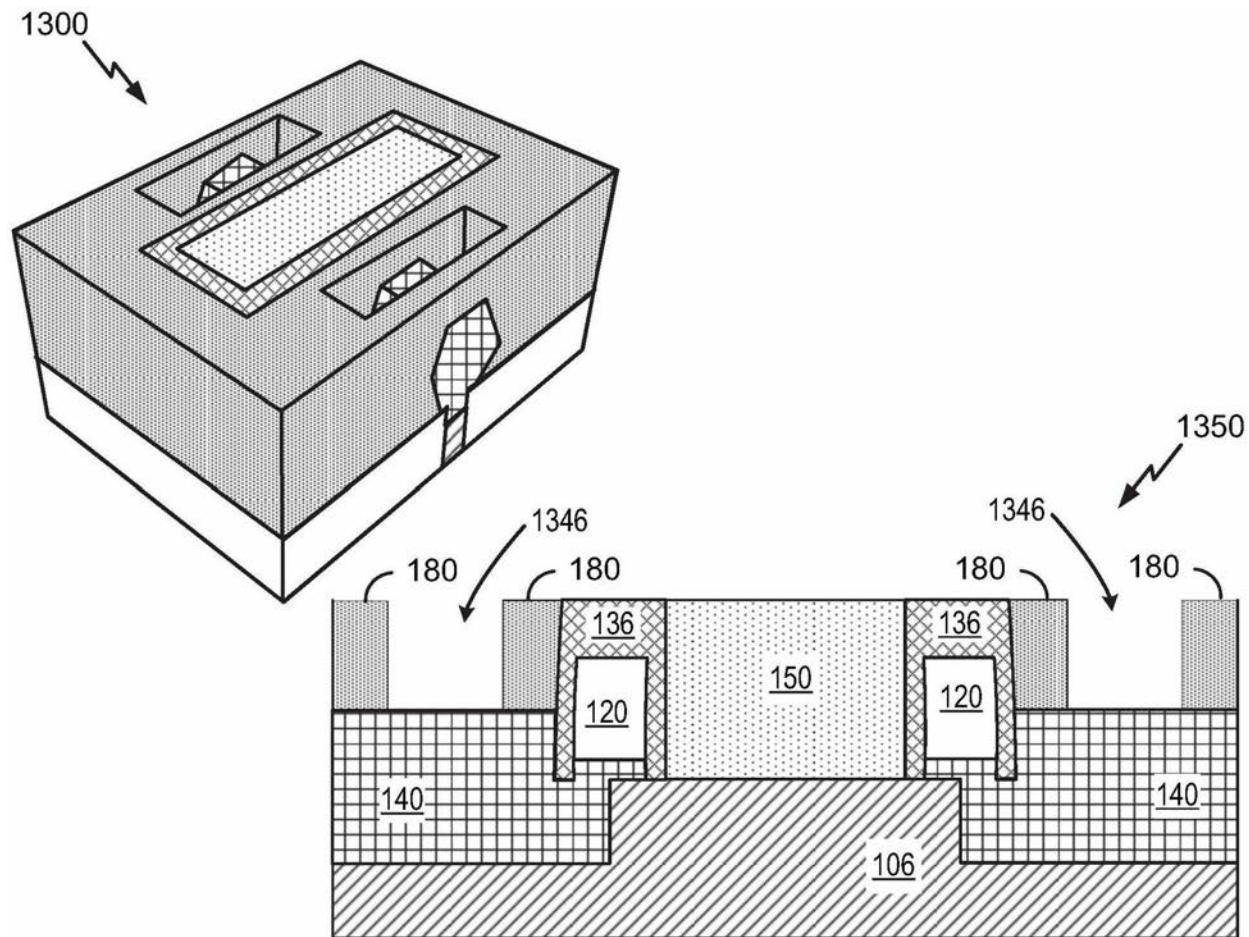


图13

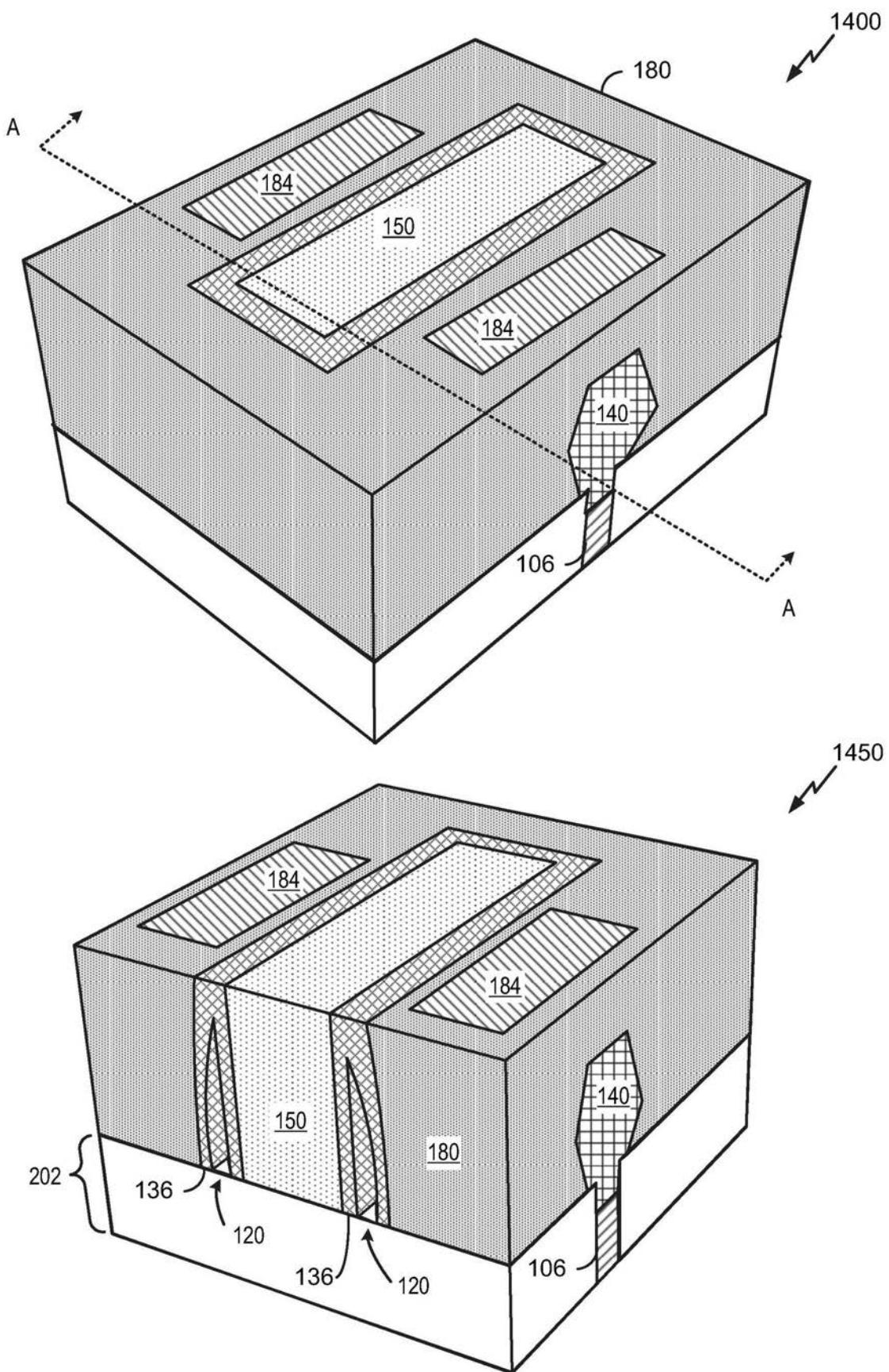


图14

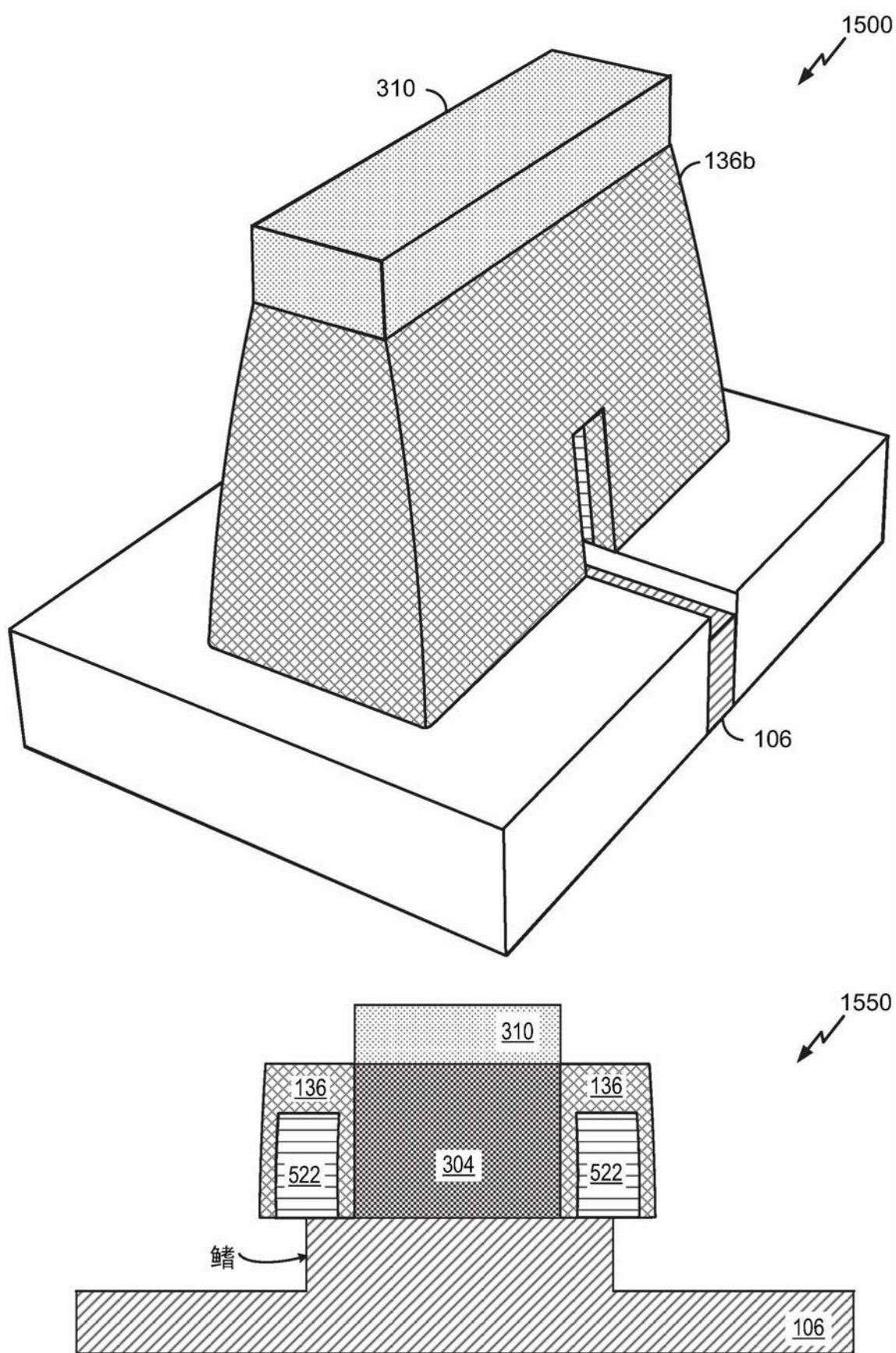


图15

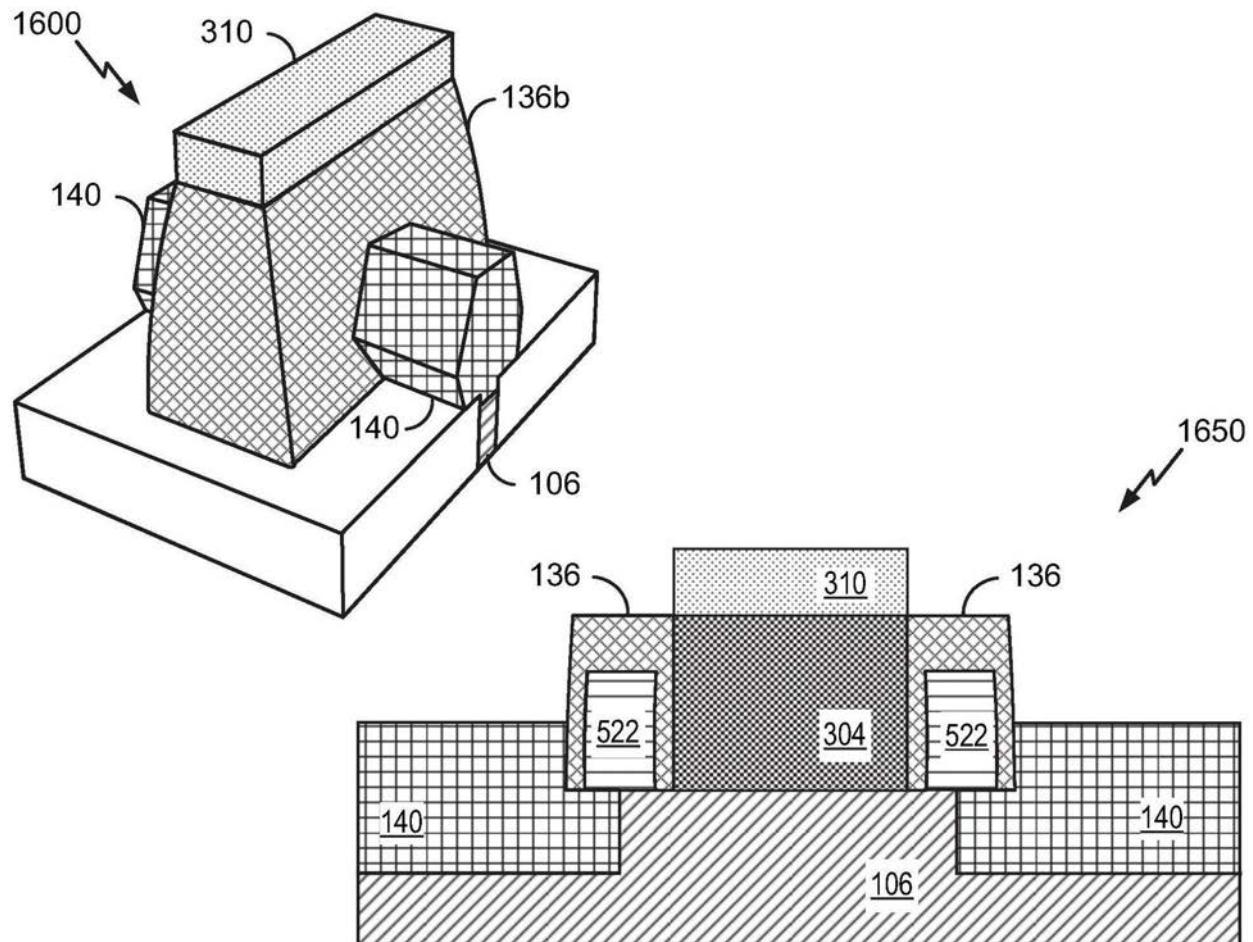


图16

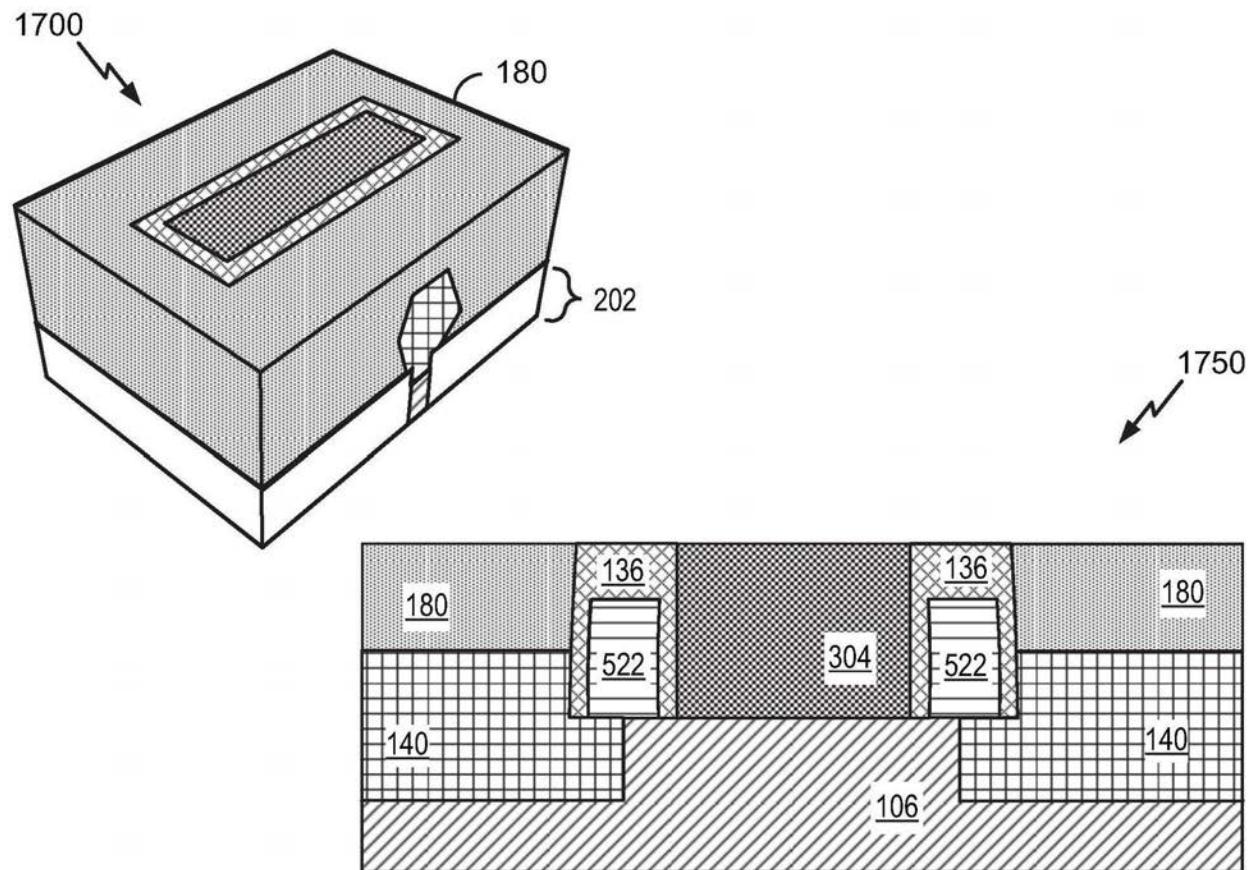


图17

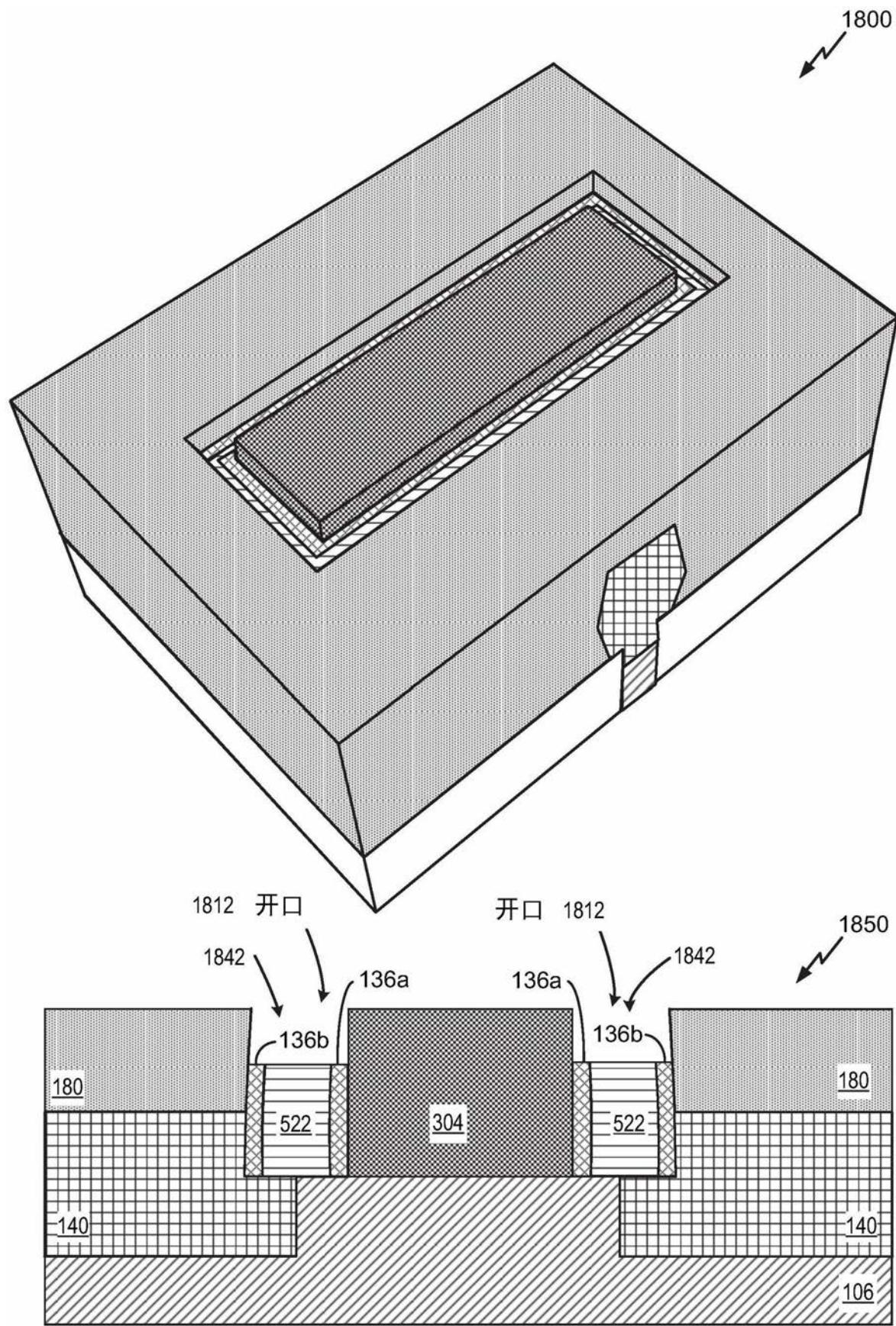


图18

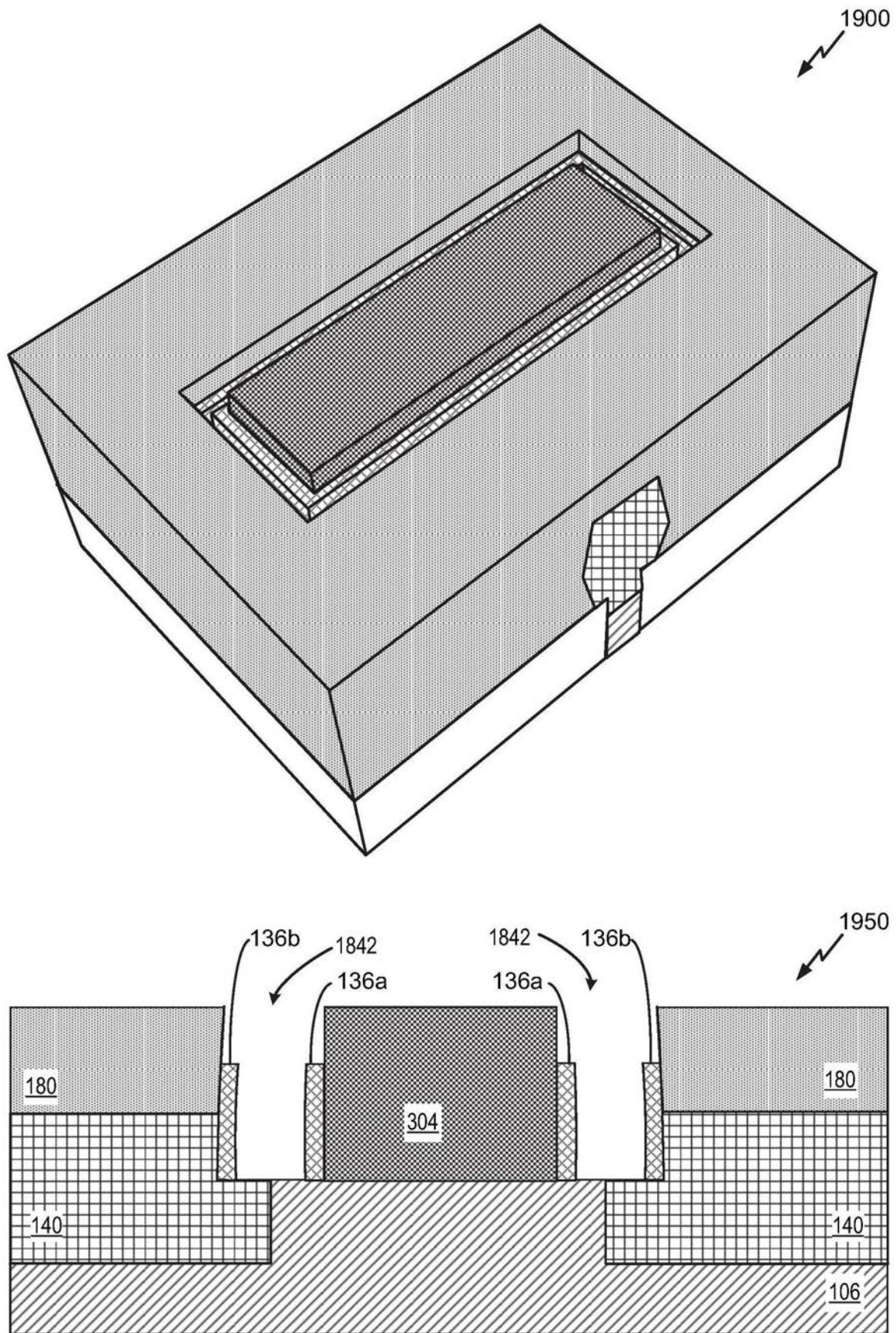


图19

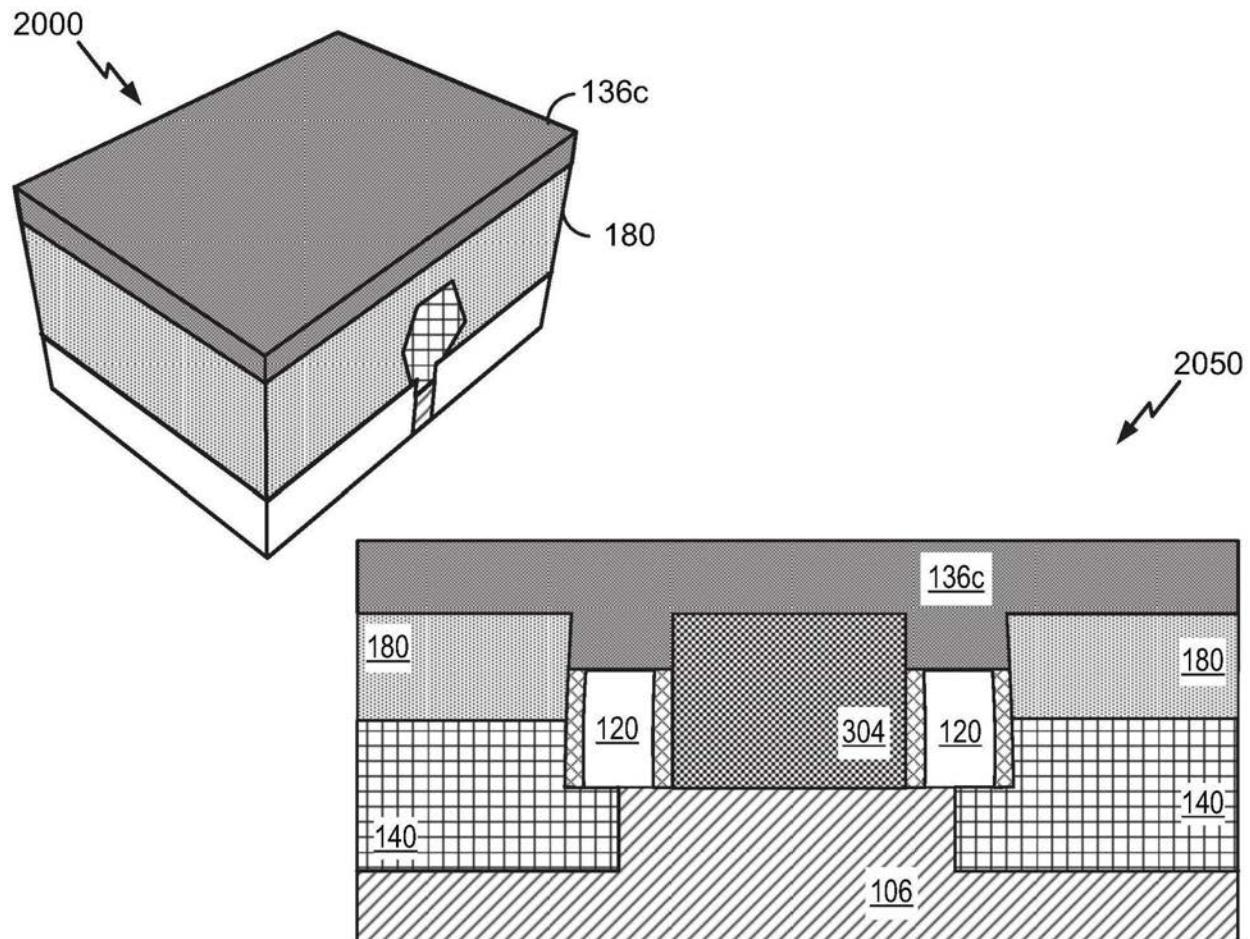


图20

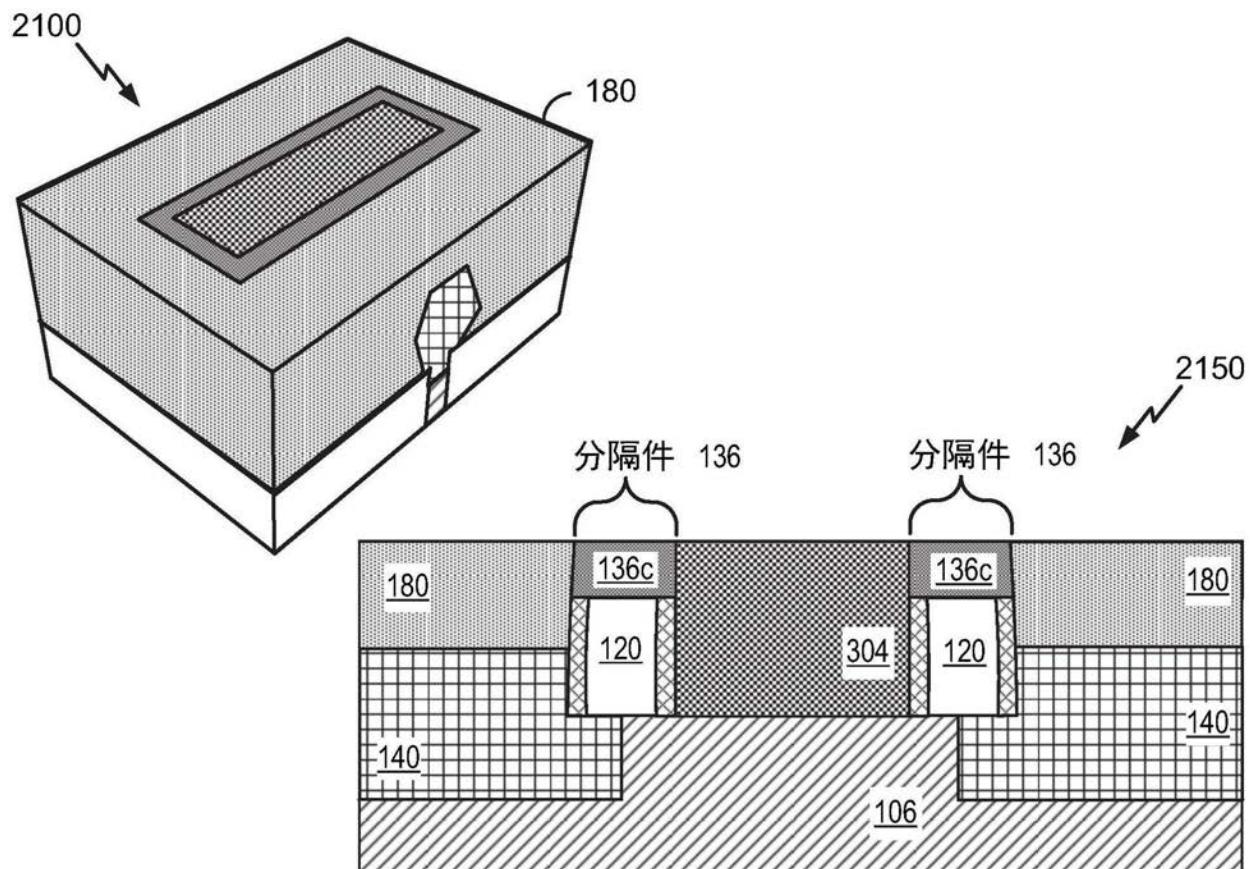


图21

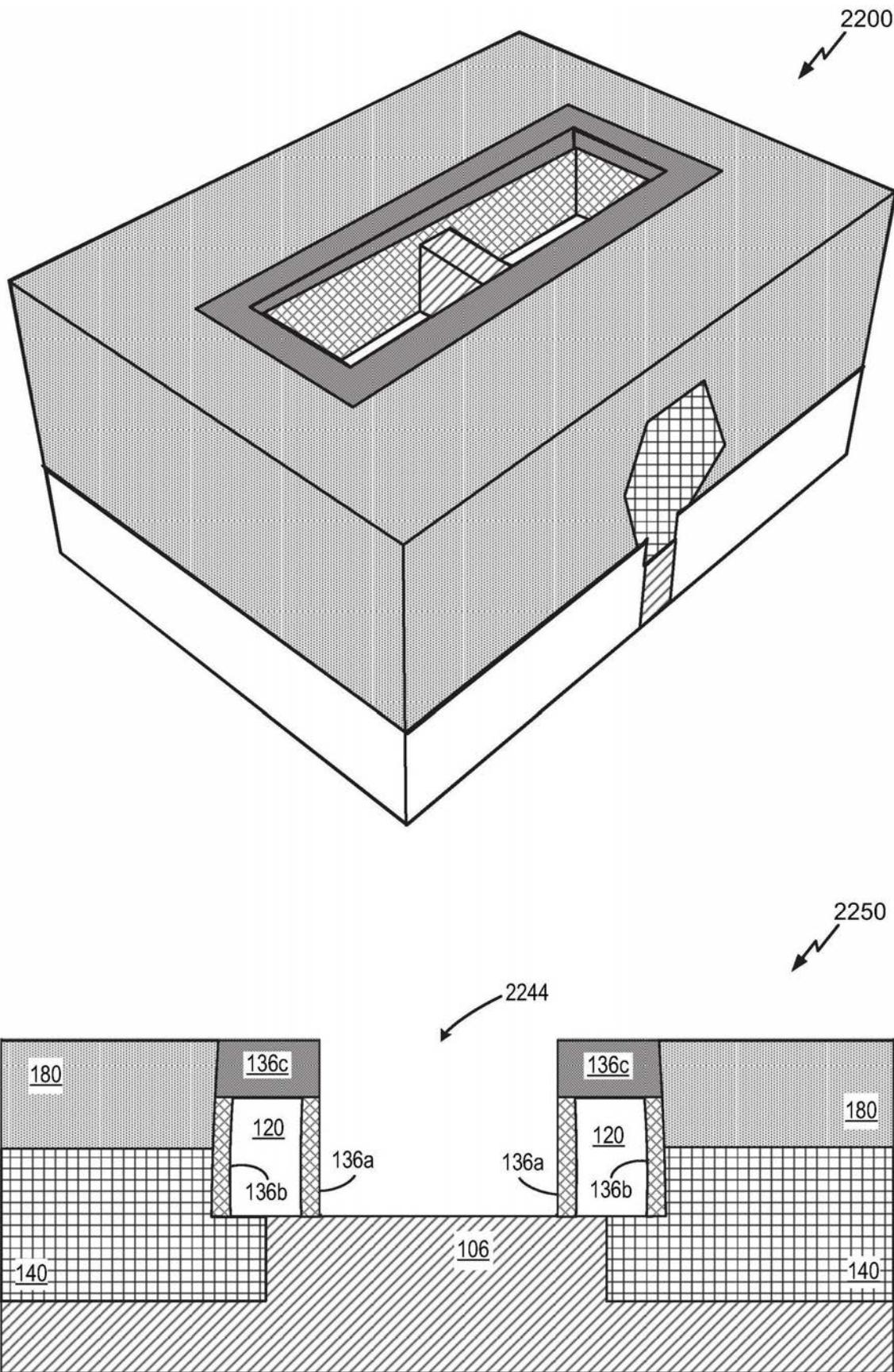


图22

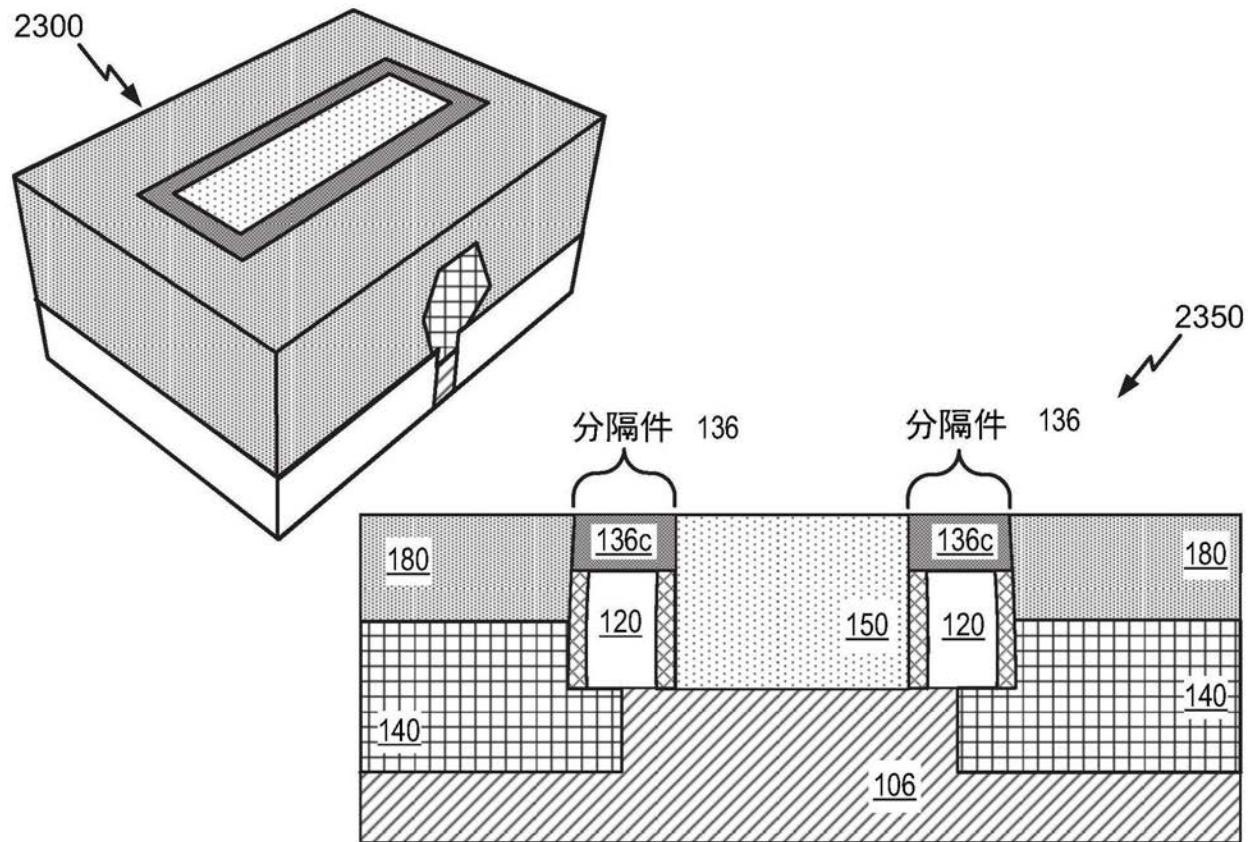


图23

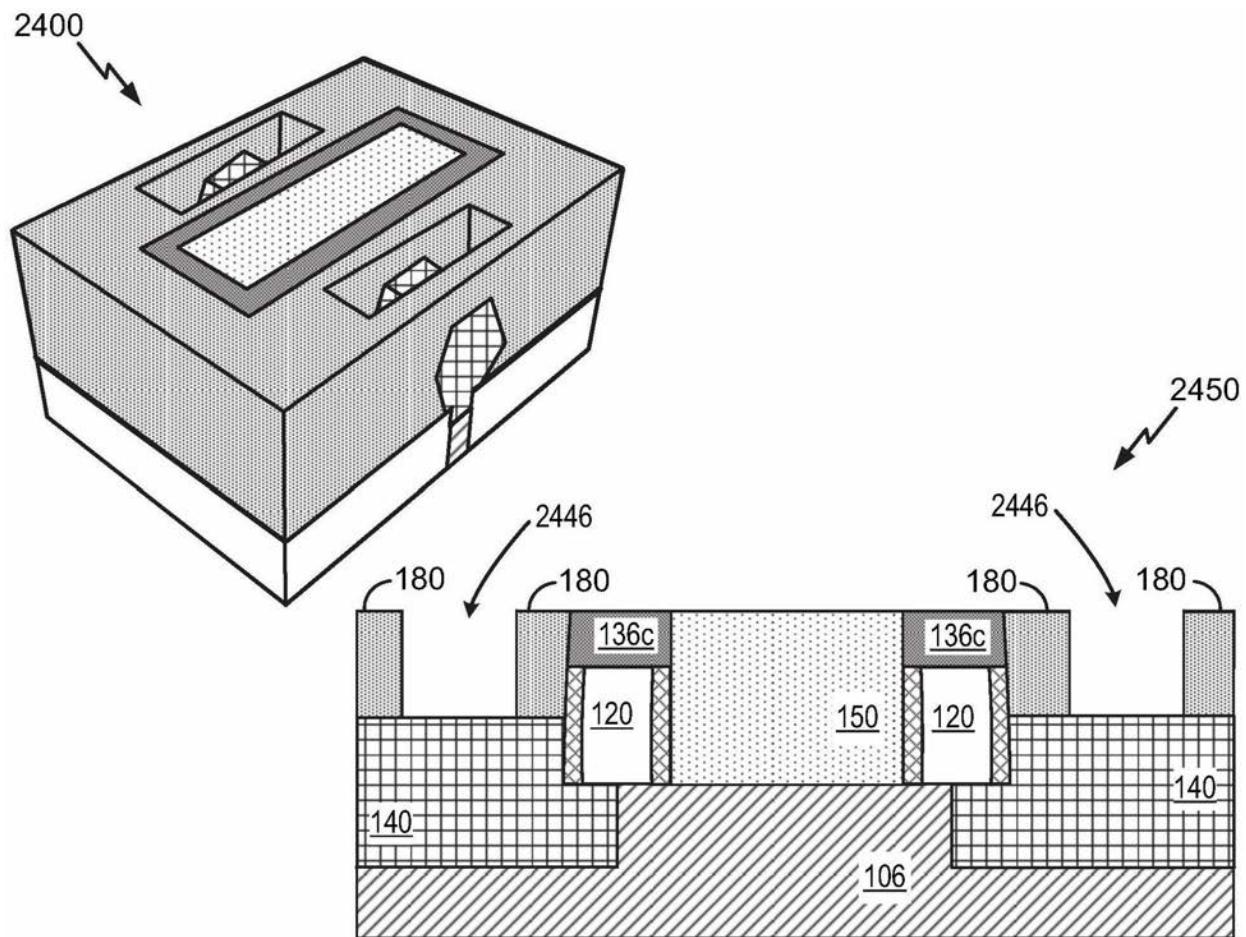


图24

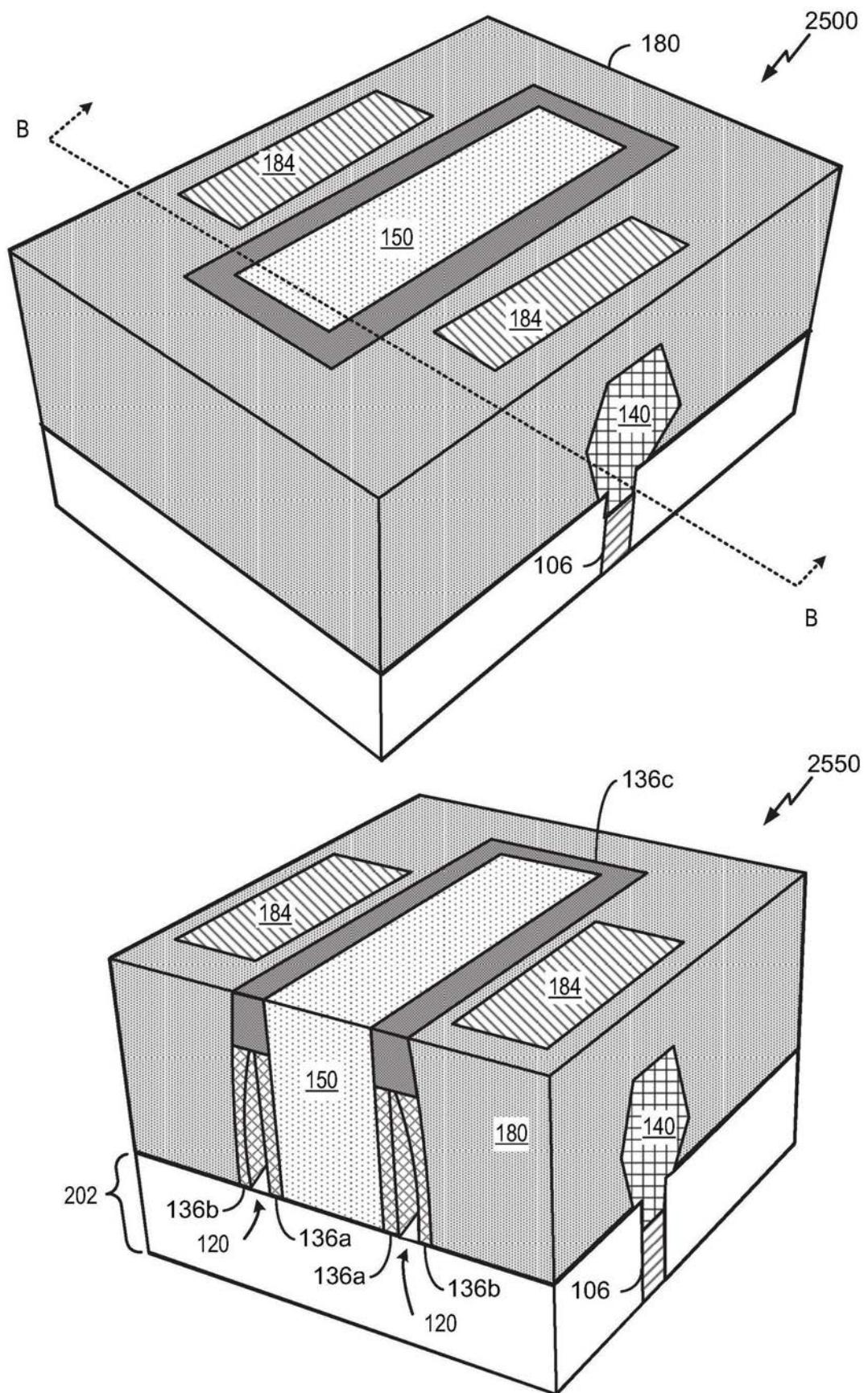


图25

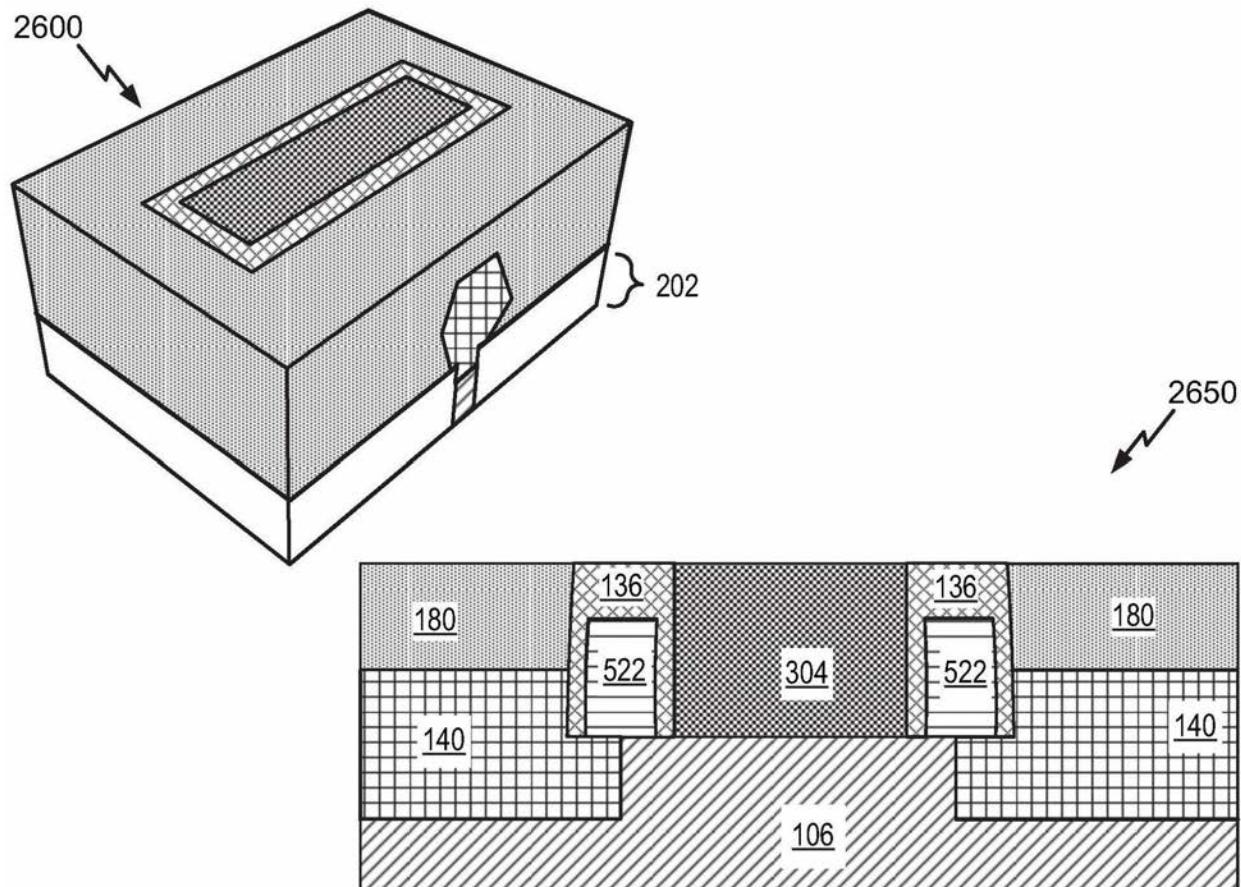


图26

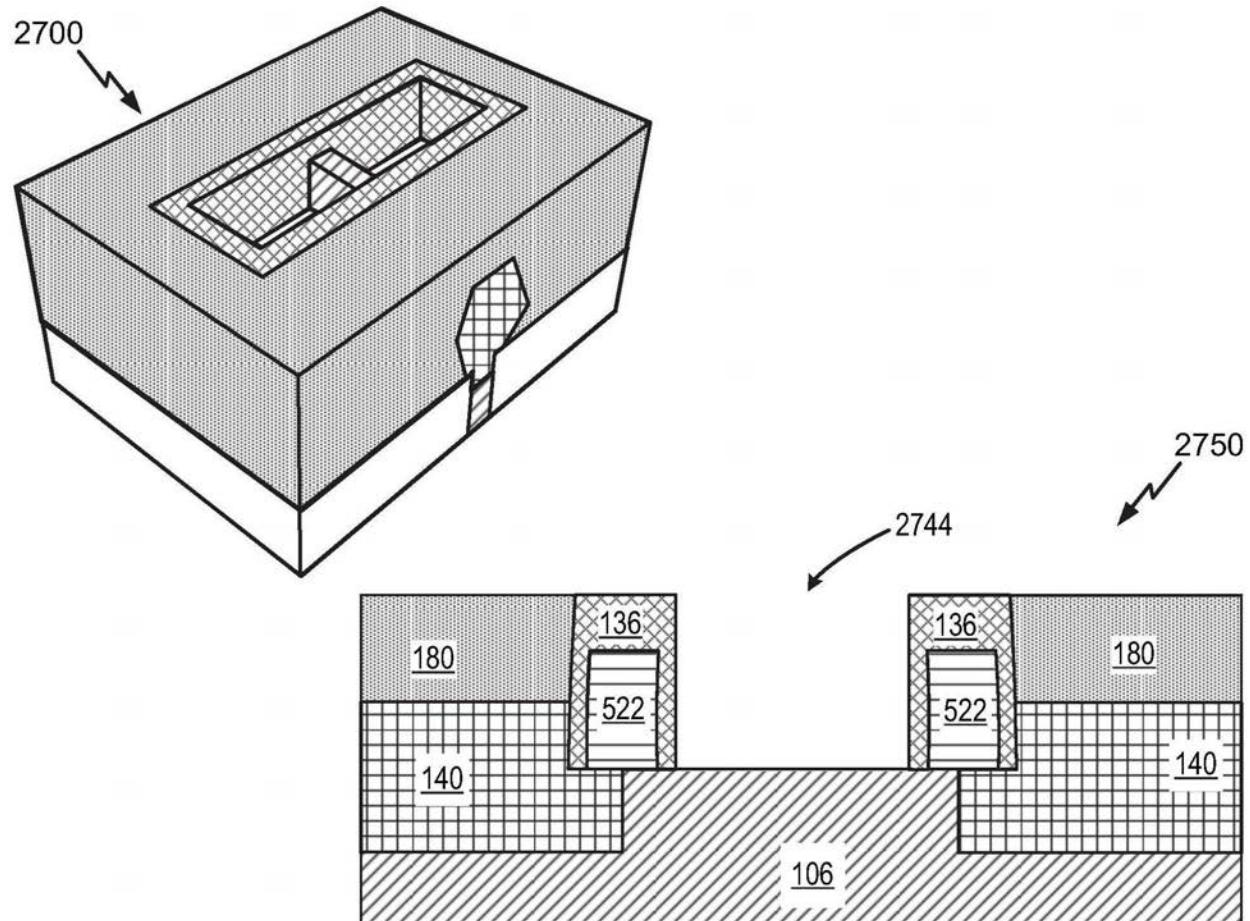


图27

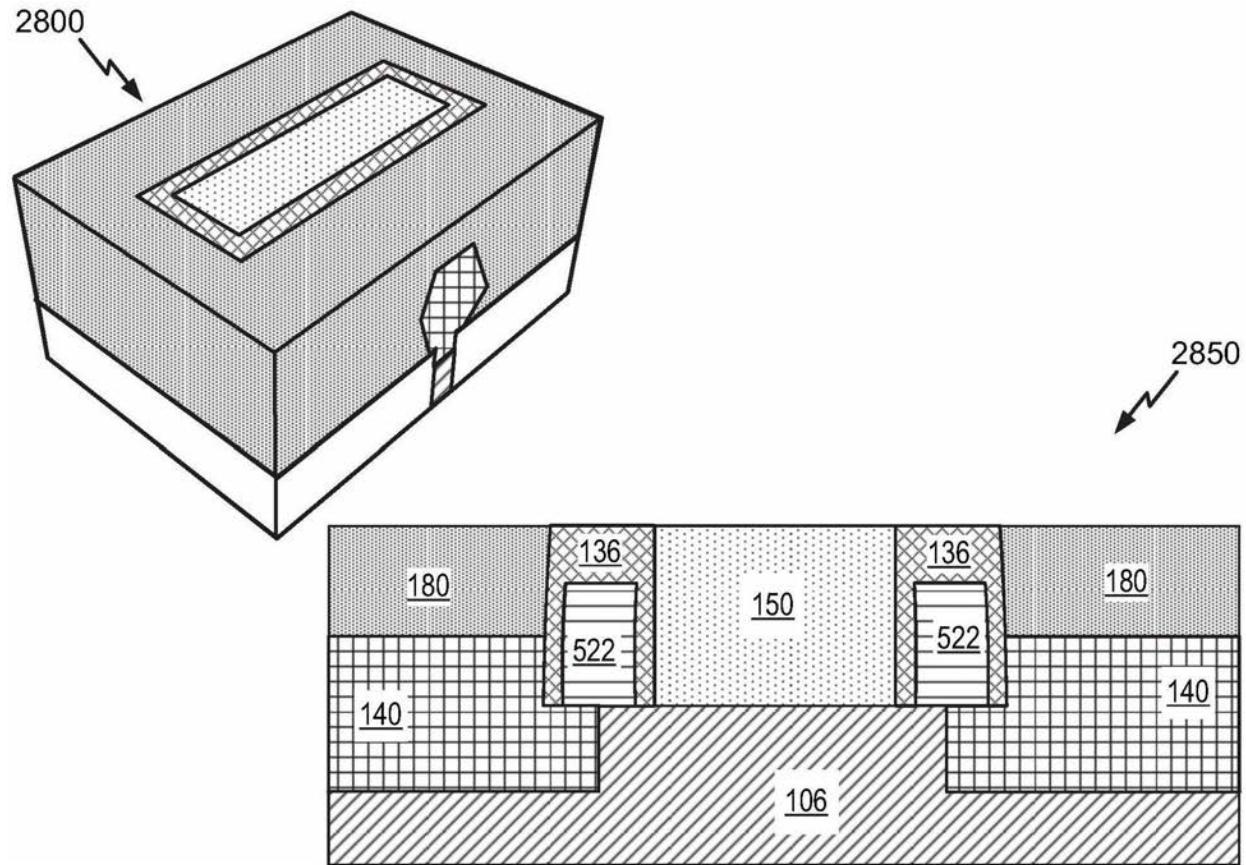


图28

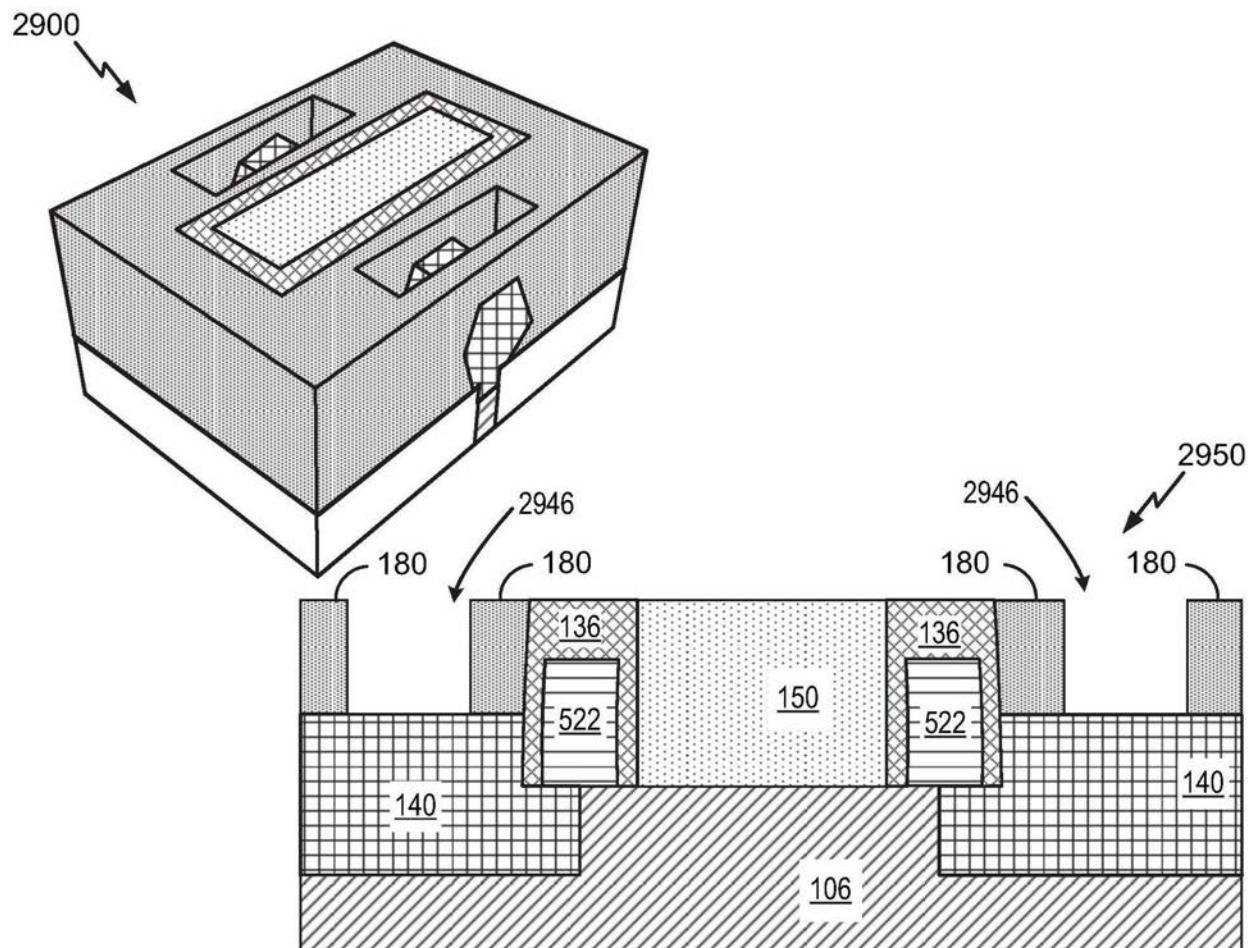


图29

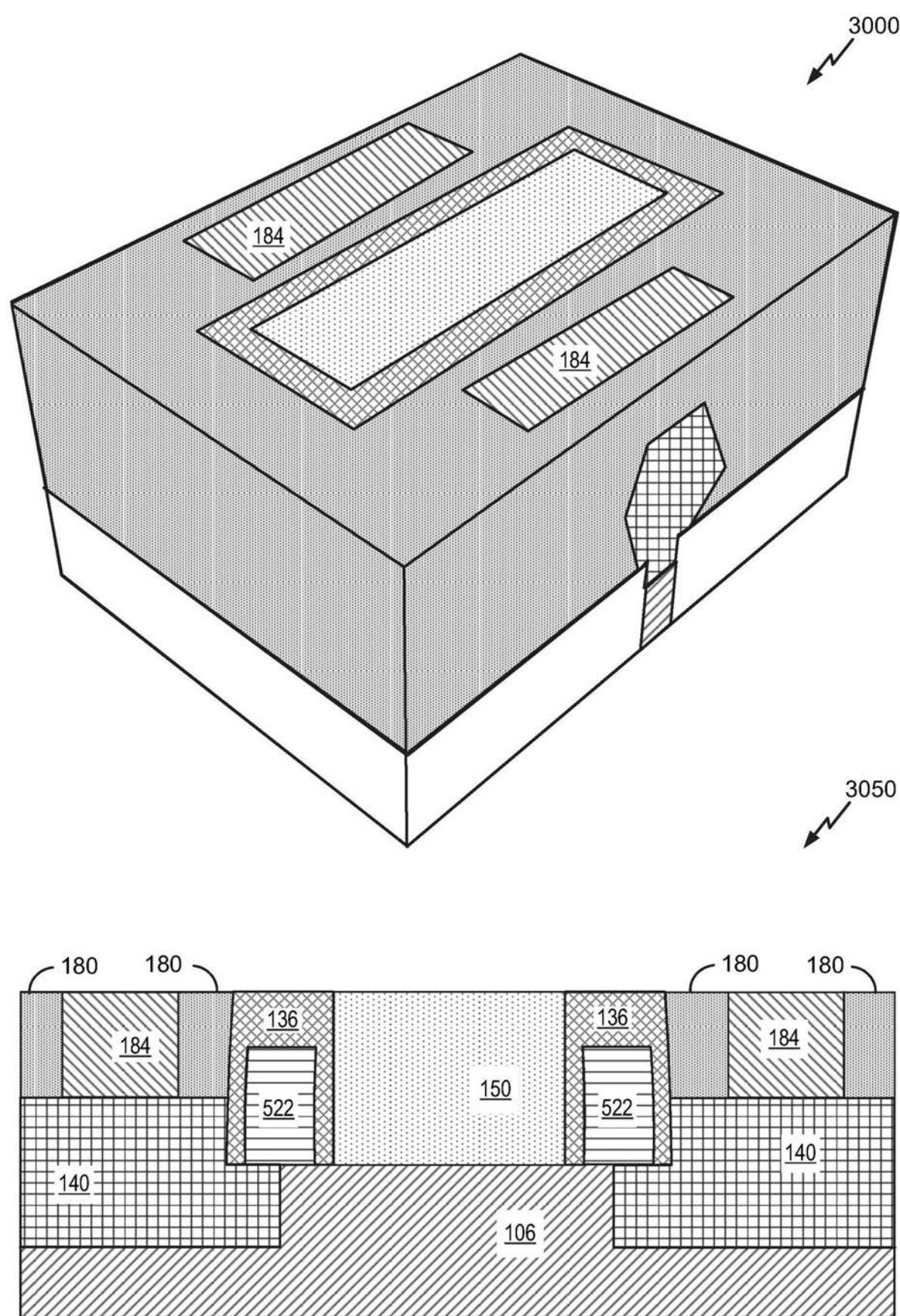


图30

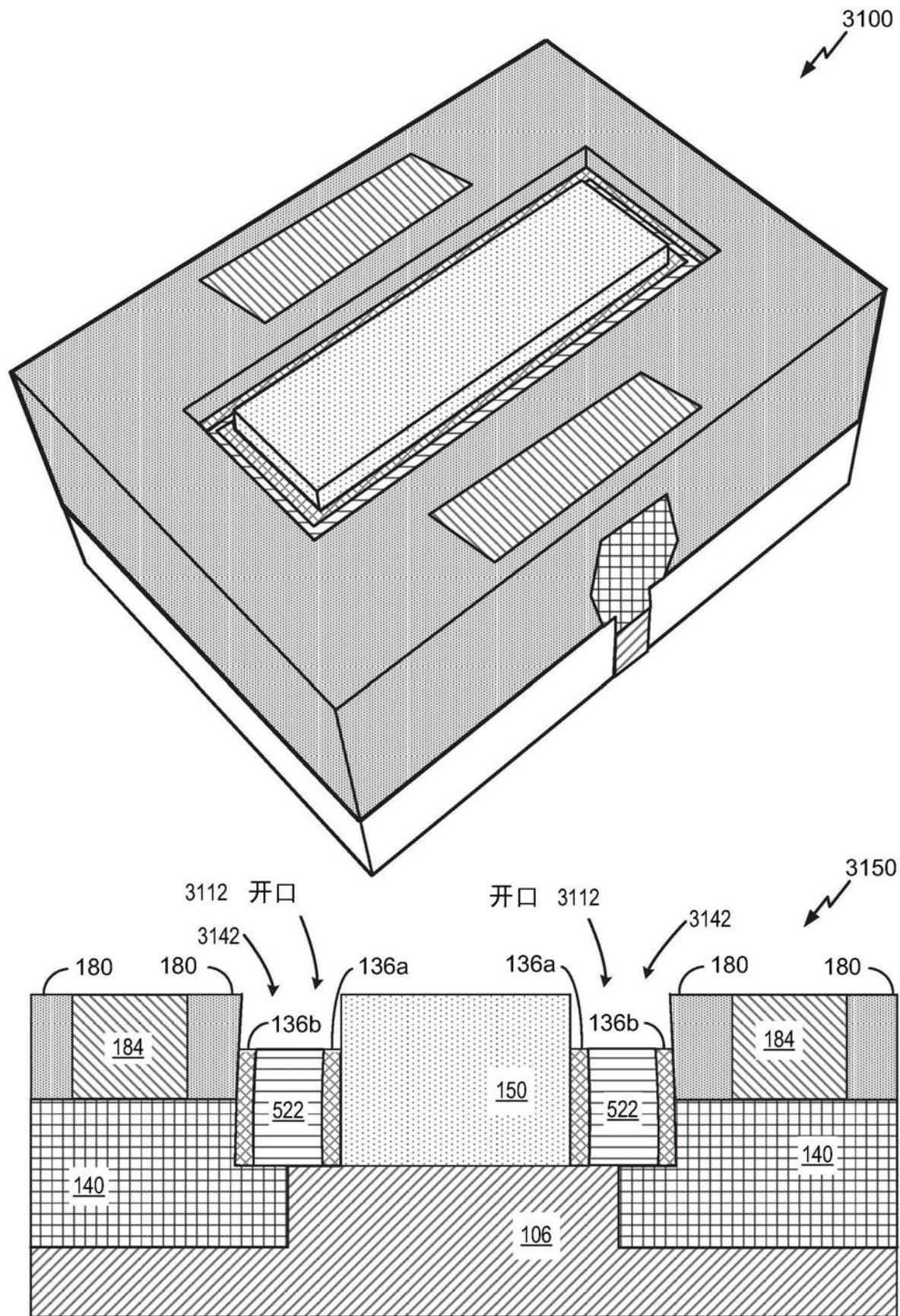


图31

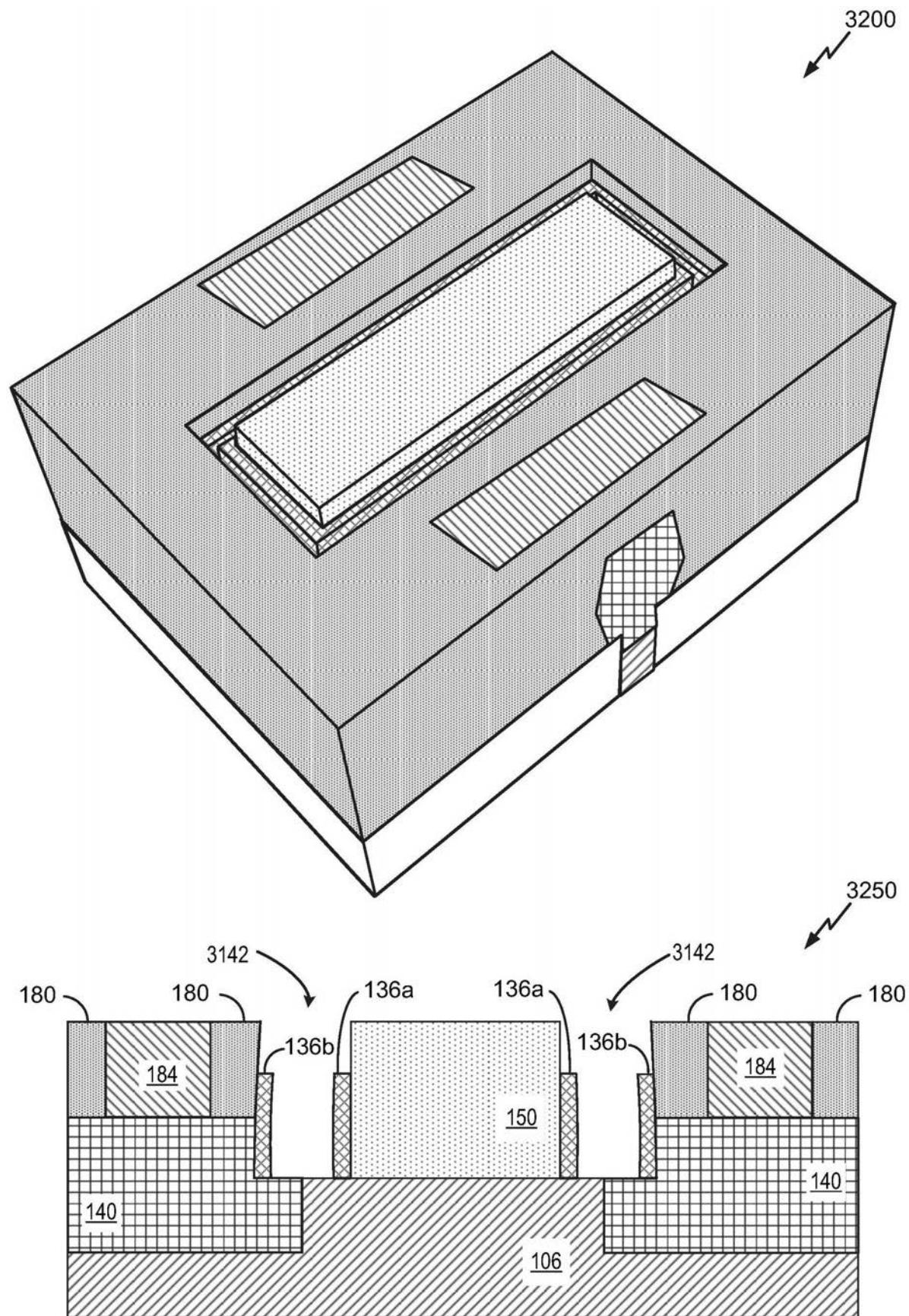


图32

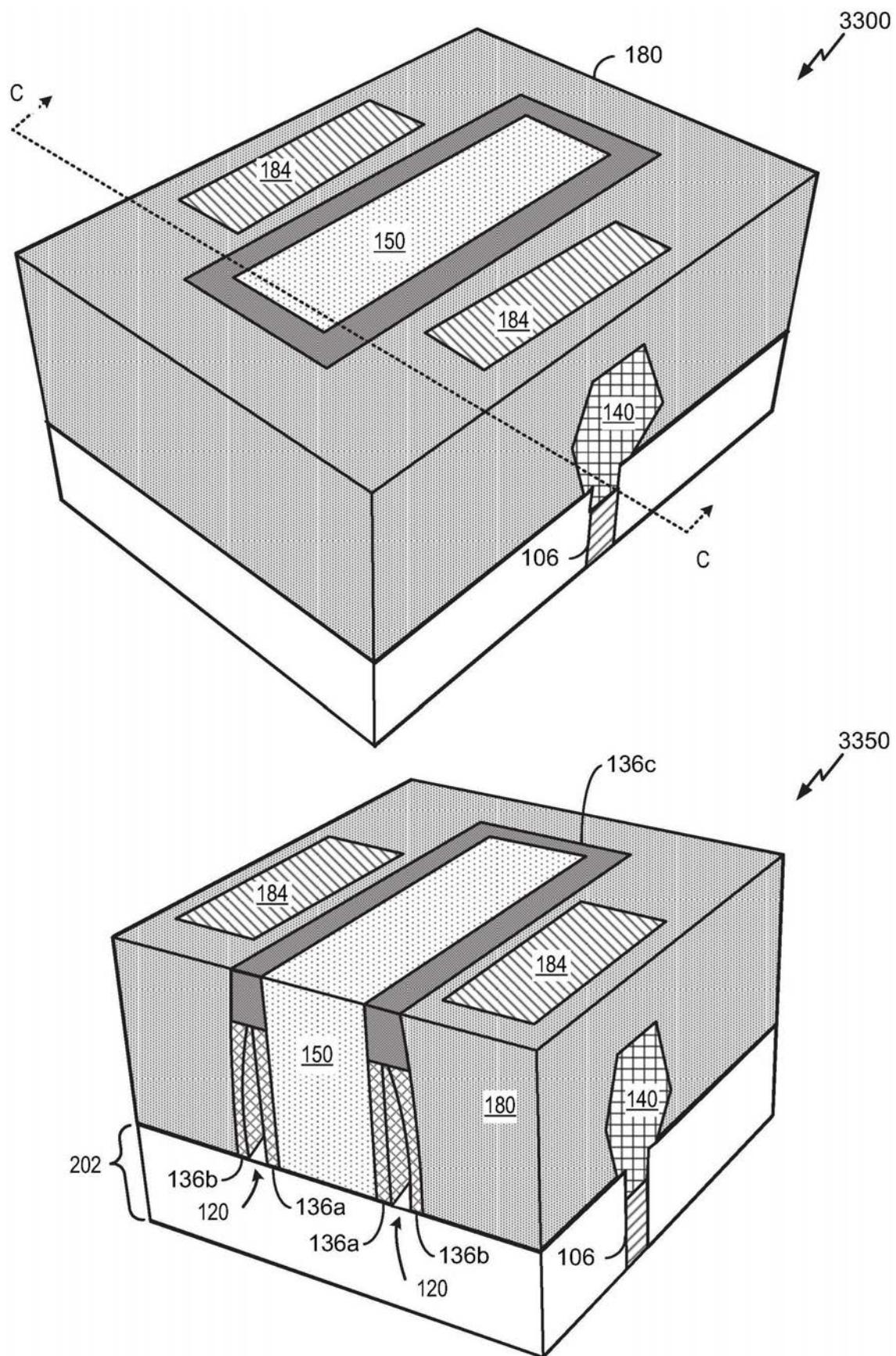


图33

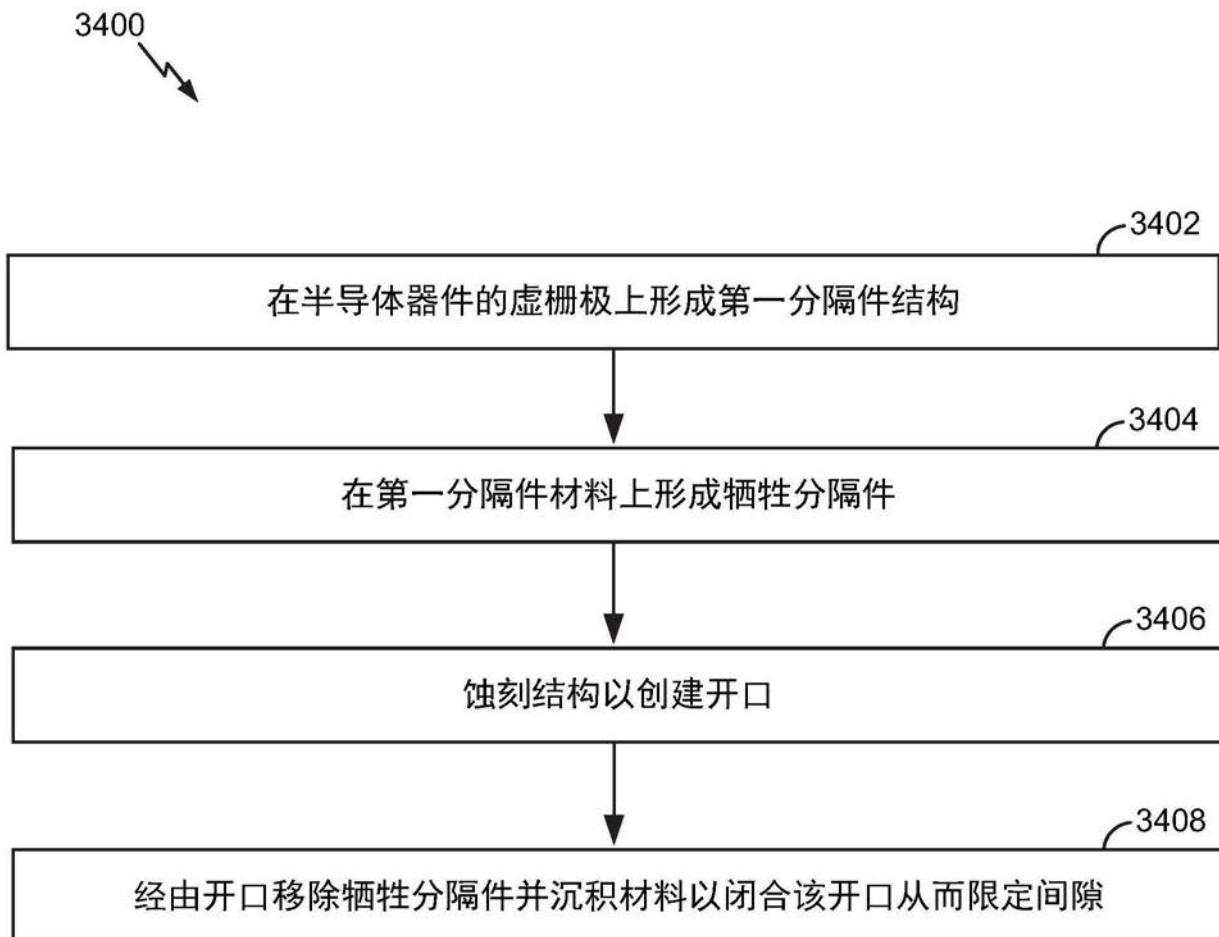


图34

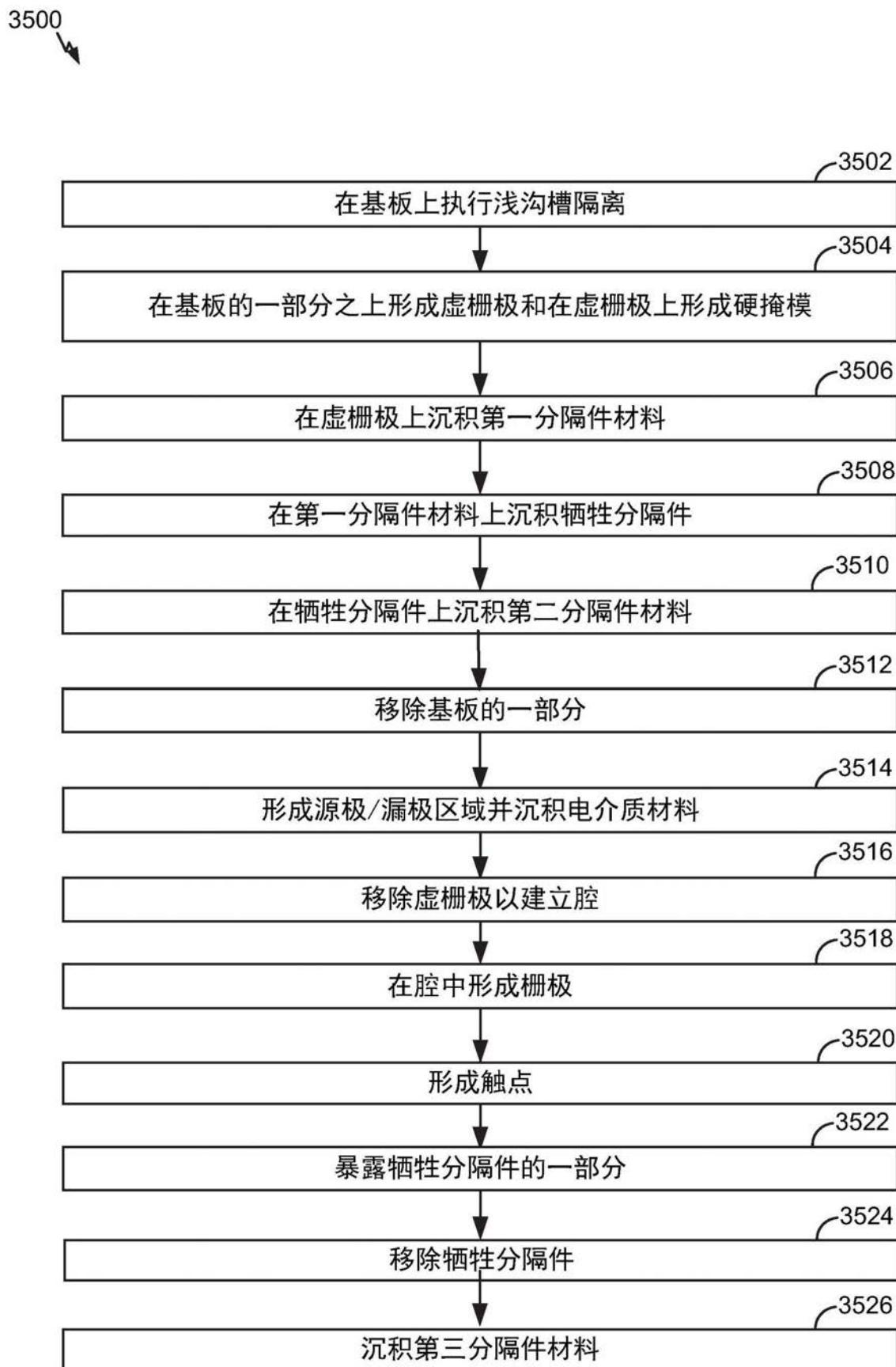


图35

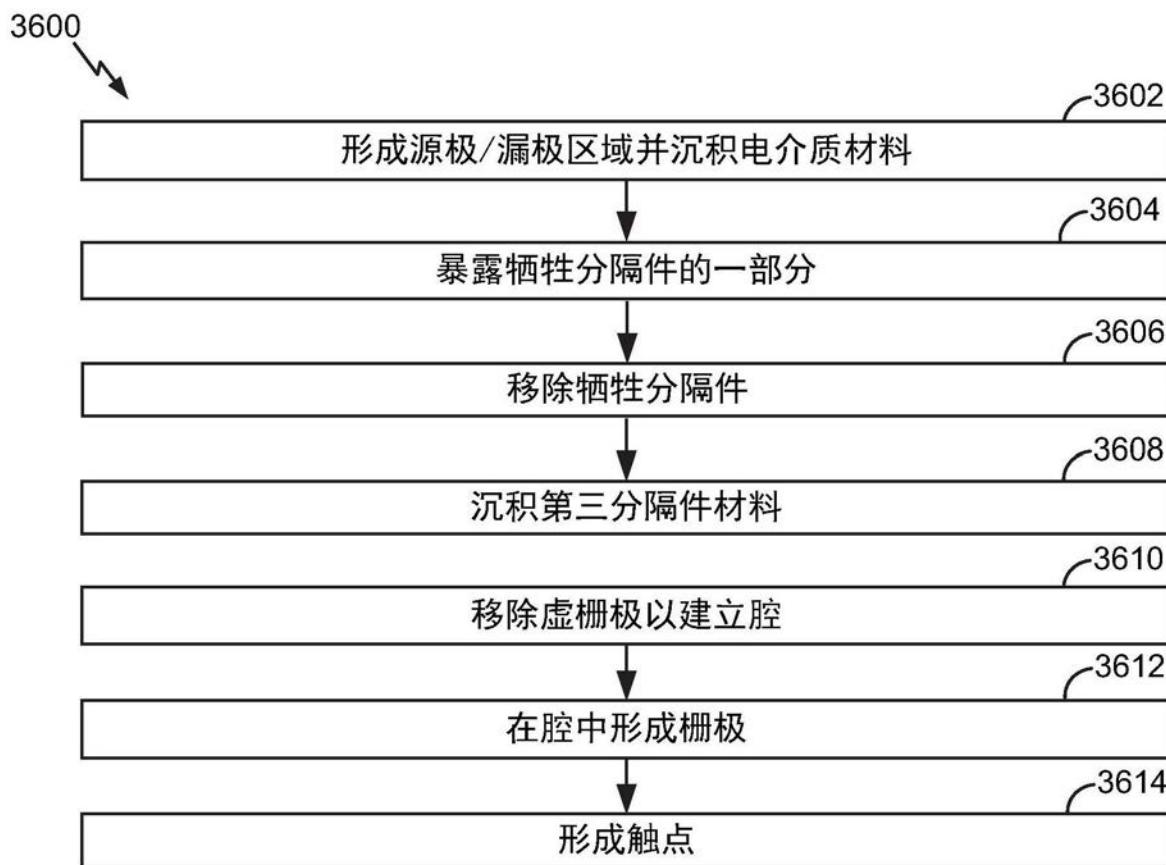


图36

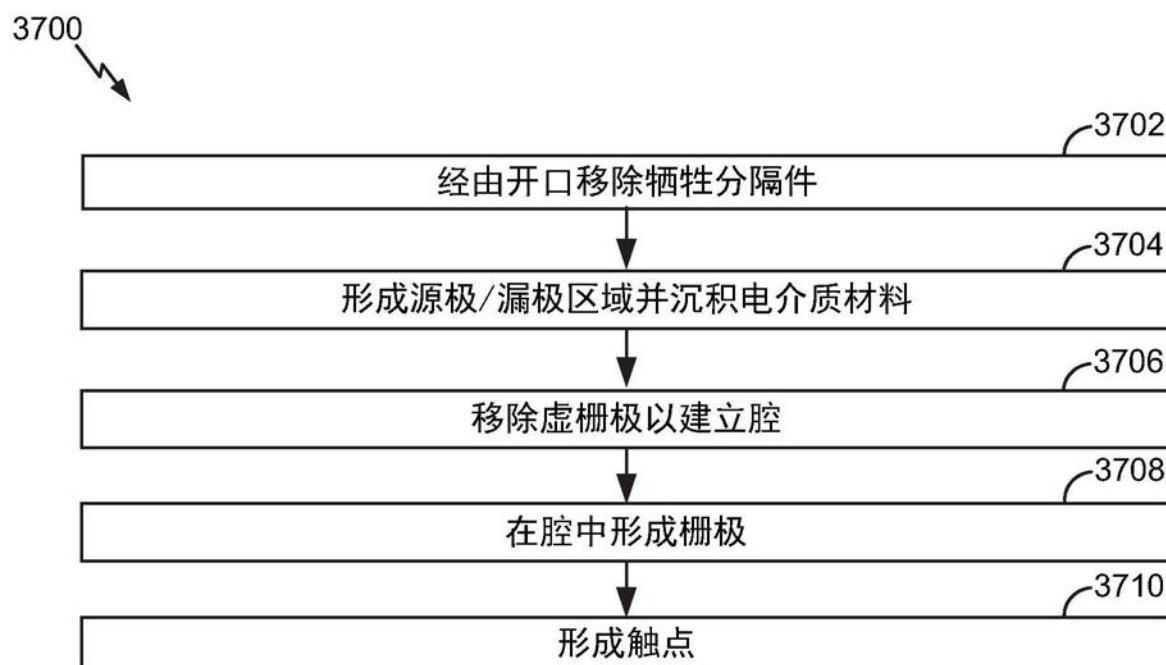


图37

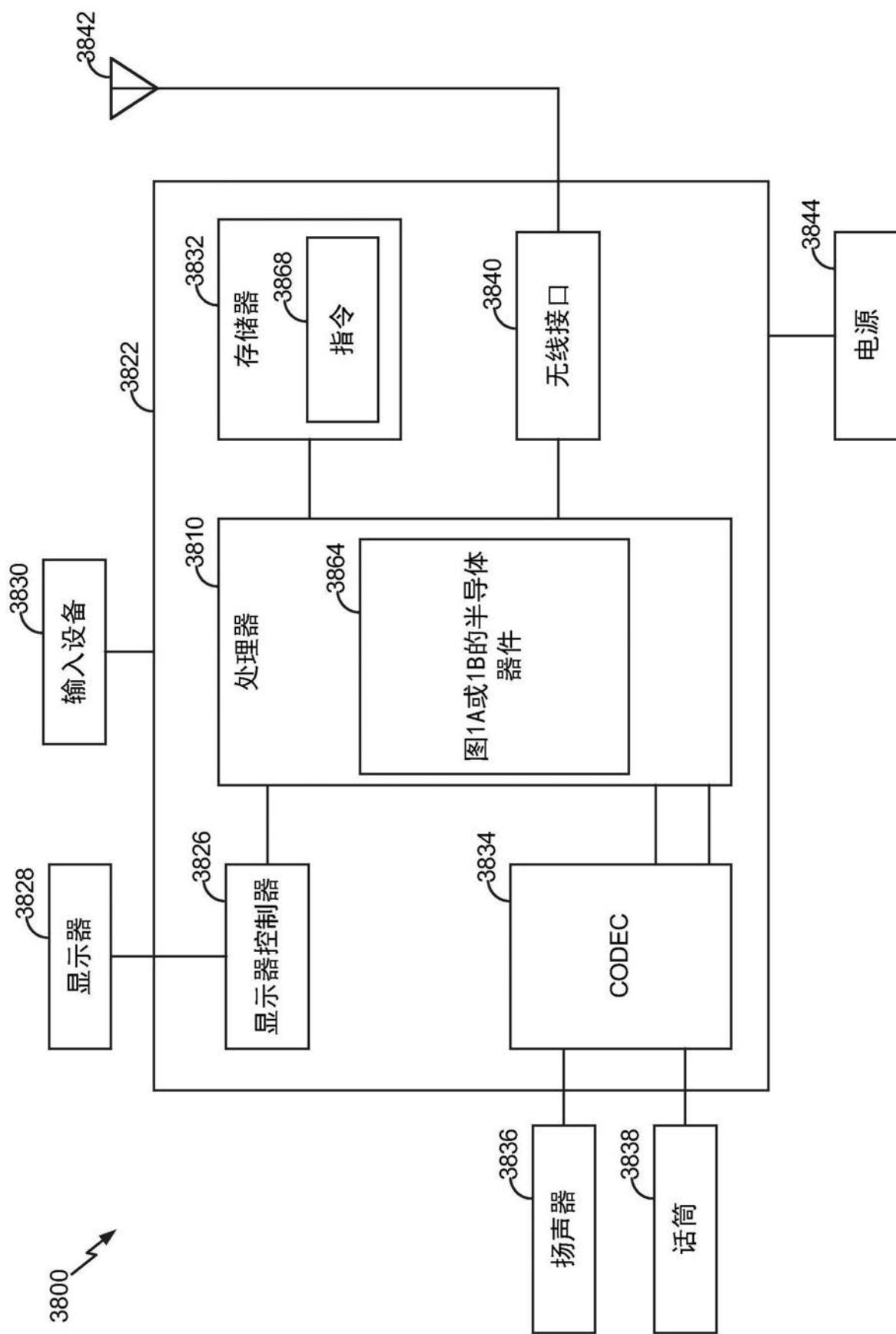


图38

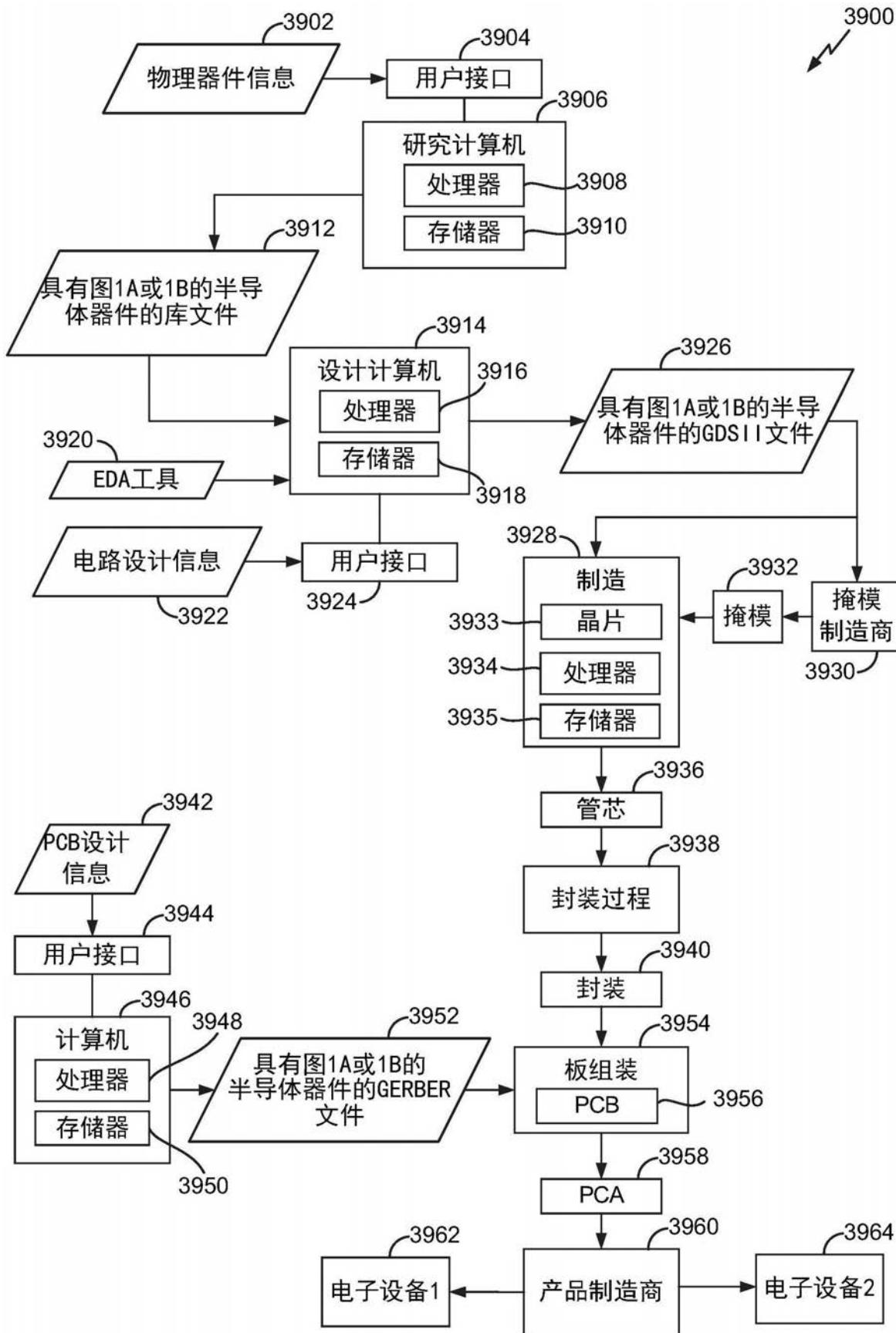


图39