

(19)



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) Veröffentlichungsnummer: **0 213 425 B1**

(12)

EUROPÄISCHE PATENTSCHRIFT

(43) Veröffentlichungstag der Patentschrift: **06.05.92**

(51) Int. Cl.⁵: **H01L 27/06**

(21) Anmeldenummer: **86110756.3**

(22) Anmeldetag: **04.08.86**

(54) **Integrierte Schaltung in komplementärer Schaltungstechnik mit einem Substratvorspannungs-Generator und einer Schottky-Diode.**

(30) Priorität: **26.08.85 DE 3530428**

(43) Veröffentlichungstag der Anmeldung:
11.03.87 Patentblatt 87/11

(45) Bekanntmachung des Hinweises auf die
Patenterteilung:
06.05.92 Patentblatt 92/19

(84) Benannte Vertragsstaaten:
AT DE FR GB IT NL

(56) Entgegenhaltungen:
EP-A- 0 024 903 EP-A- 0 142 258
EP-A- 0 166 386 DE-A- 3 339 805
GB-A- 2 054 955 GB-A- 2 073 490

**PATENT ABSTRACTS OF JAPAN, Band 8, Nr.
176 (E-260)[1613], 14. August 1984 & JP - A -
59 69956 (NIPPON DENKI K.K.) 20.04.1984**

(73) Patentinhaber: **SIEMENS AKTIENGESELL-
SCHAFT**
Wittelsbacherplatz 2
W-8000 München 2(DE)

(72) Erfinder: **Winnerl, Josef, Dr.-Ing.**
Schubertstrasse 7
W-8300 Landshut(DE)
Erfinder: **Takacs, Dezsö, Dipl.-Ing.**
Annette-Kolb-Anger 7
W-8000 München 83(DE)

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99(1) Europäisches Patentübereinkommen).

Beschreibung

Die Erfindung bezieht sich auf eine integrierte Schaltung in komplementärer Schaltungstechnik mit einem Substratvorspannungs-Generator nach dem Oberbegriff des Patentanspruchs 1.

Bei Schaltungen dieser Art liegt das Halbleiter-substrat nicht auf dem Massepotential V_{SS} der Schaltung, sondern auf einer Substratvorspannung V_{BB} , die mittels eines Substratvorspannungs-Generators erzeugt wird. Bei einem Halbleitersubstrat aus p-leitendem Material, das mit einer eingefügten n-leitenden wannenförmigen Halbleiterzone versehen ist, handelt es sich dabei um eine negative Substratvorspannung von etwa - 2 bis - 3 Volt. Die Source-Gebiete von Feldeffekttransistoren, die außerhalb der wannenförmigen Halbleiterzone auf dem Halbleitersubstrat vorgesehen sind, sind hierbei auf das Massepotential V_{SS} gelegt. Ein derartiger Substratvorspannungs-Generator ist z.B. aus EP-A-0 024 903 bekannt.

Im Moment des Einschaltens der Versorgungsspannung V_{DD} befindet sich das betrachtete p-leitende Halbleitersubstrat zunächst in einem Zustand des "floating", in dem es von äußeren Potentialen freigeschaltet ist. Dabei kann es über die Sperrschichtkapazitäten, die einerseits zwischen der wannenförmigen Halbleiterzone und dem Substrat und andererseits zwischen den mit dem Massepotential belegten Sourcegebieten und dem Substrat vorhanden sind, vorübergehend auf eine positive Vorspannung aufgeladen werden, die erst beim Wirksamwerden des Substratvorspannungs-Generators wieder abgebaut und durch die sich am Ausgang desselben allmählich aufbauende negative Substratvorspannung ersetzt wird. Aber auch im Betrieb der integrierten Schaltung können größere Ströme, die vom Halbleitersubstrat über den Substratvorspannungs-Generator zu einem auf Massepotential liegenden Anschluß des letzteren abgeleitet werden, durch den Spannungsabfall am Innenwiderstand des Substratvorspannungs-Generators zu einer positiven Vorspannung des Halbleitersubstrates führen. Positive Vorspannungen stellen aber ein hohes Sicherheitsrisiko für die integrierte Schaltung dar, da ein "latch-up"-Effekt ausgelöst werden kann, der im allgemeinen den Ausfall der integrierten Schaltung bedeutet.

Zum Verständnis des "latch-up"-Effekts kann man davon ausgehen, daß zwischen einem Anschluß eines in der wannenförmigen Halbleiterzone liegenden Feldeffekttransistors des ersten Kanaltyps und einem Anschluß eines außerhalb dieser Zone auf dem Halbleitersubstrat platzierten Feldeffekttransistors des zweiten Kanaltyps im allgemeinen vier aufeinanderfolgende Halbleiterschichten alternierender Leitfähigkeitstypen vorhanden sind, wobei das eine Anschlußgebiet des erstgenannten

Transistors die erste Halbleiterschicht, die wannenförmige Halbleiterzone die zweite, das Halbleiter-substrat die dritte und das eine Anschlußgebiet des letzteren Transistors die vierte Halbleiterschicht bilden. Bei einer positiven Vorspannung des Halbleitersubstrats kann der pn-Übergang zwischen der dritten und vierten Halbleiterschicht so weit in Durchlaßrichtung vorgespannt werden, daß zwischen den genannten Transistoranschlüssen ein Strompfad entsteht, der auf eine parasitäre Thyristorwirkung innerhalb dieser Vierschichtenstruktur zurückzuführen ist. Der Strompfad bleibt dann auch nach einem Abbau der positiven Substratvorspannung bestehen und kann die integrierte Schaltung thermisch überlasten.

In EP-A-0 142 258 wird eine integrierte Schaltung in komplementärer Schaltungstechnik, bei der das p-Substrat auf eine negative Substratvorspannung liegt, beschrieben. Die Sourcegebiete der im Substrat angeordneten n-Kanal FETs liegen auf Massepotential. Zur Vermeidung von "latch-up"-Effekten ist der Ausgang des Substratvorspannungs-Generators über einen FET mit dem Massepotential verbunden. Der FET wird im Moment des Einschaltens der Versorgungsspannung durch eine Kontrollschaltung in einen leitenden Zustand gebracht.

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltung der eingangs genannten Art anzugeben, bei der das Auftreten von "latch-up"-Effekten weitgehend vermieden wird. Das wird erfindungsgemäß durch eine Ausbildung der Schaltung nach dem kennzeichnenden Teil des Patentanspruchs 1 erreicht.

Die Patentansprüche 2 bis 4 sind auf bevorzugte Ausgestaltungen und Weiterbildungen der Erfindung gerichtet. Der Patentanspruch 5 betrifft eine bevorzugte Anwendung der Erfindung.

Der mit der Erfindung erzielbare Vorteil liegt insbesondere darin, daß eine am Halbleitersubstrat liegende Vorspannung unerwünschter Polarität, die einen "latch-up"-Effekt auslösen kann, mit einfachen Mitteln auf einen Wert begrenzt wird, der diese Gefahr ausschließt.

Die Erfindung wird nachfolgend anhand eines in der Zeichnung dargestellten bevorzugten Ausführungsbeispiels näher erläutert.

Dabei ist eine erfindungsgemäße integrierte Schaltung dargestellt, die auf einem Halbleitersubstrat 1 aus dotiertem Halbleitermaterial, zum Beispiel p-leitendem Silizium, aufgebaut ist. Das Substrat 1 weist eine n-leitende, wannenförmige Halbleiterzone 2 auf, die sich bis zur Grenzfläche 1a des Substrats 1 hin erstreckt. Außerhalb der Halbleiterzone 2 sind in das Substrat 1 n⁺-dotierte Halbleitergebiete 3 und 4 eingefügt, die das Source- und Drain-Gebiet eines n-Kanal-Feldeffekttransistors T1 bilden. Der zwischen 3 und 4 liegende

Kanalbereich wird von einem Gate 5 überdeckt, das mit einem Anschluß 6 versehen ist und durch eine dünne elektrisch isolierende Schicht 7, zum Beispiel aus SiO_2 , von der Grenzfläche 1a getrennt ist. Das Source-Gebiet 3 ist mit einem Anschluß 8 verbunden, der auf einem Massepotential V_{SS} liegt. Weiterhin sind in die Halbleiterzone 2 p^+ -dotierte Gebiete 9 und 10 eingefügt, welche das Source- und das Drain-Gebiet eines p-Kanal-Feldeffekttransistors T2 darstellen. Der zwischen den Gebieten 9 und 10 liegende Kanalbereich wird von einem Gate 11 überdeckt, das mit einem Anschluß 12 versehen ist und durch eine dünne elektrisch isolierende Schicht 13, zum Beispiel aus SiO_2 , von der Grenzfläche 1a getrennt ist. Das Source-Gebiet 9 von T2 ist mit einem Anschluß 14 verbunden, der mit einem Versorgungspotential V_{DD} beschaltet ist. Über ein n^+ -dotiertes Kontaktgebiet 15, das mit dem Anschluß 14 in Verbindung steht, liegt die Halbleiterzone 2 auf der Versorgungsspannung V_{DD} .

Weiterhin ist ein Substratvorspannungs-Generator 16 vorgesehen, der eine negative Substratvorspannung von zum Beispiel - 2 bis - 3 Volt erzeugt. Der Ausgang 17 des Substratvorspannungs-Generators ist mit einem p^+ -dotiertem Kontaktgebiet 18 verbunden, das in das Halbleitersubstrat 1 eingefügt ist. Damit befindet sich das Halbleitersubstrat 1 auf der durch 16 erzeugten negativen Substratvorspannung, während sich die Source-Gebiete, zum Beispiel 3, der im Halbleitersubstrat 1 befindlichen Transistoren, zum Beispiel T1, auf Massepotential V_{SS} befinden. Hierdurch wird unter anderem erreicht, daß die Sperrschichtkapazitäten der Source-Gebiete der im Substrat 1 angeordneten Transistoren verkleinert werden.

Zur Vermeidung eines "latch-up"-Effekts, der innerhalb der entlang der gestrichelten Linie 19 zwischen den Anschlüssen 8 und 14 liegenden Vierschichtenstruktur 3, 1, 2 und 9 auftreten könnte, ist der Ausgang 17 des Substratvorspannungs-Generators 16 über eine Schottky-Diode D mit einem Schaltungspunkt verbunden, der sich auf Massepotential befindet. Beim dargestellten Ausführungsbeispiel entspricht dieser Schaltungspunkt dem Anschluß 8. Ein in das Halbleitersubstrat 1 eingefügter, sich bis zur Grenzfläche 1a erstreckender, n -leitender Halbleiterbereich 20, der eine Dotierungskonzentration von etwa 10^{16} cm^{-3} aufweist, ist mit einem Metallkontakt 21 versehen, der zusammen mit dem Halbleiterbereich 20 eine Schottky-Diode darstellt. Der Metallkontakt 21 besteht vorzugsweise aus dem Silizid eines hochschmelzenden Metalls, insbesondere aus Tantalsilizid (TaSi_2). Es kommen aber auch andere Materialien in Betracht, die in an sich bekannter Weise für Schottky-Dioden verwendet werden, wie zum Beispiel Platin oder Molybdän. Weiterhin kann der Metallkontakt 21 auch aus Aluminium bestehen

oder aus einer Doppelschicht, die eine erste Teilschicht aus dem Silizid eines hochschmelzenden Metalls und eine zweite, oberhalb der ersten liegende Teilschicht aus Aluminium oder AlSi umfaßt. Der Metallkontakt 21 ist mit dem Ausgang 17 des Substratvorspannungs-Generators 16 verbunden, der Halbleiterbereich 20 über ein n^+ -dotiertes Kontaktgebiet 22 mit dem Anschluß 8.

Die vordere Schwellwertspannung der Schottky-Diode D beträgt etwa 0,2 V, womit sie kleiner ist als die vordere Schwellwertspannung der pn-Übergänge zwischen den Sourcegebieten, zum Beispiel 3, der n -Kanal-Transistoren, zum Beispiel T1, und dem Halbleitersubstrat 1. Liegt nun das Halbleitersubstrat auf einer positiven Vorspannung, die die vordere Schwellwertspannung der Schottky-Diode übersteigt, so leitet diese. Das bedeutet, daß die positive Vorspannung des Halbleitersubstrats 1 auf die vordere Schwellwertspannung von D begrenzt wird. Damit wird aber verhindert, daß die Vorspannung von 1 auf einen solchen Wert ansteigt, daß sie die vordere Schwellwertspannung der pn-Übergänge zwischen den Sourcegebieten der n -Kanal-Transistoren, zum Beispiel T1, und dem Substrat 1 erreicht oder übersteigt, was zu einem "latch-up"-Effekt führen könnte.

Die Klemmwirkung der Schottky-Diode tritt zum Beispiel dann ein, wenn beim Anschalten der Versorgungsspannung V_{DD} das Halbleitersubstrat 1 durch die kapazitive Spannungsteilung zwischen den Anschlüssen 14 und 8 solange auf eine positive Vorspannung angehoben wird, als der Generator 16 noch nicht die volle negative Vorspannung liefert. Erst wenn sich anschließend die negative Vorspannung am Ausgang 17 aufzubauen beginnt, sperrt die Schottky-Diode beim Unterschreiten ihrer vorderen Schwellwertspannung, so daß die beschriebene Klemmwirkung unterbunden wird. Ergeben sich im Betrieb große Ströme, die über das Halbleitersubstrat 1 und die Teile 18, 17 und 16 zum Anschluß 16a, der auf Massepotential V_{SS} liegt, abfließen, so kann am Innenwiderstand W von 16 ein solcher Spannungsabfall entstehen, daß der Ausgang 17 und damit das Halbleitersubstrat 1 zumindest vorübergehend auf eine positive Vorspannung gelangt. Auch in diesem Fall leitet D beim Überschreiten der vorderen Schwellwertspannung, so daß die Spannung an 17 wieder auf die vordere Schwellwertspannung von D begrenzt wird. Diese Klemmwirkung wird unterbunden, sobald sich am Substrat 1 wieder eine negative Vorspannung einzustellen beginnt und dabei die vordere Schwellwertspannung von D unterschritten wird.

Der Substratvorspannungs-Generator 16 ist zweckmäßig auf dem Halbleitersubstrat 1 mit aufintegriert.

Neben den bisher beschriebenen Ausführungsformen umfaßt die Erfindung auch solche, bei denen n-leitende Substrate mit p-leitenden wannenförmigen Halbleiterzonen versehen sind. Dabei werden die Leitungstypen sämtlicher Halbleiterteile und die Polaritäten sämtlicher Spannungen durch die jeweils entgegengesetzten ersetzt. Der Halbleiterbereich 20 entfällt hierbei, so daß der Metallkontakt 21 in diesem Fall das n-leitende Halbleitersubstrat 1 direkt kontaktiert, wobei er nicht mit dem Ausgang 17 des Substratvorspannungs-Generators 16, sondern mit dem auf V_{SS} liegenden Schaltungspunkt 8 verbunden ist.

Eine bevorzugte Anwendung der Erfindung ergibt sich für Peripherieschaltungen von dynamischen Halbleiterspeichern großer Packungsdichte, die mit den Speicherzellen monolithisch integriert sind.

Patentansprüche

1. Integrierte Schaltung in komplementärer Schaltungstechnik mit Feldeffekttransistoren (T1, T2) unterschiedlicher Kanaltypen, von denen wenigstens ein erster (T1) in einem p-leitenden Halbleitersubstrat (1) und wenigstens ein zweiter (T2) in einer im Halbleitersubstrat vorgesehenen n-leitenden wannenförmigen Halbleiterzone (2) angeordnet sind, wobei die Halbleiterzone (2) mit einer Versorgungsspannung (V_{DD}) beschaltet ist, wobei ein Anschlußgebiet (3) wenigstens eines ersten Feldeffekttransistors (T1) mit einem Massepotential (V_{SS}) beaufschlagt ist und wobei das Halbleitersubstrat (1) mit dem Ausgang (17) eines eine negative Substratvorspannung erzeugenden Substratvorspannungs-Generators (16) verbunden ist, dem das Massepotential und die Versorgungsspannung zugeführt werden, **dadurch gekennzeichnet**, daß ein in das Halbleitersubstrat (1) eingefügtes n-leitendes Halbleitergebiet (20) mit einem Metallkontakt (21) versehen ist, der mit diesem Halbleitergebiet (20) eine Schottky-Diode (D) bildet, daß der Metallkontakt (21) mit dem Ausgang (17) des Substratvorspannungs-Generators (16) beschaltet ist und daß das Halbleitergebiet (20) mit einem auf Massepotential liegenden Schaltungspunkt (8) verbunden ist.
2. Integrierte Schaltung in komplementärer Schaltungstechnik mit Feldeffekttransistoren (T1, T2) unterschiedlicher Kanaltypen, von denen wenigstens ein erster (T1) in einem n-leitenden Halbleitersubstrat (1) und wenigstens ein zweiter (T2) in einer im Halbleitersubstrat vorgesehenen p-leitenden wannenförmigen Halbleiterzone (2) angeordnet sind, wobei die Halbleiter-

zone (2) mit einer Versorgungsspannung (V_{DD}) beschaltet ist, wobei ein Anschlußgebiet (3) wenigstens eines ersten Feldeffekttransistors (T1) mit einem Massepotential (V_{SS}) beaufschlagt ist und wobei das Halbleitersubstrat (1) mit dem Ausgang (17) eines eine positive Substratvorspannung erzeugenden Substratvorspannungs-Generators (16) verbunden ist, dem das Massepotential und die Versorgungsspannung zugeführt werden, **dadurch gekennzeichnet**, daß das Halbleitersubstrat mit einem Metallkontakt versehen ist, der mit dem Halbleitersubstrat eine Schottky-diode (D) bildet, und daß der Metallkontakt mit einem auf Massepotential liegenden Schaltungspunkt (8) verbunden ist.

3. Integrierte Schaltung nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, daß der Substratvorspannungs-Generator (16) auf dem Halbleitersubstrat (1) mit aufintegriert ist.
4. Integrierte Schaltung nach einem der Ansprüche 1 bis 3. **dadurch gekennzeichnet**, daß der Metallkontakt (21) aus dem Silizid eines hochschmelzenden Metalls, insbesondere aus Tantal-silizid, besteht.
5. Integrierte Schaltung nach einem der vorhergehenden Ansprüche, **gekennzeichnet durch** die Anwendung als Peripherieschaltung für dynamische Halbleiterspeicher hoher Integrationsdichte.

Claims

1. Integrated circuit in complementary circuit technology, comprising field-effect transistors (T1, T2) of different channel types, of which at least a first (T1) is situated in a p-type semiconductor substrate (1) and at least a second (T2) is situated in an n-type well-shaped semiconductor zone (2) provided in the semiconductor substrate, the semiconductor zone (2) being connected to a supply voltage (V_{DD}), a terminal region (3) of at least a first field-effect transistor (T1) being connected to an earth potential (V_{SS}), and the semiconductor substrate (1) being connected to the output (17) of a substrate bias voltage generator (16) which produces a negative substrate bias voltage and to which the earth potential and the supply voltage are supplied, characterised in that an n-type semiconductor region (20) inserted into the semiconductor substrate (1) is provided with a metal contact (21) which forms a Schottky diode (D) with said semiconductor region (20), in that the metal contact (21) is connected

to the output (17) of the substrate bias voltage generator (16), and in that the semiconductor region (20) is connected to a circuit point (8) which is at earth potential.

2. Integrated circuit in complementary circuit technology, comprising field-effect transistors (T1, T2) of different channel types, of which at least a first (T1) is situated in an n-type semiconductor substrate (1) and at least a second (T2) is situated in a p-type well-shaped semiconductor zone (2) provided in the semiconductor substrate, the semiconductor zone (2) being connected to a supply voltage (V_{DD}), a terminal region (3) of at least a first field-effect transistor (T1) being connected to an earth potential (V_{SS}), and the semiconductor substrate (1) being connected to the output (17) of a substrate bias voltage generator (16) which produces a positive substrate bias voltage and to which the earth potential and the supply voltage are supplied, characterised in that the semiconductor substrate is provided with a metal contact which forms a Schottky diode (D) with the semiconductor substrate, and in that the metal contact is connected to a circuit point (8) which is at earth potential.
3. Integrated circuit according to Claim 1 or 2, characterised in that the substrate bias voltage generator (16) is also integrated on the semiconductor substrate (1).
4. Integrated circuit according to one of Claims 1 to 3, characterised in that the metal contact (21) is composed of the silicide of a refractory metal, in particular of tantalum silicide.
5. Integrated circuit according to one of the preceding claims, characterised by the application of high integration density as peripheral circuit for dynamic semiconductor memories.

Revendications

1. Circuit intégré réalisé selon la technique complémentaire des circuits, comprenant des transistors à effet de champ (T1,T2) possédant des types de canaux différents et dont au moins un premier (T1) est disposé dans un substrat semiconducteur (1) à conduction du type p et au moins un second (T2) est disposé dans une zone semiconductrice en forme de cuvette (2) à conduction du type n, prévue dans le substrat semiconducteur, et dans lequel la zone semiconductrice (2) est placée à une tension d'alimentation (V_{DD}), une région de raccordement (3) d'au moins un premier tran-

sistor à effet de champ (T1) est chargée par un potentiel de masse (V_{SS}) et le substrat semiconducteur (1) est raccordé à la sortie (17) d'un générateur de tension de polarisation de substrat (16), qui produit une tension de polarisation de substrat négative et auquel le potentiel de masse et la tension d'alimentation sont appliqués, caractérisé par le fait qu'une région semiconductrice (20) à conduction du type n, insérée dans le substrat semiconducteur (1), est pourvue d'un contact métallique (21), qui forme avec cette région semiconductrice (20) une diode Schottky (D), que le contact métallique (21) est raccordé à la sortie (17) du générateur de tension de polarisation de substrat (16) et que la région semiconductrice (20) est raccordée à un point (8) du circuit, placé au potentiel de masse.

2. Circuit intégré réalisé selon la technique complémentaire des circuits, comprenant des transistors à effet de champ (T1,T2) possédant des types de canaux différents et dont au moins un premier (T1) est disposé dans un substrat semiconducteur (1) à conduction du type p et au moins un second (T2) est disposé dans une zone semiconductrice en forme de cuvette (2) à conduction du type n, prévue dans le substrat semiconducteur, et dans lequel la zone semiconductrice (2) est placée à une tension d'alimentation (V_{DD}), une région de raccordement (3) d'au moins un premier transistor à effet de champ (T1) est chargée par un potentiel de masse (V_{SS}) et le substrat semiconducteur (1) est raccordé à la sortie (17) d'un générateur de tension de polarisation de substrat (16), qui produit une tension de polarisation de substrat négative et auquel le potentiel de masse et la tension d'alimentation sont appliqués, caractérisé par le fait que le substrat semiconducteur est pourvu d'un contact métallique qui forme avec le substrat semiconducteur une diode Schottky (D), et que le contact métallique est raccordé à un point (8) du circuit, placé au potentiel de masse.

3. Circuit intégré suivant la revendication 1 ou 2, caractérisé par le fait que le générateur de tension de polarisation de substrat (16) est conjointement intégré sur le substrat semiconducteur.
4. Circuit intégré suivant l'une des revendications 1 à 3, caractérisé par le fait que le contact métallique (21) est constitué par le siliciure d'un métal à point de fusion élevé, notamment du siliciure de tantale.

5. Circuit intégré suivant l'une des revendications précédentes, caractérisé par son utilisation en tant que circuit périphérique pour des mémoires dynamiques à semiconducteurs à haute densité d'intégration.

5

10

15

20

25

30

35

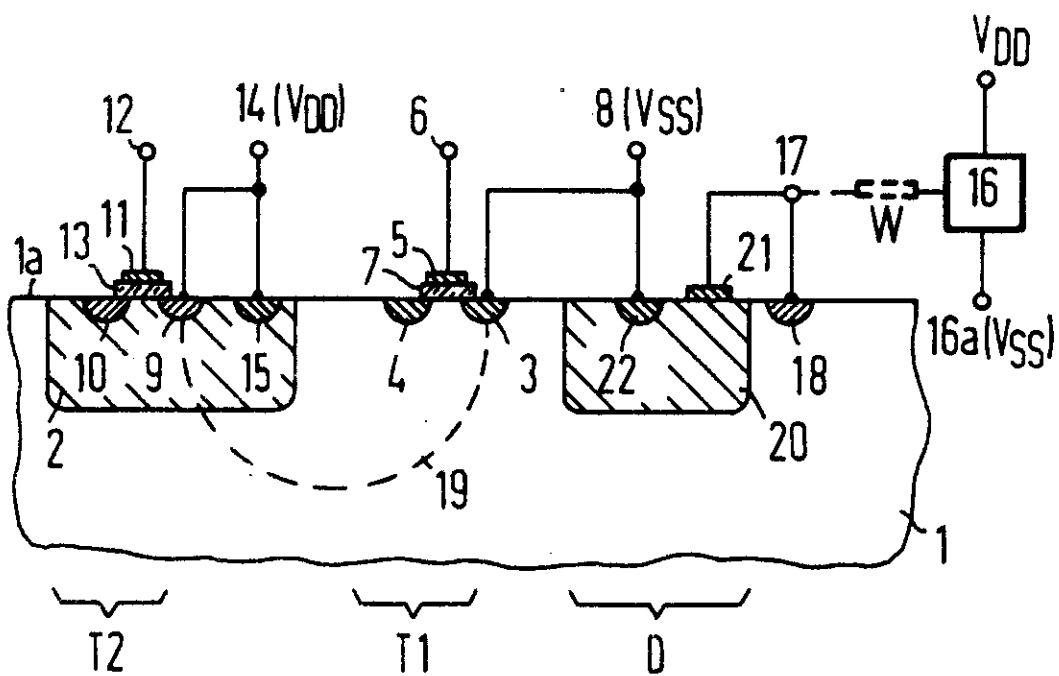
40

45

50

55

6



GREAT BRITAIN)
ENGLAND)
LONDON)

IN THE MATTER OF an Application
for a Hong Kong Registration
Patent

I, Derek Ernest LIGHT, B.A., B.D.Ü.,
do hereby certify:

THAT I am a Technical Translator to RWS Translations Ltd., of
Europa House, Marsham Way, Gerrards Cross, Buckinghamshire,
England and known as such to the undersigned Notary Public;
THAT I have a competent knowledge of the German and English
languages;

AND THAT, to the best of my knowledge and belief, the attached
document is a true and correct translation of the cover page of
the European Patent in the name of

SIEMENS AKTIENGESELLSCHAFT
granted under No. 0,213,425

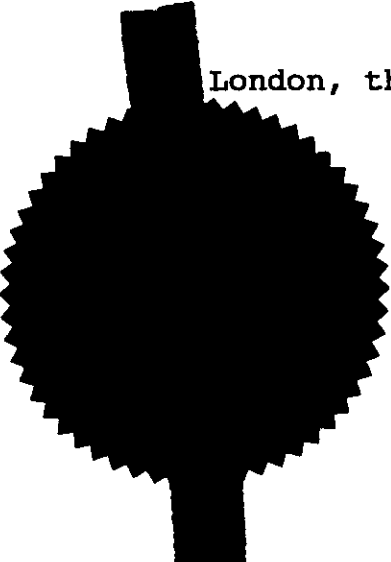
Signed by DEREK ERNEST LIGHT)
For and on behalf of RWS Translations Ltd.)
This day of May)
1993)

D. Ernest Light
DEREK ERNEST LIGHT

I hereby certify the authenticity of the above signature of
DEREK ERNEST LIGHT whose identity I attest.

London, the 27th day of May 1993

Mr. Thoday
NOTARY PUBLIC OF LONDON ENGLAND



19 European Patent Office
European Patent Office
European Patent Office

11 Publication No.: 0 213 425 B1

12 EUROPEAN PATENT SPECIFICATION

45 Date of publication of the
patent specification: 06.05.92

51 Int. Cl.⁵: H01L 27/06

21 Application No.: 86110756.3

22 Filing date: 04.08.86

54 COMPLEMENTARY INTEGRATED CIRCUIT WITH A SUBSTRATE BIAS VOLTAGE GENERATOR AND A SCHOTTKY DIODE
[Title as published]

30 Priority: 26.08.85 DE 3530428

73 Patent proprietor: SIEMENS
AKTIENGESELLSCHAFT
Wittelsbacherplatz 2
W-8000 Munich 2(DE)

43 Date of publication of the
application:
11.03.87 Patent Journal 87/11

45 Publication of the notice
of the patent grant:
06.05.92 Patent Journal 92/19

72 Inventor: Josef Winnerl, Dr.-Ing.
Schubertstrasse 7
W-8300 Landshut(DE)
Inventor: Dezső Takacs, Dipl.-Ing.
Annette-Kolb-Anger 7
W-8000 Munich 83(DE)

84 Designated contracting States:
AT DE FR GB IT NL

56 Cited documents:
EP-A- 0 024 903 EP-A- 0 142 258
EP-A- 0 166 386 DE-A- 3 339 805
GB-A- 2 054 955 GB-A- 2 073 490

PATENT ABSTRACTS OF JAPAN, Volume 8,
No. 176 (E-260)[1613], 14 August 1984
& JP - A - 59 69956 (NIPPON DENKI K.K.)
20.04.1984

Note: Within nine months from the publication of the notice of the grant of the European patent in the European Patent Journal, any person may lodge opposition to the granted European patent at the European Patent Office. The opposition shall be filed in writing and the grounds thereof shall be stated. It shall be deemed to have been filed only when the opposition fee has been paid.
(Art. 99 (1) of the European Patent Convention).

PATENTS ACT 1977

and

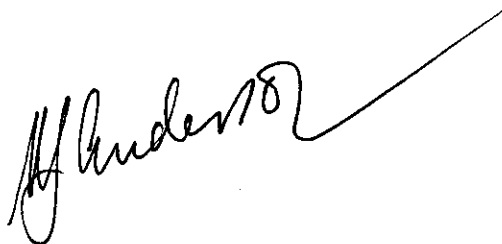
PATENTS (AMENDMENT) RULES 1987

I, Noel George ANDERSON, B.Sc., Ph.D., F.R.S.C., C.Chem.,
F.I.L.,

translator to Randall Woolcott Services plc of Europa House,
Marsham Way, Gerrards Cross, Buckinghamshire, England, hereby
declare that I am conversant with the German and English
languages and that to the best of my knowledge and belief the
accompanying document is a true translation of the text on which
the European Patent Office intends to grant or has granted
European Patent No. 0,213,425

in the name of SIEMENS AKTIENGESELLSCHAFT

Signed this 29th day of June 1992

A handwritten signature in black ink, appearing to read 'N. G. Anderson', with a long, sweeping horizontal line extending to the right.

N. G. ANDERSON

The invention relates to an integrated circuit in complementary circuit technology having a substrate bias voltage generator in accordance with the preamble of Patent Claim 1.

5 In circuits of this type, the semiconductor substrate is not at the earth potential V_{SS} of the circuit, but at a substrate bias voltage V_{BB} generated by means of a substrate bias voltage generator. In a semiconductor substrate composed of p-type material provided
10 with an inserted n-type well-shaped semiconductor zone, this entails a negative substrate bias voltage of about -2 to -3 volts. Under these circumstances, the source regions of field-effect transistors provided on the semiconductor substrate outside the well-shaped semiconductor zone are connected to the earth potential V_{SS} .
15 Such a substrate bias voltage generator is disclosed, for example, in EP-A-0 024 903.

 At the instant the supply voltage V_{DD} is switched on, the p-type semiconductor substrate under consideration is initially in a "floating" state in which it is
20 disconnected from external potentials. Under these circumstances, it may be charged, via the barrier-layer capacitances present, on the one hand, between the well-shaped semiconductor zone and the substrate and, on the
25 other hand, between the source regions, connected to the earth potential, and the substrate, to a positive bias voltage which is only removed again when the substrate bias voltage generator becomes operative and which is replaced by the negative substrate bias voltage which
30 gradually builds up at the output of said generator. However, even while the integrated circuit is in operation, fairly large currents which are drained from the semiconductor substrate via the substrate bias voltage generator to a terminal of the latter which is at earth
35 potential can result in a positive semiconductor-substrate bias voltage as a result of the voltage drop across the internal resistance of the substrate bias voltage generator. Positive bias voltages, however,

represent a high safety risk for the integrated circuit since a "latch-up" effect can be triggered and this generally implies the failure of the integrated circuit.

To understand the "latch-up" effect, it may be
5 assumed that there are generally four consecutive semiconductor layers of alternating conductivity types between a terminal of a field-effect transistor of the first channel type situated in the well-shaped semiconductor zone and a terminal of a field-effect
10 transistor of the second channel type sited on the semiconductor substrate outside said zone, the one terminal region of the first mentioned transistor forming the first semiconductor layer, the well-shaped semiconductor zone the second, the semiconductor
15 substrate the third and the one terminal region of the last transistor the fourth. If the semiconductor substrate is positively biased, the p-n junction between the third and fourth semiconductor layer may become biased in the forward direction to such an extent that a
20 current path attributable to a parasitic thyristor action inside this four-layer structure may be produced between the transistor terminals mentioned. The current path continues to exist even after a removal of the positive substrate bias voltage and may overload the integrated
25 circuit thermally.

EP-A-0 142 258 describes an integrated circuit in complementary circuit technology, in which the p-type substrate is at a negative substrate bias voltage. The source regions of the n-channel FETs disposed in the
30 substrate are at earth potential. To avoid "latch-up" effects, the output of the substrate bias voltage generator is connected to the earth potential via an FET. At the instant the supply voltage is switched on the FET is switched to a conducting state by a monitoring circuit.

35 The object of the invention is to provide a circuit of the type mentioned at the outset, in which the occurrence of "latch-up" effects is substantially avoided. That is achieved, according to the invention, by

the construction of the circuit in accordance with the characterising part of Patent Claim 1.

Patent Claims 2 to 4 relate to preferred embodiments and further developments of the invention. Patent
5 Claim 5 relates to a preferred application of the invention.

The advantage achievable with the invention is, in particular, that a bias voltage of undesired polarity applied to the semiconductor substrate and capable of
10 triggering a "latch-up" effect is limited by simple means to a value which eliminates this danger.

The invention is explained in greater detail below by reference to a preferred exemplary embodiment shown in the drawing.

15 This shows an integrated circuit according to the invention which is constructed on a semiconductor substrate 1 composed of doped semiconductor material, for example p-type silicon. The substrate 1 has an n-type, well-shaped semiconductor zone 2 which extends to the
20 boundary surface 1a of the substrate 1. Outside the semiconductor zone 2, n⁺-doped semiconductor substrate regions 3 and 4, which form the source region and the drain region of an n-channel field-effect transistor T1, are inserted in the substrate 1. The channel region
25 situated between 3 and 4 is spanned by a gate 5 which is provided with a terminal 6 and is isolated from the boundary surface 1a by a thin electrically insulating layer 7, for example, composed of SiO₂. The source region 3 is connected to a terminal 8 which is at an earth
30 potential V_{ss}. Furthermore, p⁺-doped regions 9 and 10, which are the source region and the drain region of a p-channel field-effect transistor T2, are inserted in the semiconductor zone 2. The channel region situated between the regions 9 and 10 is spanned by a gate 11 which is
35 provided with a terminal 12 and which is isolated from the boundary surface 1a by a thin electrically insulating layer 13, for example, composed of SiO₂. The source region 9 of T2 is connected to a terminal 14 which is connected

to a supply potential V_{DD} . The semiconductor zone 2 is at the supply voltage V_{DD} via an n^+ -doped contact region 15 which is connected to the terminal 14.

Furthermore, a substrate bias voltage generator 5 16 is provided which generates a negative substrate bias voltage of, for example, -2 to -3 volts. The output 17 of the substrate bias voltage generator is connected to a p^+ -doped contact region 18 which is inserted in the semiconductor substrate 1. The semiconductor substrate 1 is 10 therefore at the negative substrate bias voltage generated by 16, while the source regions, for example 3, of the transistors situated in the semiconductor substrate 1, for example T1, are at earth potential V_{SS} . This achieves the result, inter alia, that the barrier-layer 15 capacitances of the source regions of the transistors disposed in the substrate 1 are reduced.

To avoid a "latch-up" effect, which could occur inside the four-layer structure 3, 1, 2 and 9 situated along the broken line 19 between the terminals 8 and 14, 20 the output 17 of the substrate bias voltage generator 16 is connected via a Schottky diode D to a circuit point which is at earth potential. In the exemplary embodiment shown, said circuit point corresponds to the terminal 8. An n-type semiconductor region 20 which is inserted into 25 the semiconductor substrate 1 and extends up to the boundary surface 1a and which has a doping concentration of about 10^{16} cm^{-3} is provided with a metal contact 21 which, together with the semiconductor region 20, forms a Schottky diode. The metal contact 21 is preferably 30 composed of the silicide of a refractory metal, in particular of tantalum silicide (TaSi_2). Other materials which are also used in a known manner for Schottky diodes, such as, for example, platinum or molybdenum are, however, also suitable. Furthermore, the metal contact 21 35 may also be composed of aluminium or of a double layer comprising a first sublayer composed of the silicide of a refractory metal and a second sublayer situated above the first and composed of aluminium or AlSi . The metal

contact 21 is connected to the output 17 of the substrate bias voltage generator 16 and the semiconductor region 20 is connected to the terminal 8 via an n^+ -doped contact region 22.

5 The forward threshold voltage of the Schottky diode D is about 0.2 V, it consequently being less than the forward threshold voltage of the p-n junctions between the source regions, for example 3, of the n-channel transistors, for example T1, and the semiconductor substrate 1. If, therefore, the semiconductor substrate is at a positive bias voltage which exceeds the forward threshold voltage of the Schottky diode, the latter conducts. This means that the positive bias voltage of the semiconductor substrate 1 is limited to
10 the forward threshold voltage of D. This prevents, however, the bias voltage of 1 rising to a value such that it reaches or exceeds the forward threshold voltage of the p-n junctions between the source regions of the n-channel transistors, for example T1, and the substrate 1,
15 which could result in a "latch-up" effect.

 The clamping action of the Schottky diode sets in, for example, if, when the supply voltage V_{DD} is switched on, the semiconductor substrate 1 is raised by the capacitive voltage division between the terminals 14
25 and 8 to a positive bias voltage while the generator 16 has not yet supplied the full negative bias voltage. Only when the negative bias voltage at the output 17 begins to build up does the Schottky diode turn off as the bias voltage drops below its forward threshold voltage,
30 thereby suppressing the clamping action described. If large currents arise during operation and drain away via the semiconductor substrate 1 and the parts 18, 17 and 16 to terminal 16a, which is at earth potential V_{ss} , such a large voltage drop may arise across the internal
35 resistance W of 16 that the output 17, and consequently the semiconductor substrate 1, at least temporarily acquires a positive bias voltage. Even in this case, D conducts if the forward threshold voltage is exceeded,

with the result that the voltage at 17 is again limited to the forward threshold voltage of D. This clamping action is suppressed as soon as a negative bias voltage begins to establish itself again on the substrate 1 and
5 the bias voltage then drops below the forward threshold voltage of D.

The substrate bias voltage generator 16 is expediently integrated on the semiconductor substrate 1.

In addition to the embodiments described hitherto, the invention also encompasses those in which n-type
10 substrates are provided with p-type well-shaped semiconductor zones. In these cases, the conduction types of all the semiconductor parts and the polarities of all the voltages are replaced by the opposite ones in each case.
15 The semiconductor region 20 is unnecessary under these conditions, with the result that the metal contact 21 is directly connected in this case to the n-type semiconductor substrate 1, and at the same time it is not connected to the output 17 of the substrate bias voltage
20 generator 16 but to the circuit point 8 which is at V_{ss} .

A preferred application of the invention is provided by peripheral circuits of dynamic semiconductor memories having high packing density which are monolithically integrated with the memory cells.

Patent claims

1. Integrated circuit in complementary circuit technology, comprising field-effect transistors (T1, T2) of different channel types, of which at least a first (T1) is situated in a p-type semiconductor substrate (1) and at least a second (T2) is situated in an n-type well-shaped semiconductor zone (2) provided in the semiconductor substrate, the semiconductor zone (2) being connected to a supply voltage (V_{DD}), a terminal region (3) of at least a first field-effect transistor (T1) being connected to an earth potential (V_{SS}), and the semiconductor substrate (1) being connected to the output (17) of a substrate bias voltage generator (16) which produces a negative substrate bias voltage and to which the earth potential and the supply voltage are supplied, characterised in that an n-type semiconductor region (20) inserted into the semiconductor substrate (1) is provided with a metal contact (21) which forms a Schottky diode (D) with said semiconductor region (20), in that the metal contact (21) is connected to the output (17) of the substrate bias voltage generator (16), and in that the semiconductor region (20) is connected to a circuit point (8) which is at earth potential.

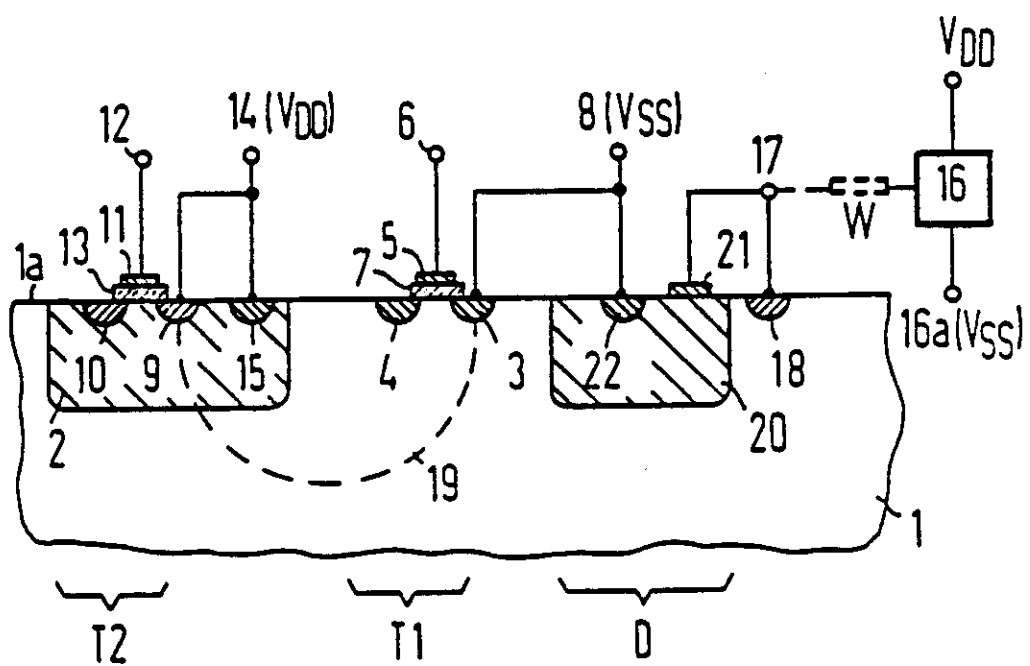
2. Integrated circuit in complementary circuit technology, comprising field-effect transistors (T1, T2) of different channel types, of which at least a first (T1) is situated in an n-type semiconductor substrate (1) and at least a second (T2) is situated in a p-type well-shaped semiconductor zone (2) provided in the semiconductor substrate, the semiconductor zone (2) being connected to a supply voltage (V_{DD}), a terminal region (3) of at least a first field-effect transistor (T1) being connected to an earth potential (V_{SS}), and the semiconductor substrate (1) being connected to the output (17) of a substrate bias voltage generator (16) which produces a positive substrate bias voltage and to which the earth potential and the supply voltage are supplied, characterised in that the semiconductor substrate is

provided with a metal contact which forms a Schottky diode (D) with the semiconductor substrate, and in that the metal contact is connected to a circuit point (8) which is at earth potential.

5 3. Integrated circuit according to Claim 1 or 2, characterised in that the substrate bias voltage generator (16) is also integrated on the semiconductor substrate (1).

10 4. Integrated circuit according to one of Claims 1 to 3, characterised in that the metal contact (21) is composed of the silicide of a refractory metal, in particular of tantalum silicide.

15 5. Integrated circuit according to one of the preceding claims, characterised by the application of high integration density as peripheral circuit for dynamic semiconductor memories.



REGISTER ENTRY FOR EP0213425

European Application No EP86110756.3 filing date 04.08.1986

Application in German

Priority claimed:

26.08.1985 in Federal Republic of Germany - doc: 3530428

Designated States DE FR GB IT NL AT

Title COMPLEMENTARY INTEGRATED CIRCUIT WITH A SUBSTRATE BIAS VOLTAGE GENERATOR
AND A SCHOTTKY DIODE

Applicant/Proprietor

SIEMENS AKTIENGESELLSCHAFT BERLIN UND MÜNCHEN, Incorporated in the Federal
Republic of Germany, Wittelsbacherplatz 2, D-8000 München 2, Federal
Republic of Germany [ADP No. 50908391001]

Inventors

DR.-ING. JOSEF WINNERL, Schubertstrasse 7, D-8300 Landshut, Federal
Republic of Germany [ADP No. 54648100001]

DIPL.-ING. DEZSÖ TAKACS, Annette-Kolb-Anger 7, D-8000 München 83, Federal
Republic of Germany [ADP No. 54648118001]

Classified to

H1K U1S

H01L

Address for Service

SIEMENS LIMITED, Siemens House, Windmill Road, Sunbury-on-Thames,
Middlesex, TW16 7HS, United Kingdom [ADP No. 00001487001]

Publication No EP0213425 dated 11.03.1987 and granted by EPO 06.05.1992.

Publication in German

Examination requested 04.08.1986

Patent Granted with effect from 06.05.1992 (Section 25(1)) with title
COMPLEMENTARY INTEGRATED CIRCUIT WITH A SUBSTRATE BIAS VOLTAGE GENERATOR
AND A SCHOTTKY DIODE.. Translation filed 06.07.1992

16.09.1988 EPO: Search report published on 21.09.1988

Entry Type 25.11 Staff ID.

Auth ID. EPT

06.04.1992 Notification from EPO of change of Applicant/Proprietor details
from

SIEMENS AKTIENGESELLSCHAFT BERLIN UND MÜNCHEN, Incorporated in the
Federal Republic of Germany, Wittelsbacherplatz 2, D-8000 München
2, Federal Republic of Germany [ADP No. 50908391001]

to

SIEMENS AKTIENGESELLSCHAFT, Incorporated in the Federal Republic of
Germany, Wittelsbacherplatz 2, W-8000 München 2, Federal Republic
of Germany [ADP No. 50908391001]

Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

06.04.1992 Notification from EPO of change of Inventor details from
DR.-ING. JOSEF WINNERL, Schubertstrasse 7, D-8300 Landshut, Federal
Republic of Germany [ADP No. 54648100001]

DIPL.-ING. DEZSÖ TAKACS, Annette-Kolb-Anger 7, D-8000 München 83,
Federal Republic of Germany [ADP No. 54648118001]

to
DR.-ING. JOSEF WINNERL, Schubertstrasse 7, W-8300 Landshut, Federal
Republic of Germany [ADP No. 59706267001]

DIPL.-ING. DEZSÖ TAKACS, Annette-Kolb-Anger 7, W-8000 München 83,
Federal Republic of Germany [ADP No. 59706275001]

Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

03.06.1992 FILE RAISED.

Entry Type 10.1 Staff ID. CA2 Auth ID. AA

15.07.1992 SIEMENS LIMITED, Siemens House, Windmill Road, Sunbury-on-Thames,
Middlesex, TW16 7HS, United Kingdom [ADP No. 00001487001]
registered as address for service

Entry Type 8.11 Staff ID. AC2 Auth ID. F54

**** END OF REGISTER ENTRY ****

OA80-01
EP

OPTICS - PATENTS

18/05/93 11:34:38
PAGE: 1

RENEWAL DETAILS

PUBLICATION NUMBER

EP0213425

PROPRIETOR(S)

Siemens Aktiengesellschaft, Incorporated in the Federal Republic of
Germany, Wittelsbacherplatz 2, W-8000 München 2, Federal Republic
of Germany

DATE FILED 04.08.1986

DATE GRANTED 06.05.1992

DATE NEXT RENEWAL DUE 04.08.1993

DATE NOT IN FORCE

DATE OF LAST RENEWAL 17.07.1992

YEAR OF LAST RENEWAL 07

STATUS PATENT IN FORCE