

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6799939号
(P6799939)

(45) 発行日 令和2年12月16日(2020.12.16)

(24) 登録日 令和2年11月26日(2020.11.26)

(51) Int.Cl.	F 1
H05B 45/14 (2020.01)	H05B 45/14
H05B 45/34 (2020.01)	H05B 45/34
H05B 45/3725 (2020.01)	H05B 45/3725
H05B 45/48 (2020.01)	H05B 45/48
B60Q 1/14 (2006.01)	B60Q 1/14

請求項の数 15 (全 14 頁)

(21) 出願番号	特願2016-86250 (P2016-86250)
(22) 出願日	平成28年4月22日 (2016.4.22)
(65) 公開番号	特開2017-195150 (P2017-195150A)
(43) 公開日	平成29年10月26日 (2017.10.26)
審査請求日	平成31年2月25日 (2019.2.25)

(73) 特許権者	000116024 ローム株式会社 京都府京都市右京区西院溝崎町21番地
(74) 代理人	110001933 特許業務法人 佐野特許事務所
(72) 発明者	桂 幸司 京都市右京区西院溝崎町21番地 ローム 株式会社内
(72) 発明者	村松 泰典 京都市右京区西院溝崎町21番地 ローム 株式会社内
審査官	野木 新治

最終頁に続く

(54) 【発明の名称】発光素子駆動用半導体集積回路、発光素子駆動装置、発光装置、車両

(57) 【特許請求の範囲】

【請求項 1】

少なくとも一つの発光素子を含む第1光源と少なくとも一つの発光素子を含み前記第1光源に直列接続される第2光源とを前記第1光源が短絡されていないときに駆動し、前記第1光源が短絡されているときに前記2光源を駆動し、且つ電圧変換部と、前記電圧変換部から出力される電圧を平滑化する出力コンデンサと、を有する発光素子駆動装置の少なくとも一部を構成する発光素子駆動用半導体集積回路であって、

前記第1光源及び前記第2光源に直列接続される第1抵抗の両端電圧に応じて、可変抵抗の抵抗値を制御する制御部を有し、

前記第1光源が有するアノードが、前記第2光源が有するカソードに接続されるか、前記第2光源が有するアノードが、前記第1光源が有するカソード接続されるかのいずれか一方であり、

前記制御部は、前記第1光源が有するアノードが、前記第2光源が有するカソードに接続される場合には、前記第2光源が有するアノードの電圧を調整し、前記第2光源が有するアノードが、前記第1光源が有するカソードに接続される場合には、前記第1光源が有するアノードの電圧を調整し、

前記可変抵抗は、前記第1光源が有するアノードが、前記第2光源が有するカソードに接続される場合には、前記第1抵抗と前記第2光源が有するアノードとの間に接続され、前記第2光源が有するアノードが、前記第1光源が有するカソードに接続される場合には、前記第1抵抗と前記第1光源が有するアノードとの間に接続されるMOSトランジスタ

であり、

前記可変抵抗の抵抗値は、前記可変抵抗に電流が流れているときに前記第1抵抗の両端電圧に応じて前記MOSトランジスタの飽和特性領域と非飽和特性領域の両方に渡って可変し、

前記第1抵抗は、前記可変抵抗と、前記電圧変換部及び前記出力コンデンサの接続ノードとの間に接続されることを特徴とする発光素子駆動用半導体集積回路。

【請求項2】

前記可変抵抗は、前記第1抵抗に接続される第1端子と、前記第1光源が有するアノードが、前記第2光源が有するカソードに接続される場合には、前記第2光源が有するアノードに接続され、前記第2光源が有するアノードが、前記第1光源が有するカソードに接続される場合には、前記第1光源が有するアノードに接続される第2端子と、を有する請求項1に記載の発光素子駆動用半導体集積回路。
10

【請求項3】

前記可変抵抗は、前記第1光源が有するアノードが、前記第2光源が有するカソードに接続される場合には、前記可変抵抗と前記第2光源が有するアノードとの間における他の素子なしに前記第2光源が有するアノードに接続され、前記第2光源が有するアノードが、前記第1光源が有するカソードに接続される場合には、前記可変抵抗と前記第1光源が有するアノードとの間における他の素子なしに前記第1光源が有するアノードに接続される請求項1または請求項2に記載の発光素子駆動用半導体集積回路。
20

【請求項4】

少なくとも一つの発光素子を含む第1光源と少なくとも一つの発光素子を含み前記第1光源に直列接続される第2光源とを前記第1光源が短絡されていないときに駆動し、前記第1光源が短絡されているときに前記2光源を駆動し、且つ出力コンデンサを有し、前記第1光源に並列接続される短絡経路を有し、前記短絡経路は、前記第1光源が有するアノードに接続される第1端子と、前記第1光源が有するカソードに接続される第2端子とを有する発光素子駆動装置の少なくとも一部を構成する発光素子駆動用半導体集積回路であつて、

前記第1光源及び前記第2光源に直列接続される第1抵抗の両端電圧に応じて、可変抵抗の抵抗値を制御する制御部を有し、

前記可変抵抗は、前記短絡経路に設けられるMOSトランジスタであり、

前記可変抵抗の抵抗値は、前記可変抵抗に電流が流れているときに前記第1抵抗の両端電圧に応じて前記MOSトランジスタの飽和特性領域と非飽和特性領域の両方に渡って可変することを特徴とする発光素子駆動用半導体集積回路。
30

【請求項5】

前記可変抵抗は、前記第1光源が有するアノードに接続される請求項4に記載の発光素子駆動用半導体集積回路。

【請求項6】

前記可変抵抗に直列接続されるスイッチが前記短絡経路に設けられる請求項4または請求項5に記載の発光素子駆動用半導体集積回路。
40

【請求項7】

前記スイッチは、前記短絡経路の導通状態と遮断状態とを切り替える請求項6に記載の発光素子駆動用半導体集積回路。

【請求項8】

電源電圧を受けるカソードと、第2光源が有するカソードに接続されるアノードとを有するダイオードと、

前記第2光源が有するカソードに接続される第3端子と、前記電源電圧よりも低い電圧を受ける第4端子とを有するスイッチング素子と、をさらに備え、

前記スイッチング素子は、前記第1光源が短絡された状態から前記第1光源が短絡されない状態に切り替わる前にオン状態からオフ状態に切り替えられる請求項4～7のいずれか一項に記載の発光素子駆動用半導体集積回路。
50

【請求項 9】

少なくとも一つの発光素子を含む第1光源と少なくとも一つの発光素子を含み前記第1光源に直列接続される第2光源とを前記第1光源が短絡されていないときに駆動し、前記第1光源が短絡されているときに前記2光源を駆動し、且つ出力コンデンサを有し、前記第1光源に並列接続される短絡経路を有する発光素子駆動装置の少なくとも一部を構成する発光素子駆動用半導体集積回路であって、

第1端子と、

前記第1端子に供給される信号と前記第1光源及び前記第2光源に直列接続される第1抵抗の両端電圧とに基づいて、可変抵抗の抵抗値を制御する制御部と、

を有し、

10

前記可変抵抗は、前記第1光源が有するアノードに接続される第2端子と、前記第1光源が有するカソードに接続される第3端子とを有するMOSトランジスタであり、

前記可変抵抗の抵抗値は、前記可変抵抗に電流が流れているときに前記第1抵抗の両端電圧に応じて前記MOSトランジスタの飽和特性領域と非飽和特性領域の両方に渡って可変することを特徴とする発光素子駆動用半導体集積回路。

【請求項 10】

前記制御部は、

前記第1光源を短絡させないことを指示する信号が前記第1端子に供給された場合に、前記第1抵抗の両端電圧に応じて前記可変抵抗の抵抗値を制御し、

前記第1光源を短絡させることを指示する信号が前記第1端子に供給された場合に、前記可変抵抗の抵抗値を前記短絡経路が前記可変抵抗によって遮断状態になる値に制御する請求項9に記載の発光素子駆動用半導体集積回路。

20

【請求項 11】

少なくとも一つの発光素子を含む第1光源と少なくとも一つの発光素子を含み前記第1光源に直列接続される第2光源とを前記第1光源が短絡されていないときに駆動し、前記第1光源が短絡されているときに前記2光源を駆動し、且つ出力コンデンサを有し、前記第1光源に並列接続される短絡経路を有し、前記短絡経路は、前記第1光源が有するアノードに接続される第1端子と、前記第1光源が有するカソードに接続される第2端子とを有する発光素子駆動装置の少なくとも一部を構成する発光素子駆動用半導体集積回路であって、

30

前記第1光源及び前記第2光源に直列接続される第1抵抗の両端電圧に応じて、可変抵抗の抵抗値を制御する制御部を有し、

前記可変抵抗は、前記短絡経路に設けられ、

前記可変抵抗の抵抗値は、前記可変抵抗に電流が流れているときに前記第1抵抗の両端電圧に応じて可変し、

前記可変抵抗に直列接続されるスイッチが前記短絡経路に設けられることを特徴とする発光素子駆動用半導体集積回路。

【請求項 12】

前記スイッチは、前記短絡経路の導通状態と遮断状態とを切り替える請求項11に記載の発光素子駆動用半導体集積回路。

40

【請求項 13】

少なくとも一つの発光素子を含む第1光源と少なくとも一つの発光素子を含み前記第1光源に直列接続される第2光源とを前記第1光源が短絡されていないときに駆動し、前記第1光源が短絡されているときに前記2光源を駆動し、且つ出力コンデンサを有し、前記第1光源に並列接続される短絡経路を有する発光素子駆動装置の少なくとも一部を構成する発光素子駆動用半導体集積回路であって、

第1端子と、

前記第1端子に供給される信号と前記第1光源及び前記第2光源に直列接続される第1抵抗の両端電圧とに基づいて、可変抵抗の抵抗値を制御する制御部と、

を有し、

50

前記可変抵抗は、前記第1光源が有するアノードに接続される第2端子と、前記第1光源が有するカソードに接続される第3端子とを有し、

前記可変抵抗の抵抗値は、前記可変抵抗に電流が流れているときに前記第1抵抗の両端電圧に応じて可変し、

前記制御部は、

前記第1光源を短絡させないことを指示する信号が前記第1端子に供給された場合に、前記第1抵抗の両端電圧に応じて前記可変抵抗の抵抗値を制御し、

前記第1光源を短絡させることを指示する信号が前記第1端子に供給された場合に、前記可変抵抗の抵抗値を前記短絡経路が前記可変抵抗によって遮断状態になる値に制御することを特徴とする発光素子駆動用半導体集積回路。 10

【請求項14】

少なくとも一つの発光素子を含む第1光源と、

少なくとも一つの発光素子を含み前記第1光源に直列接続される第2光源と、

請求項1～13のいずれか一項に記載の発光素子駆動用半導体集積回路と、を有することを特徴とする発光装置。

【請求項15】

請求項14に記載の発光装置を有し、前記発光装置がヘッドライトとして用いられるこれを特徴とする車両。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、発光素子駆動用半導体集積回路に関する。また、本発明は、発光素子駆動装置並びにこれを用いた発光装置及び車両に関する。

【背景技術】

【0002】

自動車のヘッドライトは、ロービームを照射するすれ違い用前照灯になっている状態と、ロービームよりも前方遠方まで届くハイビームを照射する走行用前照灯になっている状態とを切り替えることができる構成である。

【0003】

自動車のヘッドライトとして用いられる発光装置の一例が特許文献1に開示されている。特許文献1に開示されている発光装置(LED点灯回路)は、複数の発光素子を直列に接続し、走行用前照灯になっている状態では全ての発光素子を点灯させ、すれ違い用前照灯になっている状態では一部の発光素子を短絡させ残りの発光素子のみを点灯させる構成である。 30

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2013-47047号公報(段落0029乃至0033)

【発明の概要】

【発明が解決しようとする課題】

40

【0005】

特許文献1で開示されている発光装置(LED点灯回路)は、走行用前照灯になっている状態からすれ違い用前照灯になっている状態に切り替えるときに、発光素子を駆動するDC-DCコンバータの出力電圧が低下する。この出力電圧の低下により、DC-DCコンバータの出力コンデンサに蓄えられていた電荷が出力コンデンサから放出され、DC-DCコンバータの出力電流が一時的に過電流になり、短絡されていないLEDに一時的に過電流が流れる。すなわち、走行用前照灯になっている状態からすれ違い用前照灯になっている状態に切り替えるときに、短絡されていないLEDはダメージを受ける。

【0006】

特許文献1では、走行用前照灯になっている状態からすれ違い用前照灯になっている状

50

態に切り替えるときに、LEDの短絡を2段階で実施することで、上述したDC-DCコンバータの出力電圧を2段階で低下させ、過電流を小さくしている。

【0007】

しかしながら、特許文献1で開示されている発光装置(LED点灯回路)は、過電流の程度を小さくしているだけであり、過電流の根本的な解決には至っていない。このため、1段階目の出力電圧低下で得られる所定の出力電圧Vaの値および所定の出力電圧Vaを維持する維持時間t1の値は、過電流を所望値まで確実に小さくできるようにカット・アンド・トライにより実験的に最適値を見つける必要がある。LEDの仕様変更あるいはLEDの個体ばらつきによって上記Vaおよび上記t1の最適値が変わるため、特許文献1で開示されている発光装置(LED点灯回路)では、過電流を所望値まで小さくできてい10ると保証することは困難であった。

【0008】

本発明は、上記の状況に鑑み、発光素子の点灯個数を減らしたときに発光素子に大電流が流れることを抑えることができる発光素子駆動用半導体集積回路を提供することを目的とする。また、本発明は、上記の状況に鑑み、発光素子の点灯個数を減らしたときに発光素子に大電流が流れることを抑えることができる発光素子駆動装置並びにこれを用いた発光装置及び車両を提供することを目的とする。

【課題を解決するための手段】

【0009】

本明細書中に開示されている第1の構成の発光素子駆動用半導体集積回路は、少なくとも一つの発光素子を含む第1光源と少なくとも一つの発光素子を含み前記第1光源に直列接続される第2光源とを前記第1光源が短絡されていないときに駆動し、前記第1光源が短絡されているときに前記2光源を駆動し、且つ出力コンデンサを有する発光素子駆動装置の少なくとも一部を構成する発光素子駆動用半導体集積回路であって、前記第1光源及び前記第2光源に直列接続される抵抗の両端電圧に応じて、前記第1光源及び前記第2光源に直列接続される可変抵抗の抵抗値を制御する制御部を有する構成である。20

【0010】

本明細書中に開示されている第2の構成の発光素子駆動用半導体集積回路は、少なくとも一つの発光素子を含む第1光源と少なくとも一つの発光素子を含み前記第1光源に直列接続される第2光源とを前記第1光源が短絡されていないときに駆動し、前記第1光源が短絡されているときに前記2光源を駆動し、且つ出力コンデンサを有する発光素子駆動装置の少なくとも一部を構成する発光素子駆動用半導体集積回路であって、前記第1光源及び前記第2光源に直列接続される抵抗の両端電圧に応じて、前記第1光源を短絡する短絡経路に設けられる可変抵抗の抵抗値を制御する制御部を有する構成である。30

【0011】

また、上記第2の構成の発光素子駆動用半導体集積回路において、前記制御部は、前記第1光源を短絡させないことを指示する信号を受け取った場合に、前記抵抗の両端電圧に応じて前記可変抵抗の抵抗値を制御する動作を停止し、前記可変抵抗の抵抗値を前記短絡経路が前記可変抵抗によって遮断状態になる値に制御する構成(第3の構成)であってよい。40

【0012】

また、上記第1～第3いずれかの構成の発光素子駆動用半導体集積回路において、前記制御部は、エラーアンプ及び定電圧源を有し、前記抵抗の両端電圧が前記定電圧源によって補正されてから前記エラーアンプに供給される構成(第4の構成)であってよい。

【0013】

本明細書中に開示されている第5の構成の発光素子駆動装置は、少なくとも一つの発光素子を含む第1光源と少なくとも一つの発光素子を含み前記第1光源に直列接続される第2光源とを前記第1光源が短絡されていないときに駆動し、前記第1光源が短絡されているときに前記2光源を駆動する発光素子駆動装置であって、入力電圧から出力電圧を生成し、且つ出力コンデンサを含む電源回路と、前記第1光源を短絡する短絡経路と、前記短50

絡経路に設けられ前記短絡経路の導通状態と遮断状態とを切り替えるスイッチと、前記第1光源及び前記第2光源に直列接続される抵抗と、前記第1光源及び前記第2光源に直列接続される可変抵抗と、前記抵抗の両端電圧に応じて、前記可変抵抗の抵抗値を制御する制御部と、を有する構成である。

【0014】

本明細書中に開示されている第6の構成の発光素子駆動装置は、少なくとも一つの発光素子を含む第1光源と少なくとも一つの発光素子を含み前記第1光源に直列接続される第2光源とを前記第1光源が短絡されていないときに駆動し、前記第1光源が短絡されているときに前記2光源を駆動する発光素子駆動装置であって、入力電圧から出力電圧を生成し、且つ出力コンデンサを含む電源回路と、前記第1光源を短絡する短絡経路と、前記短絡経路に設けられる可変抵抗と、前記第1光源及び前記第2光源に直列接続される抵抗と、前記抵抗の両端電圧に応じて、前記可変抵抗の抵抗値を制御する制御部と、を有する構成である。

【0015】

本明細書中に開示されている発光装置は、少なくとも一つの発光素子を含む第1光源と、少なくとも一つの発光素子を含み前記第1光源に直列接続される第2光源と、前記第1光源が短絡されていないときに前記1光源及び前記2光源駆動し、前記第1光源が短絡されているときに前記2光源を駆動する上記第5または上記第6の構成の発光素子駆動装置と、を有する構成（第7の構成）である。

【0016】

また、上記第7の構成の発光装置において、前記発光素子は、発光ダイオード、または、有機EL素子である構成（第8の構成）であってもよい。

【0017】

本明細書中に開示されている車両は、上記第7または上記第8の構成の発光装置を有し、前記発光装置がヘッドライトとして用いられる構成（第9の構成）である。

【発明の効果】

【0018】

本明細書中に開示されている発光素子駆動用半導体集積回路、発光素子駆動装置、発光装置、及び車両によれば、発光素子の点灯個数を減らしたときに発光素子に大電流が流れることを抑えることができる。

【図面の簡単な説明】

【0019】

【図1】発光装置の第1構成例を示す図

【図2】比較例におけるセンス抵抗の両端電圧及び出力電流を示すタイムチャート

【図3】図1に示す発光装置におけるセンス抵抗の両端電圧及び出力電流を示すタイムチャート

【図4】発光装置の第2構成例を示す図

【図5】図4に示す発光装置におけるセンス抵抗の両端電圧及び出力電流を示すタイムチャート

【図6】発光装置の第3構成例を示す図

【図7】図6に示す発光装置におけるセンス抵抗の両端電圧及び出力電流を示すタイムチャート

【図8】発光装置が搭載される車両の外観図

【図9】LEDヘッドライトモジュールの外観図

【図10】発光装置の変形例を示す図

【図11】図10に示す発光装置におけるセンス抵抗の両端電圧及び出力電流を示すタイムチャート

【発明を実施するための形態】

【0020】

<第1構成例>

10

20

30

40

50

図1は、発光装置の第1構成例を示す図である。図1に示す発光装置は、発光素子駆動用IC100と、コイルL1と、Nチャネル型MOS電界効果トランジスタ(以下、NMOSトランジスタと称す)Q1と、ダイオードD1と、出力コンデンサC1と、センス抵抗Rsと、Pチャネル型MOS電界効果トランジスタ(以下、PMOSトランジスタと称す)Q2と、短絡経路SP1と、PMOSトランジスタQ3と、を有する発光素子駆動装置を備える。また、図1に示す発光装置は、当該発光素子駆動装置の駆動対象である光源Z1及びZ2を備える。なお、図1の構成例では、光源Z1を3個の発光ダイオードによって構成しているが、発光ダイオードの個数は3個に限定されることはなく1個または3個以上であってもよい。光源Z2についても同様である。

【0021】

10

発光素子駆動用IC100は、基準電圧生成部1と、電流検出部2と、定電圧源3及び10と、エラーアンプ4及び11と、発振回路5と、スロープ電圧生成部6と、コンパレータ7と、ドライバ制御部8と、ドライバ9と、を集積化した半導体集積回路装置(いわゆるLEDドライバIC)である。また、発光素子駆動用IC100は、外部との電気的な接続を確立するために外部端子T1~T7を有する。

【0022】

コイルL1と、NMOSトランジスタQ1と、ダイオードD1と、出力コンデンサC1と、センス抵抗Rsと、PMOSトランジスタQ2及びQ3と、短絡経路SP1と、光源Z1及びZ2とが、発光素子駆動用IC100に外部接続される。

【0023】

20

電源電圧Vccが外部端子T1に印加され、外部端子T2が接地される。電源電圧VccがコイルL1の第1端に印加され、コイルL1の第2端はNMOSトランジスタQ1のドレイン及びダイオードD1のアノードに接続される。NMOSトランジスタQ1のソースは接地され、NMOSトランジスタQ1のゲートは外部端子T5に接続される。

【0024】

ダイオードD1のカソードは、出力コンデンサC1の第1端、センス抵抗Rsの第1端、及び外部端子T3に接続される。出力コンデンサC1の第2端は接地される。センス抵抗Rsの第2端は外部端子T4及びPMOSトランジスタQ2のソースに接続される。PMOSトランジスタQ2のゲートは外部端子T6に接続され、PMOSトランジスタQ2のドレインは光源Z1のアノード及び短絡経路SP1の第1端に接続される。短絡経路SP1にはPMOSトランジスタQ3が設けられる。

30

【0025】

PMOSトランジスタQ3は、ゲート信号G3によってオン状態又はオフ状態に制御される。PMOSトランジスタQ3のゲート信号G3としては、例えばマイクロコンピュータ(不図示)、カメラモジュール(不図示)などから供給される信号を用いることができる。また、PMOSトランジスタQ3のゲートとハイレベルの電圧を出力する第1電圧出力部とを接続するかPMOSトランジスタQ3のゲートとローレベルの電圧を出力する第2電圧出力部とを接続するかを切り替えるスイッチを設け、当該スイッチが例えばマイクロコンピュータ(不図示)、カメラモジュール(不図示)などから出力される信号によって制御される構成であってもPMOSトランジスタQ3のゲートにハイレベル又はローレベルのゲート信号G3を供給することができる。

40

【0026】

PMOSトランジスタQ3がオン状態であるときに、短絡経路SP1は導通状態になり光源Z1を短絡する。一方、PMOSトランジスタQ3がオフ状態であるときに、短絡経路SP1は遮断状態になり光源Z1を短絡しない。光源Z1のカソード及び短絡経路SP1の第2端は光源Z2のアノードに接続され、光源Z2のカソードは接地される。

【0027】

続いて、発光素子駆動用IC100に集積化された回路ブロック毎の概要を説明する。

【0028】

基準電圧生成部1は、外部端子T1に印加される電源電圧Vccから基準電圧VR_{EG}

50

を生成する。基準電圧 V_{REF} は他の回路ブロックの駆動電圧として用いられる。

【0029】

電流検出部 2 は、外部端子 T3 と外部端子 T4 との端子間電圧すなわちセンス抵抗 R_s の両端電圧 V_s を監視して、センス抵抗 R_s の両端電圧 V_s に応じた帰還電圧 V_{FB} を生成する。定電圧源 3 は、参照電圧 V_{REFF} を生成する。

【0030】

エラーアンプ 4 は、非反転入力端 (+) に印加される参照電圧 V_{REF} と、反転入力端 (-) に印加される帰還電圧 V_{FB} との差分に応じた誤差電圧 V_{ERR} を生成する。また、エラーアンプ 4 は、発光素子駆動用 IC100 の外部から外部端子 T7 を介して入力される PWM 調光信号 S1 に応じてその出力動作が許可 / 禁止される。具体的に述べると、エラーアンプ 4 の出力動作は、PWM 調光信号 S1 がハイレベルであるときに許可され、PWM 調光信号 S1 がローレベルであるときに禁止される。

10

【0031】

発振回路 5 はクロック信号 CK を生成する。スロープ電圧生成部 6 は、クロック信号 CK を用いて三角波状または鋸波状のスロープ電圧 V_{SLP} を生成する。

【0032】

コンパレータ 7 は、反転入力端 (-) に印加される誤差電圧 V_{ERR} と非反転入力端 (+) に印加されるスロープ電圧 V_{SLP} とを比較し、その比較結果に応じた比較信号 S2 を生成する。

【0033】

ドライバ制御部 8 は、比較信号 S2 に応じてドライバ 9 を駆動することにより NMOS ドランジスタ Q1 のオン / オフ制御を行う。なお、ドライバ制御部 8 は、PWM 調光信号 S1 に応じてその出力動作が許可 / 禁止される。具体的に述べると、ドライバ制御部 8 の出力動作は、PWM 調光信号 S1 がハイレベルであるときに許可され、PWM 調光信号 S1 がローレベルであるときに禁止される。したがって、発光素子駆動用 IC100 は、PWM 調光信号 S1 がハイレベルであるときに点灯制御を行い、PWM 調光信号 S1 がローレベルであるときに消灯制御を行う。

20

【0034】

ドライバ 9 は、ドライバ制御部 8 からの指示に応じて NMOS ドランジスタ Q1 のゲート信号 G1 を生成し外部端子 T5 に出力する。

30

【0035】

定電圧源 10 はバイアス電圧 V_B を生成する。外部端子 T3 と外部端子 T4 との端子間電圧すなわちセンス抵抗 R_s の両端電圧 V_s は、定電圧源 10 によってバイアス電圧 V_B だけ差し引かれてからエラーアンプ 11 に供給される。エラーアンプ 11 は、非反転入力端 (+) と反転入力端 (-) の間に印加される入力電圧 ($V_s - V_B$) に応じた誤差信号を生成し外部端子 T6 に出力する。外部端子 T6 から出力されるエラーアンプ 11 の誤差信号は PMOS ドランジスタ Q2 のゲート信号 G2 になる。バイアス電圧 V_B の値は、PMOS ドランジスタ Q3 がオン状態又はオフ状態のいずれかに固定されている場合におけるセンス抵抗 R_s の両端電圧 V_s の平均的な値 (例えば 0.2V) に所定値 (例えば 0.01V) を加えた値である。センス抵抗 R_s の両端電圧 V_s がバイアス電圧 V_B 以下であれば、エラーアンプ 11 の入力電圧 ($V_s - V_B$) が 0 以下になり、PMOS ドランジスタ Q2 は飽和特性領域で動作しドレイン - ソース間の抵抗は略一定になる。一方、センス抵抗 R_s の両端電圧 V_s がバイアス電圧 V_B より大きければ、エラーアンプ 11 の入力電圧 ($V_s - V_B$) が 0 より大きくなり、PMOS ドランジスタ Q2 は線形 (非飽和) 特性領域で動作しエラーアンプ 11 の誤差信号のレベルが大きいほどドレイン - ソース間の抵抗が大きくなる。

40

【0036】

ここで、ゲート信号 G3 によって PMOS ドランジスタ Q3 がオフ状態からオン状態に切り替わると、光源 Z1 のアノード電圧が光源 Z1 及び Z2 の順方向電圧の総和から光源 Z2 のみの順方向電圧に急激に低下する。

50

【0037】

もしPMOSトランジスタQ2を設けない構成（比較例の構成）にすれば、センス抵抗Rsの両端電圧Vs及び光源を駆動する発光素子駆動装置（スイッチング電源装置）の出力電流IoUTは次のように変化する。光源を駆動する発光素子駆動装置（スイッチング電源装置）の出力電圧VoUTである出力コンデンサC1の第1端の電圧と光源Z1のアノード電圧との電位差が全てセンス抵抗Rsの両端にかかり、出力電流IoUTは一時的に大電流になる（図2参照）。その後、出力コンデンサC1に蓄えられていた電荷が放出され、出力電圧VoUTが低下するにつれて出力電流IoUTは光源を駆動する発光素子駆動装置（スイッチング電源装置）による定電流制御の目標値ITGに近づく。

【0038】

10

一方、本構成例では、PMOSトランジスタQ2を設けており、センス抵抗Rsの両端電圧Vsが大きいほど、PMOSトランジスタQ2におけるドレイン-ソース間の抵抗が大きくなり出力コンデンサC1の第1端と光源Z1のアノードとの間の抵抗が大きくなる。したがって、光源Z1のアノード電圧が光源Z1及びZ2の順方向電圧の総和から光源Z2のみの順方向電圧に急激に低下するときに出力電流IoUTが増加することを抑制することができる。

【0039】

<第2構成例>

図4は、発光装置の第2構成例を示す図である。図4に示す発光装置は、PMOSトランジスタQ2を短絡経路SP1に設けた点で図1に示す発光装置と異なっており、それ以外の点で図1に示す発光装置と同一の構成である。図5は、図4に示す発光装置におけるセンス抵抗Rsの両端電圧Vs及び出力電流IoUTを示すタイムチャートである。

20

【0040】

図1に示す発光装置では、ゲート信号G3によってPMOSトランジスタQ3がオフ状態からオン状態に切り替わると、直ちに短絡経路SP1が遮断状態から導通状態に切り替わっている。このため、エラーアンプ11が高速応答でないアンプである場合には、出力電流IoUTが増加することを抑制する動作が遅れ、その遅延期間に出力電流IoUTが大電流になるおそれがある。

【0041】

30

これに対して、図4に示す発光装置では、ゲート信号G3によってPMOSトランジスタQ3がオフ状態からオン状態に切り替わっても、PMOSトランジスタQ2のゲート信号G2がハイレベルから緩やかにローレベルに移行し（図5参照）、PMOSトランジスタQ2におけるソース-ドレイン間の抵抗が緩やかに減少するため、短絡経路SP1が遮断状態から緩やかに導通状態に移行する。このため、エラーアンプ11が高速応答でないアンプである場合でも、出力電流IoUTが増加することを抑制する動作が遅れない。したがって、図4に示す発光装置は、エラーアンプ11が高速応答でないアンプである場合でも、PMOSトランジスタQ3がオフ状態からオン状態に切り替わった直後に出力電流IoUTが増加することを抑制することができる。

【0042】

40

<第3構成例>

図6は、発光装置の第3構成例を示す図である。図6に示す発光装置は、PMOSトランジスタQ3を取り除き尚且つ発光素子駆動用IC100に外部端子T8を設けた点で図4に示す発光装置と異なっており、それ以外の点で図4に示す発光装置と同一の構成である。図7は、図6に示す発光装置におけるセンス抵抗Rsの両端電圧Vs及び出力電流IoUTを示すタイムチャートである。

【0043】

外部端子T8は、第1光源Z1を短絡させないことを指示する信号S3、すなわち短絡経路SP1を遮断状態にすることを指示する信号S3を発光素子駆動用IC100の外部から入力するための端子である。

【0044】

50

第1光源Z1を短絡させないことを指示する信号S3としては、例えばマイクロコンピュータ(不図示)、カメラモジュール(不図示)などから供給される信号を用いることができる。また、外部端子T8とハイレベルの電圧を出力する第1電圧出力部とを接続するか外部端子T8とローレベルの電圧を出力する第2電圧出力部とを接続するかを切り替えるスイッチを発光素子駆動用IC100の外部に設け、当該スイッチが例えばマイクロコンピュータ(不図示)、カメラモジュール(不図示)などから出力される信号によって制御される構成であっても、第1光源Z1を短絡させないことを指示する信号S3の外部端子T8への供給/非供給を切り替えることができる。この場合、外部端子T8に供給されるハイレベルの電圧信号、ローレベルの電圧信号のいずれ一方が第1光源Z1を短絡させないことを指示する信号S3となる。

10

【0045】

第1光源Z1を短絡させないことを指示する信号S3が外部端子T8に入力されると、エラーアンプ11は、非反転入力端(+)と反転入力端(-)の間に印加される入力電圧(V_S-V_B)に応じた誤差信号を生成する動作を停止し、ハイレベルの信号を外部端子T6に出力する。これにより、PMOSトランジスタQ2のゲート信号G2がハイレベルになるのでPMOSトランジスタQ2がオフ状態になり短絡経路SP1が遮断状態になる。

【0046】

図6に示す発光装置は、図4に示す発光装置と同様に、エラーアンプ11が高速応答でないアンプである場合でも、PMOSトランジスタQ3がオフ状態からオン状態に切り替わった直後に出力電流I_{OUT}が増加することを抑制することができる。また、図6に示す発光装置は、図4に示す発光装置と比較して発光素子駆動用IC100に外付けされる部品を減らすことができる。

20

【0047】

<用途>

上記した発光装置は、例えば、図8で示す車両X10のヘッドライトX11として好適に用いることができる。

【0048】

なお、上述した発光装置は、図9のLEDヘッドライトモジュールY10として提供されるものであってもよい。また、上述した発光装置から発光ダイオード及び発光素子駆動用ICの外付け部品などを取り除いた半製品である駆動装置の形態で提供されてもよい。

30

【0049】

<その他の変形例>

なお、上記の実施形態では、発光素子として発光ダイオードを用いた構成を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、例えば、発光素子として有機EL[electro-luminescence]素子を用いることも可能である。

【0050】

また、図1に示す発光装置にNMOSトランジスタQ4及び逆流防止用のダイオードD2を追加して図10に示す構成にしてもよい。NMOSトランジスタQ4のドレインは光源Z2のカソード及びダイオードD2のアノードに接続される。NMOSトランジスタQ4のソースは接地される。ダイオードD2のカソードに電源電圧Vccが供給される。図11に示す通り、PMOSトランジスタQ3がオフ状態からオン状態に切り替わる直前にNMOSトランジスタQ4がオン状態からオフ状態に切り替わる。これにより、短絡経路SP1が導通状態であるときの光源Z2のカソード電圧を高くするため、短絡経路SP1が導通状態であるときの出力電圧V_{OUT}の減少を抑えることができる。

40

【0051】

NMOSトランジスタQ4は、ゲート信号G4によってオン状態又はオフ状態に制御される。NMOSトランジスタQ4のゲート信号G4としては、例えばマイクロコンピュータ(不図示)、カメラモジュール(不図示)などから供給される信号を用いることができる。また、NMOSトランジスタQ4のゲートとハイレベルの電圧を出力する第1電圧出

50

力部とを接続するかN M O SトランジスタQ 4のゲートとローレベルの電圧を出力する第2電圧出力部とを接続するかを切り替えるスイッチを設け、当該スイッチが例えばマイクロコンピュータ(不図示)、カメラモジュール(不図示)などから出力される信号によって制御される構成であってもN M O SトランジスタQ 4のゲートにハイレベル又はローレベルのゲート信号G 4を供給することができる。

【0052】

なお、図4に示す発光装置又は図6に示す発光装置に対しても、図1に示す発光装置と同様に、N M O SトランジスタQ 4及び逆流防止用のダイオードD 2を追加する変形が可能である。

【0053】

また、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。例えば、上記実施形態では、スイッチング電源回路の出力段を昇圧型とした構成を例に挙げたが、出力段の構成はこれに限定されるものではなく、降圧型、昇降圧型、S E P I C型のいずれにも容易に対応することが可能である。また、センス抵抗R sを光源Z 2のカソード側に設けてもよい。すなわち、上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

【符号の説明】

【0054】

- 1 基準電圧生成部
- 2 電流検出部
- 3、10 定電圧源
- 4、11 エラーアンプ
- 5 発振回路
- 6 スロープ電圧生成部
- 7 コンパレータ
- 8 ドライバ制御部
- 9 ドライバ
- 100 発光素子駆動用I C
- C1 出力コンデンサ
- D1、D2 ダイオード
- L1 コイル
- Q1、Q4 N M O Sトランジスタ
- Q2、Q3 P M O Sトランジスタ
- R s センス抵抗
- S P1 短絡経路
- T1～T8 外部端子
- Z1、Z2 光源
- X10 車両
- X11 ヘッドライト
- Y10 L E Dヘッドライトモジュール

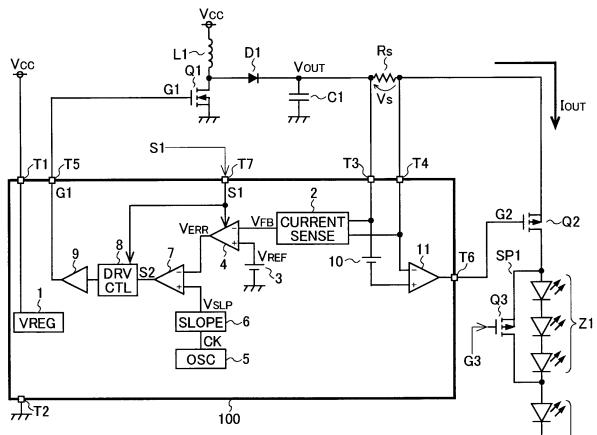
10

20

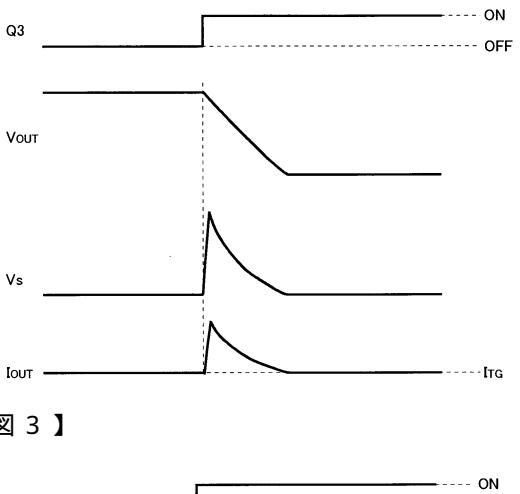
30

40

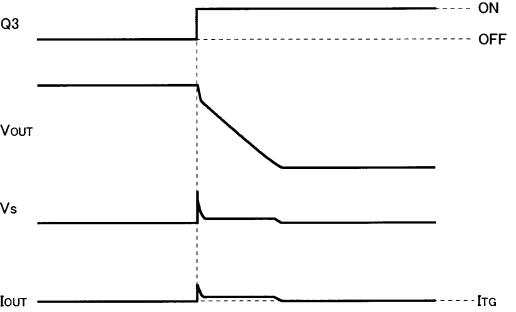
【図1】



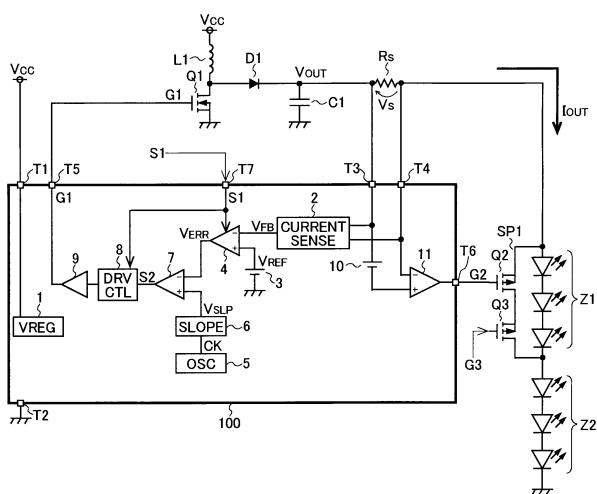
【図2】



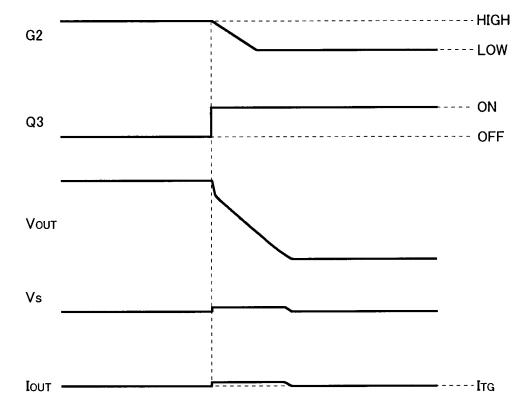
【図3】



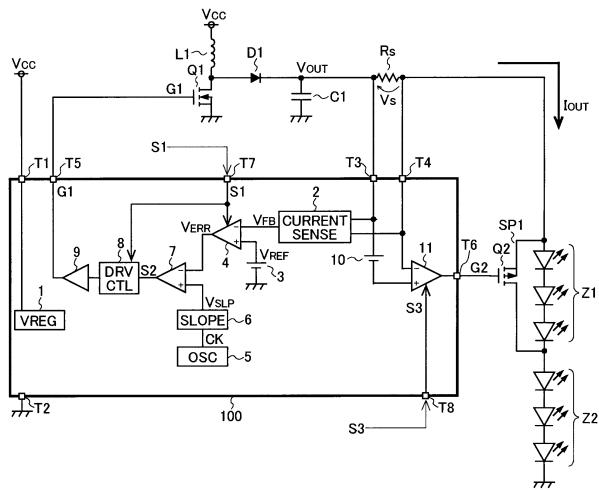
【図4】



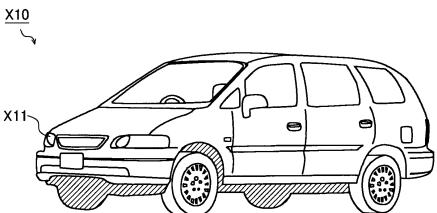
【図5】



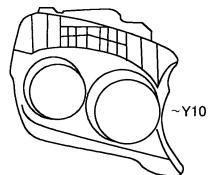
【図6】



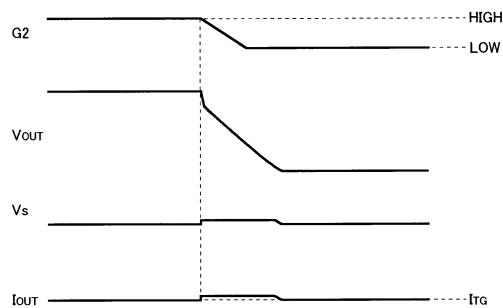
【図8】



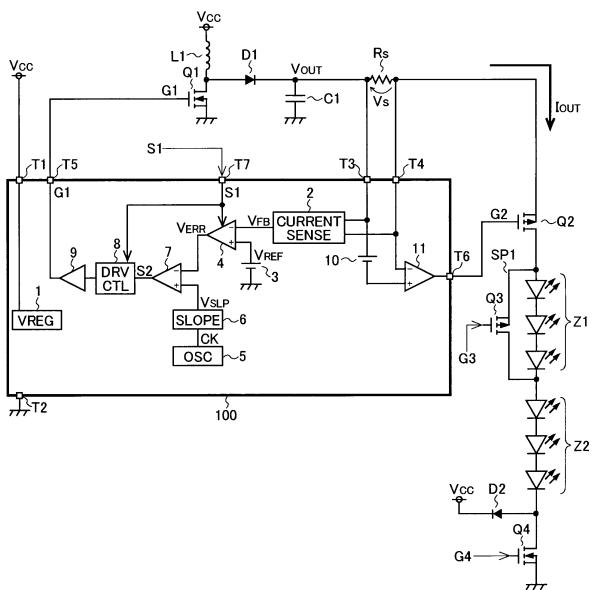
【図9】



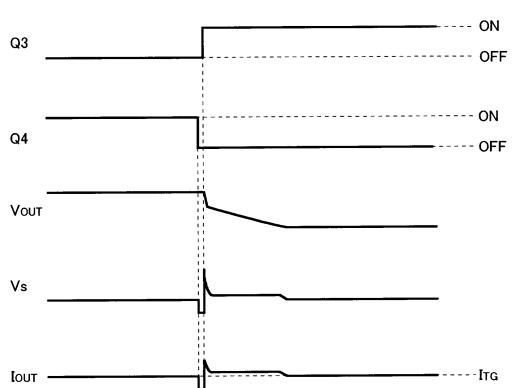
【図7】



【図10】



【図11】



フロントページの続き

(56)参考文献 特開2008-205357(JP,A)
特開2013-254718(JP,A)
特開2012-028184(JP,A)

(58)調査した分野(Int.Cl., DB名)

H05B 45/00、47/00
B60Q 1/00
H01L 33/00