

(12) 发明专利

(10) 授权公告号 CN 101395584 B

(45) 授权公告日 2012.05.02

(21) 申请号 200780007595.1

US 5935266 A, 1999.08.10, 说明书第1栏第16行至第3栏60行.

(22) 申请日 2007.03.08

US 6643803 B1, 2003.11.04, 说明书第2栏第66行至第3栏第25行, 第5栏第4-56行, 第13栏45-57行.

(30) 优先权数据

11/370,696 2006.03.08 US

ASHLING. Debug of ARM based systems using EmbeddedICE. <http://www.ashling.com/technicalarticles/ARMDebugv10.pdf>. 2002, 1-9.

(85) PCT申请进入国家阶段日

2008.09.02

SHERIDAN ETHIER. Implementing Power Management on the Biscayne S7760 Reference QNX TECHICAL ARTICLES. http://www.qnx.com/developer/articles/article_296_2.html. 2004, 1-7.

(86) PCT申请的申请数据

PCT/US2007/063603 2007.03.08

SHERIDAN ETHIER. Implementing Power Management on the Biscayne S7760 Reference QNX TECHICAL ARTICLES. http://www.qnx.com/developer/articles/article_296_2.html. 2004, 1-7.

(87) PCT申请的公布数据

WO2007/104027 EN 2007.09.13

审查员 胡雅娟

(73) 专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 马修·利瓦伊·西弗森

约瑟夫·帕特里克·布尔克

菲利普·鲍狄埃

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 刘国伟

(51) Int. Cl.

G06F 11/36 (2006.01)

权利要求书 2 页 说明书 14 页 附图 10 页

(56) 对比文件

CN 1656435 A, 2005.08.17, 全文.

US 6393584 B1, 2002.05.21, 说明书第1栏第6行至第7栏61行.

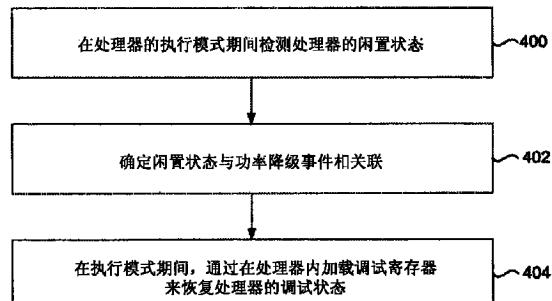
(54) 发明名称

JTAG 功率降级调试

(57) 摘要

提供一种在功率降级之后对处理器执行调试操作的方法。在所述处理器的执行模式期间检测所述处理器的闲置状态。确定所述闲置状态与功率降级事件相关联。在所述执行模式期间，通过在所述处理器内加载调试寄存器来恢复所述处理器的调试状态。

CN 101395584 B



1. 一种在功率降级之后对处理器执行调试操作的方法,所述方法包括 :
在所述处理器的执行模式期间,检测所述处理器的闲置状态 ;
通过在所述处理器暂停时查询所述处理器的状态来确定所述闲置状态与功率降级事件相关联 ;以及
在检测所述功率降级事件的结束之后,在所述执行模式期间,通过在所述处理器内加载调试寄存器来恢复所述处理器的调试状态。
2. 根据权利要求 1 所述的方法,其进一步包括执行使用所述调试寄存器中的至少一者的调试操作。
3. 根据权利要求 2 所述的方法,其中所述调试操作是断点和观察点调试操作中的一者。
4. 根据权利要求 1 所述的方法,其中所述处理器包含 ARM 型微处理器核心。
5. 根据权利要求 1 所述的方法,其中当所述处理器的处理器时钟不活动时,检测所述闲置状态。
6. 根据权利要求 1 所述的方法,其中所述处理器处于所述闲置状态达至少 500 毫秒。
7. 根据权利要求 1 所述的方法,其进一步包括使用联合测试行动小组 (JTAG) 调试系统来执行寄存器扫描,以检测所述处理器的所述闲置状态。
8. 根据权利要求 1 所述的方法,其中所述调试寄存器中的至少一者是调试配置寄存器,所述调试配置寄存器在所述处理器在管理程序模式下执行时是可测试的。
9. 根据权利要求 1 所述的方法,其中结合检测到所述闲置状态或结合检测到所述功率降级事件的结束而估计经再同步的定时时钟 (RTCK) 信号。
10. 一种对具有处理器核心的处理器执行调试操作的方法,所述方法包括 :
在所述处理器的执行模式期间,检测所述处理器核心的闲置状态 ;
在所述处理器处于所述闲置状态时,提供对调试操作的请求 ;
通过在所述处理器暂停时查询所述处理器的状态来确定所述闲置状态与功率降级事件相关联 ;
进入联合测试行动小组 (JTAG) 等待模式 ;
检测所述功率降级事件的结束 ;
通过加载调试寄存器来恢复所述处理器的调试状态 ;
检测调试确认信号 ;以及
执行所请求的所述调试操作。
11. 根据权利要求 10 所述的方法,其中在进入所述联合测试行动小组等待模式之前,切断与供应到所述处理器的功率相关联的功率信号。
12. 根据权利要求 11 所述的方法,其进一步包括在检测所述闲置状态之前检测时钟定时器的期满。
13. 根据权利要求 10 所述的方法,其中在所述功率降级事件结束之前,所述处理器核心的输入 / 输出接口处于冻结状况。
14. 根据权利要求 10 所述的方法,其中所述处理器核心的联合测试行动小组 (JTAG) 输入 / 输出接口在所述功率降级事件期间被冻结,且在检测到所述功率降级事件结束之后被解冻。

15. 根据权利要求 10 所述的方法, 其中所述调试操作是断点和观察点调试操作中的一者。
16. 根据权利要求 10 所述的方法, 其中所述处理器处于所述闲置状态达至少 500 毫秒。
17. 根据权利要求 10 所述的方法, 其进一步包括使用联合测试行动小组 (JTAG) 调试系统来执行寄存器扫描, 以检测所述处理器的所述闲置状态。
18. 一种对处理器执行调试操作的装置, 所述处理器具有处理器核心, 所述装置包括 :
 - 用于在所述处理器的执行模式期间检测所述处理器核心的闲置状态的装置 ;
 - 用于在所述处理器处于所述闲置状态时提供对调试操作的请求的装置 ;
 - 用于通过在处理器被暂停时查询处理器的状态来确定所述闲置状态与功率降级事件相关联的装置 ;
 - 用于进入联合测试行动小组 (JTAG) 等待模式的装置 ;
 - 用于检测所述功率降级事件的结束且用于通过加载调试寄存器来恢复所述处理器的调试状态的装置 ;
 - 用于检测调试确认信号的装置 ; 以及
 - 用于执行所请求的所述调试操作的装置。

JTAG 功率降级调试

技术领域

[0001] 本发明大体上涉及对在处理器上运行的软件的调试操作。更明确地说，本发明涉及通过功率降级事件对在处理器上运行的软件执行调试操作的系统和方法。

背景技术

[0002] 技术的发展已经形成了更小且更强大的个人计算装置。举例来说，目前存在多种便携式个人计算装置，包含无线计算装置，例如便携式无线电话、个人数字助理 (PDA) 和寻呼装置，所述装置小巧、轻便且用户容易携带。更具体地说，便携式无线电话（例如蜂窝式电话和 IP 电话）可通过无线网络传送语音和数据包。另外，许多此类无线电话里面并入有其它类型的装置。举例来说，无线电话还可包含数字静物摄像机、数字视频摄像机、数字记录器和音频文件播放器。而且，此类无线电话可包含 web 接口，其可用于接入因特网。由此，这些无线电话包含显著的计算能力。

[0003] 通常，随着这些装置包含更大的功能性，支持所述装置的各种功能可能需要的各种内部组件所消耗的功率就越多。因此，为了节省非使用周期期间的功率，移动装置已经并入有各种功率节省技术。高级 RISC 机器 (ARM) 处理器可进入将挂起或阻止调试通信的三种不同的模式以保存功率：闲置模式、休眠模式和功率降级模式。在闲置模式期间，ARM 处理器时钟停止，但芯片的其余部分保持有功率。在休眠模式期间，ARM 处理器时钟关闭，参考时钟关闭，且电压电平减小。在功率降级期间，ARM 处理器断电。

[0004] 在这三种功率节省模式中的任一种模式下，处理器都可能是不可存取的，因为 ARM 时钟并不双态切换。然而，仍有必要在功率降级之前和 / 或之后，对在装置的处理器和核心上操作的软件进行调试。

[0005] 一种可能的方法是重启芯片，且恢复寄存器数据，作为重启过程的一部分。然而，这种方法不允许调试管理程序代码，因为重启过程需要管理程序代码。此外，在重启过程期间，所述寄存器中的一者或一者以上可能不可存取以进行恢复。举例来说，可在重启过程期间使调试配置寄存器复位，且使此寄存器可存取可能会提供安全漏洞。通常，调试配置寄存器不能容易地被恢复。

[0006] 因此，提供一种用于调试核心和处理器的经改进的系统和方法将是有利的。

发明内容

[0007] 在一个特定实施例中，提供一种在功率降级之后对处理器执行调试操作的方法。在处理器的执行模式期间检测处理器的闲置状态。确定所述闲置状态与功率降级事件相关联。通过在执行模式期间，在处理器内加载调试寄存器来恢复处理器的调试状态。

[0008] 在特定实施例中，在检测到处理器的闲置状态之后，查询处理器的状态。另外，在特定实施例中，执行调试操作，其使用所恢复的调试寄存器中的至少一者。在另一特定实施例中，所述调试操作是断点和观察点调试操作中的一者。

[0009] 在特定实施例中，处理器包含 ARM 类型的微处理器核心。在另一特定实施例中，当

处理器的处理器时钟不活动时,检测闲置状态。另外,在特定实施例中,当处理器处于闲置状态达至少 500 毫秒时,确定闲置状态与功率降级事件相关联。在另一特定实施例中,使用联合测试行动小组 (Joint Test Action Group, JTAG) 调试器来执行寄存器扫描,以检测处理器的闲置状态。在又一特定实施例中,所述调试寄存器中的至少一者是调试配置寄存器,在处理器在管理程序模式下执行时,所述调制配置寄存器是可测试的。

[0010] 在又一特定实施例中,结合检测到闲置状态或结合检测到功率降级事件的结束而估计经再同步的定时时钟 (RTCK) 信号。在特定实施例中,在恢复调试状态之前,检测功率降级事件的结束。

[0011] 在另一特定实施例中,提供一种对具有处理器核心的处理器执行调试操作的方法。在处理器的执行模式期间,检测处理器核心的闲置状态。当处理器处于闲置状态时,提供对调试操作的请求。通过在处理器被暂停时查询处理器的状态,来确定闲置状态与功率降级事件相关联。所述方法进一步包含:进入联合测试行动小组 (JTAG) 等待模式;检测功率降级事件的结束;通过加载调试寄存器来恢复处理器的调试状态;检测调试确认信号;以及执行所请求的调试操作。

[0012] 在特定实施例中,在进入 JTAG 等待模式之前,切断与供应给处理器的功率相关联的功率信号。在另一特定实施例中,所述方法包含在检测闲置状态之前,检测时钟定时器的期满。在另一特定实施例中,在功率降级事件的结束之前,处理器核心的输入 / 输出接口处于冻结条件下。

[0013] 在又一特定实施例中,处理器核心的 JTAG 输入 / 输出接口在功率降级事件期间被冻结,且在检测到功率降级事件的结束之后被解冻。在另一特定实施例中,调试操作是断点和观察点调试操作中的一者。在另一特定实施例中,处理器处于闲置状态达至少 500 毫秒。在又一特定实施例中,所述方法包含使用 JTAG 调试系统来执行寄存器扫描,以检测处理器的闲置状态。

[0014] 在另一特定实施例中,揭示一种处理器调试装置,且所述处理器调试装置包含:用于检测处理器的闲置状态的装置;用于在处理器处于闲置状态时提供对调试操作的请求的装置;用于确定闲置状态与功率降级事件相关联的装置;用于检测功率降级事件的结束且用于恢复处理器的调试状态的装置;以及用于执行所请求的调试操作的装置。

[0015] 在另一特定实施例中,一种集成电路包含调试接口、调试寄存器、调制解调器功率管理器和处理器。所述调试接口适合于接收与调试操作有关的指令。所述调试寄存器适合于存储与调试操作有关的数据。所述调制解调器功率管理器适合于控制数字电压电平,以在处理器不活动周期期间使数字电压电平降级以保存功率,且在处理器不活动周期结束时恢复数字电压电平。处理器对调试接口且对调制解调器功率管理器响应,且适合响应于数字电压电平的恢复而将功率退出引脚驱动到指定的逻辑电平。

[0016] 在特定实施例中,在数字电压电平恢复时,将数据恢复到调试寄存器。在另一特定实施例中,联合测试行动小组 (JTAG) 接口适合于连接到调试系统。处理器适合于响应于数字电压电平的降级而冻结 JTAG 接口的至少一个引脚的逻辑电平。另外,在特定实施例中,所述处理器适合于在数字电压电平恢复时对所述至少一个引脚的逻辑电平进行解冻。

[0017] 在另一特定实施例中,调试系统包含调试接口、处理器可读指令和处理器。所述调试接口适合于连接到目标处理器。所述处理器可读指令界定调试操作,且界定供用户交互

的用户界面。所述处理器适合于基于处理器可读指令而产生用户界面，且响应于处理器可读指令而控制调试操作。所述处理器适合于基于调试接口的引脚的状态变化而检测处理器的功率降级状态。

[0018] 在特定实施例中，处理器适合于在调试操作期间将调试寄存器的状态存储在存储器中。调试系统适合于响应于状态变化而从存储器恢复调试寄存器的状态。在另一特定实施例中，引脚包含时钟引脚，且状态变化包含不活动周期之后时钟引脚上的上升时钟沿。

[0019] 在特定实施例中，一种便携式通信装置包含数字信号处理器和控制器。所述控制器包含调制解调器功率管理器和处理器。所述调制解调器功率管理器适合于控制数字电压电平，以在处理器不活动周期期间使数字电压电平降级以保存功率，且在处理器不活动周期结束时恢复数字电压电平。处理器对调制解调器功率管理器响应，且适合于控制通信装置的一部分的操作。所述处理器包含调试功能性，以响应于数字电压电平从经降级功率状态的恢复而提供功率降级恢复指示。

[0020] 在特定实施例中，在具有测试引脚的集成电路上提供控制器和数字信号处理器。另外，在另一特定实施例中，便携式通信装置包含模拟基带处理器、立体声音频编码器 / 解码器 (CODEC)、射频 (RF) 收发器、RF 开关和 RF 天线。所述模拟基带处理器耦合到数字信号处理器。所述立体声音频编码器 / 解码器 (CODEC) 耦合到模拟基带处理器。所述射频 (RF) 收发器耦合到模拟基带处理器。所述 RF 开关耦合到 RF 收发器。所述 RF 天线耦合到 RF 开关。

[0021] 在特定实施例中，提供实施可执行指令的处理器可读媒体，以对处理器执行调试操作。所述可执行指令包含：用以在处理器的执行模式期间检测处理器的闲置状态的指令；用以确定与功率降级事件相关联的闲置状态的指令；以及用以通过在执行模式期间加载处理器的调试寄存器来恢复处理器的调试状态的指令。

[0022] 在另一特定实施例中，所述处理器可读媒体进一步包含用于在检测到处理器的闲置状态之后查询处理器的状态的指令。在又一特定实施例中，所述处理器可读媒体进一步包含用以执行调试操作的指令，所述调试操作使用所述调试寄存器中的至少一者。在另一特定实施例中，所述调试操作包含用以执行断点和观察点调试操作中的一者的指令。在又一特定实施例中，当处理器的处理器时钟不活动时，检测闲置状态。在又一特定实施例中，所述处理器可读媒体进一步包含用以使用联合测试行动小组 (JTAG) 调试系统来执行寄存器扫描以检测处理器的闲置状态的指令。在又一特定实施例中，处理器可读媒体进一步包含用以执行管理程序模式以测试所述调试寄存器的调试配置寄存器的指令。在又一特定实施例中，处理器可读媒体进一步包含用以在恢复调试状态之前检测功率降级事件的结束的指令。

[0023] 本文所揭示的一个或一个以上实施例的优点可包含允许在功率降级事件期间和之后执行调试操作。

[0024] 本文所揭示的一个或一个以上实施例的另一优点可包含在不添加边带信号的情况下，通过功率降级和功率恢复过程来执行调试操作。

[0025] 在审阅整个申请案之后，本发明的其它方面、优点和特征将变得明显，本申请案包含以下部分：附图说明、具体实施方式和权利要求书。

附图说明

- [0026] 当结合附图考虑时,参考具体实施方式,本文所描述的实施例的方面和附加优点将变得更显而易见,在附图中:
- [0027] 图 1 是说明具有调试功能性的高级 RISC 机器 (ARM) 处理器的调试结构的框图;
- [0028] 图 2 是具有调制解调器功率管理器的处理器的框图;
- [0029] 图 3 是相对于处理器时钟、参考时钟和电源而说明闲置状态、休眠状态和功率降级状态的时序图的一部分;
- [0030] 图 4 是说明在功率降级之后恢复调试寄存器的方法的流程图;
- [0031] 图 5 是说明检测处理器的功率降级且在对处理器恢复功率之后恢复调试数据的方法的流程图;
- [0032] 图 6 是说明处理器的若干操作模式期间的一组信号的时序图的一部分;
- [0033] 图 7 是处理器、联合测试行动小组 (JTAG) 接口和调制解调器功率管理器 (MPM) 之间的调试互连的框图;
- [0034] 图 8 是说明用于诊断功率降级状态且在对处理器的电源的恢复时恢复调试寄存器的一组信号的时序图的一部分;
- [0035] 图 9 是并入有具有调试功能性的处理器以及控制器的便携式通信装置的总图,所述控制器包含具有根据图 1 到图 8 中的任一者所述的调试功能性的处理器;
- [0036] 图 10 是并入有若干控制器的示范性蜂窝式电话的总图,所述控制器中的每一者可含有具有根据图 1 到图 8 中的任一者所述的调试功能性的 ARM 处理器;
- [0037] 图 11 是并入有若干控制器的示范性无线因特网协议电话的总图,所述控制器包含具有根据图 1 到图 8 中的任一者所述的调试功能性的处理器;
- [0038] 图 12 是并入有若干控制器的示范性便携式数字助理的总图,所述控制器包含具有根据图 1 到图 8 中的任一者所述的调试功能性的处理器;以及
- [0039] 图 13 是并入有控制器的示范性音频文件播放器的总图,所述控制器包含具有根据图 1 到图 8 中的任一者所述的调试功能性的处理器。

具体实施方式

- [0040] 图 1 是说明处理器 (例如,高级 RISC 机器 (ARM) 处理器 106) 的调试结构 100 的框图。调试结构 100 包含主机计算机 102、接口协议转换器 104 和处理器 106。处理器可以是 ARM 型微处理器核心或具有处理器核心的处理器。将主机计算机 102 说明为计算机工作站或桌上型计算机,但应理解,计算机 102 可以是任何基于处理器的装置,包含便携式计算机、手持型计算装置、窗口 PC、升阳工作站 (sun workstation) 等。主机计算机 102 通过合适的接口 112 (例如 RS232 接口、并行接口或任何其它合适接口) 连接到接口协议转换器 104。接口协议转换器 104 经由合适的接口 114 连接到处理器 106。具有 TAP 控制器 110 的联合测试行动小组 (JTAG) 接口 108 经由接口 114 将处理器 106 连接到接口协议转换器 104。从主机计算机 102 经由接口 112 发送的指令由接口协议转换器 104 转换成处理器 106 的接口信号,并经由接口 114 提供给处理器 106。

- [0041] 一般来说,将接口协议转换器 104 展示为单独的元件,但其可并入主机计算机 102 中,视实施方案而定。接口协议转换器 104 允许在主机计算机 102 上运行的调试软件与处

理器 106 通信。一般来说，主机计算机 102 包含一处理器，其执行调试软件应用程序或调试系统，以发出高级命令（例如断点、观察点等），且检查处理器 106 的存储器的内容。调试软件可使用接口协议转换器 104 来接入扫描链，以对处理器 106 进行调试。扫描链允许主机计算机 102 的调试软件将指令直接插入处理器 106 中。指令在处理器 106 上执行，且视指令的类型而定，可检查、保存或改变处理器 106 的状态。一般来说，调试结构提供用于控制指令在处理器 106 上执行的速度的手段，使得指令可以较慢的调试速度、以系统速度或以其它速度执行。另外，调试结构 100 允许用户 / 操作者监视处理器内的处理器可读指令的执行，以对处理器、处理器可读指令或其任一组合进行调试。

[0042] 处理器 106 的 JTAG 接口 108 提供主机计算机 102 对扫描链的接入，以对处理器 106 进行调试操作。另外，JTAG 接口 108 提供主机计算机 102 对系统状态数据和对处理器 106 的调试数据的存取。一般来说，处理器 106 不需要处于运行中以开始调试操作。在暂停调试模式下，调试扩展允许主机计算机 102 将处理器 106 置入调试状态中，从而允许检查处理器 106 的内部状态，同时可允许其它系统活动继续进行。在监视调试模式下，可在断点或观察点上产生指令终止，以在不进入暂停调试模式的情况下对处理器 106 进行调试。当结合在主机计算机 102 上运行的调试监视软件应用程序而利用时，有可能在允许执行重要的中断服务例行程序的同时对处理器 106 进行调试。

[0043] 主机计算机 102 包含存储器 120、界定软件调试系统的处理器可读指令 122 以及处理器 124。处理器 124 适合于存取存储器 120 且执行处理器可读指令 122 以产生具有图形调试器用户界面 126 的调试软件应用程序。用户可与图形用户界面 126 交互以起始对处理器 106 的调试操作，界定用于调试操作的设定值，且监视调试操作的进展。在调试操作期间，当功率降级发生时，存储器 120 可用于存储调试设定值、处理器状态数据和调试寄存器数据。在主机计算机 102 上运行的调试软件应用程序可利用存储在存储器 120 中的数据在功率被恢复时恢复处理器 106 的调试寄存器和其它调试设定值。在一个实施例中，所述调试寄存器中的一者是调试配置寄存器，所述调试配置寄存器在处理器在管理程序模式下执行时是可测试的，且在处理器在用户模式下执行时是不可测试的。

[0044] 图 2 是具有调制解调器功率管理器 210 的代表性处理器 106 的框图 200。处理器 106 包含 JTAG 接口 108、TAP 控制器 110、主处理器逻辑 202、嵌入式逻辑 204、扫描链 206 和 208、调制解调器功率管理器 (MPM) 210 以及调试寄存器 212。一般来说，JTAG 接口 108 适合于经由接口协议转换器 104 连接到主机调试器系统（例如，图 1 中的主机计算机 102）。JTAG 接口 108 接收指令并向 TAP 控制器 110 提供指令，TAP 控制器 110 控制处理器 106 内的调试操作。明确地说，主机调试器系统可通过接入扫描链 206 和 208，经由 TAP 控制器 110，将指令插入处理器 106 中。

[0045] MPM210 适合于控制功率节省特征（例如，功率降级模式）的进入和退出。功率降级是其中控制数字逻辑域的电压 (VDD_DIG) 的功率调节器被关闭的功率相关事件。通过关闭功率调节器，处理器（以及相关联的电路）的静态或备用电流消耗减少。尽管在功率降级模式期间对 MPM210 进行供电，但在功率降级之后，MPM210 外的任何寄存器的状态可能都是未知的。因此，在功率降级之后，MPM210 断言复位信号以初始化内部处理器核心，例如主处理器逻辑 202 和嵌入式逻辑 204。复位包含复位调试逻辑 (TRST_n) 信号的断言以便调试逻辑复位。

[0046] 由于处理器 106 的调试寄存器 212 驻存在功率已降级的域中, 所以调试寄存器 212 丢失状态, 且需要在功率被恢复时恢复。为了恢复调试寄存器 212 的状态, 将主处理器逻辑 202 和嵌入式逻辑 204 置入调试模式, 且主机计算机 102 上的调试器应用程序 (例如) 从存储器 120 恢复调试寄存器 212, 并重新启动处理器 106。

[0047] 图 3 是相对于处理器时钟、参考时钟和电源而说明闲置状态、休眠状态和功率降级状态的时序图 300 的一部分。一般来说, 闲置状态、休眠状态和功率降级状态代表处理器 106 可进入的且防止或挂起 JTAG 通信的三种不同的低功率或功率节省模式。在所述三种状态的任一种状态下, 对 JTAG 寄存器的扫描失败, 因为 ARM 时钟被冻结 (例如, 不双态切换)。举例来说, 在 ARM9-S 核心中, 调试寄存器扫描由 ARM 时钟驱动, 所述 ARM 时钟由参考时钟 (TCK) 选通。在主机计算机 102 上运行的调试器应用程序适合于区分所述三种功率节省状态。

[0048] 如图 3 中所示, 在闲置状态期间, 电源电压 (VDD_DIG) 为高, 参考时钟 (TCXO) 双态切换, 且处理器时钟 (ARM_CLK) 闲置。当处理器无工作要执行时, 闲置状态节省功率。在大多数情况下, 闲置状态持续相对较短的时间周期, 直到接收到中断为止。所述中断在几个时钟周期内启用或重新激活处理器时钟。视实施方案而定, 可以不同方式来处理对处理器的调试指令。在一个实施方案中, 处理器进入闲置状态, 不管调试指令是否存在。在另一实施方案中, 处理器结束当前扫描, 且在进入闲置状态之前等待, 直到调试指令被解除断言为止。当在闲置状态下时, 一些处理器将在接收到调试指令时启用处理器时钟。

[0049] 在休眠状态或模式期间, 电源电压 (VDD_DIG) 为高, 参考时钟 (TCXO) 在几个时钟循环之后变成闲置, 且处理器时钟 (ARM_CLK) 闲置。在较长的处理器不活动周期期间, 休眠模式或状态节省处理器和总线功率。举例来说, 在数字无线电话 (蜂窝式、PCS 或其它类型的无线电话) 内的处理器中, 当电话打开但并不在被使用时, 可能存在较长的不活动周期。在大多数情况下, 休眠模式比闲置模式持续更长的时间周期。在休眠模式期间, 忽略接收到的调试指令, 直到接收到下一个中断为止, 此时处理器决定服务所述中断和 / 或响应接收到的调试指令。

[0050] 在功率降级状态期间, 电源电压 (VDD_DIG) 为低, 参考时钟 (TCXO) 在几个时钟循环之后变成闲置, 且处理器时钟 (ARM_CLK) 闲置。功率降级状态通过在较长的不活动周期期间关闭数字电源电压 (VDD_DIG) 来节省功率。为了进入功率降级状态, 处理器停用所有的时钟体制 (clock regime), 断开所有的锁相回路 (PLL), 将 SDRAM 置于自刷新模式, 停用处理器和总线时钟, 停用参考时钟 (TCXO), 冻结芯片的输入 / 输出 (I/O) 且断开电源电压调节器。

[0051] 功率降级模式持续的时间长于一秒, 除非接收到高优先权中断。如果当处理器处于功率降级状态时接收到调试指令, 那么忽略所述调试指令, 直到接收到下一个中断为止。一旦接收到中断, 就启用参考时钟 (TCXO), 对电源电压调节器 (VDD_DIG) 加电, 断言复位, 且重新启动 ARM 和总线时钟。重新启动经再同步的定时时钟 (RTCK), 且在芯片的输入 / 输出 (I/O) 被释放之前大约 4 毫秒内, 主机计算机的调试器软件恢复调试寄存器。

[0052] 一般来说, 经再同步定时时钟 (RTCK) 是定时时钟 (TCK) 的经再同步的延迟版本。调试器可经配置以利用 RTCK。当处理器暂停时, RTCK 信号被冻结在高电平或低电平, 不管处理器处于哪一低功率模式。RTCK 超时可被配置或用户编程。在特定实施例中, RTCK 超时

设定值被配置成足够长，使得大多数闲置周期不会触发超时，且使得标准休眠周期不会触发超时。

[0053] 一般来说，如果功率降级持续时间比 RTCK 超时周期短，那么当前扫描可能被破坏。然而，由于假定调试器只扫描状态寄存器，所以扫描破坏不应成为问题。如果闲置状态持续时间导致 RTCK 超时，那么在时钟被重新激活之后，一些无用信息可能遗留在移位寄存器中。然而，调试器可安全地终止扫描并继续进行，因为假定扫描是状态寄存器读取操作。

[0054] 当最后的参考时钟沿没有在超时周期内出现在处理器的经再同步的时序时钟 (RTCK) 引脚上时，可终止调试器的当前扫描，且调试器将 TAP 控制器设置到调试逻辑复位状态。一般来说，可基于时钟定时器的期满而确定 RTCK 超时。在一个实施例中，可通过使核心复位引脚上的电压电平保持为高持续五个参考时钟循环，来设置调试逻辑复位状态。当检测到下一个经再同步的定时时钟 (RTCK) 信号时，处理器已经重新开始操作。如果 RTCK 超时出现在向调试逻辑复位状态的过渡期间的任何一个时间点，那么重新开始所述过程。

[0055] 一旦 TAP 控制器处于调试逻辑复位状态，调试系统就可执行状态寄存器的扫描。状态寄存器值将确定处理器的当前状态。如果状态寄存器所指示的当前状态指示处理器正在运行，那么处理器可能处于休眠或闲置模式，且调试器不采取进一步行动。如果状态寄存器指示处理器被暂停，那么暂停的操作可能是由于用户断点（闲置模式或休眠模式）引起的，在此情况下，调试器响应于用户断点而执行常见步骤。如果处理器由于来自调制解调器功率管理器 (MPM) 内的功率降级恢复逻辑的调试指令 (EDBGRQ) 而暂停，那么调试器在 4 毫秒内恢复调试寄存器、ETM 寄存器、ETB 寄存器或其任一组合。一旦调试寄存器被恢复，那么调试器就释放调试确认 (DBGACK) 以重新启动处理器。

[0056] 图 4 是说明在功率降级之后恢复调试寄存器的方法的流程图。在处理器的执行模式期间，检测处理器的闲置状态（框 400）。确定闲置状态与功率降级事件相关联（框 402）。在执行模式期间，通过在处理器内重新加载调试寄存器来恢复处理器的调试状态（框 406）。在一个实施例中，在处理器检测到闲置状态之前，处理器处于闲置状态达至少 500 毫秒。

[0057] 图 5 是说明检测处理器的功率降级且在对处理器恢复功率之后恢复调试数据的方法的流程图。使用调试器来扫描处理器的状态寄存器（框 500）。当参考时钟的时钟沿在某一时间周期内未能出现在 JTAG 接口的经再同步的定时时钟 (RTCK) 引脚上时，检测超时条件（框 502）。调试器进入调试逻辑复位状态（框 504）。调试器检测下一个 RTCK 信号边缘（框 506），其指示处理器已再次变为活动。调试器扫描状态寄存器以确定处理器的当前状态（框 508）。如果调试器确定处理器由于功率降级而暂停，那么调试器通常在 4 毫秒内恢复调试寄存器、ETM 寄存器、ETB 寄存器或其任一组合（框 510）。一旦所述寄存器被恢复，调试器就重新启动处理器（框 512）。

[0058] 一般来说，调制解调器功率管理器 (MPM) 可与集成电路集成，例如具有功率降级调试功能性的移动通信装置内的电路。MPM 的寄存器位 (DEBUG_SELECT) 启用功率降级调试功能性。在特定实施例中，所有 JTAG 输入 / 输出 (I/O) 在功率降级期间被冻结，且在数字电源电压 (VDD_DIG) 稳定且复位被释放时被解冻。

[0059] MPM 向处理器核心断言复位调试逻辑信号 (TRST_N)。在功率降级恢复期间，MPM 断言外部调试请求 (MPM_EDBGRQ)。在特定实施例中，在五个参考时钟循环内接收到外部调

试请求后,处理器暂停。当检测到外部调试请求且处理器暂停时,断言调试确认 (DBGACK)。通过使时钟循环的数目保持较低,在检测调试请求和暂停之前,处理器执行较少的指令。

[0060] 图 6 说明展示处理器的若干操作模式期间的一组信号的时序图 600 的一部分。明确地说,所述时序图说明 20 引脚联合测试行动小组 (JTAG) 接口的各个引脚上的信号。一般来说,可利用这些引脚来检测功率降级状态且执行功率降级恢复,以恢复调试寄存器。如图所示,在 602 处指示处理器的 ARM 状态。

[0061] 在运行状态期间,到达处理器的数字电源电压 (VDD_DIG) 为高,复位保持在逻辑低,且复位调试逻辑 (TRST_N) 保持在逻辑高。外部调试请求 (EDBGRQ) 引脚和调试确认引脚 (DBGACK) 保持在逻辑低。参考时钟 (TCXO) 和处理器时钟 (ARM_CLK) 双态切换。定时时钟 (TCK) 和经再同步的定时时钟 (RTCK) 双态切换。

[0062] 当处理器改变到闲置状态时,到达处理器的数字电源电压 (VDD_DIG) 下降到运行状态的电平以下。复位保持在逻辑低,且复位调试逻辑 (TRST_N) 保持在逻辑高。外部调试请求 (EDBGRQ) 引脚和调试确认引脚 (DBGACK) 保持在逻辑低。参考时钟 (TCXO) 双态切换。然而,处理器时钟 (ARM_CLK) 暂停。定时时钟 (TCK) 暂停,且再同步定时时钟 (RTCK) 保持被冻结。

[0063] 当处理器改变到功率降级状态时,到达处理器的数字电源电压 (VDD_DIG) 被关闭 (下降到近似零伏)。复位保持在逻辑低,且复位调试逻辑 (TRST_N) 被冻结在逻辑高。外部调试请求 (EDBGRQ) 引脚和调试确认引脚 (DBGACK) 被冻结在逻辑低。参考时钟 (TCXO) 双态切换持续几个时钟循环,且接着暂停。处理器时钟 (ARM_CLK) 保持暂停。定时时钟 (TCK) 暂停,且再同步定时时钟 (RTCK) 保持被冻结。

[0064] 当数字电源电压 (VDD_DIG) 被恢复时,处理器进入功率降级恢复状态或复位状态。核心复位引脚被驱动到逻辑高,且复位调试逻辑引脚被驱动到逻辑低。外部调试请求 (EDBGRQ) 被驱动到逻辑高,同时调试确认引脚 (DBGACK) 保持在逻辑低。参考时钟 (TCXO) 开始双态切换,同时处理器时钟 (ARM_CLK) 保持暂停。定时时钟 (TCK) 保持暂停,且再同步定时时钟 (RTCK) 保持被冻结。

[0065] 在简短的时间周期之后,数字电源电压 (VDD_DIG) 被恢复到稳定的高电压电平,其通常对应于处理器的运行状态。然而,处理器仍处于复位状态。此时,处理器时钟 (ARM_CLK) 开始双态切换。核心复位引脚被驱动到逻辑低,且复位调试逻辑引脚 (TRST_N) 被驱动到逻辑高。

[0066] 此时,处理器进入运行状态。经再同步的定时时钟 (RTCK) 变为被解冻。JTAG 调试系统可利用经再同步定时时钟 (RTCK) 的下降沿来进入 JTAG 等待模式,以监视定时时钟 (TCK) 引脚的状态,以检测处理器何时已经退出闲置、休眠或功率降级状态。

[0067] 在几个时钟循环之后,处理器进入调试暂停状态 (在处理器检测到外部调试请求引脚 (EDBGRQ) 的逻辑高状态之后)。JTAG 调试系统监视定时时钟 (TCK) 的上升沿。一旦检测到定时时钟 (TCK) 的上升沿, JTAG 调试系统就使处理器暂停,且查询或扫描状态寄存器,以确定处理器的状态。调试确认引脚 (DBGACK) 被驱动到逻辑高,且外部调试请求引脚 (EDBGRQ) 被驱动到逻辑低。此时,如果 JTAG 调试系统确定处理器正从功率降级恢复,那么 JTAG 调试系统从存储器恢复调试状态,包含调试寄存器的状态 (包含断点和观察点)。当调试确认引脚 (DBGACK) 保持在逻辑高时,恢复操作发生。优选的是,在近似四毫秒内完成

恢复操作。

[0068] 一旦处理器的调试寄存器和预功率降级状态已经由 JTAG 调试系统恢复, JTAG 调试系统就释放调试确认引脚 (DBGACK) 的逻辑电平, 从而根据调试设定值, 重新启动调试模式下的正常处理器执行。JTAG 调试系统可接着使用所恢复的调试寄存器中的至少一者对处理器执行调试操作。举例来说, 如果调试操作经配置以用于较慢的处理器执行, 那么处理器将重新开始较慢的执行。

[0069] 通过使用静态再同步定时时钟 (RTCK) 来检测处理器的状态变化, 且触发 JTAG 调试系统对处理器状态的扫描, 可使用现存的 20 引脚 JTAG 接口 (例如, 图 1 和图 2 中所示) 来在不添加边带信号的情况下, 通过功率降级和功率恢复过程来执行调试操作。

[0070] 图 7 是处理器 704、JTAG 接口 108 和调制解调器功率管理器 (MPM) 702 之间的调试互连的框图 700。展示 JTAG 接口 108 具有到达处理器 704 的三个连接引脚。应理解, JTAG 接口包含用于与处理器 704 互连的 20 个引脚; 然而, 为了简化论述, 结合功率降级和恢复过程的调试只展示所述连接中的三者。JTAG 接口 108 允许主机调试系统扫描定时时钟引脚 (TCK) 和经再同步的定时时钟引脚 (RTCK)。另外, JTAG 接口 108 经由逻辑 708 连接到复位调试逻辑引脚 (TRST_N)。

[0071] 一般来说, MPM702 控制处理器 704 的核心复位引脚和外部调试请求引脚 (EDBGRQ) 的逻辑电平。由于 MPM702 关闭功率调节器, 且控制数字逻辑域的电压, 所以 MPM702 知道何时将复位调试逻辑 (TRST_N) 断言到处理器 704 中。另外, 在功率降级恢复期间, MPM702 将外部调试请求 (EDBGRQ) 断言到处理器 704, 以起始调试暂停。一旦从处理器 704 接收到调试确认 (DBGACK), MPM702 就解除外部调试请求 (EDBGRQ) 的断言, 且 JTAG 调试系统可恢复处理器 702 的状态和选定调试寄存器的状态, 包含代码内的断点和观察点。

[0072] 在图 7 的实施例中, 处理器 704 可适合于在调试确认引脚 (DBGACK) 上提供功率退出信号。明确地说, MPM702 向多路复用器 706 提供调试启用。当功率退出信号处于高逻辑电平时, 处理器 704 在退出功率降级时暂停在调试模式。接着, 可经由多路复用器 706 将功率退出信号路由到 JTAG20 引脚连接器的引脚 11 (经再同步的时钟 RTCK)。在功率降级模式下, 正常的经再同步定时时钟 (RTCK) 可在处理器 704 中停用。用户可配置 JTAG 调试系统来使用固定定时时钟 (TCK), 代替经再同步定时时钟 (RTCK)。

[0073] 当处理器 704 进入功率降级状态时, JTAG 信号被冻结在当前电平。在通过 JTAG 接口 702 耦合到处理器的主机处理器上运行的 JTAG 调试软件应用程序可并入有算法以检测定时时钟 (TCK)/TDK/TD0 引脚上的位序列, 以推断功率降级已经发生。接着可终止 JTAG 调试系统的任何部分扫描, 且调试器可进入 JTAG 等待模式, 以等待经再同步定时时钟 (RTCK) 引脚上的有效高电平, 其指示处理器 704 已经退出功率降级, 且暂停在调试模式。JTAG 调试系统接着可恢复处理器 704 的调试和 ETM 寄存器设定值。应理解, JTAG 调试系统将写入到调试寄存器和 ETM 寄存器的值的本地副本保存在存储器中, 以便实施恢复操作。在调试和 ETM 寄存器被恢复之后, JTAG 调试系统可扫描指令, 以致使处理器 704 重新启动程序执行。

[0074] 一般来说, JTAG 调试系统应保留与在功率降级之前正在进行中的任何 ETM 轨迹有关的数据。一般来说, 当处理器 704 断电时, JTAG 调试系统不应在经再同步的定时时钟 (RTCK) 被冻结时产生重大错误。JTAG 调试系统可适合于向调试器图形用户界面提供可配置的超时设定值。

[0075] 应理解,经再同步的定时时钟 (RTCK) 可在功率降级之前或在功率退出信号已经被解除断言之后双态切换。这可在以下情况下发生:处理器 702 经再同步定时时钟 (RTCK) 与功率退出信号的动态多路复用,但不具有静态多路复用(例如,当监视经再同步定时时钟信号的冻结状态以检测冻结状态且响应于冻结状态而进入 JTAG 等待模式时)。如果使用 MUX706 来多路复用来自调试确认 (DBGACK) 或来自单独的功率退出引脚 (未图示) 的功率退出信号,那么 JTAG 调试系统适合于忽略此双态切换。

[0076] 由于功率退出信号代表来自处理器 704 的调试确认 (DBGACK) 的经延迟版本,所以当处理器 704 处于调试模式时,功率退出信号应保持在高逻辑电平。一般来说,将功率退出信号视为电平敏感状态位。因此,其应保持在逻辑高,持续足够长的时间以由 JTAG 调试系统取样。在特定实施例中,功率退出信号应保持在逻辑高,持续至少二十微秒。如果处理器 704 在调试模式下时解除调试确认 (DBGACK) 的断言,持续较短的时间周期,那么可能需要在处理器的 JTAG 扫描链(例如,图 2 中的扫描链 206 和 208) 中提供控制位,以当在调试模式下时,迫使调试确认 (DBGACK) 到达逻辑高。

[0077] 图 8 是说明用于诊断功率降级状态且在对图 7 的处理器的电源的恢复之后恢复调试寄存器的一组信号的时序图 800 的一部分。在从功率降级恢复之后,数字电源电压 (VDD_DIG) 升高。核心复位引脚被驱动到逻辑高,且复位调试逻辑 (TRST_N) 被驱动到逻辑低。调制解调器功率管理器将外部调试请求引脚 (EDBGRQ) 驱动到逻辑高。

[0078] 在数字电源电压稳定在高状态之后,核心复位引脚被驱动到逻辑低,且复位调试逻辑引脚被驱动到逻辑高。对于复位信号的下降沿,处理器检测到外部调试请求 (EDBGRQ) 引脚处于逻辑高。处理器将调试确认信号驱动到逻辑高电平。此时,调制解调器功率管理器将外部调试请求引脚 (EDBGRQ) 驱动到逻辑低电平,且处理器将功率退出引脚驱动到逻辑高。JTAG 调试系统可在(例如)经再同步定时时钟 (RTCK) 引脚上检测功率退出的逻辑高状态。多路复用器 706(图 7 中)可将功率退出信号多路复用到 RTCK 引脚上。RTCK 引脚的状态变化因此可用于检测功率降级,且 JTAG 调试系统可恢复调试和 ETM 寄存器的状态。

[0079] 图 9 说明大体上表示为 900 的便携式通信装置的示范性非限制实施例。如图 9 中所说明,便携式通信装置包含芯片上系统 922,其包含数字信号处理器 910。图 9 还展示显示器控制器 926,其耦合到数字信号处理器 910 和显示器 928。此外,输入装置 930 耦合到数字信号处理器 910。如图所示,存储器 932 耦合到数字信号处理器 910。另外,编码器 / 解码器 (CODEC) 934 可耦合到数字信号处理器 910。扬声器 936 和麦克风 938 可耦合到 CODEC930。

[0080] 图 9 还指示无线控制器 940 可耦合到数字信号处理器 910 和无线天线 942。在特定实施例中,电源 944 耦合到芯片上系统 922。此外,在特定实施例中,如图 9 中所说明,显示器 928、输入装置 930、扬声器 936、麦克风 938、无线天线 942 和电源 944 在芯片上系统 922 外部。然而,每一者都耦合到芯片上系统 922 的组件。

[0081] 可将代表用户的语音的电子信号发送到 CODEC934 以进行编码。数字信号处理器 910 适合于执行用于 CODEC934 的数据处理操作,以对来自麦克风的电子信号进行编码。另外,可通过无线控制器 940 将经由无线天线 942 接收到的传入信号发送到 CODEC934,以进行解码并发送到扬声器 936。数字信号处理器 910 还适合于在对经由无线天线 942 接收到的信号进行解码时,执行用于 CODEC934 的数据处理。

[0082] 另外,数字信号处理器 910 可在无线通信会话之前、在无线通信会话期间、在无线

通信会话之后或其任一组合,处理从输入装置 930 接收到的输入。举例来说,在无线通信会话期间,用户可利用输入装置 930 和显示器 928 来经由嵌入便携式通信装置 900 的存储器 932 内的 web 浏览器应用程序来上网。

[0083] 一般来说,便携式通信装置 900 包含具有调试功能性(例如图 1 到图 8 中所描述)的 ARM 处理器 106。ARM 处理器 106 可控制便携式通信装置 900 的操作。另外,显示器控制器 926 和无线控制器 940 每一者可包含具有调试功能性(例如上文在图 1 到图 8 中所描述)的处理器。芯片上系统 922 可包含测试引脚(未图示),用于耦合到联合测试行动小组(JTAG)调试器,以对处理器(例如处理器 106,且例如显示器控制器 926 内和无线控制器 940 内的处理器)的操作进行调试。

[0084] 参看图 10,展示大体上表示为 1000 的蜂窝式电话的示范性非限制实施例。如图所示,蜂窝式电话 1000 包含芯片上系统 1022,其包含耦合在一起的数字基带处理器 1010 和模拟基带处理器 1026。如图 10 中所说明,显示器控制器 1028 和触摸屏控制器 1030 耦合到数字基带处理器 1010。又,在芯片上系统 1022 外部的触摸屏显示器 1032 耦合到显示器控制器 1028 和触摸屏控制器 1030。

[0085] 图 10 进一步指示视频编码器 1034,例如逐行倒相(phase alternating line, PAL)编码器、循序色彩与存储(sequential couleur a memoire, SECAM)编码器或国家电视系统委员会(national television system(s) committee, NTSC)编码器,耦合到数字基带处理器 1010。另外,视频放大器 1036 耦合到视频编码器 1034 和触摸屏显示器 1032。而且,视频端口 1038 耦合到视频放大器 1036。如图 10 中所描绘,通用串行总线(USB)控制器 1040 耦合到数字基带处理器 1010。而且,USB 端口 1042 耦合到 USB 控制器 1040。存储器 1044 和订户身份模块(SIM)卡 1046 也可耦合到数字基带处理器 1010。另外,如图 10 中所示,数码相机 1048 可耦合到数字基带处理器 1010。在示范性实施例中,数码相机 1048 是电荷耦合装置(CCD)相机或互补金属氧化物半导体(CMOS)相机。

[0086] 如图 10 中进一步所说明,立体声音频 CODEC1080 可耦合到模拟基带处理器 1026。此外,音频放大器 1082 可耦合到立体声音频 CODEC1080。在示范性实施例中,第一立体声扬声器 1084 和第二立体声扬声器 1086 耦合到音频放大器 1082。图 10 展示麦克风放大器 1088 也可耦合到立体声音频 CODEC1080。另外,麦克风 1060 可耦合到麦克风放大器 1088。在特定实施例中,频率调制(FM)无线电调谐器 1062 可耦合到立体声音频 CODEC1080。而且,FM 天线 1064 耦合到 FM 无线电调谐器 1062。另外,立体声头戴式耳机 1066 可耦合到立体声音频 CODEC1080。

[0087] 图 10 进一步指示射频(RF)收发器 1068 可耦合到模拟基带处理器 1026。RF 开关 1070 可耦合到 RF 收发器 1068 和 RF 天线 1072。如图 10 中所示,小键盘 1074 可耦合到模拟基带处理器 1026。而且,具有麦克风 1076 的单声道耳机可耦合到模拟基带处理器 1026。另外,振动器装置 1078 可耦合到模拟基带处理器 1026。图 10 还展示电源 1080 可耦合到芯片上系统 1022。在特定实施例中,电源 1080 是直流(DC)电源,其向蜂窝式电话 1000 的需要功率的各个组件提供功率。另外,在特定实施例中,电源是可再充电的 DC 电池或从连接到 AC 电源的交流(AC)到 DC 变压器导出的 DC 电源。

[0088] 在特定实施例中,如图 10 中所描绘,触摸屏显示器 1032、视频端口 1038、USB 端口 1042、相机 1048、第一立体声扬声器 1084、第二立体声扬声器 1086、麦克风 1060、FM 天线

1064、立体声头戴式耳机 1066、RF 开关 1070、RF 天线 1072、小键盘 1074、单声道耳机 1076、振动器 1078 和电源 1080 在芯片上系统 1022 外部。

[0089] 一般来说，蜂窝式电话 1000 的芯片上系统 1022 可包含具有根据图 1 到图 8 中的任一者所述的调试功能性的一个或一个以上处理器。举例来说，显示器控制器 1028、触摸屏控制器 1030 和 USB 控制器 1040 可包含具有调试功能性的处理器，例如 ARM 处理器 106。另外，单独的控制处理器（未图示）可包含在芯片上系统 1022 中，以控制蜂窝式电话 1000 的操作。芯片上系统 1022 可包含测试引脚（未图示），用于耦合到联合测试行动小组（JTAG）调试器，以调试各种处理器的操作。

[0090] 参看图 11，其展示大体上表示为 1100 的无线因特网协议（IP）电话的示范性非限制实施例。如图所示，无线 IP 电话 1100 包含芯片上系统 1102，其包含数字信号处理器（DSP）1104。如图 11 中所说明，显示器控制器 1106 耦合到 DSP1104，且显示器 1108 耦合到显示器控制器 1106。在示范性实施例中，显示器 1108 为液晶显示器（LCD）。图 11 进一步展示小键盘 1110 可耦合到 DSP1104。

[0091] 如图 11 中进一步描绘，快闪存储器 1112 可耦合到 DSP1104。同步动态随机存取存储器（SDRAM）1114、静态随机存取存储器（SRAM）1116 和电可擦除可编程只读存储器（EEPROM）1118 也可耦合到 DSP1104。图 11 还展示发光二极管（LED）1120 可耦合到 DSP1104。另外，在特定实施例中，语音 CODEC1122 可耦合到 DSP1104。放大器 1124 可耦合到语音 CODEC1122，且单声道扬声器 1126 可耦合到放大器 1124。图 11 进一步指示单声道耳机 1128 也可耦合到语音 CODEC1122。在特定实施例中，单声道耳机 1128 包含麦克风。

[0092] 图 11 还说明无线局域网（WLAN）基带处理器 1130 可耦合到 DSP1104。RF 收发器 1132 可耦合到 WLAN 基带处理器 1130，且 RF 天线 1134 可耦合到 RF 收发器 1132。在特定实施例中，蓝牙控制器 1136 也可耦合到 DSP1104，且蓝牙天线 1138 可耦合到控制器 1136。图 11 还展示 USB 端口 1140 也可耦合到 DSP1104。此外，电源 1142 耦合到芯片上系统 1102，且经由芯片上系统 1102 向无线 IP 电话 1100 的各个组件提供功率。

[0093] 在特定实施例中，如图 11 中所指示，显示器 1108、小键盘 1110、LED1120、单声道扬声器 1126、单声道耳机 1128、RF 天线 1134、蓝牙天线 1138、USB 端口 1140 和电源 1142 在芯片上系统 1102 外部。然而，这些组件中的每一者都耦合到芯片上系统的一个或一个以上组件。

[0094] 一般来说，无线 IP 电话 1100 可包含具有上文根据图 1 到图 8 中的任一者所述的调试功能性的 ARM 处理器。在一个实施例中，无线 IP 电话 1100 包含控制处理器（未图示），以控制无线 IP 电话 1100 的操作。另外，显示器控制器 1106 和蓝牙控制器 1136 可包含具有根据图 1 到图 8 中的任一者所述的调试功能性的处理器，例如 ARM 处理器 106。芯片上系统 1102 可包含测试引脚（未图示），用于与联合测试行动小组（JTAG）调试器系统连接以调试各种处理器。

[0095] 图 12 说明大体上表示为 1200 的便携式数字助理（PDA）的示范性非限制实施例。如图所示，PDA1200 包含芯片上系统 1202，其包含数字信号处理器（DSP）1204。如图 12 中所描绘，触摸屏控制器 1206 和显示器控制器 1208 耦合到 DSP1204。另外，触摸屏显示器耦合到触摸屏控制器 1206，且耦合到显示器控制器 1208。图 12 还指示小键盘 1212 可耦合到 DSP1204。

[0096] 如图 12 中进一步描绘,快闪存储器 1214 可耦合到 DSP1204。而且,只读存储器 (ROM) 1216、动态随机存取存储器 (DRAM) 1218 和电可擦除可编程只读存储器 (EEPROM) 1220 可耦合到 DSP1204。图 12 还展示红外数据协会 (infrared data association, IrDA) 端口 1222 可耦合到 DSP1204。另外,在特定实施例中,数码相机 1224 可耦合到 DSP1204。

[0097] 如图 12 中所示,在特定实施例中,立体声音频 CODEC1226 可耦合到 DSP1204。第一立体声放大器 1228 可耦合到立体声音频 CODEC1226,且第一立体声扬声器 1230 可耦合到第一立体声放大器 1228。另外,麦克风放大器 1232 可耦合到立体声音频 CODEC1226,且麦克风 1234 可耦合到麦克风放大器 1232。图 12 进一步展示第二立体声放大器 1236 可耦合到立体声音频 CODEC1226,且第二立体声扬声器 1238 可耦合到第二立体声放大器 1236。在特定实施例中,立体声头戴式耳机 1240 也可耦合到立体声音频 CODEC1226。

[0098] 图 12 还说明 802.11 控制器 1242 可耦合到 DSP1204,且 1102.11 天线 1244 可耦合到 1102.11 控制器 1242。此外,蓝牙控制器 1246 可耦合到 DSP1204,且蓝牙天线 1248 可耦合到蓝牙控制器 1246。如图 12 中所描绘,USB 控制器 1280 可耦合到 DSP1204,且 USB 端口 1282 可耦合到 USB 控制器 1280。另外,智能卡 1284(例如,多媒体卡 (MMC) 或安全数字卡 (SD)) 可耦合到 DSP1204。另外,如图 12 中所示,电源 1286 可耦合到芯片上系统 1202,且可经由芯片上系统 1202 向 PDA1200 的各个组件提供功率。

[0099] 在特定实施例中,如图 12 中所描绘,显示器 1210、小键盘 1212、IrDA 端口 1222、数码相机 1224、第一立体声扬声器 1230、麦克风 1234、第二立体声扬声器 1238、立体声头戴式耳机 1240、1102.11 天线 1244、蓝牙天线 1248、USB 端口 1282 和电源 1280 均在芯片上系统 1202 外部。然而,这些组件中的每一者耦合到芯片上系统 1202 的一个或一个以上组件。

[0100] 一般来说,PDA1200 可包含具有调试功能性的一个或一个以上处理器,例如相对于图 1 到图 8 所描述的 ARM 处理器。PDA1200 包含显示器控制器 1208、触摸屏控制器 1206、802.11 控制器 1042、蓝牙控制器 1246 和 USB 控制器 1250,其每一者可包含具有调试功能性的处理器,例如上文相对于图 1 到图 8 所述的处理器。另外,PDA1200 可包含具有调试功能性的 ARM 处理器,以控制 PDA1200 的操作。芯片上系统 1202 可包含测试引脚 (未图示),所述测试引脚可由 JTAG 调试系统接入以接入各种处理器的扫描链,以执行调试操作。

[0101] 参看图 13,其展示大体上表示为 1300 的音频文件播放器 (例如移动图片专家组音频层 3(moving pictures experts group audio layer-3, MP3) 播放器) 的示范性非限制实施例。如图所示,音频文件播放器 1300 包含芯片上系统 1302,其包含数字信号处理器 (DSP) 1304。如图 13 中所说明,显示器控制器 1306 耦合到 DSP1304,且显示器 1308 耦合到显示器控制器 1306。在示范性实施例中,显示器 1308 是液晶显示器 (LCD)。图 13 进一步展示小键盘 1310 可耦合到 DSP1304。

[0102] 如图 13 中进一步描绘,快闪存储器 1312 和只读存储器 (ROM) 1314 可耦合到 DSP1304。另外,在特定实施例中,音频 CODEC1316 可耦合到 DSP1304。放大器 1318 可耦合到音频 CODEC1316,且单声道扬声器 1320 可耦合到放大器 1318。图 13 进一步指示麦克风输入 1322 和立体声输入 1324 也可耦合到音频 CODEC1316。在特定实施例中,立体声头戴式耳机 1326 也可耦合到音频 CODEC1316。

[0103] 图 13 还指示 USB 端口 1328 和智能卡 1330 可耦合到 DSP1304。另外,电源 1332 可耦合到芯片上系统 1302,且可经由芯片上系统 1302 向音频文件播放器 1300 的各个组件提

供功率。

[0104] 在特定实施例中,如图 13 中所指示,显示器 1308、小键盘 1310、单声道扬声器 1320、麦克风输入 1322、立体声输入 1324、立体声头戴式耳机 1326、USB 端口 1328 和电源 1332 在芯片上系统 1302 外部。然而,这些组件中的每一者耦合到芯片上系统上的一个或一个以上组件。

[0105] 一般来说,音频文件播放器 1300 可包含具有相对于图 1 到图 8 而描述的调试功能性的一个或一个以上处理器,例如 ARM 处理器 106。音频文件播放器 1300 包含显示器控制器 1306,其可包含具有调试功能性(例如上文相对于图 1 到图 8 所描述)的处理器。另外,音频文件播放器 1300 可包含包括此调试功能性的 ARM 处理器(例如处理器 106),以控制音频文件播放器 1300 的操作。JTAG 调试系统可经由芯片上系统 1302 上所提供的测试引脚(未图示)接入各种处理器。

[0106] 所属领域的技术人员将进一步了解,结合本文所揭示的实施例而描述的各种说明性逻辑区块、配置、模块、电路和算法步骤可实施为电子硬件、计算机软件或上述两者的组合。为了清楚地说明硬件与软件的这种可互换性,上文已经大体上根据各种说明性组件、区块、配置、模块、电路和步骤的功能性描述了各种说明性组件、区块、配置、模块、电路和步骤。将此类功能性实施为硬件还是软件取决于特定应用和强加于整个系统的设计限制。熟练的技术人员可针对每个特定应用以不同的方式来实施所描述的功能性,但此类实施决策不应被解释为导致与本发明范围的偏离。

[0107] 结合本文所揭示的实施例而描述的方法或算法的步骤可直接在硬件中、在由处理器执行的软件模块中或在上述两者的组合中实施。软件模块可驻存在 RAM 存储器、快闪存储器、ROM 存储器、PROM 存储器、EPROM 存储器、EEPROM 存储器、寄存器、硬盘、可移除盘、CD-ROM 或此项技术中已知的任何其它形式的存储媒体中。示范性存储媒体耦合到处理器,使得处理器可从存储媒体读取信息和向存储媒体写入信息。在替代方案中,存储媒体可与处理器成一体式。处理器和存储媒体可驻存在 ASIC 中。ASIC 可驻存在计算装置或用户终端中。在替代方案中,处理器和存储媒体可作为离散组件驻存在计算装置或用户终端中。

[0108] 提供对所揭示实施例的先前描述是为了使所属领域的技术人员能够制作或使用本发明。所属领域的技术人员将容易了解对这些实施例的各种修改,且在不脱离本发明精神或范围的情况下,本文所界定的一般原理可应用于其它实施例。因此,不希望本发明限于本文所展示的实施例,而是希望本发明被赋予与如所附权利要求书所界定的原理和新颖特征一致的最广范围。

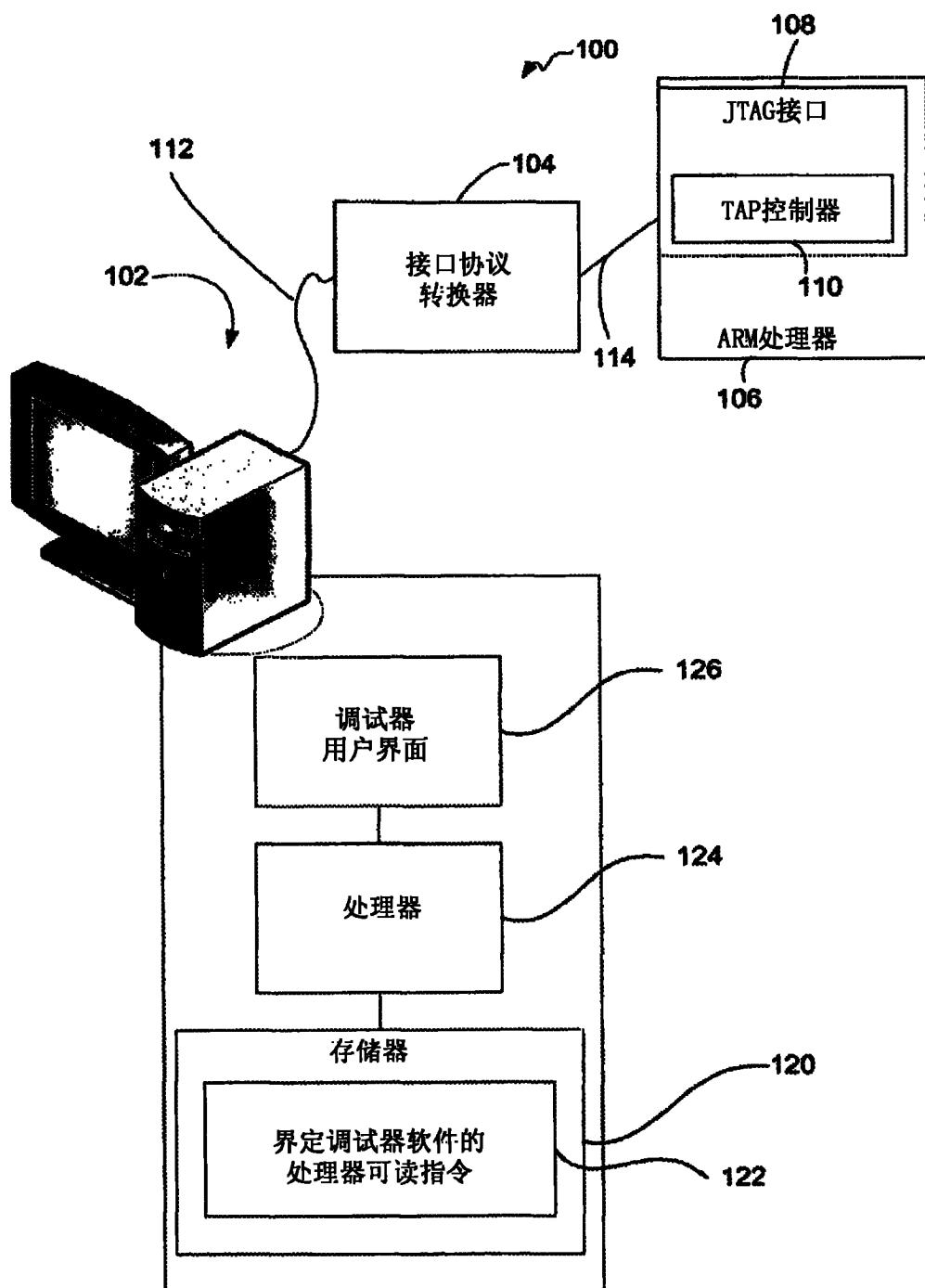


图 1

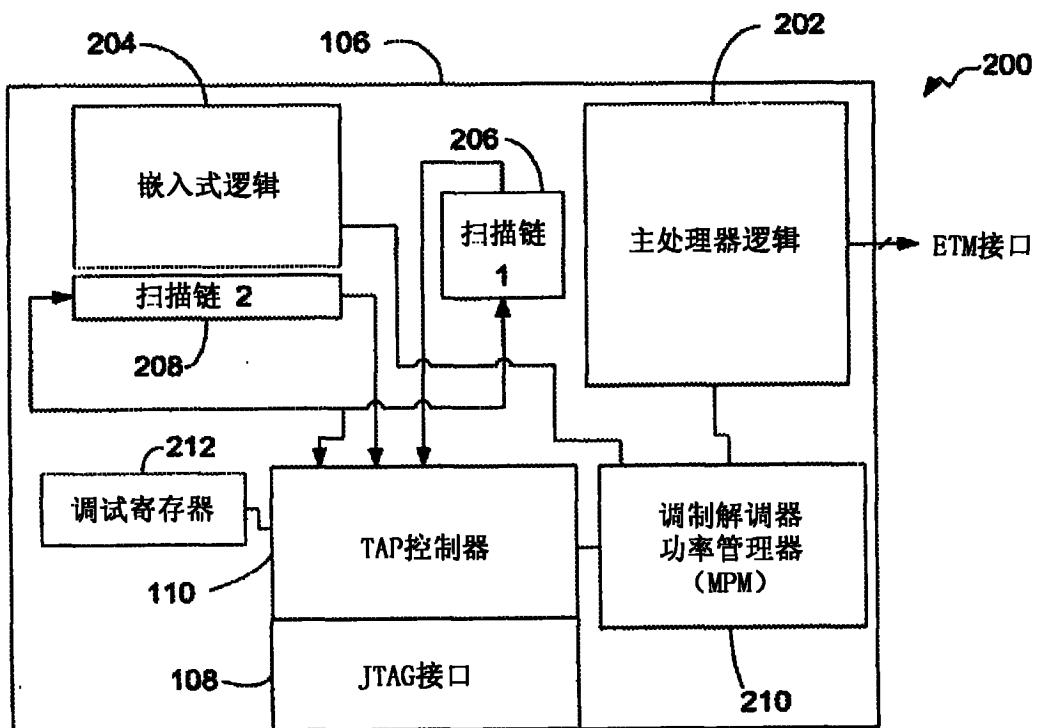


图 2

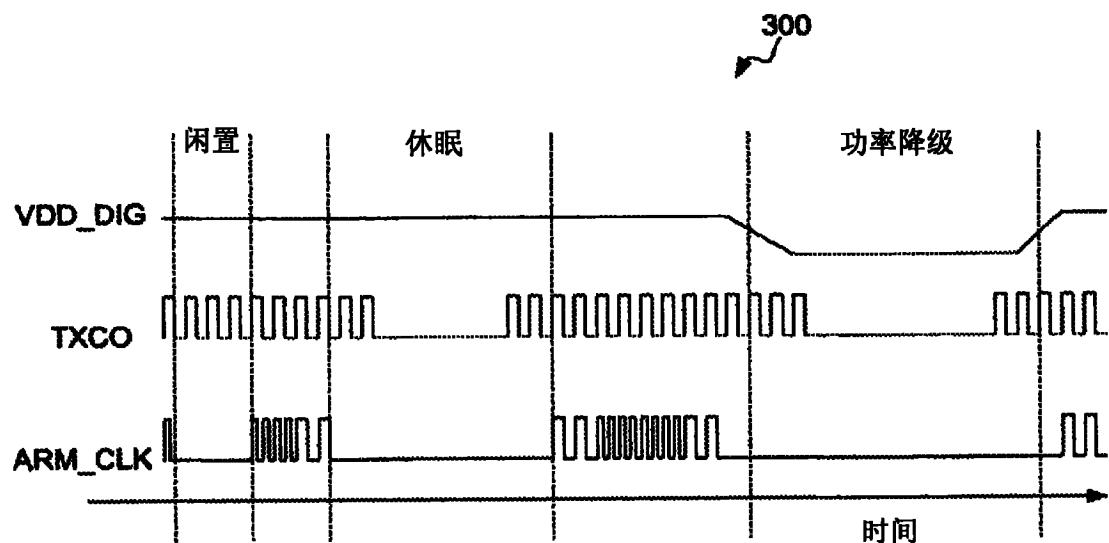


图 3

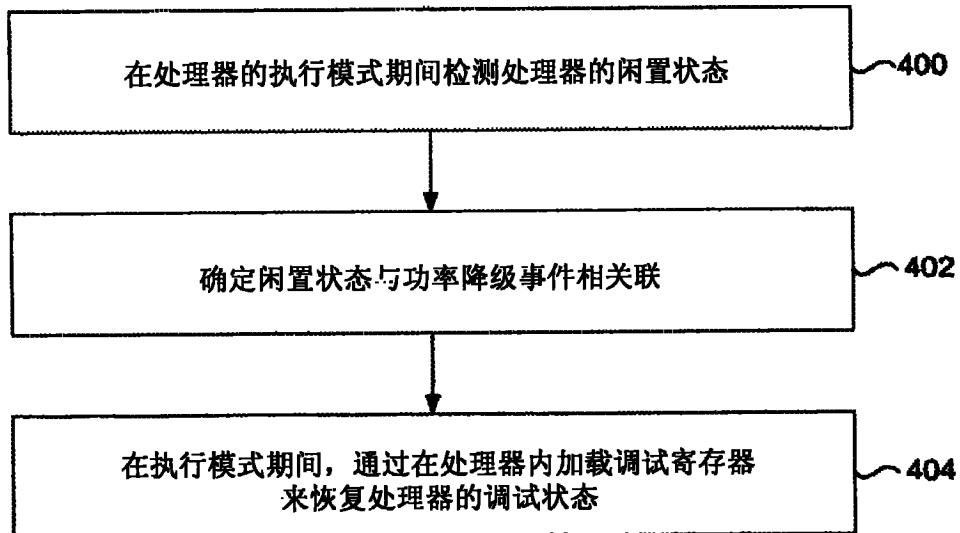


图 4

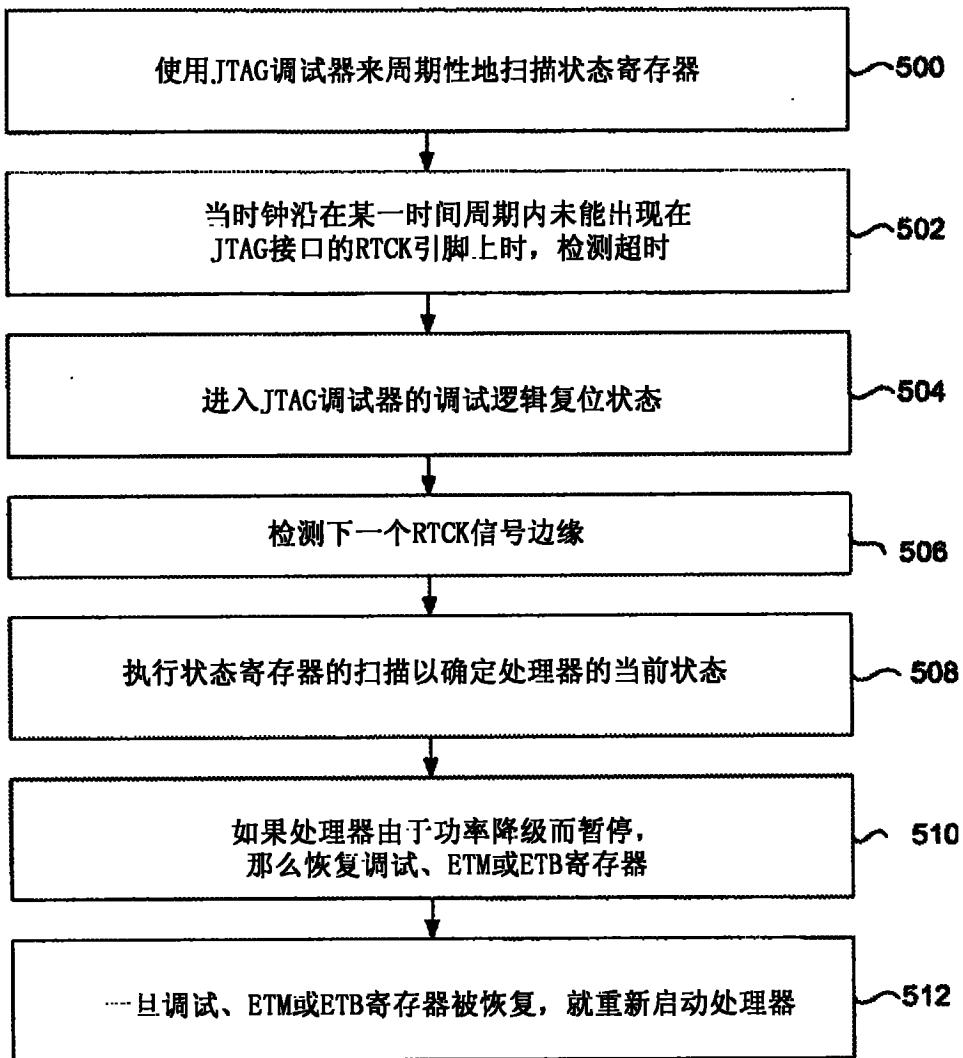


图 5

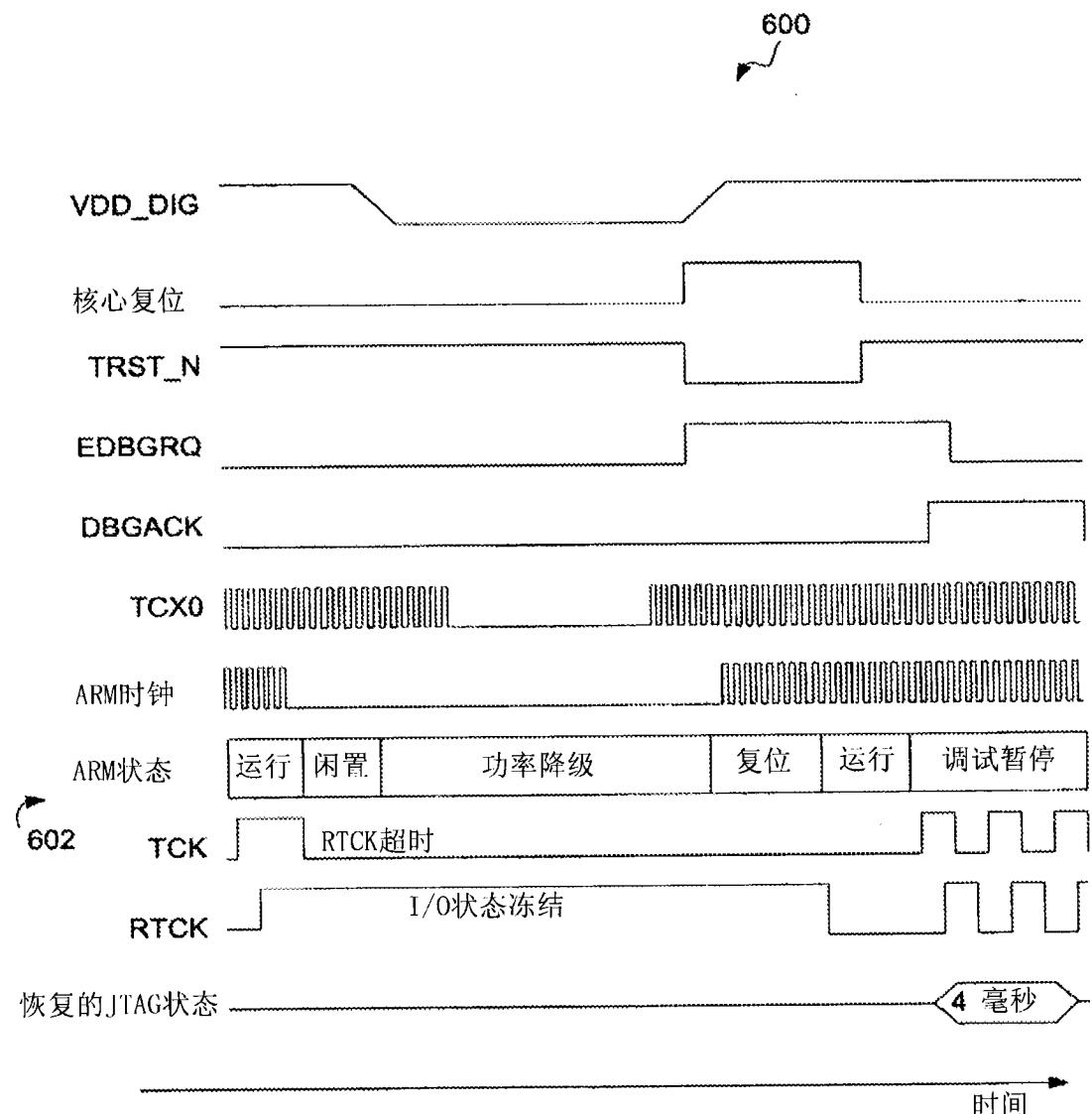


图 6

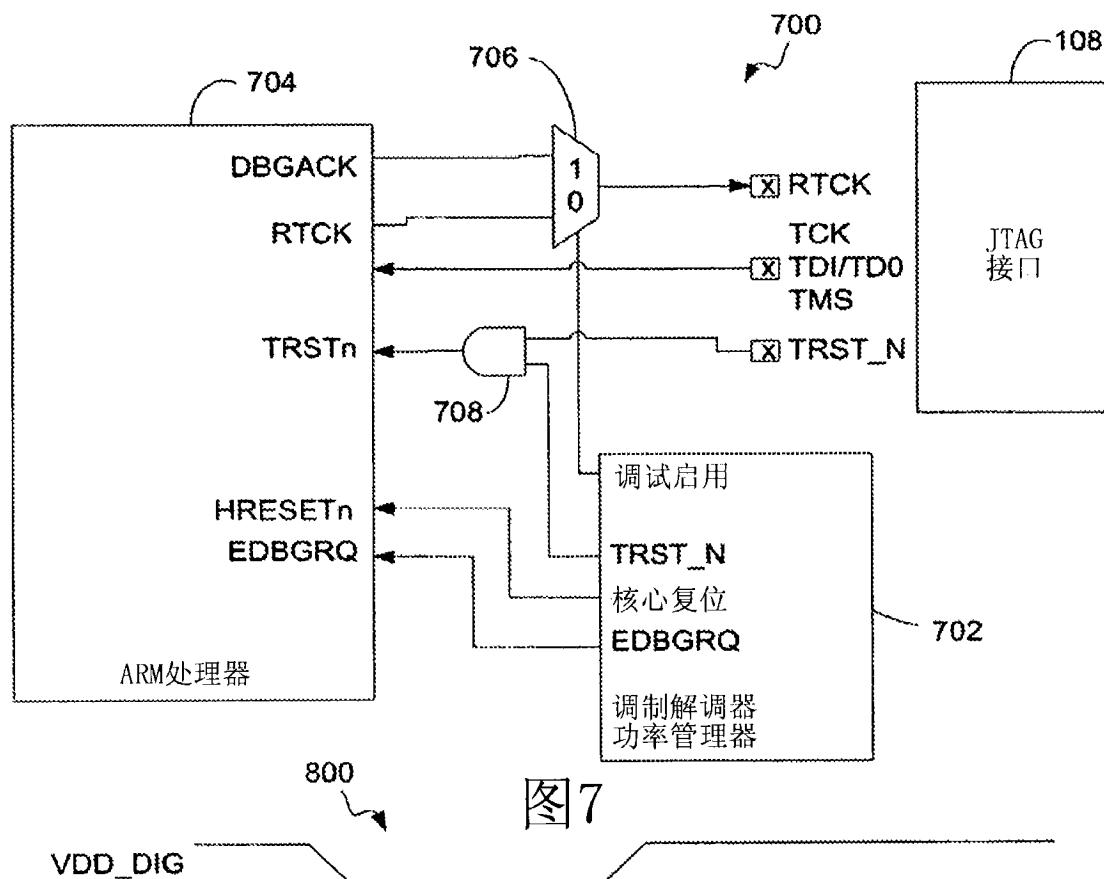


图 7

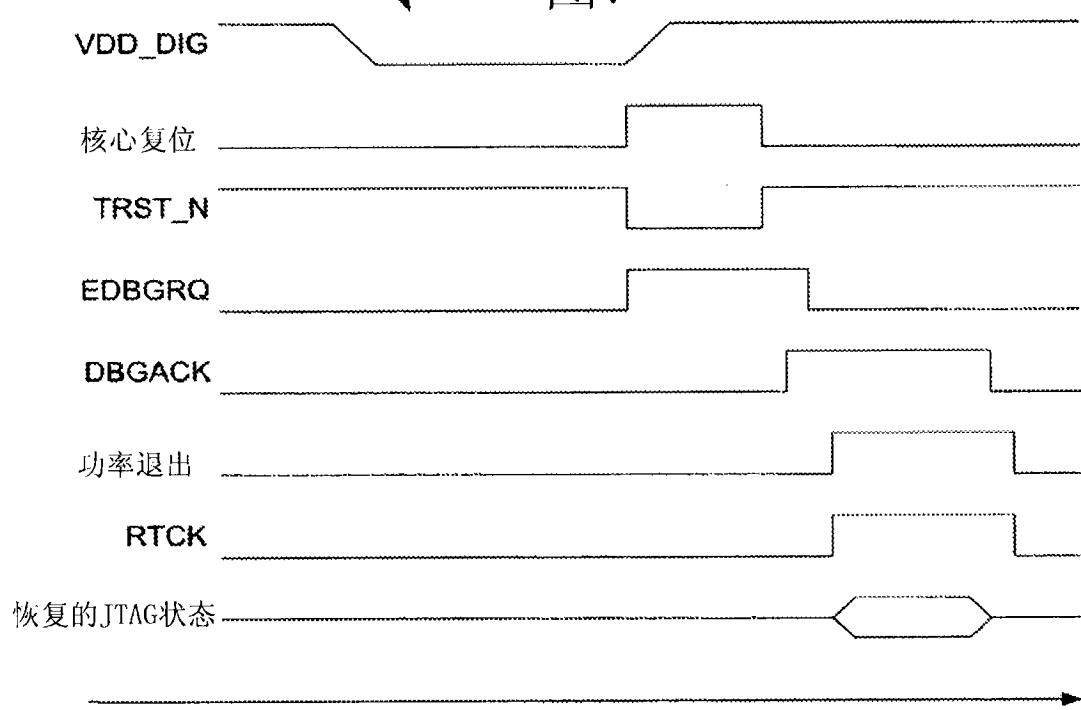


图 8

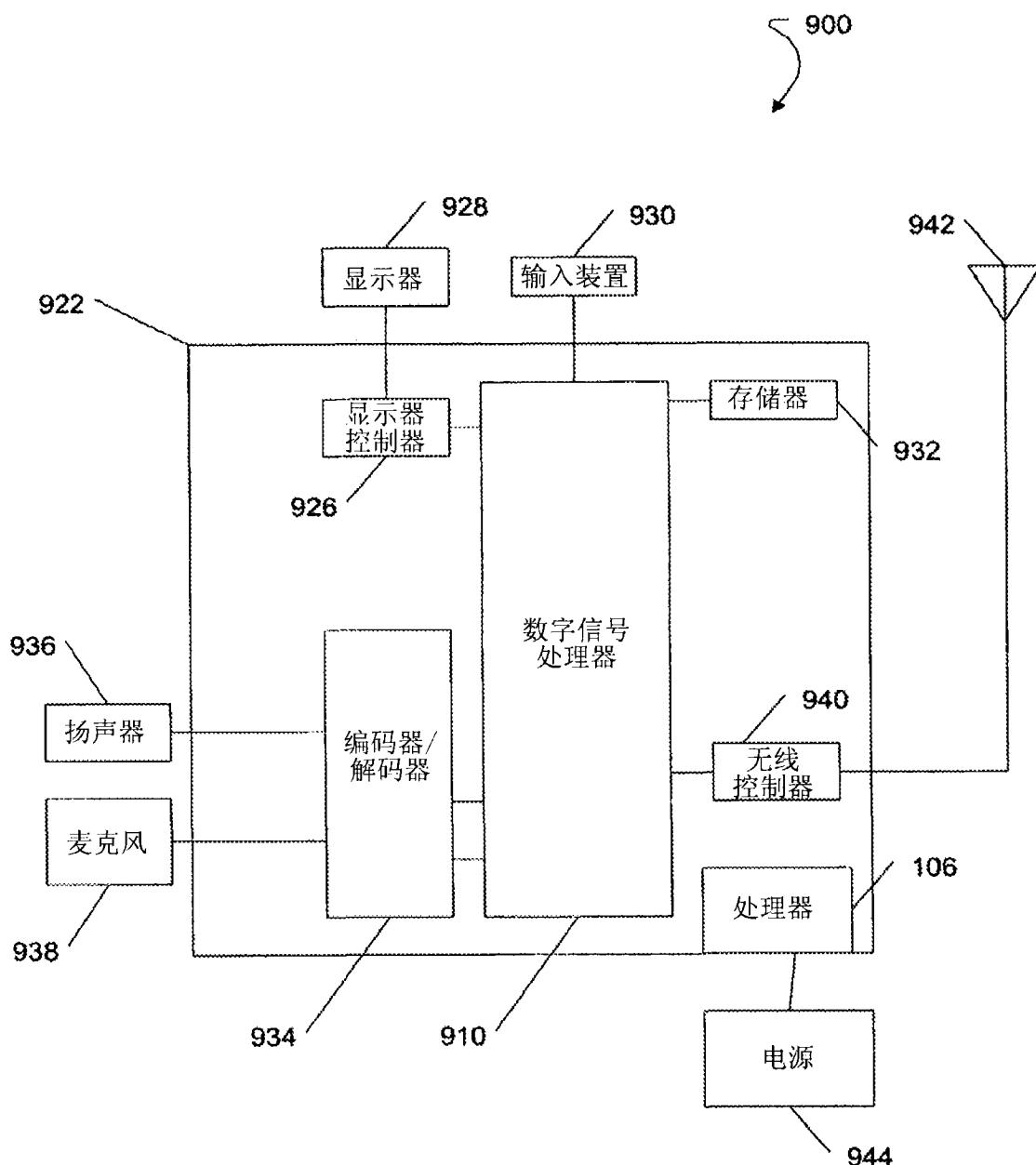


图 9

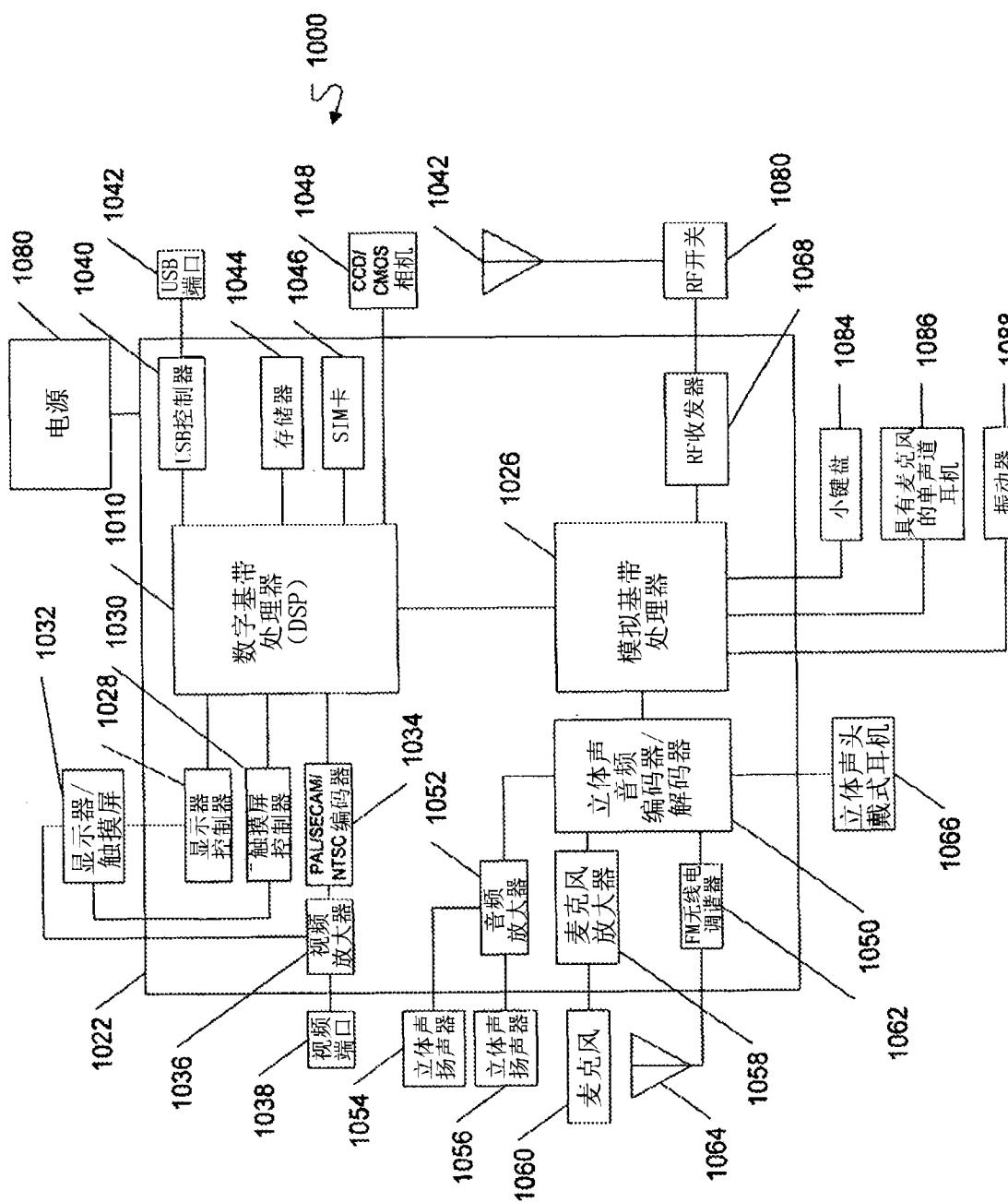
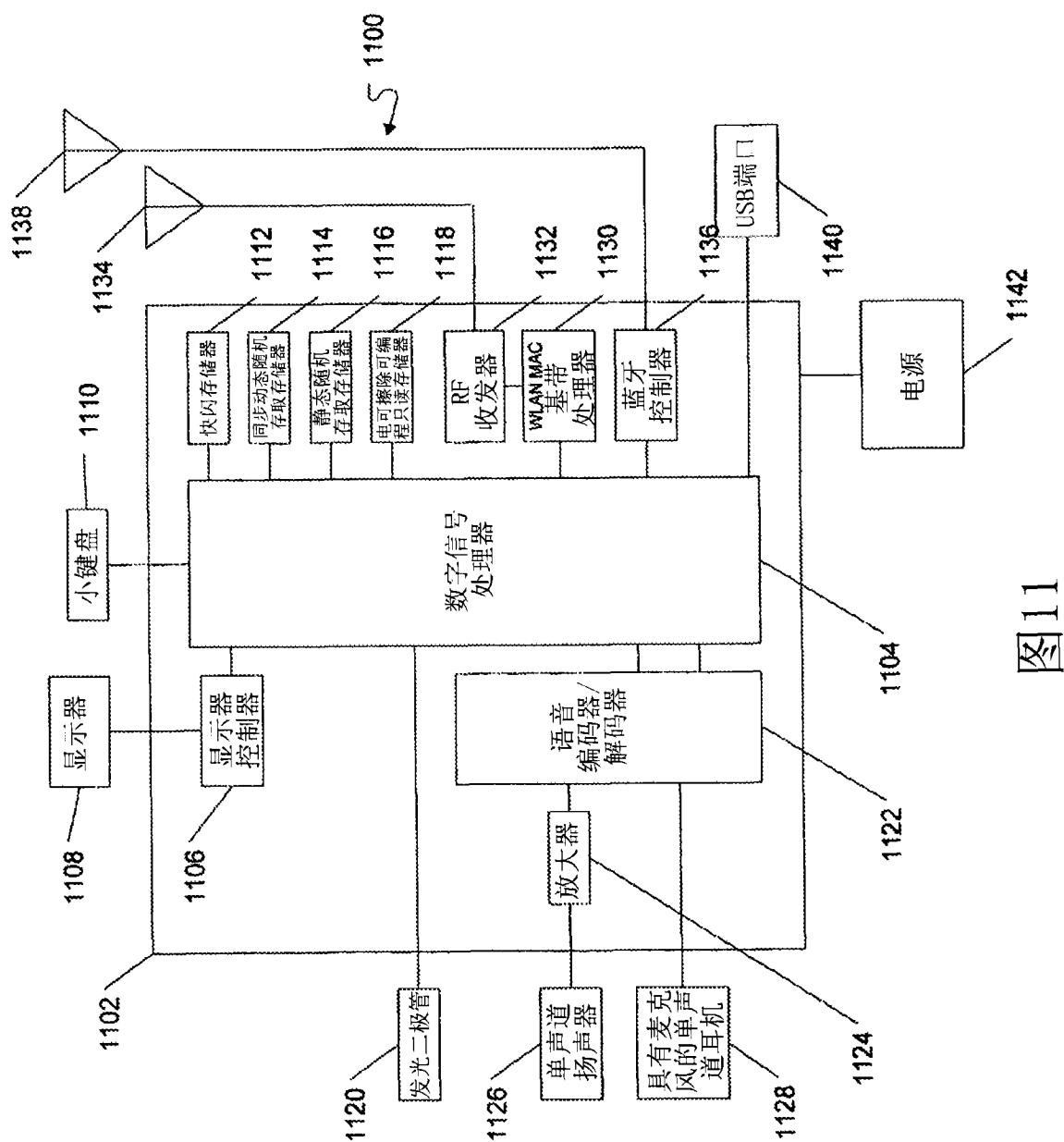


图 10



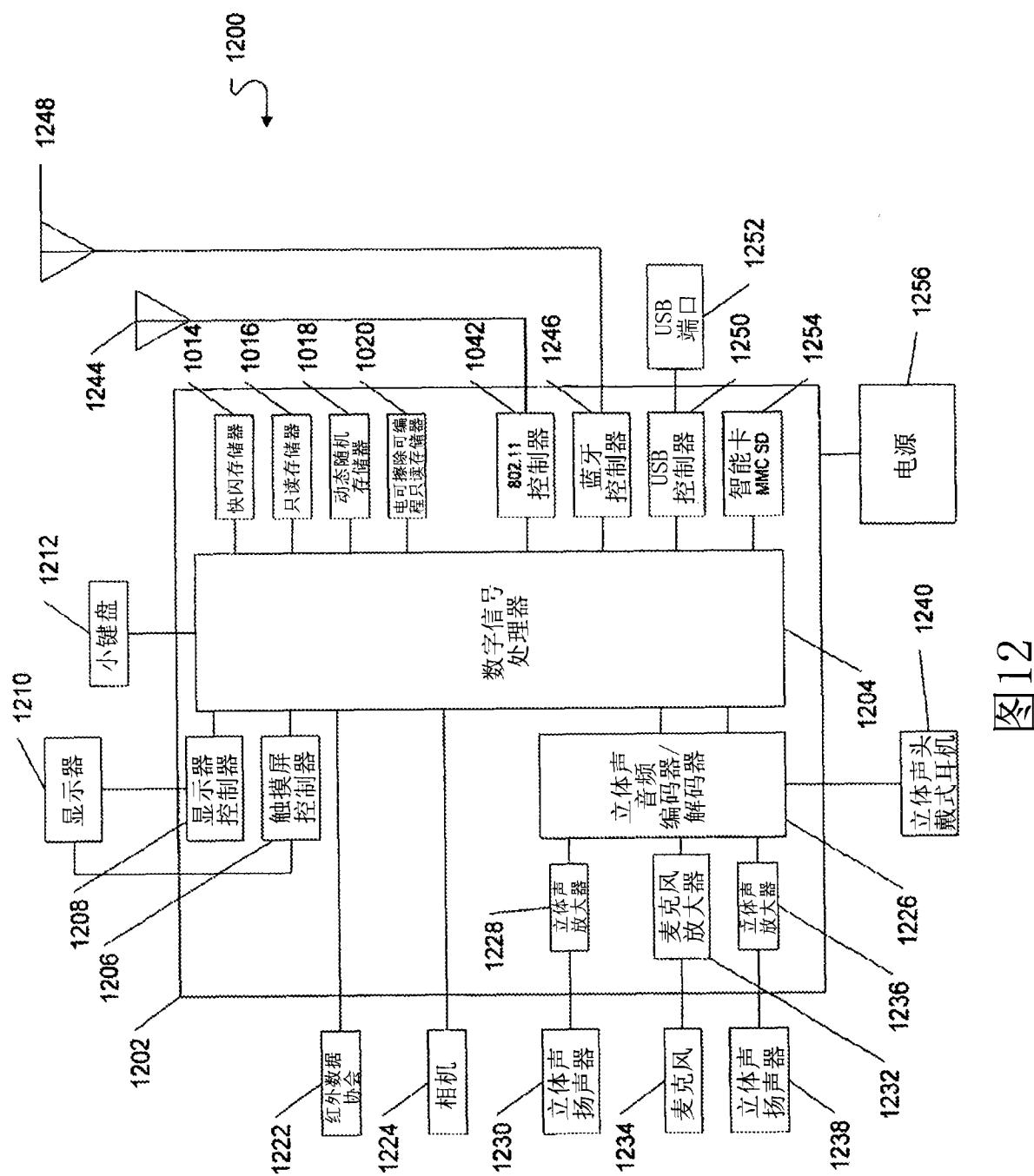


图 12

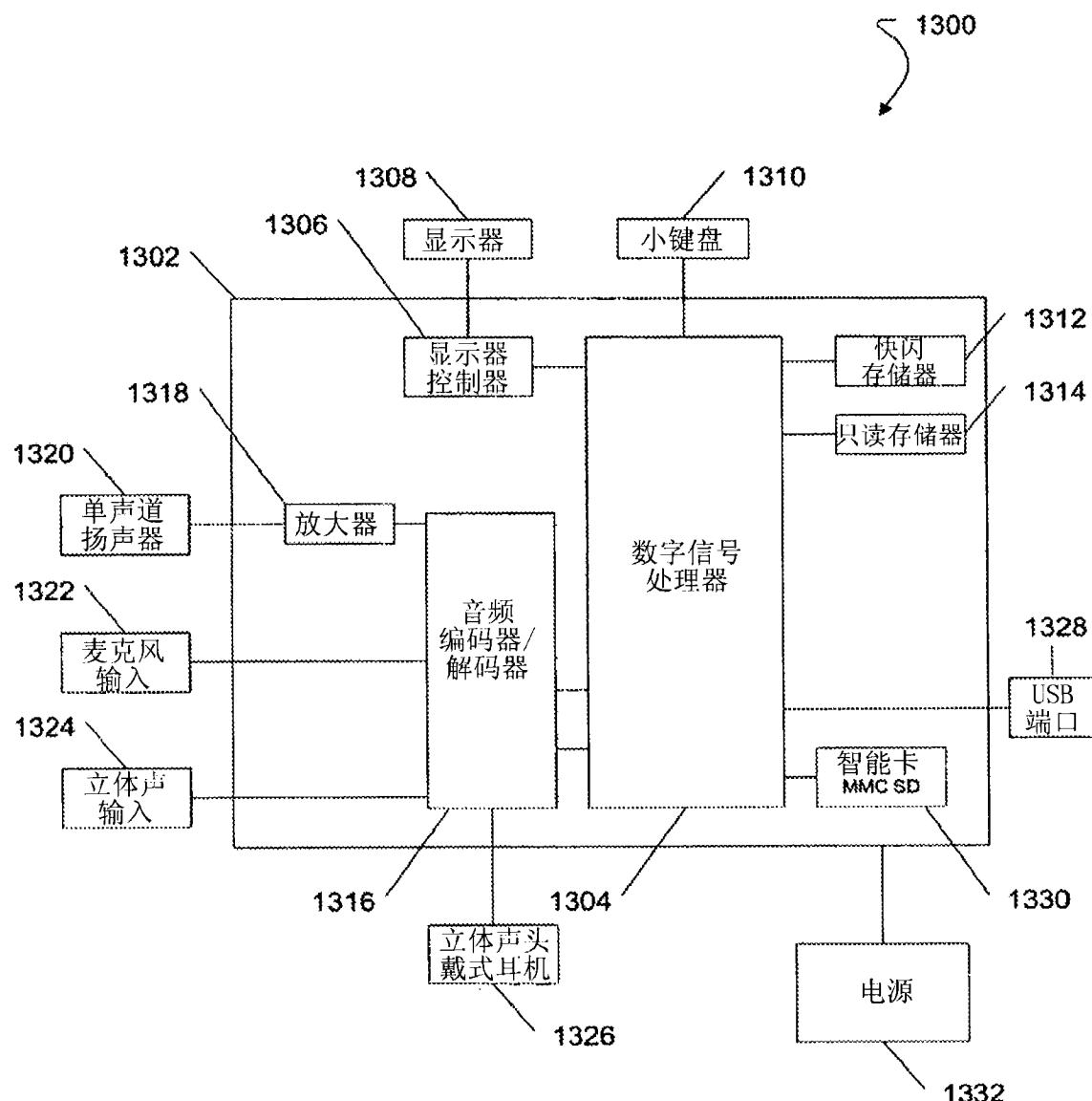


图 13