

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2013年7月4日 (04.07.2013)

W I P O | P C T

(10) 国际公布号
W O 2013/097573 A 1

- (51) 国际分类号 : H01L 21/82 (2006.01) H01L 27/085 (2006.01)
- (21) 国际申请号 : PCT/CN2012/085396
- (22) 国际申请日 : 2012年11月28日 (2012.11.28)
- (25) 申报语言 : 中文
- (26) 公布语言 : 中文
- (30) 优先权 : 201110451716.X 2011年12月29日 (2011.12.29) CN
- (71) 申请人 : 无锡华润上华半导体有限公司 (CSMC TECHNOLOGIES FAB1 CO., LTD.) [CN/CN]; 中国江苏省无锡市国家高新技术产业开发区汉江路5号, Jiangsu 214028 (CN)。
- (72) 发明人 : 吴孝嘉 (WU, Hsiaochia); 中国江苏省无锡市国家高新技术产业开发区新洲路8号, Jiangsu 214028 (CN)。房世林 (FANG, Shilin); 中国江苏省无锡市国家高新技术产业开发区新洲路8号, Jiangsu 214028 (CN)。罗泽煌 (LO, Tsehuang); 中国江苏省无锡市国家高新技术产业开发区新洲路8号, Jiangsu 214028 (CN)。陈正培 (CHEN, Zhengpei); 中国江苏省无锡市国家高新技术产业开发区

- 新洲路8号, Jiangsu 214028 (CN)。章舒 (ZHANG, Shu); 中国江苏省无锡市国家高新技术产业开发区新洲路8号, Jiangsu 214028 (CN)。何延强 (HE, Yanqiang); 中国江苏省无锡市国家高新技术产业开发区新洲路8号, Jiangsu 214028 (CN)。
- (74) 代理人 : 广州华进联合专利商标代理有限公司 (ADVANCE CHINA I.P. LAW OFFICE); 中国广东省广州市先烈中路69号东山广场918-920室, Guangdong 510095 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, ML, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ,

[见续页]

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 发明名称 : 半导体器件的制作方法

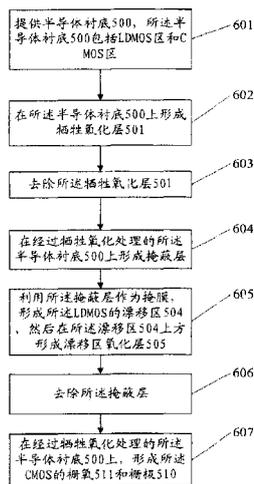


图 6 / Fig. 6

601 PROVIDE A SEMICONDUCTOR SUBSTRATE 500 COMPRISING AN LDMOS REGION AND A CMOS REGION
 602 FORM A SACRIFICIAL OXIDE LAYER 501 ON THE SEMICONDUCTOR SUBSTRATE 500
 603 REMOVE THE SACRIFICIAL OXIDE LAYER 501
 604 FORM A MASKING LAYER ON THE SEMICONDUCTOR SUBSTRATE 500 AFTER THE SACRIFICIAL OXIDATION TREATMENT
 605 USE THE MASKING LAYER AS A MASK TO FORM AN LDMOS DRIFT REGION 504, AND FORM A DRIFT REGION OXIDE LAYER 505 ABOVE THE DRIFT REGION 504
 606 REMOVE THE MASKING LAYER
 607 FORM A GATE OXIDE 511 AND A GATE 510 OF THE CMOS ON THE SEMICONDUCTOR SUBSTRATE 500 AFTER THE SACRIFICIAL OXIDATION TREATMENT

(57) Abstract: The present invention relates to the technical field of semiconductor manufacturing. Disclosed is a method for manufacturing a semiconductor device, which solves the problem in the prior art that the silicon on the edge of an oxide layer in an LDMOS drift region is easily exposed and causes breakdown of an LDMOS device. In the technical solution provided by the embodiment of the present invention, a method for manufacturing a semiconductor device is provided, which comprises: providing a semiconductor substrate comprising an LDMOS region and a CMOS region; forming a sacrificial oxide layer on the semiconductor substrate; removing the sacrificial oxide layer; forming a masking layer on the semiconductor substrate after the sacrificial oxidation treatment; using the masking layer as a mask to form an LDMOS drift region, and forming a drift region oxide layer above the drift region; and removing the masking layer. The embodiment of the present invention is applicable to a BCD process and the like.

(57) 摘要: 本发明公开了一种半导体器件的制作方法。本发明涉及半导体制造领域, 解决了现有技术中 LDMOS 漂移区氧化层边缘硅容易裸露导致 LDMOS 器件击穿的问题。本发明实施例提供的方案为: 一种半导体器件的制作方法, 包括: 提供半导体衬底, 所述半导体衬底包括 LD-

MOS 区和 CMOS 区; 在所述半导体衬底上形成牺牲氧化层; 去除所述牺牲氧化层; 在经过牺牲氧化处理的所述半导体衬底上形成掩蔽层; 利用所述掩蔽层作为掩膜, 形成所述 LDMOS 的漂移区, 然后在所述漂移区上方形成漂移区氧化层; 去除所述掩蔽层。本发明实施例适用于 BCD 工艺等。



2013 09 573 A1

BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布：
- 包括国际检索报告(条约第21条(3))。

发明名称 :半导体器件的制作方法

[1] 技术领域】

[2] 本发明涉及半导体制作领域，具体涉及一种半导体器件的制作方法。

[3] 背景技术】

[4] 随着集成电路的不断发展，为了节省面积，在同一芯片上同时制作多种器件。

例如，在BCD（Bipolar-CMOS-DMOS）工艺中，高压（HV）的横向扩散金属氧化物半导体（LDMOS）器件和低压（LV）的CMOS器件集成在同一芯片上。如图1所示，在半导体衬底100上包括LDMOS 110和CMOS 120，并用场氧化层114区隔开，LDMOS110在源区和漏区之间有一个漂移区111，低掺杂的漂移区由于是高阻，能够承受更高的电压，如图1所示，LDMOS的栅极112扩展到漂移区的漂移区氧化层113上面，充当场极板。

[5] LV CMOS采用很薄的栅氧，一般为100-200埃，衬底表面的质量决定了栅氧的质量。在栅氧生长前需要对衬底表面进行氧化，再通过腐蚀去除这层氧化层，露出高质量的衬底，这个过程也称牺牲氧化过程。通常为了保证腐蚀时牺牲氧化层的完全去除，需要腐蚀的氧化层损失量大于牺牲氧化层的生长量。

[6] 在现有技术中的一种半导体器件的制作方法，如图2和图3所示，包括：

[7] 步骤301，提供半导体衬底200，所述半导体衬底200包括LDMOS区和CMOS区；

[8] 步骤302，在所述半导体衬底上形成掩蔽层201；

[9] 步骤303，利用所述掩蔽层201作为掩膜，形成所述LDMOS的漂移区202，然后在所述漂移区202上方形成漂移区氧化层203；

[10] 步骤304，去除所述掩蔽层201；

[11] 步骤305，在所述半导体衬底上形成牺牲氧化层204；

[12] 步骤306，去除所述牺牲氧化层204；

[13] 步骤307，在经过牺牲氧化处理的所述半导体衬底上，形成所述CMOS的栅氧211和栅极210。通过扩散、光刻、腐蚀、薄膜工艺制作后续结构。

[14] 如图2和图3所示，由于牺牲氧化层的制作的步骤在漂移区氧化层制作的步骤之后，在牺牲氧化层腐蚀过程中，HV LDMOS 的漂移区氧化层也同样被腐蚀。如图2G和图4中拐角部221示出的区域，漂移区氧化层边缘容易受到损伤，另外，图2F中虚线示出的区域为漂移区氧化层203被腐蚀掉的部分。虽然漂移区氧化层边缘的拐角处在制作栅氧的过程中也会进行一定程度的氧化，但拐角处的氧化层很薄，这就会造成因漂移区两端的电场较高导致击穿。

[15] 在现有技术中，通常采取的解决方案是增加漂移区长度以提高击穿电压。但是，这种方法同样存在一些问题。

[16] LDMOS 器件是由成百上千的单一结构的LDMOS 单元所组成的，单元数量越多，LDMOS 器件驱动能力越强。增加漂移区的长度增加了LDMOS 单元芯片的面积，降低了单元数量，从而降低了同样面积下的LDMOS 器件驱动能力。

[17] 而导通电阻是在器件工作时，从漏到源的电阻，当导通电阻很小时，会有较大的输出电流，器件就会提供一个很好的开关特性，从而可以具有更强的驱动能力。增加漂移区的长度增加了导通电阻，同样也降低了LDMOS 器件的驱动能力。

[18] 所以，增加漂移区长度以提高击穿电压，会增加芯片面积和导通电阻，降低LDMOS 器件的驱动能力。

[19] 在实现上述进行制作LDMOS 器件的过程时，发明人发现现有技术中至少存在如下问题：

[20] HV LDMOS 漂移区氧化层边缘硅容易裸露，产生结边缘漏电，导致LDMOS 器件击穿。

[21] **发明内容**

[22] 针对现有技术的不足，本发明提供一种半导体器件的制作方法，解决HV LDMOS 漂移区氧化层边缘硅容易裸露导致LDMOS 器件击穿的问题，在保证LDMOS 器件的驱动能力的同时，提高LDMOS 的击穿电压。

[23] 为达到上述目的，本发明采用如下技术方案：

[24] 一种半导体器件的制作方法，包括：

[25] 提供半导体衬底，所述半导体衬底包括LDMOS 区和CMOS 区；

- [26] 在所述半导体衬底上形成牺牲氧化层；
- [27] 去除所述牺牲氧化层；
- [28] 在经过牺牲氧化处理的所述半导体衬底上形成掩蔽层；
- [29] 利用所述掩蔽层作为掩膜，形成所述LDMOS的漂移区，然后在所述漂移区上方形成漂移区氧化层；
- [30] 去除所述掩蔽层。
- [31] 优选的，在所述去除掩蔽层的步骤之后，还包括：在经过牺牲氧化处理的所述半导体衬底上，形成所述CMOS的栅氧和栅极。
- [32] 优选的，所述掩蔽层的厚度为250-400埃。
- [33] 优选的，所述掩蔽层包括掩蔽氮化硅层和掩蔽氧化层，所述掩蔽氮化硅层位于所述掩蔽氧化层上方。
- [34] 优选的，所述掩蔽氮化硅层的厚度为200-350埃，所述掩蔽氧化层的厚度为50-100埃。
- [35] 优选的，所述掩蔽氮化硅层是在温度600-800度下热氧化生长形成的。
- [36] 优选的，所述掩蔽氧化层是在温度800-1000度下热氧化生长形成的。
- [37] 优选的，所述牺牲氧化层的去除的厚度大于所述牺牲氧化层的形成的厚度。
- [38] 优选的，所述牺牲氧化层形成的厚度为200-400埃，所述牺牲氧化层的去除的厚度为300-600埃。
- [39] 优选的，所述漂移区氧化层的厚度为500-1000埃。
- [40] 本发明提供了一种半导体器件的制作方法，通过将牺牲氧化的过程设置在形成LDMOS漂移区氧化层之前，解决了HV LDMOS漂移区氧化层边缘硅容易裸露，产生结边缘漏电，导致LDMOS器件击穿的问题，从而提高了LDMOS的击穿电压；并利用薄的掩蔽层形成薄的漂移区氧化层，同时就降低了生产的成本。

[41] **【附图说明】**

[42] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述，用来解释本发明的原理。

[43] 附图中：

[44] 图1为LDMOS和CMOS集成在同一芯片上的结构示意图；

- [45] 图2A- 图2G为现有技术中一种半导体器件的制作方法的各步骤的示意性剖面图；
- [46] 图3为现有技术中一种半导体器件的制作方法的流程示意图；
- [47] 图4为现有技术中漂移区氧化层拐角处发生损伤的放大图片；
- [48] 图5A- 图5G为本发明实施例中一种半导体器件的制作方法的各步骤的示意性剖面图；
- [49] 图6为本发明实施例中一种导体器件的制作方法的流程示意图；
- [50] 图7为本发明实施例中漂移区氧化层拐角处未发生损伤的放大图片。

[51] **具体实施方式】**

[52] 在下文的描述中，给出了大量具体的细节以便提供对本发明更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本发明可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本发明发生混淆，对于本领域公知的一些技术特征未进行描述。

[53] 为了彻底理解本发明，将在下列的描述中提出详细的步骤，以便阐释本发明。显然，本发明的施行并不限于本领域的技术人员所熟习的特殊细节。本发明的较佳实施例详细描述如下，然而除了这些详细描述外，本发明还可以具有其他实施方式。

[54] 应当理解的是，当在本说明书中使用术语"包含"和/或"包括"时，其指明存在所述特征、整体、步骤、操作、元件和/或组件，但不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和/或它们的组合。

[55] 下面结合附图对本发明实施例的技术方案进行详细描述。

[56] 本发明实施例提供了一种半导体器件的制作方法，如图5和图6所示，包括：

[57] 步骤601，提供半导体衬底500，所述半导体衬底500包括LDMOS区和CMOS区。

[58] 步骤602，在所述半导体衬底500上形成牺牲氧化层501。

[59] 作为示例，在制作完成下层芯片结构后，采用炉管800-1000℃在硅衬底上生长牺牲氧化层501，厚度为200-400埃。

[60] 步骤603，去除所述牺牲氧化层501。

- [61] 作为示例，采用湿法腐蚀去除该层牺牲氧化层501，湿法腐蚀量为300-600埃。
- [62] 步骤604，在经过牺牲氧化处理的所述半导体衬底500上形成掩蔽层。
- [63] 作为示例，所述掩蔽层包括掩蔽氧化层（PAD OX）502和掩蔽氮化硅层503（PAD SIN）；所述掩蔽氮化硅层503位于所述掩蔽氧化层502上方；所述PAD OX502在800-1000℃的炉管温度下生长，生长厚度为50-100埃；所述PAD SIN503在600-800℃的炉管温度下生长，生长厚度为200-350埃。
- [64] 步骤605，利用所述掩蔽层作为掩膜，形成所述LDMOS的漂移区504，然后在所述漂移区504上方形成漂移区氧化层505。
- [65] 作为示例，通过光刻曝光定义LDMOS漂移区504，通过腐蚀PAD SIN503和PAD OX502打开LDMOS漂移区504，注入200-300KeV杂质B和20-30KeV杂质P调整漂移区杂质浓度，然后通过腐蚀去除光刻胶。再进入炉管800-1000℃下热氧化生长漂移区氧化层（OX）505，厚度为500-1000埃。
- [66] 步骤606，去除所述掩蔽层。
- [67] 作为示例，通过腐蚀去除PAD SIN502和PAD OX503。
- [68] 步骤607，在经过牺牲氧化处理的所述半导体衬底500上，形成所述CMOS的栅氧511和栅极510。
- [69] 作为示例，采用炉管800-1000℃热氧化生长LV CMOS栅氧511(GOX) 100-200埃。通过扩散、光刻、腐蚀、薄膜工艺制作后续结构。
- [70] 通过将牺牲氧化的过程设置在LDMOS漂移区氧化层的制作过程之前，如图5G和图7所示，漂移区氧化层的拐角部521就不会发生损伤。
- [71] 在现有技术中，由于牺牲氧化的过程中需要刻蚀掉一部分漂移区氧化层的厚度，所以为了保证牺牲氧化后形成的漂移区氧化层（OX）的厚度能够达到500-1000埃，需要预先增加制作漂移区氧化层的厚度，一般为1500-2500埃。因此，本发明就可减少制作漂移区氧化层的厚度，相应的，就会减少所需掩蔽层的厚度，如图2所示，原先的掩蔽氧化层厚度为100-300埃，原先的掩蔽氮化硅层厚度为1000-2000埃，这样就降低了生产的成本。
- [72] 本发明提供的一种半导体器件的制作方法，通过将牺牲氧化的过程设置在LDMOS漂移区氧化层的制作过程之前，解决了HV LDMOS漂移区氧化层边缘硅容易

裸露，产生结边缘漏电，导致LDMOS器件击穿的问题，从而提高了LDMOS的击穿电压；并利用薄的掩蔽层形成薄的漂移区氧化层，同时就降低了生产的成本。

[73] 本发明实施例适用于BCD工艺等。

[74] 本发明已经通过上述实施例进行了说明，但应当理解的是，上述实施例只是用于举例和说明的目的，而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是，本发明并不局限于上述实施例，根据本发明的教导还可以做出更多种的变型和修改，这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

权利要求书

- [权利要求 1] 一种半导体器件的制作方法，包括：
提供半导体衬底，所述半导体衬底包括LD MOS 区和CMOS 区；
在所述半导体衬底上形成牺牲氧化层；
去除所述牺牲氧化层；
在经过牺牲氧化处理的所述半导体衬底上形成掩蔽层；
利用所述掩蔽层作为掩膜，形成所述LD MOS 的漂移区，然后在所述漂移区上方形成漂移区氧化层；
去除所述掩蔽层。
- [权利要求 2] 根据权利要求 1所述的半导体器件的制作方法，其特征在于，在所述去除掩蔽层的步骤之后，还包括：在经过牺牲氧化处理的所述半导体衬底上，形成所述CMOS 的栅氧和栅极。
- [权利要求 3] 根据权利要求 1所述的半导体器件的制作方法，其特征在于，所述掩蔽层的厚度为250-400 埃。
- [权利要求 4] 根据权利要求 1所述的半导体器件的制作方法，其特征在于，所述掩蔽层包括掩蔽氮化硅层和掩蔽氧化层，所述掩蔽氮化硅层位于所述掩蔽氧化层上方。
- [权利要求 5] 根据权利要求 4所述的半导体器件的制作方法，其特征在于，所述掩蔽氮化硅层的厚度为200-350 埃，所述掩蔽氧化层的厚度为50-100 埃。
- [权利要求 6] 根据权利要求 4所述的半导体器件的制作方法，其特征在于，所述掩蔽氮化硅层是在温度600-800 度下热氧化生长形成的。
- [权利要求 7] 根据权利要求 4所述的半导体器件的制作方法，其特征在于，所述掩蔽氧化层是在温度800-1000 度下热氧化生长形成的。
- [权利要求 8] 根据权利要求 1所述的半导体器件的制作方法，其特征在于，所述牺牲氧化层的去除的厚度大于所述牺牲氧化层的形成的厚度。
- [权利要求 9] 根据权利要求 8所述的半导体器件的制作方法，其特征在于，所述牺牲氧化层形成的厚度为200-400 埃，所述牺牲氧化层的去除

的厚度为300-600 埃。

[权利要求 10]

根据权利要求1所述的半导体器件的制作方法，其特征在于，
所述漂移区氧化层的厚度为500-1000 埃。

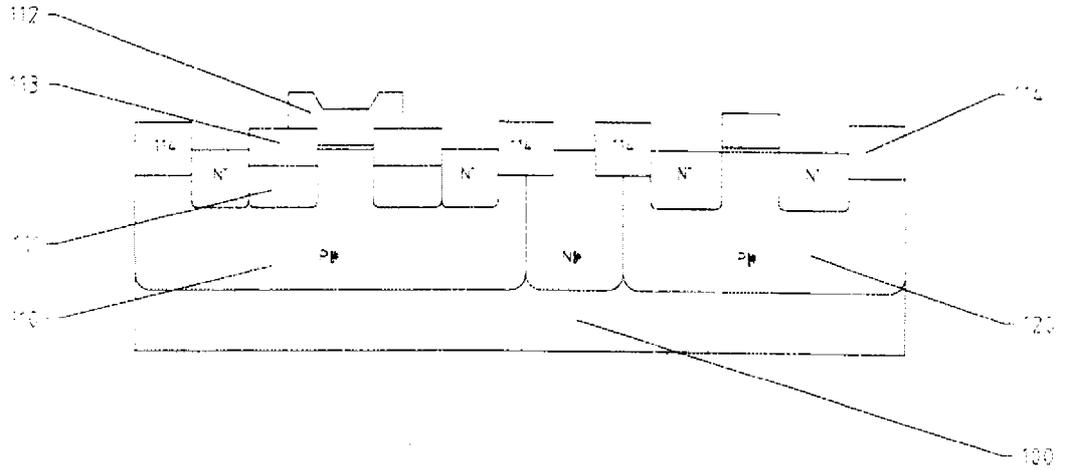


图 1

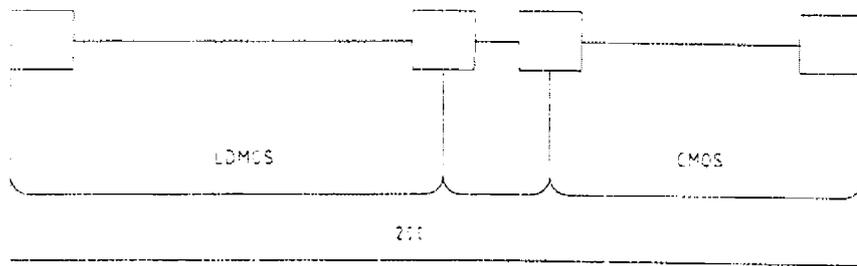


图 2A

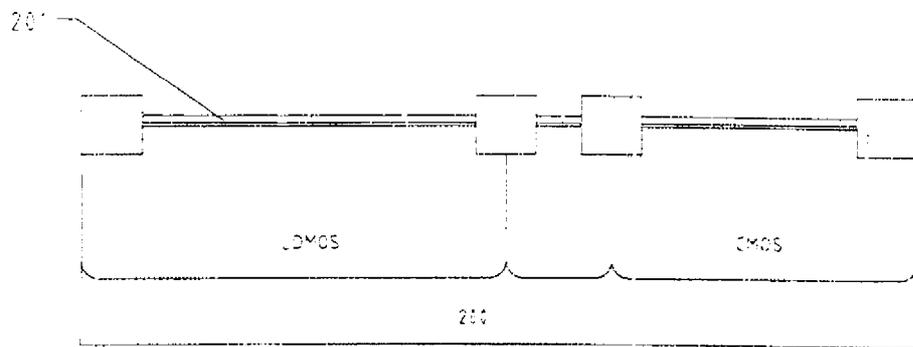


图 2B

替换页(细则第26条)

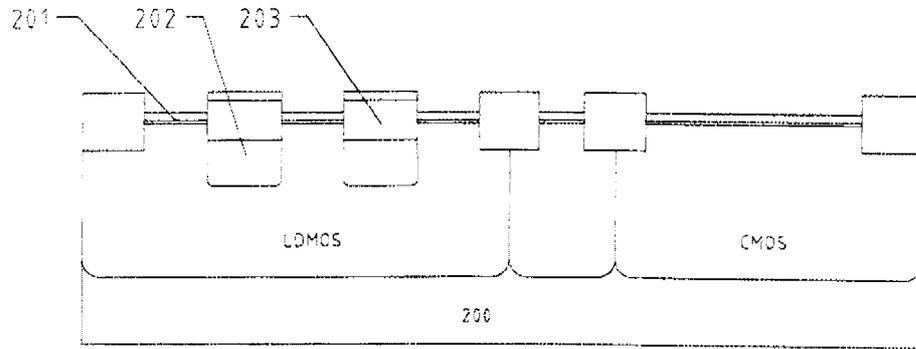


图 2C

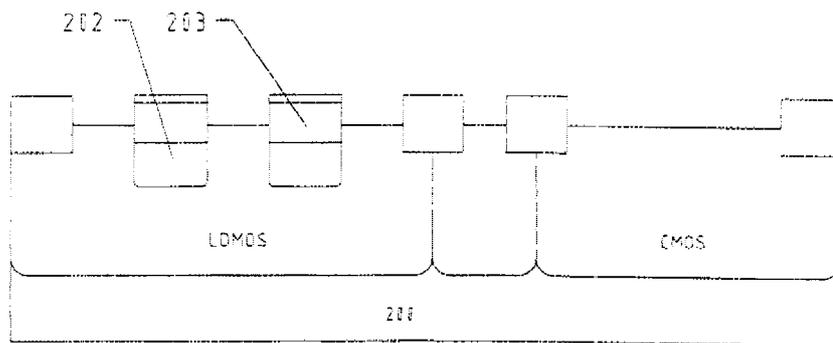


图 2D

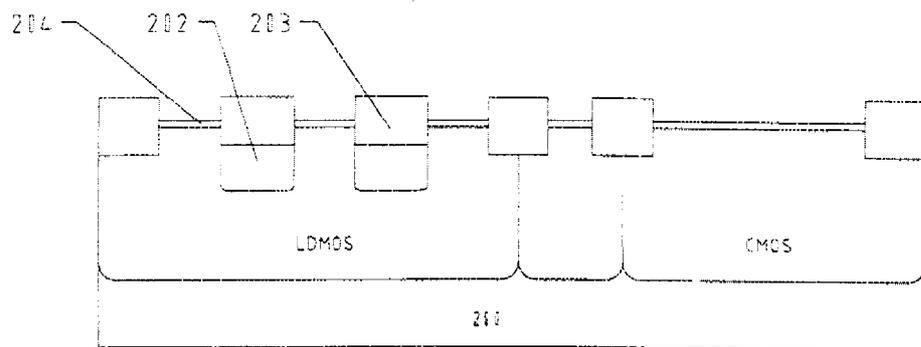


图 2E

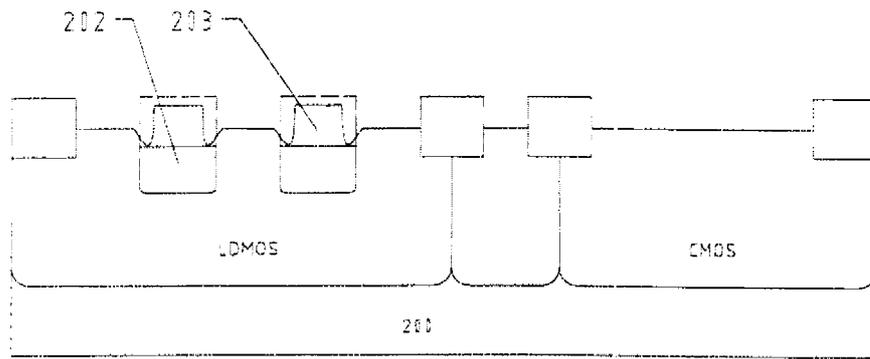


图 2F

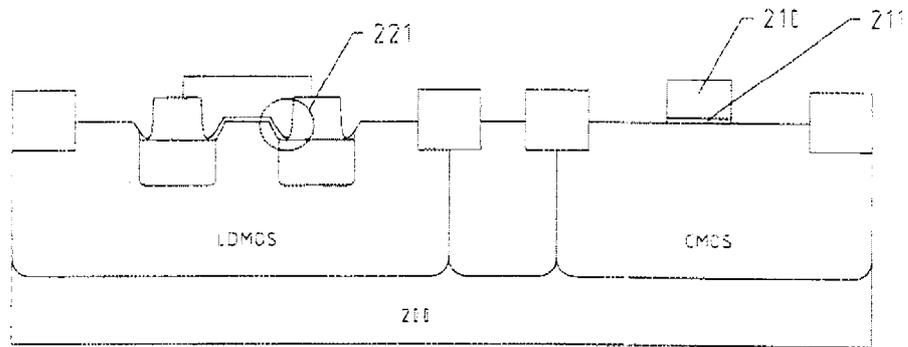


图 2G

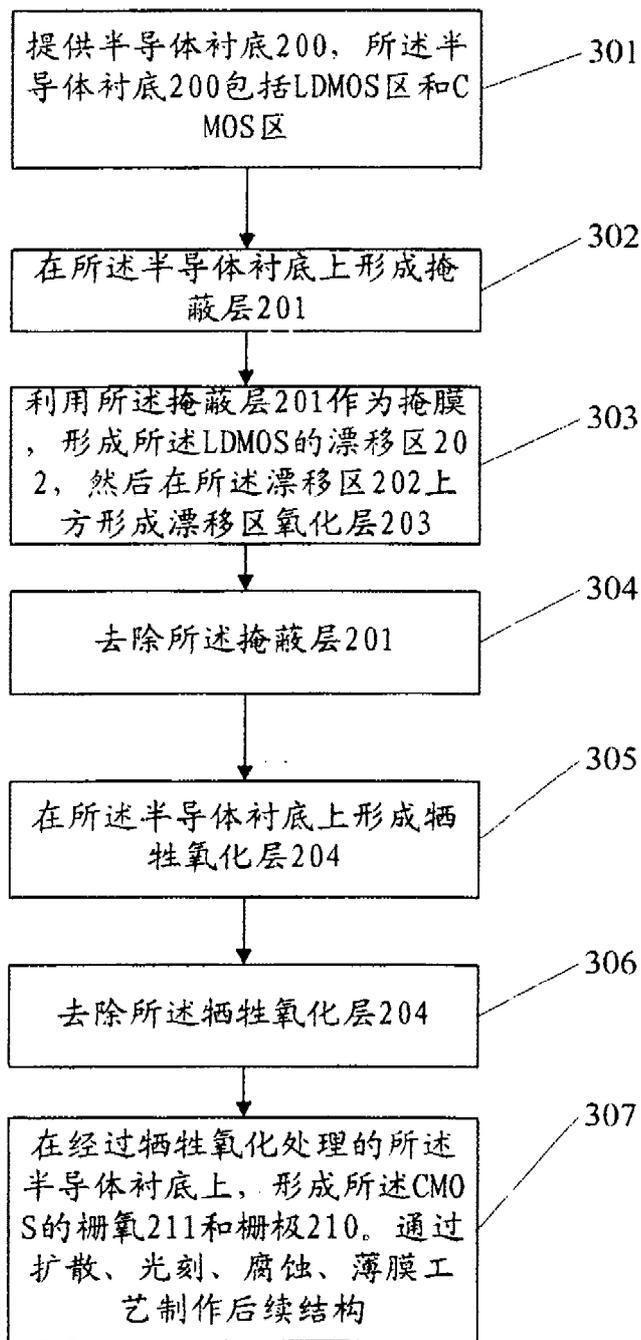


图 3

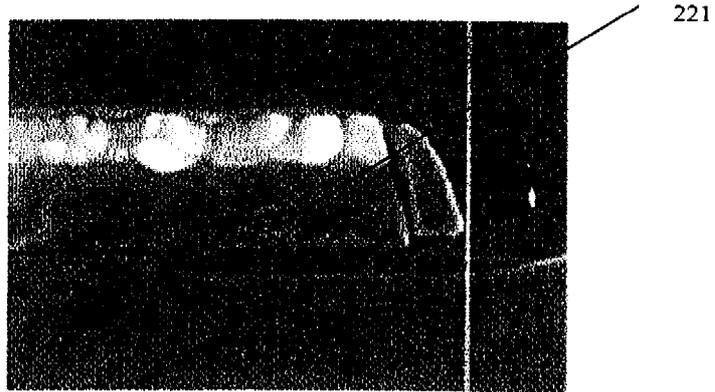


图 4

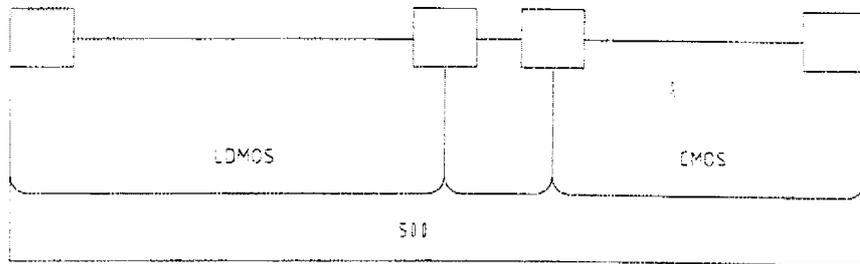


图 5A

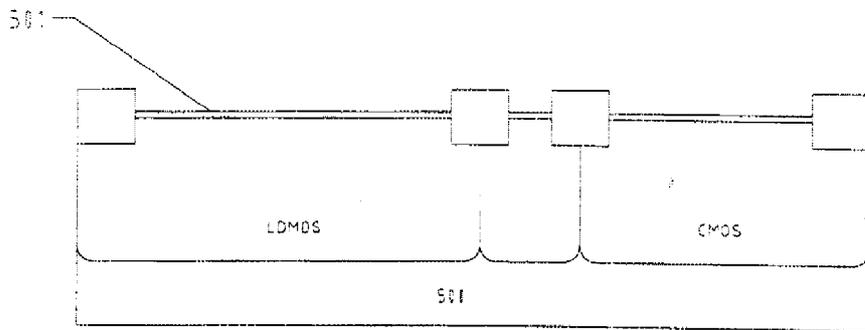


图 5B

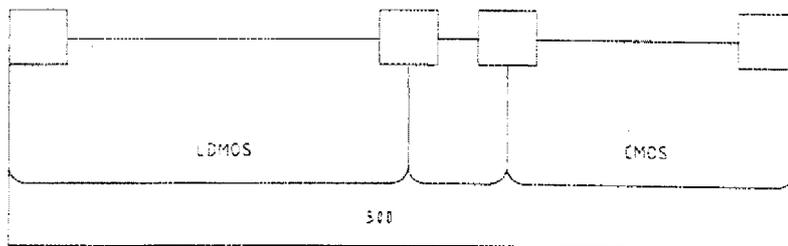


图 5C

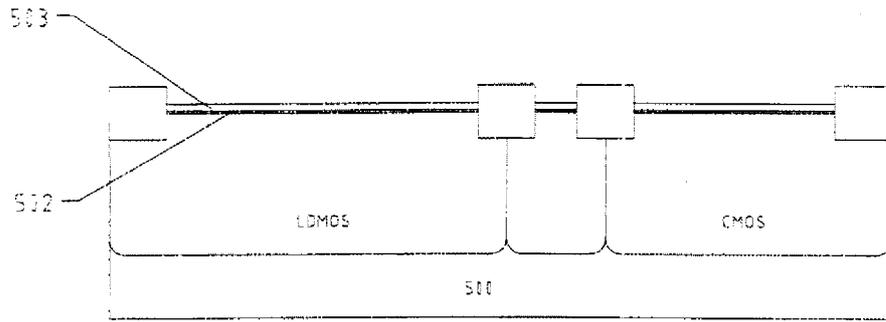


图 5D

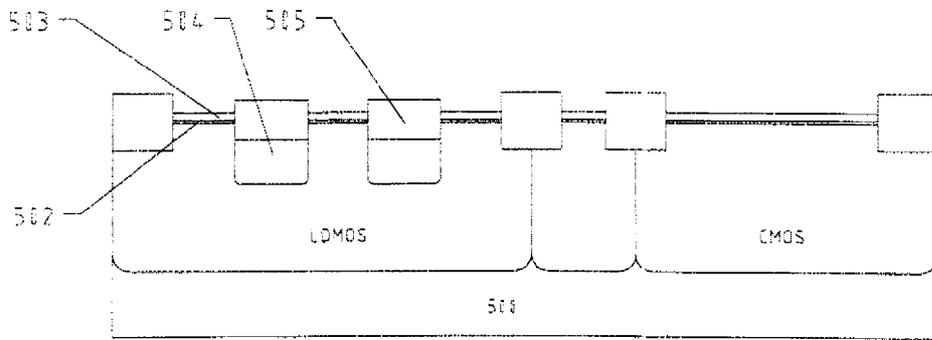


图 5E

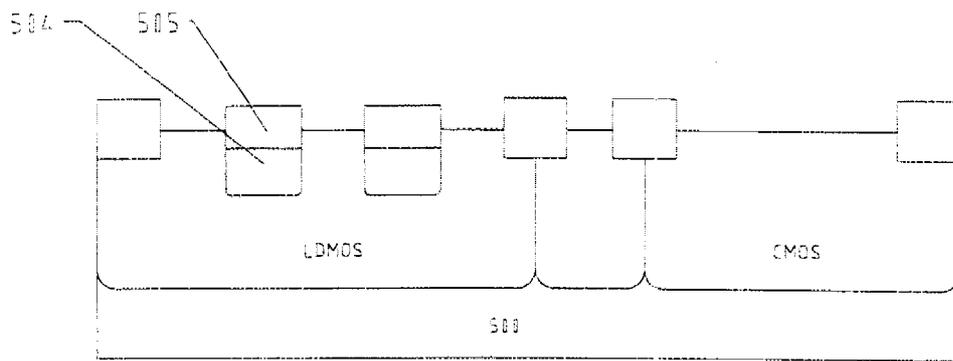


图 5F

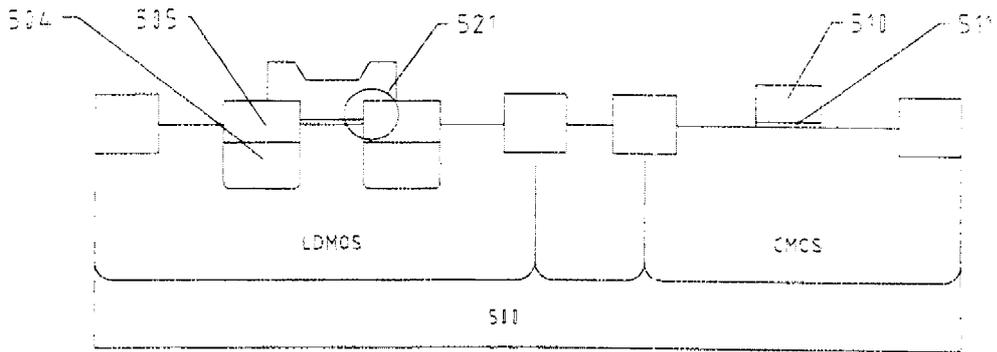


图 5G

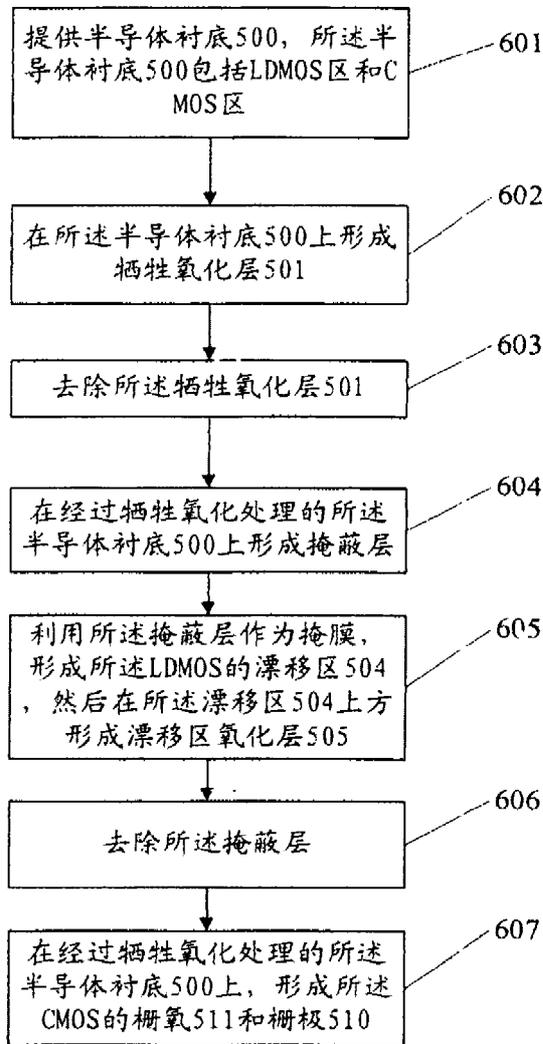


图 6



图 7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/085396

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) of to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) :WPI., EPODOC, CNPAT, CNKI: LDMOS, CMOS, sacrific+, oxide, mask, gate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101359664 A (SHANGHAI BEILING CO LTD et al.) 04 February 2009 (04.02.2009) claim 7, description, page 3, lines 3-7, page 12, line 1, page 16, line 22 and fig. 5 to fig. 14	1-10
A	US 2005/0106925 A I (You et al.) 19 May 2005 (19.05.2005) the whole document	1-10

II Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 27 Februray 2013 (27.02.2013)	Date of mailing of the international search report 07 March 2013 (07.03.2013)
--	--

Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10)62019451	Authorized officer GAO, Mingjie Telephone No. (86-10) 62411783
--	--

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/085396

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101359664 A	04.02.2009	CN 101359664 B	05.10.2011
US 2005/0106825 A I	19.05.2005	US 7163856 B2	16.01.2007
		US 7163856 C1	29.03.2011

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/085396

Continued from classification of subject matter:

HOIL 21/82 (2006.01) i

H01L 27/085 (2006.01) i

A. 主题的分类
见附加页
按照国际专利分类(IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域
检索的最低限度文献(标明分类系统和分类号)
IPC:H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词 (如使用)) WPI,EPODOC,CNPAT,CNKI:
LDMOS,CMOS, 牺牲, 氧化, 掩蔽, 掩膜, 阻挡, 栅, sacrific+, oxide, mask, gate

C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN101359664A (上海贝岭股份有限公司等) 04.2 月 2009 (04.02.2009) 权利要求 7, 说明书第 3 页第 3-7 行, 第 12 页第 1 行及第 16 页第 22 行及附图 5-14	1-10
A	US2005/0106825A1(You 等) 19.5 月 2005 (19.05.2005) 全文	1-10

其余文件在 C 栏的续页中列出。 因 见同族专利附件。

* 引用文件的具体类型:	"T" 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件
"A" 认为不特别相关的表示了现有技术一般状态的文件	"X" 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性
"E" 在国际申请日的 3 个月之后公布的在先申请或专利	"Y" 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性
"L" 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)	"&" 同族专利的文件
"O" 涉及口头公开、使用、展览或其他方式公开的文件	
"P" 公布日先于国际申请日但迟于所要求的优先权日的文件	

国际检索实际完成的日期 27.2 月 2013 (27.02.2013)	国际检索报告邮寄日期 07.3 月 2013 (07.03.2013)
---	--

ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451	授权官员 铭洁 电话号码: (86-10) 62411783
--	--

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2012/085396

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101359664A	04.02.2009	CN101359664B	05.10.2011
US2005/0106825 A1	19.05.2005	US7163856B2	16.01.2007
		US7163856C1	29.03.2011

续：主题的分类：
H01L 21/82 (2006.01)1
H01L 27/085 (2006.0)1j