



(57) 摘要:

本发明公开了一种非对称栅 MOS 器件，其栅极为金属栅，且所述金属栅的功函数在所述 MOS 器件的源端与漏端不同，从而使得 MOS 器件的整体性能参数更加优化；同时，还公开了一种非对称栅 MOS 器件的制备方法，该方法通过对 MOS 器件的栅极进行离子注入掺杂，使所述栅极的功函数在所述 MOS 器件的源端与漏端不同，从而使得 MOS 器件的整体性能参数更加优化，该方法简单方便。

一种非对称栅 MOS 器件及其制备方法

5 技术领域

本发明涉及半导体工艺技术领域，尤其涉及一种非对称栅 MOS 器件及其制备方法。

背景技术

10 自从第一个晶体管发明以来，经过几十年的飞速发展，晶体管的横向和纵向尺寸都迅速缩小。据国际半导体技术蓝图（ITRS, International Technology Roadmap for Semiconductors）在 2004 年的预测，到 2018 年晶体管的特征尺寸将达到 7nm。尺寸的持续缩小使晶体管的性能（速度）不断提高，也使得我们能够 15 在相同面积的芯片上集成更多的器件，集成电路的功能越来越强，同时也降低了单位功能成本。

然而器件特征尺寸的不断减小也带来了一系列的挑战。当器件的特征尺寸进入到深亚微米以后，器件的短沟道效应（SCE, Short Channel Effect）、漏致势垒降低效应（DIBL, Drain Induced Barrier Lower Effect）、热载流子效应（HCE, Hot Carrier Effect）等日趋严重，从而使器件的性能退化。现有技术主要通过沟道工程来解决这些问题。沟道工程是通过沟道内的非均匀掺杂来提高器件的性 20 能，所得到的沟道电场分布是连续的。

在沟道工程中，人们提出了许多新的沟道结构器件，如轻掺杂漏（LDD, Lightly Doped Drain）、Pocket 和 Halo 结构等。轻掺杂漏结构可以有效地吸收漏端的电力线，降低器件的漏端电场，抑制热载流子效应。Pocket 和 Halo 结构器 25 件可以通过对源端进行局部重掺杂，抬高源端势垒，削弱漏端电场对源端势垒的影响，很好地抑制器件的阈值电压漂移、源漏穿通以及器件的 DIBL 效应。

但是上述 LDD 结构增加了器件源漏区的串联电阻，会使器件的驱动电流降低；Pocket 结构中，当 Pocket 的注入剂量/能量增加时，器件的阈值电压升高，也使器件的饱和驱动电流降低，这都影响了器件的工作速度。

为了解决上述问题，目前提出了一种非对称栅场效应晶体管，所谓非对称栅场效应晶体管是指晶体管的源区与漏区的栅结构等不完全相同，进而使得载流子发射区（源区）与载流子收集区（漏区）产生电学和物理性能上的不对称性，从而可以使得晶体管的整体性能参数更加优化，对未来极小尺寸晶体管的优化设计有着特别重要的作用。

现有的制备非对称栅场效应晶体管的方法通常是在晶体管的源端与漏端形成厚度不一致的栅氧化层，通过调节源端与漏端的栅氧化层的厚度来调节沟道的电场分布，从而提高晶体管的综合性能。

然而，上述通过在晶体管的源端与漏端形成厚度不一致的栅氧化层来制备非对称栅场效应晶体管的方法在工艺上具有一定的难度，很难实现较好的控制。

因此，如何方便有效地制备出非对称栅纳米 MOS 器件，已成为目前业界亟需解决的技术问题。

发明内容

本发明的目的在于提供一种非对称栅 MOS 器件及其制备方法，以提高 MOS 器件的性能。

为解决上述问题，本发明提出一种非对称栅 MOS 器件，所述 MOS 器件的栅极为金属栅，且所述金属栅的功函数在所述 MOS 器件的源端与漏端不同。

可选的，所述金属栅为金属半导体化合物纳米线。

可选的，该 MOS 器件具体包括：

半导体衬底；

栅氧化层，形成于所述半导体衬底上；

栅极，形成于所述栅氧化层上，并且所述栅极的两侧形成有侧墙；以及源漏区，形成于所述栅极两侧的所述半导体衬底内。

可选的，所述金属栅的长度为 2~11nm。

可选的，所述半导体衬底为硅或绝缘层上硅，所述金属半导体化合物纳米线为金属硅化物纳米线。

可选的，所述半导体衬底为锗或绝缘层上锗，所述金属半导体化合物纳米线为金属锗化物纳米线。

同时,为解决上述问题,本发明还提出一种上述非对称栅 MOS 器件的制备方法,该方法包括如下步骤:

提供半导体衬底;

在所述半导体衬底上制备栅氧化层;

5 在所述栅氧化层上制备栅极,并对所述栅极进行离子注入掺杂,使所述栅极两侧的功函数不同;

在所述栅极的两侧形成侧墙;

进行源漏注入,在所述半导体衬底内形成源漏区。

可选的,在所述栅氧化层上制备栅极具体包括如下步骤:

10 在所述栅氧化层上依次形成多晶半导体层以及绝缘层;

依次对所述绝缘层以及所述多晶半导体层进行刻蚀,去掉两侧的绝缘层以及多晶半导体层;

在所述多晶半导体层两侧的侧壁上沉积金属薄膜,所述金属薄膜中的金属向所述多晶半导体层扩散;

15 去除所述多晶半导体层侧壁表面剩余的金属薄膜;

对所述多晶半导体层进行退火,在所述多晶半导体层的侧壁表面形成金属半导体化合物纳米线;

去除所述绝缘层及所述多晶半导体层;

以所述金属半导体化合物纳米线为掩模,对所述栅氧化层进行刻蚀;以及

20 对所述金属半导体化合物纳米线进行离子注入掺杂,使所述金属半导体化合物纳米线两侧的功函数不同。

可选的,所述对金属半导体化合物纳米线进行离子注入掺杂所采用的离子为 P 离子、As 离子或 B 离子中的任一种或其组合。

可选的,所述对金属半导体化合物纳米线进行离子注入掺杂,使所述金属
25 半导体化合物纳米线两侧的功函数不同,是通过对所述金属半导体化合物纳米线进行单边离子注入实现的。

可选的,所述对金属半导体化合物纳米线进行离子注入掺杂,使所述金属半导体化合物纳米线两侧的功函数不同,是通过对所述金属半导体化合物纳米线进行双边离子注入实现的。

可选的,所述金属薄膜是通过 PVD 法沉积在所述多晶半导体层两侧的侧壁上的。

可选的,在所述 PVD 法沉积金属薄膜的过程中,将靶材部分离化成离子状态,使其产生金属离子,并在所述多晶半导体层上加第一偏压。

5 可选的,所述将靶材部分离化成离子状态是通过在所述靶材上加第二偏压实现的。

可选的,所述第一偏压为直流偏压、交流偏压或脉冲偏压中的任一种。

可选的,所述第二偏压为直流偏压、交流偏压或脉冲偏压中的任一种。

10 可选的,所述半导体衬底为硅或绝缘层上硅,所述多晶半导体层为多晶硅层,所述金属半导体化合物纳米线为金属硅化物纳米线。

可选的,所述半导体衬底为锗或绝缘层上锗,所述多晶半导体层为多晶锗层,所述金属半导体化合物纳米线为金属锗化物纳米线。

15 可选的,所述金属半导体化合物纳米线由金属与所述多晶半导体层反应生成,其中,所述金属为镍、钴、钛、镱中的任一种,或镍、钴、钛、镱中的任一种并掺入铂。

可选的,所述金属中还掺入了钨和/或钼。

可选的,在所述多晶半导体层两侧的侧壁上沉积金属薄膜时的衬底温度为 0~300℃。

可选的,所述退火的温度为 200~900℃。

20 与现有技术相比,本发明提供的非对称栅 MOS 器件,其栅极为金属栅,且所述金属栅的功函数在所述 MOS 器件的源端与漏端不同,从而使得 MOS 器件的整体性能参数更加优化。

25 与现有技术相比,本发明提供的非对称栅 MOS 器件的制备方法通过对 MOS 器件的栅极进行离子注入掺杂,使所述栅极的功函数在所述 MOS 器件的源端与漏端不同,从而使得 MOS 器件的整体性能参数更加优化,该方法简单方便。

附图说明

图 1 为本发明实施例提供的非对称栅 MOS 器件的剖面图;

图 2 为本发明实施例提供的非对称栅 MOS 器件的制备方法的流程图;

图 3A 至图 3K 为本发明实施例提供的非对称栅 MOS 器件的制备方法的各步骤对应的器件剖面图。

具体实施方式

5 以下结合附图和具体实施例对本发明提出的非对称栅 MOS 器件及其制备方法作进一步详细说明。根据下面说明和权利要求书，本发明的优点和特征将更清楚。需说明的是，附图均采用非常简化的形式且均使用非精准的比率，仅用于方便、明晰地辅助说明本发明实施例的目的。

10 本发明的核心思想在于，提供一种非对称栅 MOS 器件，其栅极为金属栅，且所述金属栅的功函数在所述 MOS 器件的源端与漏端不同，从而使得 MOS 器件的整体性能参数更加优化；同时，还提供一种非对称栅 MOS 器件的制备方法，该方法通过对 MOS 器件的栅极进行离子注入掺杂，使所述栅极的功函数在所述 MOS 器件的源端与漏端不同，从而使得 MOS 器件的整体性能参数更加优化，该方法简单方便。

15 请参考图 1，图 1 为本发明实施例提供的非对称栅 MOS 器件的剖面图，如图 1 所示，本发明实施例提供的非对称栅 MOS 器件 100 的栅极为金属栅，且所述金属栅的功函数在所述 MOS 器件 100 的源端与漏端不同。具体地，本发明实施例提供的非对称栅 MOS 器件 100 包括：

半导体衬底 101；

20 栅氧化层 102，形成于所述半导体衬底 101 上；其中，所述栅氧化层 102 为高 K 介质层；

栅极，形成于所述栅氧化层 102 上，并且所述栅极的两侧形成有侧墙 104；其中，所述栅极为金属栅，所述金属栅两侧的功函数不同；在本发明的一个具体实施例中，所述金属栅为金属半导体化合物纳米线 103；以及

25 源漏区，形成于所述栅极两侧的所述半导体衬底 101 内；具体地，包括形成于所述栅极两侧的所述半导体衬底 101 内的源区 105 以及漏区 106；所述金属栅在所述源区 105 与漏区 106 的功函数不同。

进一步地，所述金属栅的长度为 2~11nm，即本发明实施例提供的 MOS 器件 100 的特征尺寸为 2~11nm。

进一步地, 所述半导体衬底 101 为硅或绝缘层上硅, 所述金属半导体化合物纳米线 103 为金属硅化物纳米线。

进一步地, 所述半导体衬底 101 为锗或绝缘层上锗, 所述金属半导体化合物纳米线 103 为金属锗化物纳米线。

5 请继续参考图 2, 以及图 3A 至图 3K, 其中, 图 2 为本发明实施例提供的非对称栅 MOS 器件的制备方法的流程图, 图 3A 至图 3K 为本发明实施例提供的非对称栅 MOS 器件的制备方法的各步骤对应的器件剖面图。结合图 2, 以及图 3A 至图 3K, 本发明实施例提供的非对称栅 MOS 器件 100 的制备方法包括如下步骤:

10 S101、提供半导体衬底 101;

S102、在所述半导体衬底 101 上制备栅氧化层 102; 其中, 所述栅氧化层 102 为高 K 介质层;

S103、在所述栅氧化层 102 上制备栅极, 并对所述栅极进行离子注入掺杂, 使所述栅极两侧的功函数不同; 其中, 所述栅极为金属栅; 在本发明的一个具体实施例中, 所述金属栅为金属半导体化合物纳米线 103; 具体地, 在所述栅氧化层 102 上制备栅极又包括以下步骤:

在所述栅氧化层 102 上依次形成多晶半导体层 110 以及绝缘层 120, 如图 3A 所示;

依次对所述绝缘层 120 以及所述多晶半导体层 110 进行刻蚀, 去掉两侧的绝缘层 120 以及多晶半导体层 110, 如图 3B 所示;

在所述多晶半导体层 110 两侧的侧壁上沉积金属薄膜 130, 如图 3C 所示; 所述金属薄膜 130 中的金属向所述多晶半导体层 110 扩散;

去除所述多晶半导体层 110 侧壁表面剩余的金属薄膜 130, 如图 3D 所示, 所述金属扩散至所述多晶半导体层 110 表面后, 在所述多晶半导体层 110 的表面形成含有金属的半导体薄层 140;

对所述多晶半导体层 110 进行退火, 在所述多晶半导体层 110 的侧壁表面形成金属半导体化合物纳米线 103, 如图 3E 所示;

去除所述绝缘层 120 及所述多晶半导体层 110, 如图 3F 所示;

以所述金属半导体化合物纳米线 103 为掩模, 对所述栅氧化层 102 进行刻

蚀；刻蚀后的器件剖面图如图 3G 所示；以及

对所述金属半导体化合物纳米线 103 进行离子注入掺杂，使所述金属半导体化合物纳米线 103 两侧的功函数不同；其中，所述对金属半导体化合物纳米线 103 进行离子注入掺杂所采用的离子为 P 离子、As 离子或 B 离子中的任一种或其组合。并且该离子注入掺杂可通过对所述金属半导体化合物纳米线 103 进行单边离子注入实现，如图 3H 所示，即对所述金属半导体化合物纳米线 103 的一边侧壁进行离子注入掺杂，使得所述金属半导体化合物纳米线 103 两侧的离子掺杂不同；也可以通过对所述金属半导体化合物纳米线 103 进行双边离子注入实现，如图 3I 所示，即对所述金属半导体化合物纳米线 103 的两边侧壁均进行离子注入掺杂，此时可选择两边注入的离子剂量不同，或者两边注入的离子种类不同，使得所述金属半导体化合物纳米线 103 两侧的离子掺杂不同。

由于注入的离子会聚集到所述金属半导体化合物纳米线 103 与所述栅氧化层 102 的界面，从而改变所述金属半导体化合物纳米线 103 与所述栅氧化层 102 之间的功函数，而栅极的功函数决定了器件的阈值电压，因此，通过调节栅在源区与漏区的功函数，使其不同，进而使得源区与漏区产生电学和物理性能上的不对称性，从而可以使得晶体管的整体性能参数更加优化。

S104、在所述栅极的两侧形成侧墙 104，如图 3J 所示；

S105、进行源漏注入，在所述半导体衬底 101 内形成源漏区；具体地，在所述栅极两侧的半导体衬底 101 内形成源区 106 以及漏区 107，完成非对称栅 MOS 器件 100 的制备，如图 3K 所示。

进一步地，所述金属薄膜 130 是通过 PVD 法沉积在所述多晶半导体层 110 两侧的侧壁上的。并且，在所述 PVD 法沉积金属薄膜 130 的过程中，还可以选择将靶材部分离化成离子状态，使其产生金属离子，并在所述多晶半导体层 110 上加第一偏压；其中，所述将靶材部分离化成离子状态可通过在所述靶材上加第二偏压实现；并且，所述第一偏压为直流偏压、交流偏压或脉冲偏压中的任一种，所述第二偏压为直流偏压、交流偏压或脉冲偏压中的任一种。

通过将靶材部分离化成离子状态，使其产生金属离子，并在所述多晶半导体层 110 上加第一偏压，使得所述金属离子加速向所述多晶半导体层 110 的侧壁运动，并进入所述多晶半导体层 110 的侧壁，从而使得扩散至所述多晶半导

体层 110 的侧壁的金属离子更多, 扩散深度更深, 因而最终形成的金属半导体化合物纳米线 103 的宽度加宽, 从而使得本发明实施例提供的非对称栅 MOS 器件 100 的栅极长度加长, 特征尺寸加大; 因此本发明实施例提供的非对称栅 MOS 器件 100 的栅极长度是可调的。具体地, 所述非对称栅 MOS 器件 100 的栅极长度可为 2~11nm。

需要说明的是, 在本发明的一个具体实施例中, 所述将靶材部分离化成离子状态是通过在所述靶材上加第二偏压实现的, 然而本发明并不以此为限, 任何使得靶材的一部分离化成离子状态的方式都在本发明的保护范围之内。

进一步地, 所述半导体衬底 101 为硅或绝缘层上硅, 所述多晶半导体层 110 为多晶硅层, 所述金属半导体化合物纳米线 103 为金属硅化物纳米线。

进一步地, 所述半导体衬底 101 为锗或绝缘层上锗, 所述多晶半导体层 110 为多晶锗层, 所述金属半导体化合物纳米线 103 为金属锗化物纳米线。

需要说明的是, 在本发明的一个具体实施例中, 所述半导体衬底 101 可为硅或绝缘层上硅、以及锗或绝缘层上锗, 然而应该认识到, 本发明并不以此为限, 所述半导体衬底 101 还可为其它类型的半导体衬底, 如砷化镓等三五族半导体衬底。

进一步地, 所述金属半导体化合物纳米线 103 由金属与所述多晶半导体层 110 反应生成, 其中, 所述金属为镍、钴、钛、镱中的任一种, 或镍、钴、钛、镱中的任一种并掺入铂; 掺入铂是因为纯的一硅化镍在高温条件下稳定性差, 或出现薄膜厚度变得不均匀并结块, 或生成电阻率高的二硅化镍 NiSi_2 , 严重影响器件的性能, 因此, 为了减慢硅化镍的生长速度以及防止硅化镍薄层遇到高温时发生结块或形成二硅化镍, 可以在镍中掺入一定比例的铂; 其它金属中掺铂作类似解释。

进一步地, 所述金属中还掺入了钨和/或钼; 以进一步控制硅化镍或掺铂硅化镍的生长和镍/铂的扩散, 并增加硅化镍或掺铂硅化镍的稳定性; 其它金属中掺钨和/或钼作类似解释。

进一步地, 在所述多晶半导体层 110 两侧的侧壁上沉积金属薄膜 130 时的衬底温度为 0~300℃; 这是因为对金属镍来说, 沉积温度超过 300℃会造成在超量的镍扩散的同时镍会和多晶半导体层 110(例如多晶硅)直接反应形成硅化镍,

导致厚度控制的失败；在该特定温度下，镍会经多晶硅侧壁表面向多晶硅侧壁进行扩散，这种扩散具有自饱和特性：镍向多晶硅侧壁进行扩散仅在硅的表面薄层中发生，形成一定硅/镍原子比例的薄层镍，该薄层镍的厚度和淀积时的衬底温度有关，温度越高，该薄层镍的厚度也越大，在室温下，该薄层镍的等效镍厚度为 2 纳米左右。

进一步地，所述退火的温度为 200~900℃。

由于本发明实施例提供的金属半导体化合物纳米线 103 是通过在多晶半导体层 110 两侧的侧壁表面沉积金属薄膜 130，所述金属薄膜 130 中的金属向所述多晶半导体层 110 的侧壁表面扩散，经过退火后，在所述多晶半导体层 110 的侧壁表面形成金属半导体化合物纳米线 103（即金属栅），而不需要利用高分辨率的光刻技术来形成金属半导体化合物纳米线 103，因而大大节约了成本。

综上所述，本发明提供了一种非对称栅 MOS 器件，其栅极为金属栅，且所述金属栅的功函数在所述 MOS 器件的源端与漏端不同，从而使得 MOS 器件的整体性能参数更加优化；同时，还提供了一种非对称栅 MOS 器件的制备方法，该方法通过对 MOS 器件的栅极进行离子注入掺杂，使所述栅极的功函数在所述 MOS 器件的源端与漏端不同，从而使得 MOS 器件的整体性能参数更加优化，该方法简单方便。

显然，本领域的技术人员可以对发明进行各种改动和变型而不脱离本发明的精神和范围。这样，倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内，则本发明也意图包含这些改动和变型在内。

权 利 要 求 书

1、一种非对称栅 MOS 器件，其特征在于，所述 MOS 器件的栅极为金属栅，且所述金属栅的功函数在所述 MOS 器件的源端与漏端不同。

2、如权利要求 1 所述的非对称栅 MOS 器件，其特征在于，所述金属栅为
5 金属半导体化合物纳米线。

3、如权利要求 2 所述的非对称栅 MOS 器件，其特征在于，该 MOS 器件具体包括：

半导体衬底；

栅氧化层，形成于所述半导体衬底上；

10 栅极，形成于所述栅氧化层上，并且所述栅极的两侧形成有侧墙；以及
源漏区，形成于所述栅极两侧的所述半导体衬底内。

4、如权利要求 3 所述的非对称栅 MOS 器件，其特征在于，所述金属栅的长度为 2~11nm。

5、如权利要求 4 所述的非对称栅 MOS 器件，其特征在于，所述半导体衬
15 底为硅或绝缘层上硅，所述金属半导体化合物纳米线为金属硅化物纳米线。

6、如权利要求 4 所述的非对称栅 MOS 器件，其特征在于，所述半导体衬底为锗或绝缘层上锗，所述金属半导体化合物纳米线为金属锗化物纳米线。

7、一种如权利要求 3 所述的非对称栅 MOS 器件的制备方法，其特征在于，包括如下步骤：

20 提供半导体衬底；

在所述半导体衬底上制备栅氧化层；

在所述栅氧化层上制备栅极，并对所述栅极进行离子注入掺杂，使所述栅极两侧的功函数不同；

在所述栅极的两侧形成侧墙；

25 进行源漏注入，在所述半导体衬底内形成源漏区。

8、如权利要求 7 所述的非对称栅 MOS 器件的制备方法，其特征在于，在所述栅氧化层上制备栅极具体包括如下步骤：

在所述栅氧化层上依次形成多晶半导体层以及绝缘层；

依次对所述绝缘层以及所述多晶半导体层进行刻蚀，去掉两侧的绝缘层以

及多晶半导体层;

在所述多晶半导体层两侧的侧壁上沉积金属薄膜, 所述金属薄膜中的金属向所述多晶半导体层扩散;

去除所述多晶半导体层侧壁表面剩余的金属薄膜;

5 对所述多晶半导体层进行退火, 在所述多晶半导体层的侧壁表面形成金属半导体化合物纳米线;

去除所述绝缘层及所述多晶半导体层;

以所述金属半导体化合物纳米线为掩模, 对所述栅氧化层进行刻蚀; 以及

10 对所述金属半导体化合物纳米线进行离子注入掺杂, 使所述金属半导体化合物纳米线两侧的功函数不同。

9、如权利要求 8 所述的非对称栅 MOS 器件的制备方法, 其特征在于, 所述对金属半导体化合物纳米线进行离子注入掺杂所采用的离子为 P 离子、As 离子或 B 离子中的任一种或其组合。

15 10、如权利要求 9 所述的非对称栅 MOS 器件的制备方法, 其特征在于, 所述对金属半导体化合物纳米线进行离子注入掺杂, 使所述金属半导体化合物纳米线两侧的功函数不同, 是通过对所述金属半导体化合物纳米线进行单边离子注入实现的。

20 11、如权利要求 9 所述的非对称栅 MOS 器件的制备方法, 其特征在于, 所述对金属半导体化合物纳米线进行离子注入掺杂, 使所述金属半导体化合物纳米线两侧的功函数不同, 是通过对所述金属半导体化合物纳米线进行双边离子注入实现的。

12、如权利要求 8 所述的非对称栅 MOS 器件的制备方法, 其特征在于, 所述金属薄膜是通过 PVD 法沉积在所述多晶半导体层两侧的侧壁上的。

25 13、如权利要求 12 所述的非对称栅 MOS 器件的制备方法, 其特征在于, 在所述 PVD 法沉积金属薄膜的过程中, 将靶材部分离化成离子状态, 使其产生金属离子, 并在所述多晶半导体层上加第一偏压。

14、如权利要求 13 所述的非对称栅 MOS 器件的制备方法, 其特征在于, 所述将靶材部分离化成离子状态是通过在所述靶材上加第二偏压实现的。

15、如权利要求 14 所述的非对称栅 MOS 器件的制备方法, 其特征在于,

所述第一偏压为直流偏压、交流偏压或脉冲偏压中的任一种。

16、如权利要求 14 所述的非对称栅 MOS 器件的制备方法，其特征在于，所述第二偏压为直流偏压、交流偏压或脉冲偏压中的任一种。

17、如权利要求 8 所述的非对称栅 MOS 器件的制备方法，其特征在于，所述半导体衬底为硅或绝缘层上硅，所述多晶半导体层为多晶硅层，所述金属半导体化合物纳米线为金属硅化物纳米线。

18、如权利要求 8 所述的非对称栅 MOS 器件的制备方法，其特征在于，所述半导体衬底为锗或绝缘层上锗，所述多晶半导体层为多晶锗层，所述金属半导体化合物纳米线为金属锗化物纳米线。

19、如权利要求 17 或 18 所述的非对称栅 MOS 器件的制备方法，其特征在于，所述金属半导体化合物纳米线由金属与所述多晶半导体层反应生成，其中，所述金属为镍、钴、钛、锆中的任一种，或镍、钴、钛、锆中的任一种并掺入铂。

20、如权利要求 19 所述的非对称栅 MOS 器件的制备方法，其特征在于，所述金属中还掺入了钨和/或钼。

21、如权利要求 8 所述的非对称栅 MOS 器件的制备方法，其特征在于，在所述多晶半导体层两侧的侧壁上沉积金属薄膜时的衬底温度为 0~300℃。

22、如权利要求 8 所述的非对称栅 MOS 器件的制备方法，其特征在于，所述退火的温度为 200~900℃。

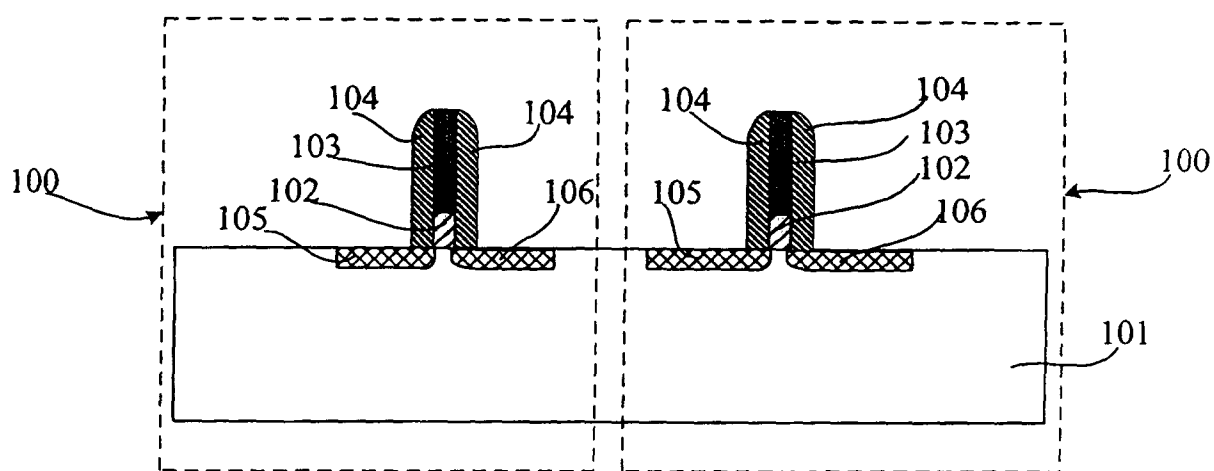


图 1

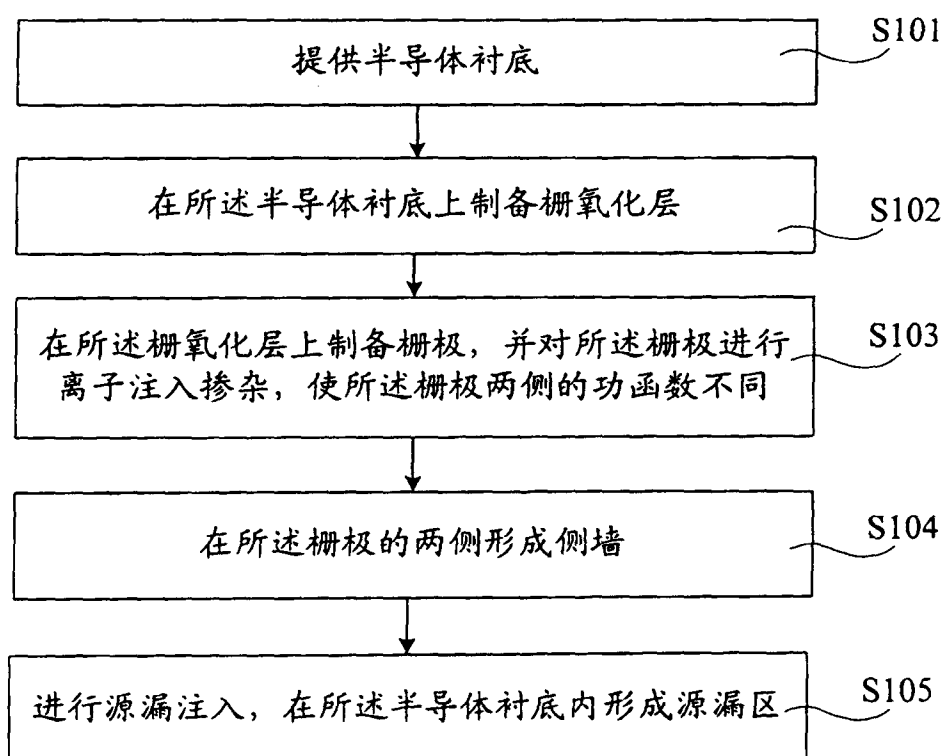


图 2

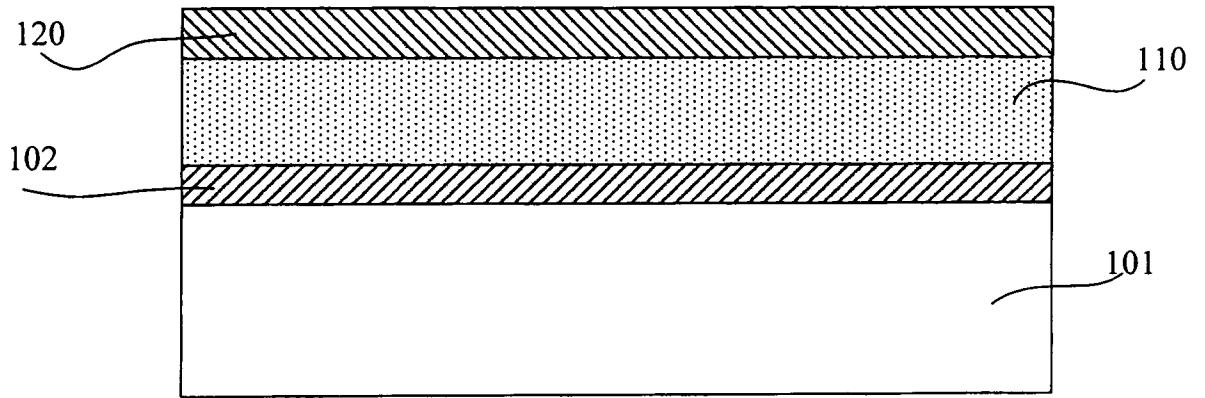


图 3A

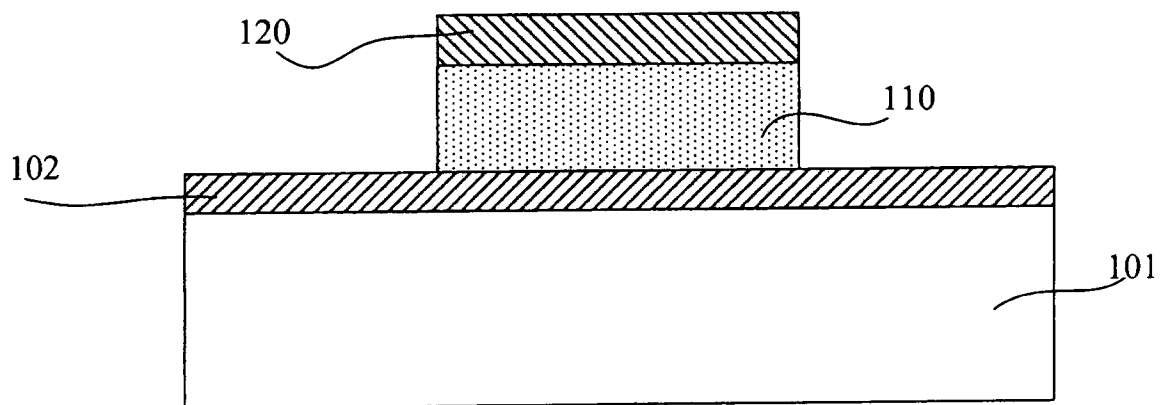


图 3B

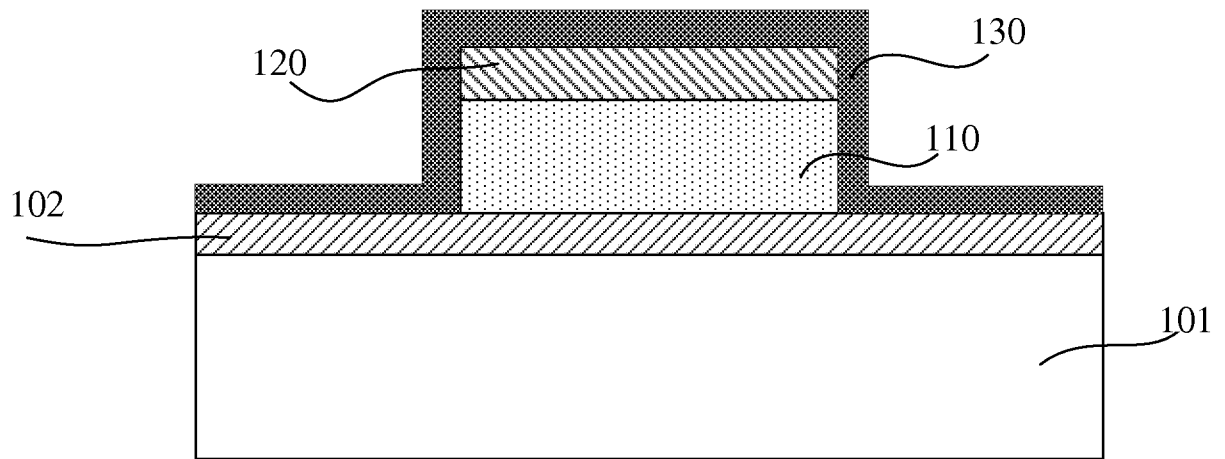


图 3C

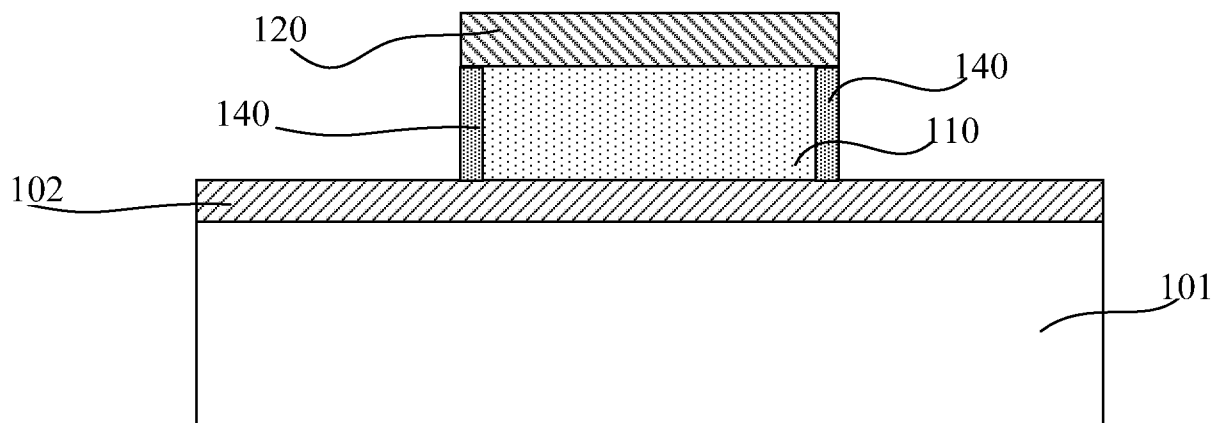


图 3D

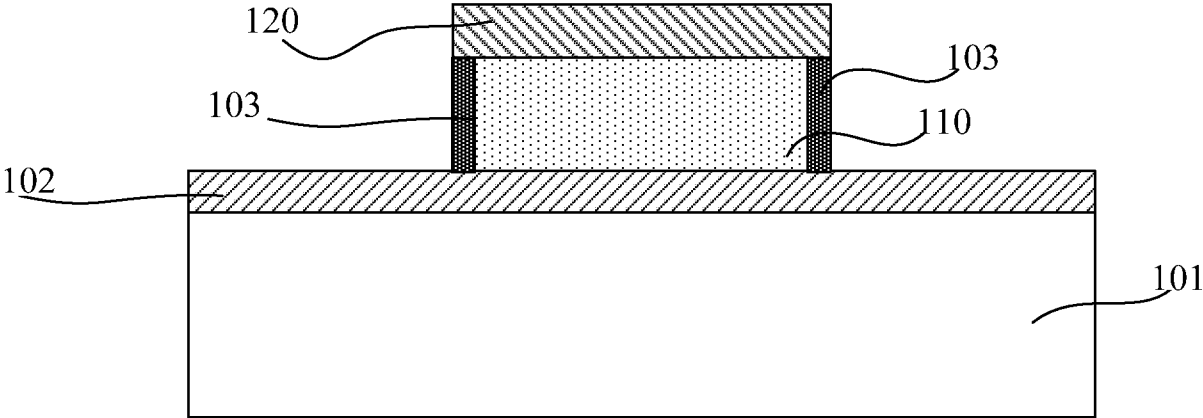


图 3E

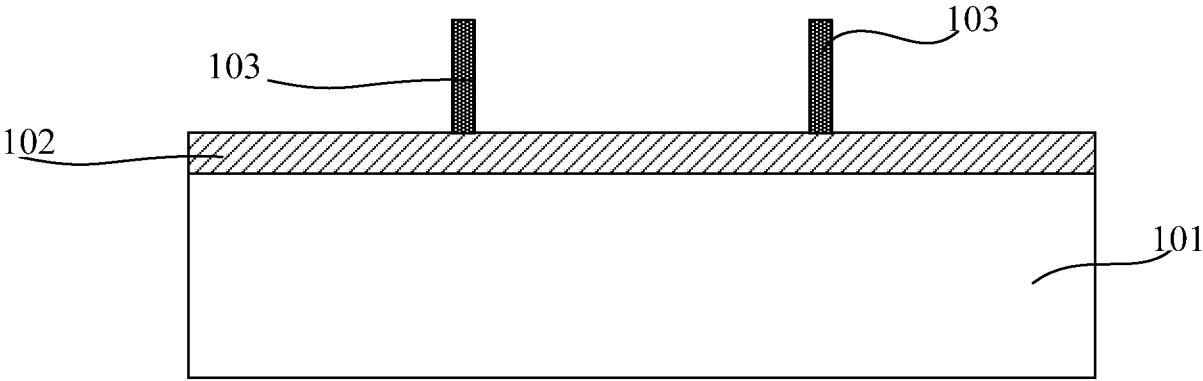


图 3F

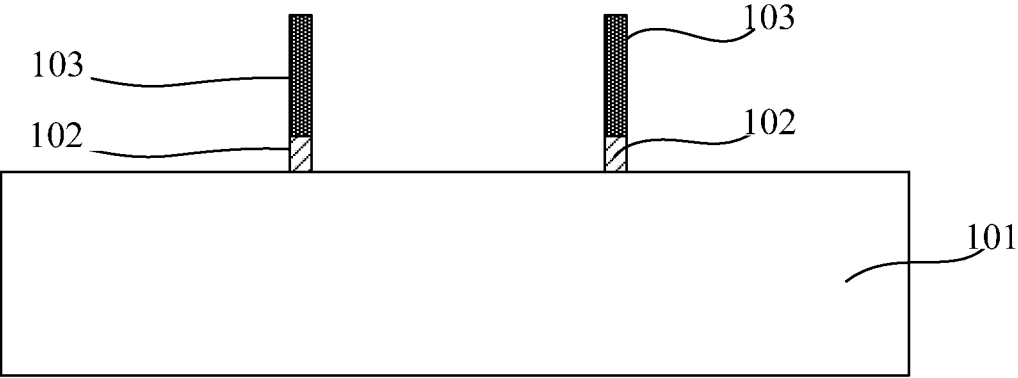


图 3G

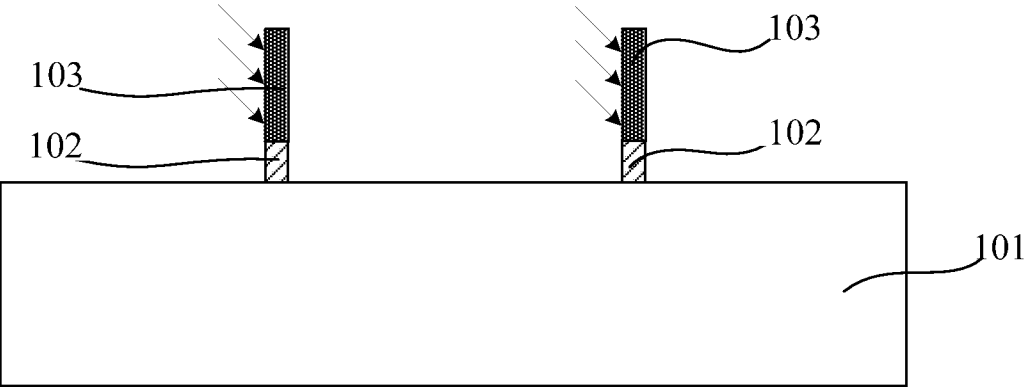


图 3H

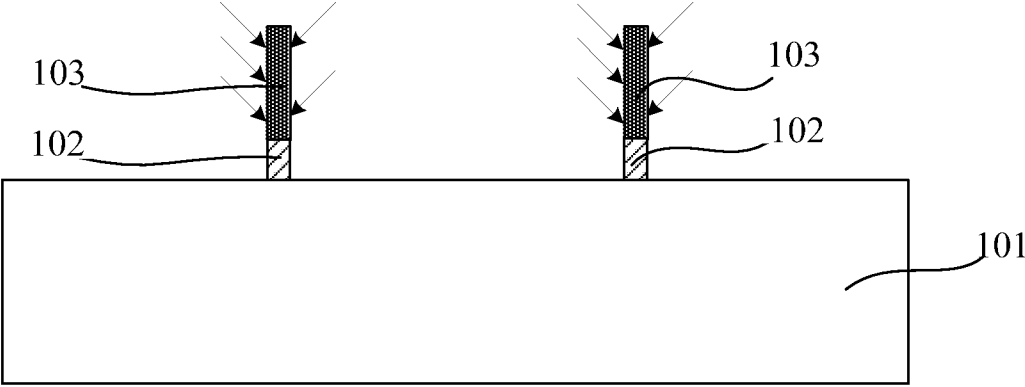


图 3I

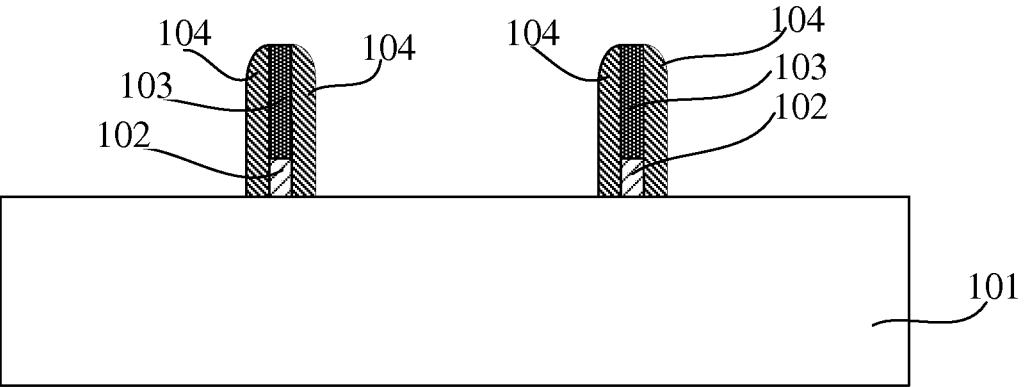


图 3J

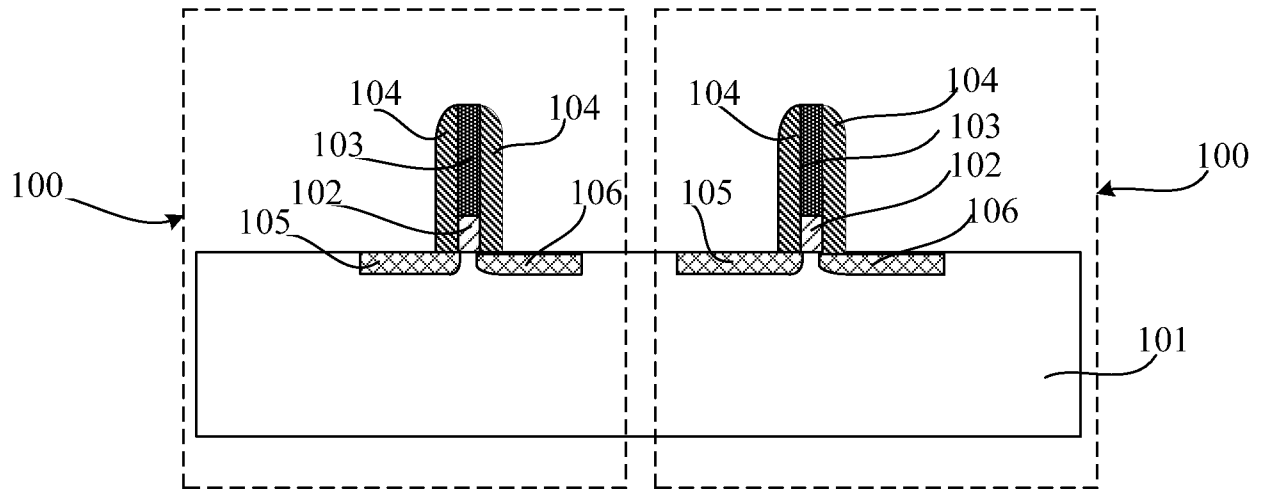


图 3K

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/084808

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CPRS, CNKI, WPI, EPODOC: leak, inject, work function, gate, source, drain, threshold voltage, nano+, ion, implant, dope

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101536153 A (NXP BV), 16 September 2009 (16.09.2009), description, page 3, line 19 to page 5, line 14, and figures 1-9	1-6
A	US 2009/0032889 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION), 05 February 2009 (05.02.2009), the whole document	1-22
A	CN 1192053 A (OKI ELECTRIC INDUSTRY CO., LTD.), 02 September 1998 (02.09.1998), the whole document	1-22
PX	CN 102184961 A (FUDAN UNIVERSITY), 14 September 2011 (14.09.2011), the whole document	1-22

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 28 February 2012 (28.02.2012)	Date of mailing of the international search report 15 March 2012 (15.03.2012)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer ZHI, Yue Telephone No.: (86-10) 62411788

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2011/084808

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101536153 A	16.09.2009	WO 2008056289 A1	15.05.2008
		EP 2089898 A1	19.08.2009
		US 2010068859 A1	18.03.2010
		US 7838371 B2	23.11.2010
US 2009/0032889 A1	05.02.2009	None	
CN 1192053 A	02.09.1998	EP 0856892 A2	05.08.1998
		JP 10214964 A	11.08.1998
		TW 347594 A	11.12.1998
		KR 19980070155 A	26.10.1998
CN 102184961 A	14.09.2011	None	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/084808

A. CLASSIFICATION OF SUBJECT MATTER:

H01L 29/49 (2006.01) i

H01L 21/28 (2006.01) i

H01L 29/78 (2006.01) i

H01L 21/336 (2006.01) i

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CPRS,CNKI,WPI,EPODOC: 功函数, 栅, 源, 漏, 阈值电压, 纳米, 离子, 注入, 掺杂, work function, gate, source, drain, threshold voltage, nano+, ion, implant, dope

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN101536153A (NXP 股份有限公司) 16.9 月 2009 (16.09.2009) 说明书第 3 页第 19 行—5 页第 14 行, 图 1—9	1—6
A	US2009/0032889A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 05.2 月 2009 (05.02.2009) 全文	1—22
A	CN1192053A (冲电气工业株式会社) 02.9 月 1998 (02.09.1998) 全文	1—22
PX	CN102184961A (复旦大学) 14.9 月 2011 (14.09.2011) 全文	1—22



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

28.2 月 2012 (28.02.2012)

国际检索报告邮寄日期

15.3 月 2012 (15.03.2012)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

智月

电话号码: (86-10) 62411788

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2011/084808

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101536153A	16.09.2009	WO2008056289A1	15.05.2008
		EP2089898A1	19.08.2009
		US2010068859A1	18.03.2010
		US7838371B2	23.11.2010
US2009/0032889A1	05.02.2009	无	
CN1192053A	02.09.1998	EP0856892A2	05.08.1998
		JP10214964A	11.08.1998
		TW347594A	11.12.1998
		KR19980070155A	26.10.1998
CN102184961A	14.09.2011	无	

A. 主题的分类:

H01L 29/49(2006.01)i

H01L 21/28(2006.01)i

H01L 29/78(2006.01)i

H01L 21/336(2006.01)i