

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/146 (2006.01)

H01L 21/822 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610171714.4

[45] 授权公告日 2010年1月6日

[11] 授权公告号 CN 100578800C

[22] 申请日 2006.12.19

[21] 申请号 200610171714.4

[73] 专利权人 力晶半导体股份有限公司

地址 中国台湾新竹科学工业园区

[72] 发明人 三井田高

[56] 参考文献

WO91/08590A1 1991.6.13

US2006/0033852A1 2006.2.16

US2002/0151121A1 2002.10.17

CN1300105A 2001.6.20

JP10-39336A 1998.2.13

US6225632B1 2001.5.1

US2003/0213915A1 2003.11.20

US2003/0107100A1 2003.6.12

JP2004-294913A 2004.10.21

US6362484B1 2002.3.26

审查员 陈浩

[74] 专利代理机构 北京市柳沈律师事务所

代理人 陶凤波

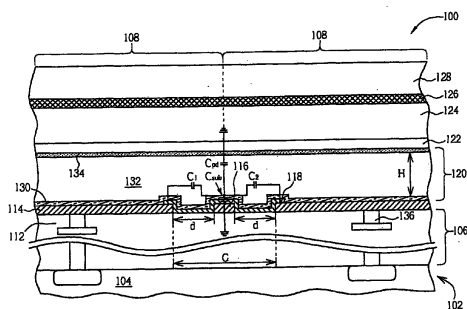
权利要求书 3 页 说明书 9 页 附图 16 页

[54] 发明名称

图像传感器及其制作方法

[57] 摘要

本发明公开一种图像传感器，其包含衬底、包含多个像素的像素矩阵定义于该衬底上、光导层以及遮蔽电极依序设于各像素的像素电极、以及遮蔽电极位于任二相邻像素的像素电极之间，且遮蔽电极系列成网状物而设于个像素电极外围。



- 1.一种图像传感器，其包含：
半导体衬底；
像素矩阵，其包含有多个像素定义于该半导体衬底上，且各该像素包含有像素电极；
光导层以及透明导电层依序设于该像素电极上；以及
遮蔽电极设于任二相邻的该像素电极之间且设于相邻的像素电极之间的间隙区域中，其中该遮蔽电极如同网状围绕各该像素电极，
其中该光导层包含有：
n型层设于该像素电极以及该遮蔽电极之上；
本征层设于该n型层之上；以及
p型层设于该本征层之上。
- 2.如权利要求1所述的图像传感器，其中该遮蔽电极与该像素电极设于同一平面上。
- 3.如权利要求1所述的图像传感器，其中该遮蔽电极以及该像素电极包含有相同的材料。
- 4.如权利要求3所述的图像传感器，其中该遮蔽电极以及该像素电极包含有氮化钛。
- 5.如权利要求1所述的图像传感器，其另包含绝缘层覆盖于该遮蔽电极以及各该像素电极的边缘部分上，而未被该绝缘层覆盖的各该像素电极部分直接设于该光导层的下方。
- 6.如权利要求5所述的图像传感器，其中该绝缘层的厚度为200埃。
- 7.如权利要求5所述的图像传感器，其中该绝缘层包含氧化硅。
- 8.如权利要求1所述的图像传感器，其中该遮蔽电极与相邻的二该像素电极之间距离相等。
- 9.如权利要求1所述的图像传感器，其中该遮蔽电极的电位藉由设于该像素矩阵外围的电位供应电路所提供。
- 10.如权利要求1所述的图像传感器，其中该n型层以及该p型层包含氢化非晶质碳化硅材料。
- 11.如权利要求1所述的图像传感器，其中该本征层包含有氢化非晶硅材

料。

12.如权利要求 1 所述的图像传感器，其中该本征层的厚度为至少 5000 埃。

13.如权利要求 12 所述的图像传感器，其中该本征层的厚度为 5000 至 10000 埃。

14.一种制作图像传感器的方法，该方法包含有：

提供衬底，其表面包含有多个像素电路，各该像素电路对应于像素；
于该衬底上形成导电层；

进行第一光刻及蚀刻工艺以移除部分该导电层，并形成多个像素电极以及遮蔽电极，该遮蔽电极位于任二相邻的该像素电极之间且设于相邻的像素电极之间的间隙区域中，各该像素电极设于该像素内并电连接于对应的该像素电路；

于该像素电极以及该遮蔽电极之上形成光导层；以及

形成透明导电层覆盖于该光导层上，

其中该光导层包含有：

n 型层设于该像素电极以及该遮蔽电极之上；

本征层设于该 n 型层之上；以及

p 型层设于该本征层之上。。

15.如权利要求 14 所述的方法，其中该方法在形成该光导层之前，另包含有下列步骤：

形成绝缘层覆盖于该像素电极以及该遮蔽电极之上；以及

进行第二光刻及蚀刻工艺，以移除部分该绝缘层并且使得该像素电极的边缘部分以及该遮蔽电极仍被该绝缘层所覆盖。

16.如权利要求 15 所述的方法，其中该绝缘层的厚度为 200 埃。

17.如权利要求 15 所述的方法，其中该绝缘层包含氧化硅材料。

18.如权利要求 14 所述的方法，其中该遮蔽电极以及该像素电极包含有氮化钛。

19.如权利要求 14 所述的方法，其中该遮蔽电极与相邻的二该像素电极之间距离相等。

20.如权利要求 14 所述的方法，其中该 p 型层以及该 n 型层包含有氢化非晶质碳化硅材料。

-
- 21.如权利要求 14 所述的方法，其中该本征层包含有氢化非晶硅材料。
 - 22.如权利要求 14 所述的方法，其中该本征层的厚度至少为 5000 埃。
 - 23.如权利要求 22 所述的方法，其中该本征层的厚度为 5000 至 10000 埃。

图像传感器及其制作方法

技术领域

本发明涉及一种图像传感器，尤其涉及一种包含遮蔽电极的图像传感器，以解决载流子串扰的问题。

背景技术

互补式金属氧化物半导体（complementary metal oxide semiconductors, CMOS）或电荷耦合装置（charge coupled device, CCD）等图像传感器是一种硅半导体装置，设计用来捕捉光子（光线），并将光子转换成电子。经转换为电子后，电子就会被传输，并再次被转换为可量测的电压，而转成数字数据。业界已进行研究一种以氢化非晶硅（hydrogenated amorphous silicon, α -Si:H）为基础而堆迭于 CCD 或 CMOS 元件上的图像传感器，以追求具有优良于传统 CCD 或 CMOS 图像传感器的性能，其叙述如下。因其堆迭结构所带来的高集光有效面积比（fill factor）能使得整个像素面积都能用来感测光子，再配合 α -Si:H 材料有效转换能量的特性，便能达到高量子效率。然而，在已知研究中，此种感测器仍然有串扰（cross-talk）、图像延迟（image lag）以及漏电流信号等问题。其中载流子串扰相邻像素的问题尤其会造成严重的分辨率与均匀性不足的问题，也会在像素间造成色彩上的串扰，导致色彩失真。此外，在 α -Si:H 材料中的俘获或场发射式载流子输送机制会导致低载流子移动速率，进而很容易发生图像延迟问题，因而在动态图像的画面中产生亮点残影的情形。具体而言，由于一像素的全部信号无法在单一画面中被读取，因此当发生图像延迟问题时，在低信号位阶中不可能再生真实的色彩。再者，漏电流问题主要成因子光导层中由金属电极至 p 型层(p-layer)或 n 型层(n-layer)的空穴电子注入隧穿（tunnel）情形，其会在暗幕产生很多杂讯。所以，为了能与传统硅基 CCD 或 CMOS 图像传感器相竞争，上述三个主要问题需要被解决，以提供较佳画面品质。

目前使用 α -Si:H 材料的技术已发展出具有下列材料：

（一）透明导电层，材料如氧化铟锡（Indium Tin Oxide, ITO）；

(二) 硼(boron)重掺杂 p 型层, 包含有氢化非晶质碳化硅(hydrogenated amorphous silicon carbide, α -SiC:H)材料, 用来收集在本征层(intrinsic layer, i-layer)产生的光致空穴, 传输至 ITO;

(三) α -Si:H 本征层, 主要作为光致电子-空穴对产生层;

(四) 磷(phosphorus)重掺杂 n 型层, 包含有氢化碳掺杂非晶硅(hydrogenated carbon doped amorphous silicon)材料, 作为从本征层产生的电子的接收者, 以传输至金属像素电极; 以及

(五) 金属像素电极, 设于 n 型层下方且连接于晶体管, 其垂直堆迭于位于硅衬底上的 CMOS 电路上方。

图 1 显示出具有一本征层/n 型层接合的 p-i-n 异质结面的能带图。电荷对电压转换率主要决定于感测电容的大小, 并且藉由增厚本征层而最小化。

为了能在 α -Si:H 本征层达到较高量子效率, 必须在较大厚度中藉由最佳化氢原子的浓度产生较长寿命的少数载流子(minority carrier)以及较高的载流子迁移率来改善光导电性以及光吸收性。同时, 位于 ITO 层下方的硼重掺杂 p 型层可以甲基 α -SiC:H (CH_4 based α -SiC:H) 层取代, 以与 α -Si:H 本征层形成异质结面。由于碳化硅具有较大的光学能隙(larger optical band gap, E_{opt}), 因此能有效增强其透明度, 亦能藉由扩大能带间隙以抑制漏电流, 进而避免因隧穿效应而造成电子由 ITO 层发散至 p 型层。再者, α -SiC:H 材料亦可适用于 n 型层中, 以藉由降低像素电极间的 n 型层导电性而避免像素之间的横向载流子串扰。此设计亦能有效阻挡空穴由氮化钛(titanium nitride, TiN) 像素电极发散至 n 型层, 其相同于电子隧穿至 p 型层的情况。然而, α -SiC 材料的高密度俘获情形(deep trap)会带来漏电流以及图像延迟等问题。

再者, 在像素电极的边角与 n 型层交界处会发生更严重的问题, 其系由于电场强度会局部集中而使得能带弯曲, 如图 2 所标示的边缘处。其中因隧穿而造成的空穴迁移机率会变大, 进而增加反向偏压情形的漏电流。此外, 由 α -SiC 构成的 n 型层亦会有效黏附于 TiN 像素电极上, 而不会有脱落(peeling-off)的情形, 由于张力的关系, 像素电极边角上被施压的 α -SiC 膜可能会有高密度的陷位, 造成和图像延迟同样严重的像素缺陷, 如图 2 所示。

请参考图 3 (a) 至图 4, 其中图 3 (a) 系为常规具有 p-i-n 层堆迭结构

的图像传感器的侧剖面示意图，图 3 (b) 为图 3 (a) 所示的图像传感器的等效电路图，而图 4 则为图 3 (a) 所示的像素电极与像素电极间隙的能带示意图。常规图像传感器 10 包含多个像素电路（图未示）以及氧化硅绝缘（isolation）层 24 设于衬底（图未示）上、多个像素电极 12 设于该等像素电路以及氧化硅绝缘层 24 上、光导层 14 设于像素电极 12 上、以及透明电极 16 设于光导层 14 上，其中光导层 14 由下至上包含 n 型层 18、本征层 20 以及 p 型层 22，形成所谓的堆迭 p-i-n 层结构。

以下将光导层 14 与 C_{pd} 、 C_{sub} 、 C_1 以及 C_2 四电容元件一并介绍。这些电容元件系以图 3(a) 所示 n 型层/本征层界面位于像素电极 12 间隙中央的节点而定位。此处， C_{pd} 表示以氧化铟锡（indium tin oxide, ITO）形成的透明电极 16 的电容元件， C_{sub} 表示 p 型硅衬底（图未示）经氧化硅绝缘层 24 的电容元件，而 C_1 以及 C_2 则分别表示相邻金属像素电极 12 的电容元件。常规图像传感器 10 的装置结构可假想成覆置（flipped）n 沟道金属绝缘半导体场效应晶体管（metal insulator semiconductor field effect transistor, MISFET）30，其源极与漏极分别连接于二像素电极 12，如图 3 (b) 所示，而衬底偏压系由透明电极 16 提供至 p 型层 22，而具有栅极电容 C_{sub} 的接地硅衬底则被视为假想 MISFET 装置 30 的栅极。

由于电容元件在实际结构上的高宽比的影响，若与电容 C_1 或 C_2 相比较，电容 C_{pd} 以及 C_{sub} 值不够大，因此在相邻像素电极 12 之间的电位分布很容易因横向二维效应而被偏压所控制，该偏压接近于施加在相邻像素电极 12 上的电源供应电压值。所以覆置 MISFET 30 的沟道电位会藉由像素电极 12 经电容 C_1 以及 C_2 的耦合而拉高许多，而电容 C_{pd} 或 C_{sub} 并无法使像素电极间隙区域维持在较低电位。因此电子的静电电位势垒高度会低于一维接近势垒高度，产生串扰电流跨越相邻的像素，如图 4 所示。

图 5 为图 3 (a) 所示装置结构的像素电极以及电极间隙区域的垂直能带图，其中该电极间隙表示相邻像素电极 12 之间隙，而电子沟道层系位于本征层 20 与 n 型层 18 的界面。由于本征层 20 以及 n 型层 18 的材料具有不同的能量导电带高度，形成了异质结面（hetero-junction）带，因此大部分电子会聚集积存此界面处，形成电子沟道层，而光致电子则会流过 n 型层 18 导电带至像素电极 12。另一方面，本征层 20 与 n 型层 18 界面则会形成跨越相邻像素电极 12 的水平载流子而造成如图 3 (a) 与图 4 中所解释的串扰问题。

再者，像素电极间隙区域的电位势垒会如图 4、5 所示而自一维势垒高度降低。以图 3 (b) 所假想的 MISFET 30 而言，可藉由薄化本征层 20 或在像素电极 12 提供高压以藉由增强积体效应 (body effect) 而抑制此种串扰。然而，图像传感器的灵敏度以及色彩平衡会因较薄的本征层 20 而被牺牲，而高像素电极电压并不能满足电源供应的电性规格要求。

发明内容

因此本发明的主要目的在于提供一种图像传感器及其至作方法，以解决上述常规图像传感器的问题。

根据本发明的权利要求，本发明提供一种图像传感器，其包含有半导体衬底以及包含定义于该衬底上的多个像素的像素矩阵。图像传感器另包含光导层以及透明导电层依序设于各像素的像素电极之上，以及包含遮蔽电极，设于任二相邻的像素电极，且呈网状物排列于各像素电极外围。

根据本发明的权利要求，还提供了一种制作图像传感器的方法，首先提供衬底，该衬底包含多个像素以及多个像素电路设于其表面。然后于该衬底上形成导电层，进行第一光刻及蚀刻工艺 (photolithography-etching process, PEP) 以移除部分该导电层，而于各像素中形成像素电极以及于任二相邻像素电极之间形成遮蔽电极。之后于像素电极以及遮蔽电极上形成光导层，并形成透明导电层覆盖该光导层。

由于本发明的遮蔽电极系形成于像素电极之间，所以可以防止发生载流子串扰。因此，光导层的本征层可以增厚而得到良好的图像传感器灵敏度。

附图说明

图 1 为具 α -SiC:H (p 型层) / α -Si:H (本征层) / α -SiC:H (n 型层) 接合的 p-i-n 异质结面的能带图。

图 2 为像素电极边缘部分的张力以及遂穿问题的示意图。

图 3 (a) 为常规具有 p-i-n 层堆迭结构的图像传感器的侧剖面示意图。

图 3 (b) 为图 3 (a) 所示的图像传感器的等效电路图。

图 4 为图 3 (a) 所示的像素电极与电极间隙的能带示意图。

图 5 为图 3 (a) 所示装置结构的像素电极以及电极间隙区域的垂直能带图。

图 6 为本发明一图像传感器的剖面示意图。

图 7 为图 6 所示本发明图像传感器的上视图。

图 8 为图 6 所示本发明图像传感器的能带图。

图 9 为图 3 (a) 所示常规图像传感器结构的电位图表。

图 10 为图 6 所示本发明图像传感器的电位图表。

图 11 至图 15 为本发明图像传感器的工艺示意图。

主要元件符号说明

10	图像传感器	12	像素电极
14	光导层	16	透明电极
18	n 型层	20	本征层
22	p 型层	24	绝缘膜
30	MISFET	100	图像传感器
102	半导体晶片	104	衬底
106	介电层	108	像素
110	像素矩阵	112	像素电路
114	像素电极	116	遮蔽电极
118	绝缘层	120	光导层
122	透明导电层	124	第一平坦层
126	彩色滤光层	128	第二平坦层
130	n 型层	132	本征层
134	p 型层	136	接触插塞
138	导电层		

具体实施方式

请参考图 6 至图 7，其中图 6 为本发明图像传感器 100 的剖面示意图，而图 7 为图 6 所示部分图像传感器 100 的上视图。图像传感器 100 系为光导体覆有源像素 (photoconductor-on-active-pixel, POAP) 图像传感器，其系形成于包含衬底 104 的半导体晶片 102 上。图像传感器 100 包含有设于衬底 104 上的介电层 106 以及多个像素 108 定义于衬底 104 上，其中像素 108 系排列成像素矩阵 110，如图 7 所示。每一像素 108 包含设于介电层 106 中的

像素电路 112 以及像素电极 114, 其中像素电路 112 可包含至少一金属氧化物场效应晶体管 (metal-oxide-semiconductor field effect transistor, MOSFET), 而像素电极 114 则包含金属材料, 例如氮化钛 (titanium nitride, TiN), 并经由接触插塞 136 而垂直电连接其对应的像素电路 112。在不同的实施例中, 像素电极 114 还可包含其他导电材料, 例如钨 (tungsten, W)、铝 (aluminum, Al) 或铜 (copper, Cu)。此外, 相邻像素电极 114 的边缘之间具有像素间隙区域 (electrode gap region) G。

此外, 遮蔽电极 116 系设于电极间隙区域 G 中, 并位于任两相邻的像素电极 114 之间。所以, 遮蔽电极 116 系排列如网状物 (mesh), 而环绕各像素电极 114 外围, 如图 7 所示。在优选实施例中, 遮蔽电极 116 系设置于电极间隙区域 G 的中央部分, 使得相邻像素电极 114 与遮蔽电极 116 具有相同的距离 d, 且遮蔽电极 116 系当作相邻像素 108 的分界线。再者, 遮蔽电极 116 可与像素电极 114 具有相同的材料, 例如 TiN, 也可利用同样的工艺中与像素电极 114 一并制作完成。于遮蔽电极 116 上可提供接地电压电位, 藉由设于该像素矩阵 110 外围的电位供应电路所提供, 而在像素区域中的遮蔽电极 116 并没有电流流过。在此处, 遮蔽电极 116 扮演了一个很重要的角色, 其能藉由降低接近像素电极间隙区域 G 表面的电位而电性隔离相邻的像素 108, 而传统图像传感器结构在像素之间却具有很大的边缘效应 (fringing effect), 因而造成串扰电流。

根据本发明, 绝缘层 118 系设置于介电层 106、遮蔽电极 116 以及像素电极 114 之上。绝缘层 118 可为薄氧化层 (例如为二氧化硅, silicon oxide, SiO₂), 其仅仅覆盖像素电极 114 的边缘而暴露出像素电极 114 的大部分中央区域, 使得像素电极 114 直接电连接于其上方的光导层 120。

图像传感器 100 另包含光导层 120 以及透明导电层 122 覆盖于绝缘层 118 以及像素电极 114 上。光导层 120 由下至上包含 n 型层 130、本征层 132 以及 p 型层 134。其中, 本征层 132 系由 α -Si:H 材料所构成, 而 p 型层 134 以及 n 型层 130 包含 α -SiC:H 材料。为了提供良好的图像传感器 100 灵敏度与色彩平衡, 本征层 132 必须有足够的厚度 H, 且厚度 H 可为约 5000 埃或大于 5000 埃。透明导电层 122 系用来当作上电极板, 可由氧化铟锡 (indium tin oxide, ITO) 所构成。此外, 图像传感器 100 可包含第一平坦层 124、彩色滤光层 126 以及第二平坦层 128 依序设于光导层 120 之上, 其中彩色滤

光层 126 于不同像素 108 中可包含不同颜色的彩色滤光片，例如红色、绿色以及蓝色等彩色滤光片。

本发明所提供的功效可藉由图 6 所示的等效电路来解释。以本征层 132 与 n 型层 130 界面的电极间隙区域 G 中央节点来考量， C_{sub} 表示遮蔽电极 116 电容， C_{pd} 代表透明电极 (ITO) 122 的电容，而 C_1 以及 C_2 则分别代表相邻金属像素电极 114 的电容。因此， C_{sub} 会变得比没有遮蔽电极 116 的传统图像传感器者大上许多。所以，遮蔽电极 116 能有力地使表面电位维持至一低电位，且像素电极间隙区域 G 的中具有一维势垒高度，能防止图 4 传统图像传感器载流子在相邻像素间串扰的问题。

图 8 为图 6 所示图像传感器 100 的相邻像素电极 114 以及遮蔽电极 116 的能带图。由于遮蔽电极 116 下的电位会因薄绝缘层 118 与 n 型层 130 而维持在一低电位，很明显地，在电极间隙区域 G 的内的本征层 132 与 n 型层 130 界面间发生的串扰效应会因高电位势垒高度（例如图 8 所示的一维势垒高度）而被中断。此作用使得厚本征层 132 可被应用于本发明结构中，并以现存的偏压条件即可增强量子效率。

另一方面，设于遮蔽电极 116 上的薄绝缘层 118 的厚度可根据本征层 132 以及 n 型层 130 间界面的电位来决定，其中较佳藉由调整绝缘层 118 的厚度以最大化栅极电容 (C_{sub})。此外，决定绝缘层 118 厚度的另一原则系为了保护像素电极 114 的边缘转角，以避免因集中电场而造成的异常空穴隧穿，导致发生漏电流情形。再者，薄绝缘层 118 亦有助于防止因张力压力而造成 n 型层 130 的中的俘获情形，其会带来图像延迟问题。请参考图 7，遮蔽电极 116 以及像素电极 114 的边缘部分皆被绝缘层 118 所覆盖，因此在 n 型层 130 以及像素电极 114 的接触区域上将不再有强大的电场与拉力压力，所以本发明图像传感器 100 结构消除了造成像素电极 114 边角处漏电流问题的基本成因。

图 9 为图 3 (a) 所示常规图像传感器 10 结构具有厚度分别为 5000 埃、7000 埃以及 10000 埃的本征层 20 的电位图表。如图 9 所示，两相邻的像素电极 12 分别具有电位 1.2V 与 2.6V，而二像素电极 12 之间的间隙区域则不具有电位势垒高度或仅有很小的电位势垒高度。所以，在本征层 20 中产生的电子很容易由右侧高电位的像素电极 12 移动到左侧低电位的像素电极 12，造成串扰问题。相反的，图 10 为图 6 所示本发明图像传感器 100 的本

征层 132 厚度为 5000 埃、7000 埃以及 10000 埃的电位图。如图 10 所示，二相邻像素电极 114 分别具有 1.2V 以及 2.6V 的电位，而像素电极 114 之间的间隙区域 G 则具有很大的势垒高度。所以由具有电位差的二相邻像素电极 114 所产生的横向电场并不会太大，且本发明图像传感器 100 的遮蔽电极 116 在相邻二像素电极 114 之间产生了很大的电位势垒高度，以有效避免串扰问题。因此，具有大于 5000Å 的厚度的本征层 132 可应用于本发明图像传感器 100 中。

请参考图 11 至图 15，图 11 至图 15 为本发明图像传感器 100 的工艺示意图。首先，如图 11 所示，提供半导体晶片 102，其包含有硅衬底 104。接着，于衬底 104 上提供多个电子元件，以形成像素电路 112 设于介电层 106 中。接着，于介电层 106 上形成导电层 138，位于像素电路 112 之上。导电层 138 可包含金属材料，较佳为 TiN，且具有约 300 埃的厚度。请参考图 12，接着进行光刻暨蚀刻工艺，以移除部分导电层 138 而于各像素 108 中形成像素电极 114，同时于像素电极 114 之间形成遮蔽电极 116。因此，遮蔽电极 116 与像素电极 114 系设于同一平面上。再者，遮蔽电极 116 至邻近像素电极 114 皆具有相同的距离。在本发明中，遮蔽电极 116 的宽度为约 0.2 微米 (micrometer, μm)，而与邻近的各像素电极 114 的距离为约 0.2 μm 。

接着，于衬底 104 上形成薄绝缘层 118，覆盖像素电极 114 以及遮蔽电极 116，如图 13 所示。绝缘层 118 可包含绝缘材料，例如氧化硅，且厚度为约 200 埃。请参考图 14，进行另一光刻暨蚀刻工艺，以移除部分绝缘层 118 并暴露出大部分的像素电极 114，然而像素电极 114 的边缘部分以及遮蔽电极 116 则仍然被绝缘层 118 所覆盖。然后，于衬底上依序制作 $\alpha\text{-SiC:H}$ 构成的 n 型层 130、 $\alpha\text{-Si:H}$ 构成的本征层 132 以及 $\alpha\text{-SiC:H}$ 构成的 p 型层 134，以形成光导层 120，其中 n 型层 130 电连接于像素电极 114，而各像素电极 114 则经接触插塞 136 而电连接所对应的像素电路 112。在本发明的实施例中，p 型层 134 具有约 50 埃的厚度，本征层 132 的厚度为约 5000 埃，而 n 型层 130 的厚度为约 100 埃。接着，于光导层 120 上形成透明导电层 122。然后，在透明导电层 122 上依序形成第一平坦层 124、彩色滤光层 126 以及第二平坦层 128 以完成本发明图像传感器 100 的制作，如图 15 所示。

相较于常规技术，本发明提供一图像传感器结构，其在相邻像素电极之间具有高电位势垒，以避免串扰的情形。再者，覆盖于遮蔽电极以及像素电

极的边缘部分的绝缘层能避免隧穿效应，以改善图像延迟以及漏电流问题。所以，本发明能提供具有良好图像效果与功能的图像传感器。

以上所述仅为本发明的优选实施例，凡依本发明权利要求所做的均等变化与修饰，皆应属本发明的涵盖范围。

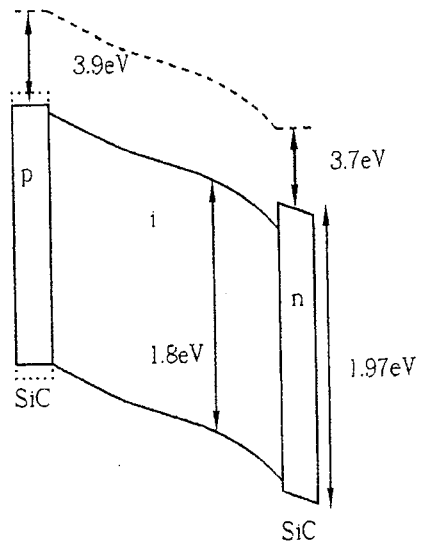


图 1

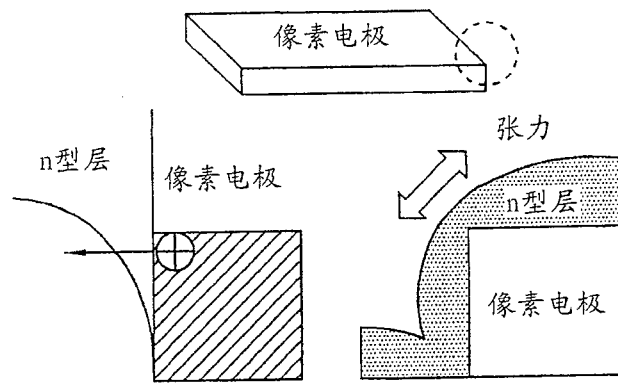


图 2

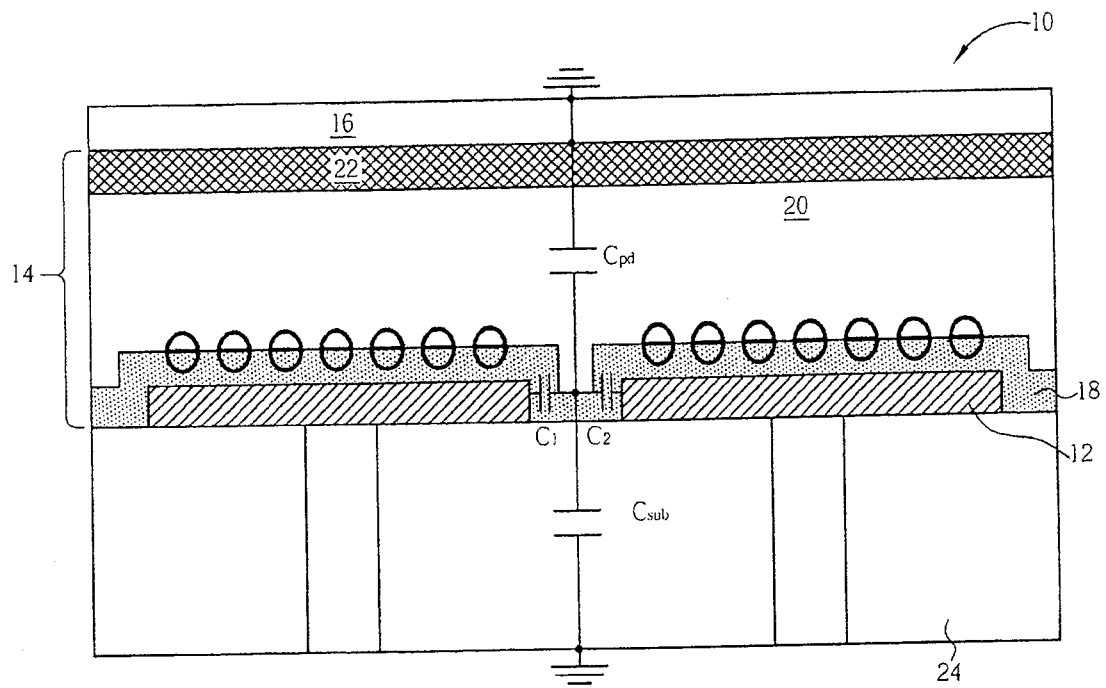


图 3(a)

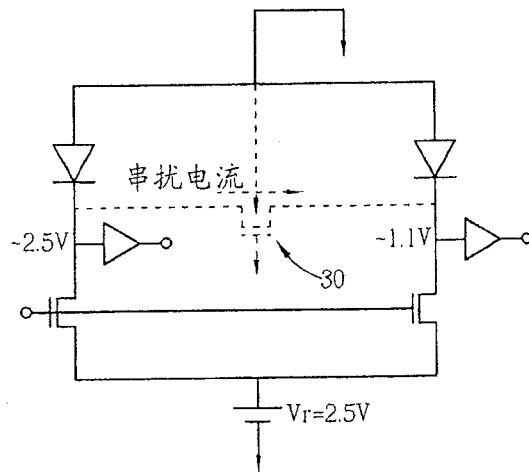


图 3 (b)

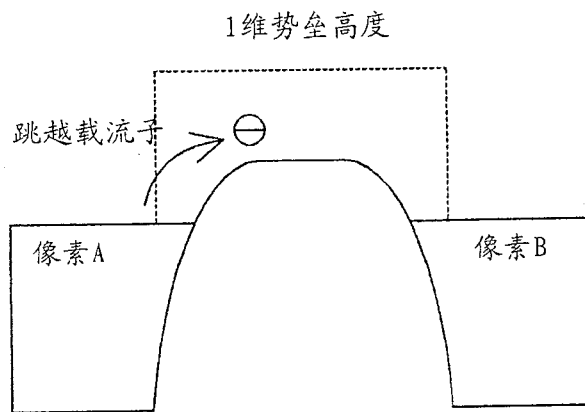


图 4

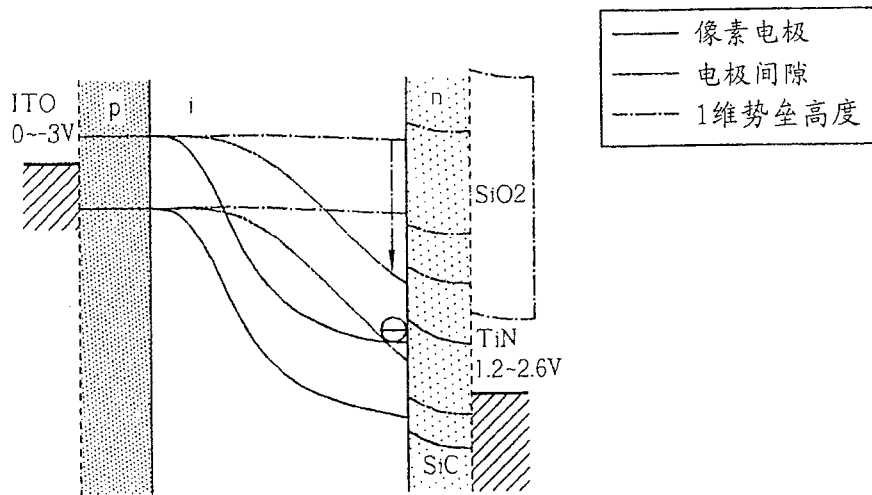


图 5

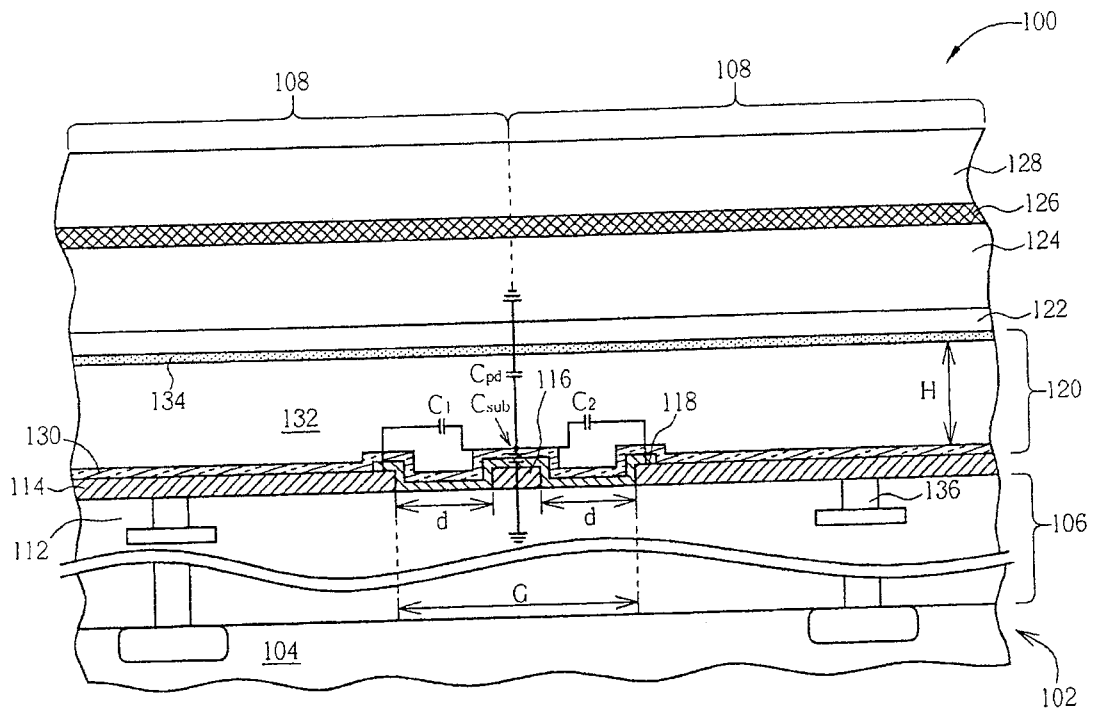


图 6

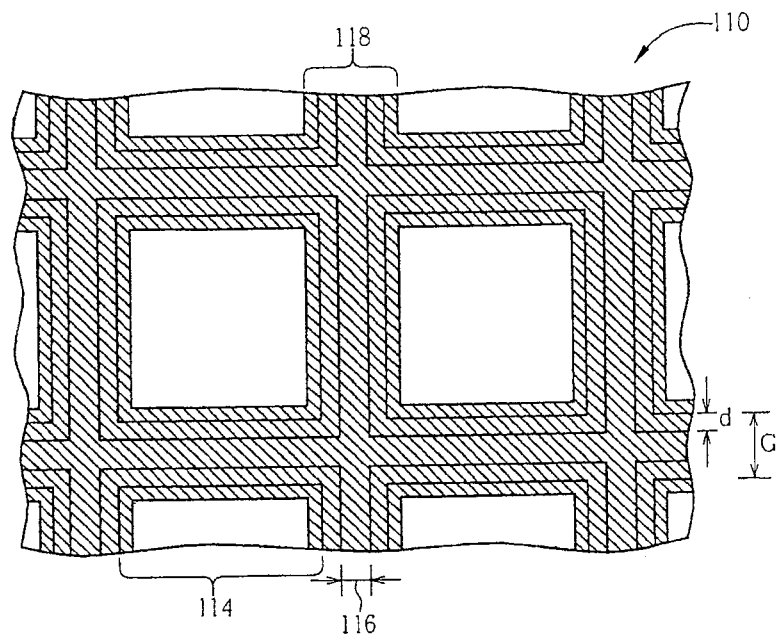


图 7

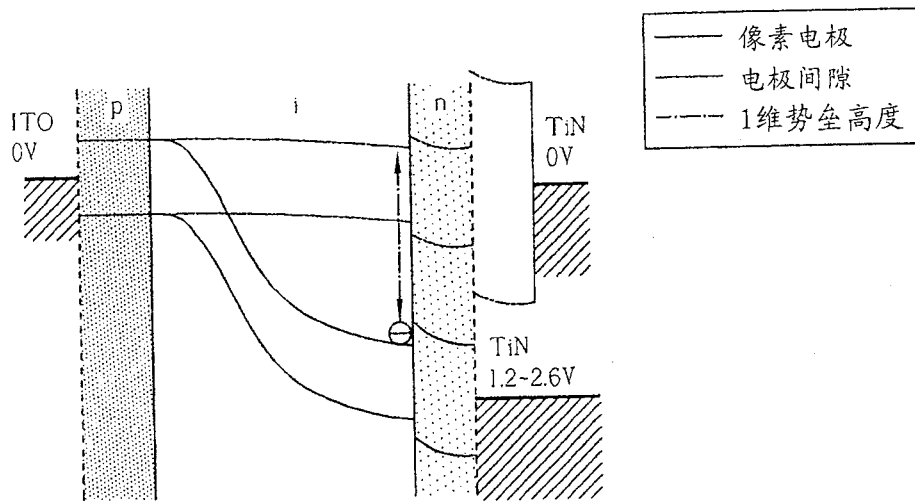


图 8

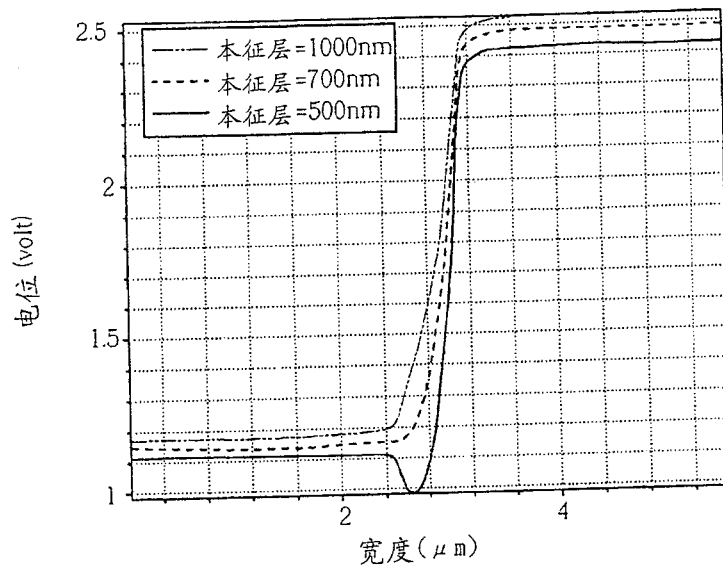


图 9

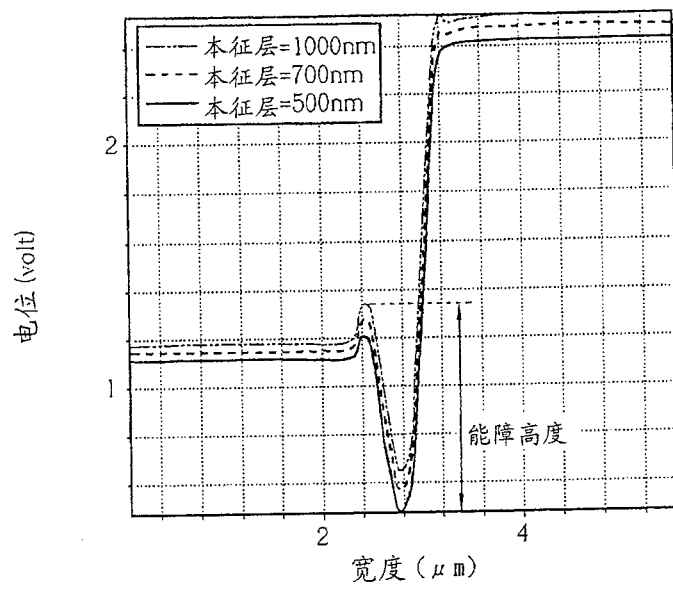


图 10

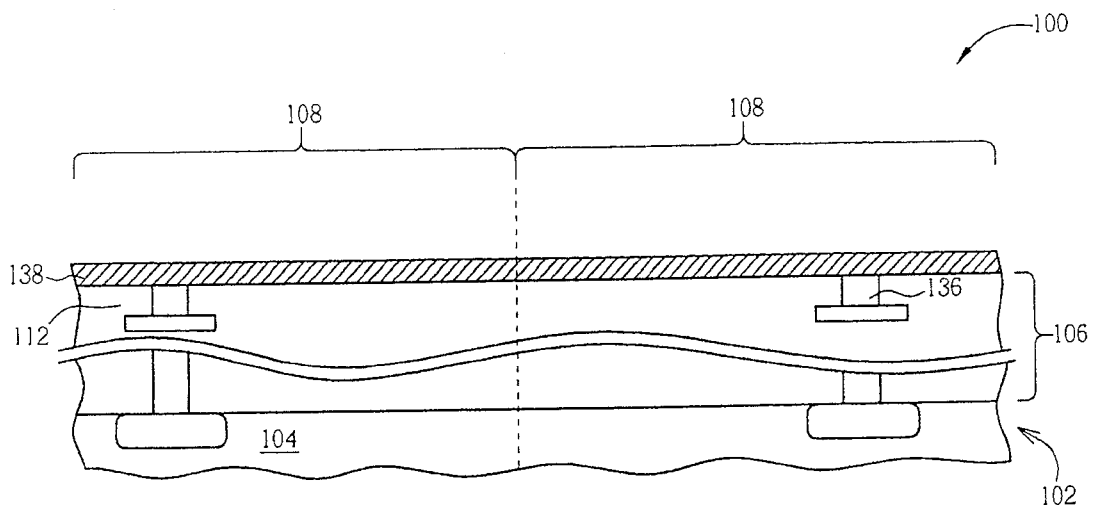


图 11

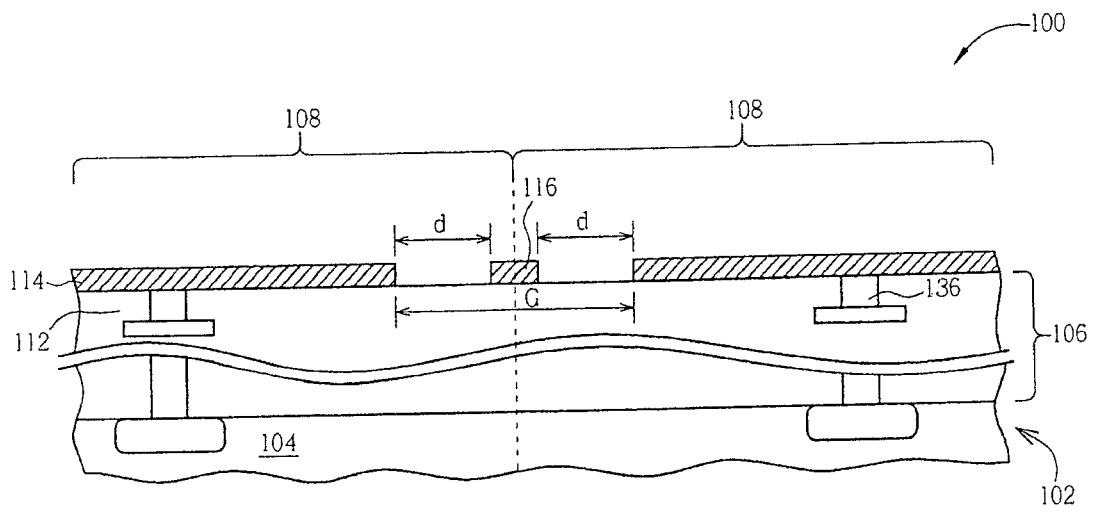


图 12

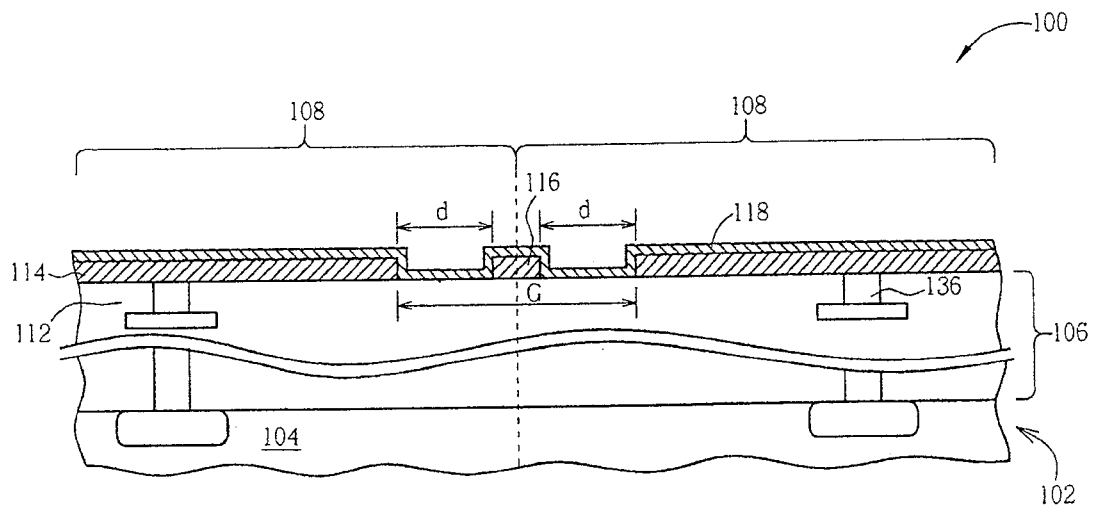


图 13

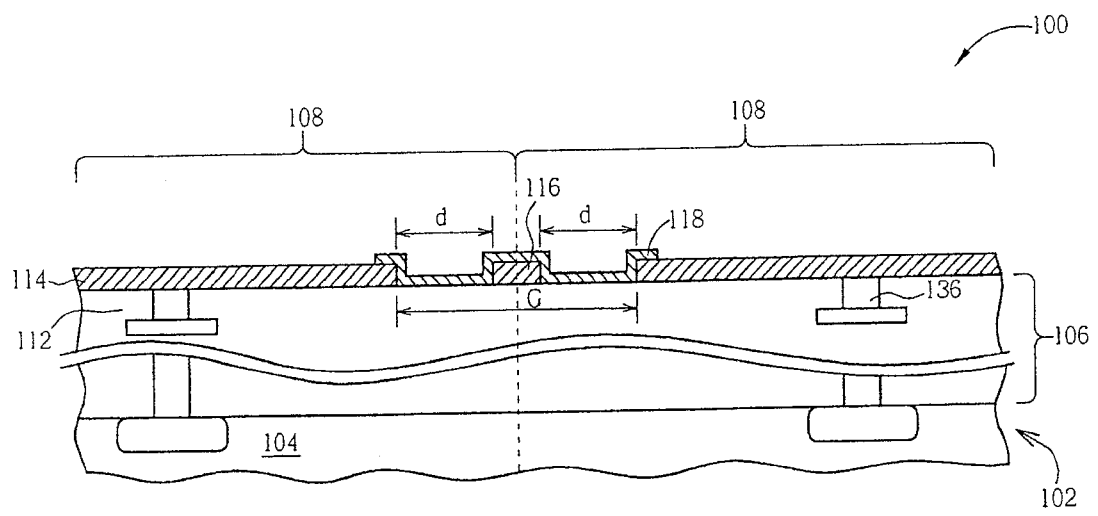


图 14

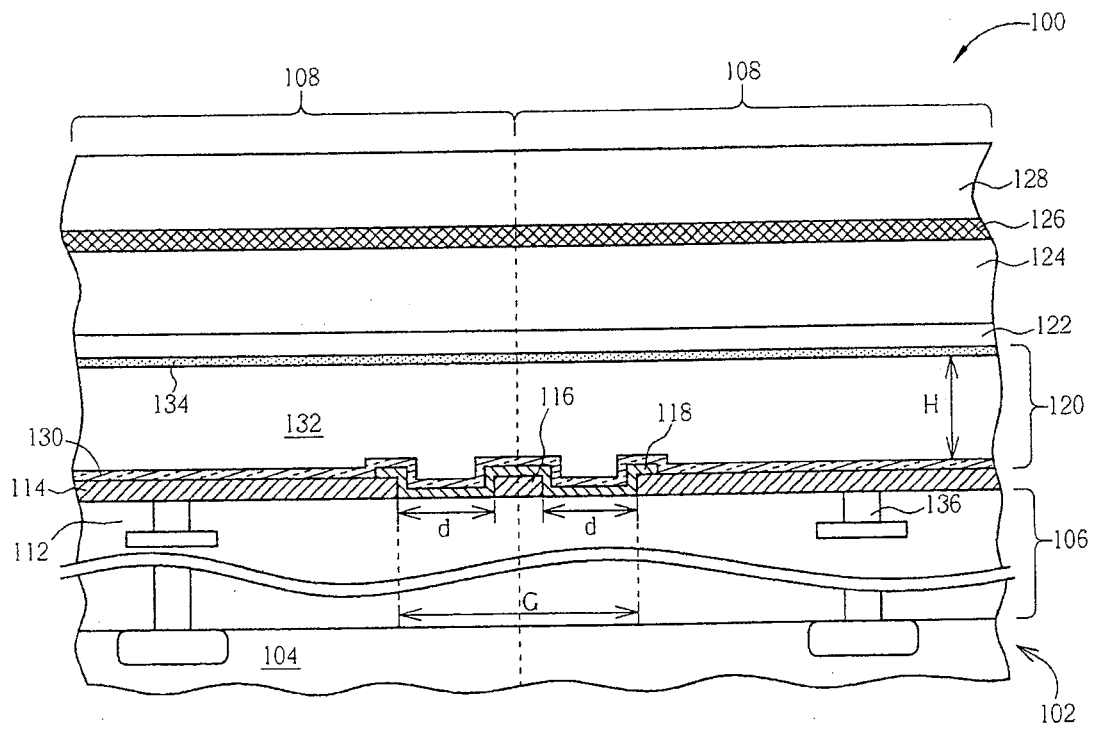


图 15