

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年4月26日(26.04.2018)



(10) 国際公開番号

WO 2018/074590 A1

(51) 国際特許分類:
G05B 19/05 (2006.01) G06F 15/167 (2006.01)

(21) 国際出願番号: PCT/JP2017/038015

(22) 国際出願日: 2017年10月20日(20.10.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-207220 2016年10月21日(21.10.2016) JP

(71) 出願人: 株式会社東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 Tokyo (JP). 東芝インフラシステムズ株式会社 (TOSHIBA

INFRASTRUCTURE SYSTEMS & SOLUTIONS CORPORATION) [JP/JP]; 〒2120013 神奈川県川崎市幸区堀川町7番地34 Kanagawa (JP).

(72) 発明者: 篠原 充裕 (SHINOHARA, Mitsuhiro); 〒2120013 神奈川県川崎市幸区堀川町7番地34 東芝インフラシステムズ株式会社 技術企画部内 Kanagawa (JP).

(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: CONTROLLER

(54) 発明の名称: コントローラ

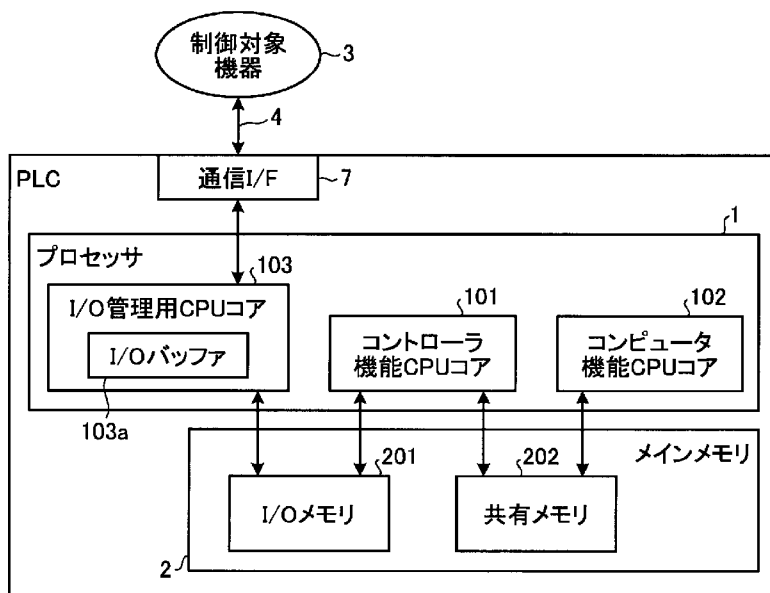


FIG. 1:

- 1 Processor
- 2 Main memory
- 3 Machine being controlled
- 7 Communication interface
- 101 Controller function CPU core
- 102 Computer function CPU core
- 103 I/O management CPU core
- 103a I/O buffer
- 201 I/O memory
- 202 Shared memory

(57) **Abstract:** A controller according to an embodiment is equipped with a memory and a processor. The processor controls an external machine being controlled. The processor is equipped with a controller function core and a computer function core. The controller function core executes a ladder application in which I/O data received from the machine being controlled is read from an I/O memory among the storage regions possessed by the memory, a portion of the I/O data that has been read is saved in a shared memory different from the I/O memory among the storage regions, and control data transmitted to the machine being controlled is saved in the I/O memory. The computer function core is a different core from the controller function core, and executes a computer application in which the I/O data is read from the shared memory.



BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

(57) 要約: 実施形態のコントローラは、メモリと、プロセッサと、を備える。プロセッサは、外部の制御対象機器を制御する。また、プロセッサは、コントローラ機能コアと、コンピュータ機能コアと、を備える。コントローラ機能コアは、メモリが有する記憶領域のうちI/Oメモリから、制御対象機器から受信するI/Oデータを読み出し、読み出したI/Oデータのうち一部のI/Oデータを、記憶領域のうちI/Oメモリとは異なる共有メモリに保存し、制御対象機器に対して送信する制御用データをI/Oメモリに保存するラダーアプリケーションを実行する。コンピュータ機能コアは、コントローラ機能コアとは異なるコアであり、共有メモリからI/Oデータを読み出すコンピュータアプリケーションを実行する。

明 細 書

発明の名称：コントローラ

技術分野

[0001] 本発明の実施形態は、コントローラに関する。

背景技術

[0002] 制御対象機器との間でデータを入出力可能な入出力装置を介して、複数の制御装置によって、制御対象機器を制御することによって、産業用の制御装置の処理能力の向上を図った制御システムがある。この制御システムでは、複数の制御装置および入出力装置が、バスを介して互いに通信可能である。

先行技術文献

特許文献

[0003] 特許文献1：特開2001-229136号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、上述の制御システムでは、複数の制御装置が、入出力装置が制御対象機器との間で入出力するデータに対して任意のタイミングでアクセスでき、当該データに対してアクセスするタイミングについて制約が設けられていない。そのため、入出力装置が記憶するデータに対して、複数の制御装置が個別のタイミングでアクセスすることになり、複数の制御装置による当該データに対するアクセスが、同じタイミングで行われると、データに対するアクセスを指示する信号の衝突が発生する場合がある。

[0005] また、入出力装置が記憶するデータに対して、複数の制御装置が同一の制御プログラムに従って処理を実行する場合、各制御装置によって当該データに対してアクセスするタイミングが異なると、同一の制御プログラムに従って当該データに対して処理を行ったとしても、その結果の整合性が確保されない場合がある。この場合、複数の制御装置が連携して制御対象機器を制御する場合に不都合が生じることがある。

[0006] さらに、上述の制御システムでは、複数の制御装置が、同一の入出力装置を介して、制御対象機器との間でデータをやりとりする場合、制御装置の台数分のデータの転送が必要となり、入出力装置に対するアクセスが多くなる。特に、入出力装置に対するアクセスは、メモリに対するアクセスよりも長い時間を必要とすることが多いため、そのアクセスに時間がかかる。

課題を解決するための手段

[0007] 実施形態のコントローラは、メモリと、プロセッサと、を備える。プロセッサは、外部の制御対象機器を制御する。また、プロセッサは、コントローラ機能コアと、コンピュータ機能コアと、を備える。コントローラ機能コアは、メモリが有する記憶領域のうちI/Oメモリから、制御対象機器から受信するI/Oデータを読み出し、読み出したI/Oデータのうち一部のI/Oデータを、記憶領域のうちI/Oメモリとは異なる共有メモリに保存し、制御対象機器に対して送信する制御用データをI/Oメモリに保存するラダーアプリケーションを実行する。コンピュータ機能コアは、コントローラ機能コアとは異なるコアであり、共有メモリからI/Oデータを読み出すコンピュータアプリケーションを実行する。

図面の簡単な説明

[0008] [図1]図1は、第1の実施形態にかかるソフトPLCを実行するPLCの構成の一例を示す図である。

[図2]図2は、第1の実施形態にかかるPLC内における制御用データおよびI/Oデータの転送処理の一例を説明するための図である。

[図3]図3は、第2の実施形態にかかるPLC内における制御用データの転送処理の一例について説明するための図である。

[図4]図4は、第3の実施形態にかかるPLCの構成の一例を示す図である。

[図5]図5は、第3の実施形態にかかるPLC内におけるI/Oデータの転送処理の一例を説明するための図である。

[図6]図6は、第4の実施形態にかかるPLCの構成の一例を示す図である。

発明を実施するための形態

[0009] 以下、添付の図面を用いて、本実施形態にかかるコントローラについて説明する。

[0010] (第1の実施形態)

図1は、第1の実施形態にかかるソフトPLCを実行するPLCの構成の一例を示す図である。本実施形態にかかるソフトPLC (Programmable Logic Controller) は、バルブやセンサ等の外部の制御対象機器3を制御するソフトウェアである。図1に示すように、PLCは、複数のコアを有するCPU (Central Processing Unit) 等のプロセッサ1と、メインメモリ2と、制御対象機器3との通信を可能とするネットワークカード等の通信I/F7と、を有する。

[0011] メインメモリ2 (メモリの一例) は、I/Oメモリ201 (第1記憶領域の一例) と、I/Oメモリ201とは異なる共有メモリ202 (第2記憶領域の一例) と、を有する。プロセッサ1は、複数のCPU (Central Processing Unit) コアを有し、当該CPUコア上でソフトウェアを実行することによって、制御対象機器3を制御するマルチコアプロセッサである。具体的には、プロセッサ1は、複数のCPUコアのうちいずれかにより実行される1つのOS (Operating System) によって、互いに隔離された複数のコンテナを動作させる。その際、プロセッサ1は、各コンテナを異なるCPUコアにおいて実行する。本実施形態では、プロセッサ1は、コンテナを実行するCPUコアとして、コントローラ機能CPUコア101、コンピュータ機能CPUコア102、およびI/O管理用CPUコア103を有する。

[0012] I/O管理用CPUコア103 (第1コアの一例) は、通信アプリケーションを含むコンテナを実行する。通信アプリケーションは、I/Oバス4を介して、制御対象機器3 (第1制御対象機器の一例) とI/Oメモリ201との間で、制御対象機器3に対して送信する制御用データおよび制御対象機器3から受信するI/Oデータ (第1データの一例) を転送する。言い換えると、通信アプリケーションは、I/OデータをI/Oメモリ201へ保存し、かつI/Oメモリ201に記憶される制御用データを制御対象機器3に

送信する。本実施形態では、制御用データは、制御対象機器 3 に対する制御指示や I/O データに異常が検出されたことを示すアラームデータを含む。

I/O データは、制御対象機器 3 の制御結果を含む、所謂、生データである。また、I/O 管理用 CPU コア 103 は、制御対象機器 3 と I/O メモリ 201 との間で転送する制御用データおよび I/O データを一時的に記憶する I/O バッファ 103a を有する。本実施形態では、通信アプリケーションは、メインメモリ 2 に記憶される I/O メモリマップを用いて、I/O メモリ 201 に対する制御用データおよび I/O データ等の保存および読み出しを行う。ここで、I/O メモリマップは、I/O メモリ 201 の記憶領域のうち、制御用データおよび I/O データ等を記憶する領域のアドレスを示す。

[0013] コントローラ機能 CPU コア 101（第 2 コアの一例）は、ラダーアプリケーションを含むコンテナを実行する。ラダーアプリケーションは、例えば、記述された論理回路に従って処理を行うためのプログラムであって、I/O メモリ 201 と共有メモリ 202 との間で I/O データを転送する。言い換えると、ラダーアプリケーションは、I/O メモリ 201 から、I/O データを読み出し、当該読み出した I/O データのうち一部の I/O データ（以下、I/O 部分データと言う）を共有メモリ 202 に保存し、さらに、制御用データを I/O メモリ 201 に保存する。本実施形態では、ラダーアプリケーションは、I/O メモリ 201 から読み出した I/O データから、後述するコンピュータアプリケーションの実行に要する I/O 部分データを抽出する。I/O データのうち一部の I/O 部分データを抽出する手法は、周知の手法を問わず、どのような手法を用いても良い。そして、ラダーアプリケーションは、少なくとも、抽出した I/O 部分データを、共有メモリ 202 に保存する。例えば、ラダーアプリケーションは、I/O メモリ 201 から読み出した I/O データが含むビットのうち、コンピュータアプリケーションの実行に要する一部のビットを I/O 部分データとして抽出して、共有メモリ 202 に保存する。また、本実施形態では、ラダーアプリケーション

は、共有メモリ202に保存するI/O部分データに対して、統計処理やA/D変換を実行した上で、共有メモリ202に保存しても良い。また、本実施形態では、ラダーアプリケーションは、共有メモリ202に保存するI/O部分データ毎に、当該I/O部分データが示す値と、予め設定された閾値とを比較して、I/O部分データの異常を検出する。そして、ラダーアプリケーションは、I/O部分データの異常を検出した場合、I/O部分データに対して、アラームデータを付加して、共有メモリ202に保存することも可能である。また、本実施形態では、ラダーアプリケーションは、メインメモリ2に記憶されるI/Oメモリマップを用いて、I/Oメモリ201からのI/Oデータの読み出し、およびI/Oメモリ201に対する制御用データの保存を行う。また、ラダーアプリケーションは、メインメモリ2に記憶される共有メモリマップを用いて、共有メモリ202に対するI/O部分データの保存を行う。共有メモリマップは、共有メモリ202の記憶領域のうち、I/O部分データ等を記憶する領域のアドレスを示す。また、コントローラ機能CPUコア101が実行するラダーアプリケーションは、I/Oメモリ201と共有メモリ202との間で転送するI/Oデータ、すなわち、共有メモリ202に記憶されるI/O部分データに対して、データチェック等の処理（第1処理の一例）を実行する。これにより、共有メモリ202に記憶されるI/O部分データを、正常なデータとして処理することができ、後述するコンピュータ機能CPUコア102において、再度、データチェックを行う必要を無くすることができる。

[0014] コンピュータ機能CPUコア102（第3コアの一例）は、コンピュータアプリケーションを含むコンテナを実行する。例えば、コンピュータ機能CPUコア102は、プロセッサ1において実行されるOS上に仮想マシンを実現し、当該仮想マシン上で汎用のOSを実行し、その汎用のOSによってコンピュータアプリケーションを動作させる。コンピュータアプリケーションは、共有メモリ202からI/O部分データを読み出す。すなわち、コンピュータアプリケーションは、I/Oメモリ201に記憶されるI/Oデー

タに対してアクセスしない。また、コンピュータアプリケーションは、共有メモリ202に対して制御用データを保存することも可能である。その場合、上述のラダーアプリケーションは、共有メモリ202から制御用データを読み出し、当該読み出した制御用データのI/Oメモリ201に保存する。本実施形態では、コンピュータアプリケーションは、メインメモリ2に記憶される共有メモリマップを用いて、共有メモリ202からのI/O部分データの読み出し、および共有メモリ202に対する制御用データの保存を行う。また、コンピュータ機能CPUコア102において実行されるコンピュータアプリケーションは、共有メモリ202に対して制御用データを保存する制御処理や、共有メモリ202に記憶されるI/O部分データを、コントローラが有する表示部に表示する表示処理等の処理（第2処理の一例）を実行する。

[0015] 以上の処理によれば、1つのOSにより動作する複数のアプリケーションによって、共有メモリ202に記憶されるI/O部分データに対するアクセスが行われるので、当該複数のアプリケーションによる、共有メモリ202に記憶されるI/O部分データに対するアクセスのタイミングが制御可能となり、共有メモリ202に記憶されるI/O部分データに対するアクセスの衝突を防止できる。

[0016] また、コントローラ機能CPUコア101およびコンピュータ機能CPUコア102が互いに同一のI/O部分データにアクセスすることが可能となるので、当該I/O部分データに対して、コントローラ機能CPUコア101およびコンピュータ機能CPUコア102によって同一の処理を行った場合、その結果の整合性を確保できる。また、従来の制御システムでは、複数の制御装置それぞれが制御対象機器3からI/Oデータを取得する必要があり、制御装置の台数分のI/Oデータの受信が必要となっているが、制御対象機器3とPLCとの間で1つのデータを転送すれば済むので、制御対象機器3とPLCとの間でのI/Oデータの転送の回数を減らすことができる。さらに、PLCの内部では、I/O管理用CPUコア103のみが制御対象

機器3へアクセスし、コントローラ機能CPUコア101およびコンピュータ機能CPUコア102はメインメモリ2に記憶されるデータに対してのみアクセスするため、コントローラ機能CPUコア101およびコンピュータ機能CPUコア102が、制御対象機器3にアクセスする場合と比較して、I/Oデータに対するアクセスに要する時間を短縮できる。また、ラダーアプリケーションを含むコンテナおよびコンピュータアプリケーションを含むコンテナがそれぞれ異なるCPUコアにおいて実行されるので、コンピュータ機能CPUコア102にかかる処理負荷が変動して、コンピュータアプリケーションを含むコンテナの実行に遅延が生じたとしても、コントローラ機能CPU102は負荷変動の影響を受けることなく、ラダーアプリケーションを実行できる。

[0017] 次に、図2を用いて、本実施形態にかかるPLC内における制御用データおよびI/Oデータの転送処理の一例について説明する。

図2は、第1の実施形態にかかるPLC内における制御用データおよびI/Oデータの転送処理の一例を説明するための図である。

[0018] 図2に示すように、I/O管理用CPUコア103は、I/Oバス4を介して、制御対象機器3から、I/OデータA、I/OデータB、およびI/OデータCを受信する。そして、I/O管理用CPUコア103は、通信アプリケーションを実行して、制御対象機器3から受信したI/OデータA、I/OデータB、およびI/OデータCを、I/Oバッファ103aに書き込む。次いで、I/O管理用CPUコア103は、通信アプリケーションを実行して、I/Oバッファ103aに書き込んだI/OデータA、I/OデータB、およびI/OデータCを、I/Oメモリ201に転送（保存）する。

[0019] 図2に示すように、コントローラ機能CPUコア101は、I/Oメモリ201に対して、I/OデータA、I/OデータB、およびI/OデータCが書き込まれると（保存されると）、ラダーアプリケーションを実行して、I/Oメモリ201から、当該I/OデータA、I/OデータB、およびI

／ＯデータＣを読み出す。さらに、コントローラ機能ＣＰＵコア１０１は、ラダーアプリケーションを実行して、Ｉ／ＯデータＡの一部のデータ（以下、Ｉ／Ｏ部分データＡ´と言う）、Ｉ／ＯデータＢの一部のデータ（以下、Ｉ／Ｏ部分データＢ´と言う）、およびＩ／ＯデータＣの一部のデータ（以下、Ｉ／Ｏ部分データＣ´と言う）を、共有メモリ２０２に保存する。その際、コントローラ機能ＣＰＵコア１０１は、ラダーアプリケーションを実行して、データチェックを実行したＩ／Ｏ部分データＡ´、Ｉ／Ｏ部分データＢ´、およびＩ／Ｏ部分データＣ´を、共有メモリ２０２に転送（保存）する。

[0020] 図２に示すように、コンピュータ機能ＣＰＵコア１０２は、コンピュータアプリケーションを実行して、共有メモリ２０２から、Ｉ／Ｏ部分データＡ´、Ｉ／Ｏ部分データＢ´、およびＩ／Ｏ部分データＣ´を読み出し、当該読み出したＩ／Ｏ部分データＡ´、Ｉ／Ｏ部分データＢ´、およびＩ／Ｏ部分データＣ´を用いて、Ｉ／Ｏ部分データＡ´、Ｂ´、Ｃ´の表示処理を実行する。また、コンピュータ機能ＣＰＵコア１０２は、コンピュータアプリケーションを実行して、制御用データＤを、共有メモリ２０２に書き込む（保存する）。例えば、コンピュータ機能ＣＰＵコア１０２は、操作部を介してユーザにより入力される制御指示を含むデータを制御用データＤとして共有メモリ２０２に保存する。

[0021] このように、コンピュータ機能ＣＰＵコア１０２は、Ｉ／Ｏメモリ２０１に記憶されるＩ／ＯデータＡ、Ｉ／ＯデータＢ、およびＩ／ＯデータＣに対してアクセスしない。これにより、コントローラ機能ＣＰＵコア１０１およびコンピュータ機能ＣＰＵコア１０２が互いに同一のＩ／Ｏ部分データＡ´、Ｂ´、Ｃ´に処理を実行することが可能となるので、当該Ｉ／Ｏ部分データＡ´、Ｂ´、Ｃ´に対して、コントローラ機能ＣＰＵコア１０１およびコンピュータ機能ＣＰＵコア１０２によって同一の処理を行った場合、その結果の整合性を確保できる。

[0022] また、本実施形態では、コントローラ機能ＣＰＵコア１０１によってデー

タチェックが行われた I/O 部分データ A', B', C' が共有メモリ 202 に書き込まれるので、コンピュータ機能 CPU コア 102 において、制御処理や表示処理に先立って、I/O 部分データ A', B', C' に対してデータチェックを行う必要が無くなる。さらに、従来のシステムにおいては、複数のコントローラが、入出力装置を介して、制御対象機器 3 と I/O データをやりとりするため、コントローラの数分の I/O データのやりとりが必要とあり、制御対象機器 3 に対するアクセスが多くなる。これに対して、本実施形態では、I/O 管理用 CPU コア 103 のみが制御対象機器 3 と I/O データ A, B, C をやりとりするので、制御対象機器 3 と PLC との間での I/O データ A, B, C の転送の回数を減らすことができる。さらに、コントローラ機能 CPU コア 101 およびコンピュータ機能 CPU コア 102 はメインメモリ 2 に記憶されるデータに対してのみアクセスするため、コントローラ機能 CPU コア 101 およびコンピュータ機能 CPU コア 102 が、制御対象機器 3 にアクセスする場合と比較して、I/O データ A, B, C に対するアクセスに要する時間を短縮できる。

[0023] また、図 2 に示すように、コントローラ機能 CPU コア 101 は、コンピュータ機能 CPU コア 102 における制御処理によって制御用データ D が共有メモリ 202 に書き込まれると、ラダーアプリケーションを実行して、当該制御用データ D を読み出し、データチェックを実行する。そして、コントローラ機能 CPU コア 101 は、ラダーアプリケーションを実行して、データチェックを実行した制御用データ D を、I/O メモリ 201 に書き込む（保存する）。

[0024] また、図 2 に示すように、I/O 管理用 CPU コア 103 は、データチェックを実行した制御用データ D が I/O メモリ 201 に書き込まれると、通信アプリケーションを実行して、当該制御用データ D を読み出し、I/O バッファ 103 a に書き込む。そして、I/O 管理用 CPU コア 103 は、通信アプリケーションを実行して、I/O バッファ 103 a に書き込まれた制御用データ D を、I/O バス 4 を介して、制御対象機器 3 に送信する。

[0025] このように、第1の実施形態にかかるPLCによれば、1つのOSにより動作する複数のアプリケーションによって、共有メモリ202に記憶されるI/O部分データに対するアクセスが行われるので、当該複数のアプリケーションによる、共有メモリ202に記憶されるI/O部分データに対するアクセスのタイミングを制御可能となり、共有メモリ202に記憶されるI/O部分データに対するアクセスの衝突を防止できる。また、コントローラ機能CPUコア101およびコンピュータ機能CPUコア102が互いに同一のI/O部分データにアクセスするので、当該I/O部分データに対して、コントローラ機能CPUコア101およびコンピュータ機能CPUコア102によって同一の処理を行った場合、その結果の整合性を確保できる。

[0026] (第2の実施形態)

本実施形態は、コントローラ機能コアが、I/Oメモリに制御用データを保存する代わりに、共有メモリに対して制御用データを保存し、コンピュータ機能CPUコアが、共有メモリに記憶される制御用データに従って、制御対象機器のシミュレータとして動作するプログラムを実行する例である。

[0027] 図3は、第2の実施形態にかかるPLC内における制御用データの転送処理の一例について説明するための図である。本実施形態のPLCの構成は、第1の実施形態にかかるPLCの構成と同様である。本実施形態では、PLCは、制御対象機器3と接続されていない場合または制御対象機器3の制御を実行する前、ラダーアプリケーションを検証するために、コンピュータ機能CPUコア302を制御対象機器3のシミュレータとして利用する。

[0028] 具体的には、コントローラ機能CPUコア301は、PLCが制御対象機器3と接続されていない場合、若しくは制御対象機器3の制御を実行する前に、シミュレーションモードに遷移する。そして、コントローラ機能CPUコア301は、制御対象機器3に転送する制御用データDを、I/Oメモリ201の代わりに、共有メモリ202に書き込む。

[0029] コンピュータ機能CPUコア302は、共有メモリ202に記憶される制御用データD(所定のデータの一例)に従って、制御対象機器3のシミュレ

ータとして動作するプログラム（以下、シミュレーションプログラムと言う）を実行する。そして、コンピュータ機能CPUコア302は、シミュレーションプログラムの実行結果であるシミュレーションデータSDを、共有メモリ202に書き込む。

[0030] 次いで、コントローラ機能CPUコア301は、共有メモリ202に書き込まれたシミュレーションデータSDを読み出し、当該シミュレーションデータSDが示すシミュレーションプログラムの実行結果に基づいて、ラダーアプリケーションが正常に実行されているか否かを判断する。これにより、制御対象機器3の制御を実行する前に、ラダーアプリケーションが正常に実行されているか否かを判断できるので、制御対象機器3が誤って制御されることを防止できる。

[0031] （第3の実施形態）

本実施形態は、PLCのプロセッサが、制御対象機器毎に、I/Oメモリ、コントローラ機能CPUコア、およびコンピュータ機能CPUコアを有する例である。以下の説明では、上述の実施形態と同様の箇所については説明を省略する。

[0032] 図4は、第3の実施形態にかかるPLCの構成の一例を示す図である。本実施形態にかかるPLCのプロセッサ400は、コントローラ機能CPUコア101、コンピュータ機能CPUコア102、I/O管理用CPUコア103、および通信I/F7に加えて、コントローラ機能CPUコア401（第5コアの一例）、コンピュータ機能CPUコア402（第6コアの一例）、I/O管理用CPUコア403（第4コアの一例）、および制御対象機器5との通信を可能とするネットワークカード等の通信I/F406を有する。また、メインメモリ7は、I/Oメモリ201および共有メモリ405に加えて、当該I/Oメモリ201および共有メモリ405とは異なるI/Oメモリ404（第3記憶領域の一例）を有する。

[0033] I/O管理用CPUコア403は、通信アプリケーションを含むコンテナを実行する。通信アプリケーションは、I/Oバス6を介して、制御対象機

器3とは異なる制御対象機器5（第2制御対象機器の一例）とI/Oメモリ404との間で、制御用データおよびI/Oデータ（第2データの一例）を転送する。言い換えると、通信アプリケーションは、制御対象機器5から受信するI/OデータをI/Oメモリ404へ保存し、かつI/Oメモリ404に記憶される制御用データを制御対象機器5へ送信する。また、I/O管理用CPUコア403は、制御対象機器5とI/Oメモリ404との間で転送する制御用データおよびI/Oデータを一時的に記憶するI/Oバッファ403aを有する。

[0034] コントローラ機能CPUコア401は、ラダーアプリケーションを含むコンテナを実行する。ラダーアプリケーションは、I/Oメモリ404と共有メモリ405との間でI/Oデータを転送する。具体的には、ラダーアプリケーションは、I/Oメモリ404から、I/Oデータを読み出し、当該読み出したI/Oデータのうち一部のI/O部分データを共有メモリ202に保存し、さらに、制御用データをI/Oメモリ404に保存する。また、コントローラ機能CPUコア401が実行するラダーアプリケーションは、I/Oメモリ404と共有メモリ405との間で転送するI/O部分データ、すなわち、共有メモリ405に記憶されるI/O部分データに対して、データチェック等の処理を実行する。

[0035] コンピュータ機能CPUコア402は、コンピュータアプリケーションを含むコンテナを実行する。例えば、コンピュータ機能CPUコア402は、コンピュータ機能CPUコア102と同様に、プロセッサ1において実行されるOS上に仮想マシンを実現し、当該仮想マシン上で汎用のOSを実行し、その汎用のOSによってコンピュータアプリケーションを動作させる。コンピュータアプリケーションは、共有メモリ405からI/O部分データを読み出す。すなわち、コンピュータ機能CPUコア102、402が実行するコンピュータアプリケーションは、I/Oメモリ201、404に記憶されるI/Oデータに対してアクセスしない。また、コンピュータ機能CPUコア402において実行されるコンピュータアプリケーションは、共有メモ

り405に対して制御用データを保存する制御処理や共有メモリ405に記憶されるI/O部分データをコントローラが有する表示部に表示する処理等の処理を実行する。これにより、制御対象機器3, 5毎に、I/Oメモリ404、コントローラ機能CPUコア101, 401、コンピュータ機能CPUコア102, 402、およびI/O管理用CPUコア103, 403を有する場合も、1つのOSにより動作する複数のアプリケーションによって、共有メモリ405に記憶されるI/O部分データに対するアクセスが行われるので、当該複数のアプリケーションによる、共有メモリ405に記憶されるI/O部分データに対するアクセスのタイミングを制御可能となり、共有メモリ405に記憶されるI/O部分データに対するアクセスの衝突を防止できる。

[0036] また、コントローラ機能CPUコア101, 401およびコンピュータ機能CPUコア102, 402が互いに同一のI/O部分データにアクセスすることが可能となるので、当該I/O部分データに対して、コントローラ機能CPUコア101, 401およびコンピュータ機能CPUコア102, 402によって同一の処理を行った場合、その結果の整合性を確保できる。また、制御対象機器3, 5とPLCとの間で1つのデータを転送すれば済むので、制御対象機器3, 5とPLCとの間でのI/Oデータの転送の回数を減らすことができる。

[0037] 次に、図5を用いて、本実施形態にかかるPLC内における制御用データおよびI/Oデータの転送処理の一例について説明する。

図5は、第3の実施形態にかかるPLC内における制御用データおよびI/Oデータの転送処理の一例を説明するための図である。

[0038] 図5に示すように、I/O管理用CPUコア103は、I/Oバス4を介して、制御対象機器3から、I/OデータAを受信する。そして、I/O管理用CPUコア103は、通信アプリケーションを実行して、制御対象機器3から受信したI/OデータAをI/Oバッファ103aに書き込む。次いで、I/O管理用CPUコア103は、通信アプリケーションを実行して、

I/Oバッファ103aに書き込んだI/OデータAを、I/Oメモリ201に転送（保存）する。

[0039] 図5に示すように、コントローラ機能CPUコア101は、I/Oメモリ201に対して、I/OデータAが書き込まれると（保存されると）、ラダーアプリケーションを実行して、I/Oメモリ201から、当該I/OデータAを読み出す。さらに、コントローラ機能CPU101は、ラダーアプリケーションを実行して、I/OデータAの一部のI/O部分データA'を、共有メモリ405に保存する。その際、コントローラ機能CPUコア101は、ラダーアプリケーションを実行して、データチェックを実行したI/O部分データA'を、共有メモリ405に転送（保存）する。

[0040] 一方、図5に示すように、I/O管理用CPUコア403は、I/Oバス6を介して、制御対象機器5から、I/OデータBを受信する。そして、I/O管理用CPUコア403は、通信アプリケーションを実行して、制御対象機器5から受信したI/OデータBをI/Oバッファ403aに書き込む。次いで、I/O管理用CPUコア403は、通信アプリケーションを実行して、I/Oバッファ403aに書き込んだI/OデータBを、I/Oメモリ404に転送（保存）する。

[0041] 図5に示すように、コントローラ機能CPUコア401は、I/Oメモリ404に対して、I/OデータBが書き込まれると（保存されると）、ラダーアプリケーションを実行して、I/Oメモリ404から、当該I/OデータBを読み出す。さらに、コントローラ機能CPUコア401は、ラダーアプリケーションを実行して、I/OデータBの一部のI/O部分データB'を共有メモリ405に保存する。そして、コントローラ機能CPUコア401は、ラダーアプリケーションを実行して、データチェックを実行したI/O部分データB'を、共有メモリ405に転送（保存）する。

[0042] また、図5に示すように、コンピュータ機能CPUコア102、402は、共有メモリ405から、コンピュータアプリケーションを実行して、I/O部分データA'およびI/O部分データB'を読み出し、当該読み出した

I/O部分データA'およびI/O部分データB'を用いて、I/O部分データA'、B'の表示処理を実行する。また、コンピュータ機能CPUコア102、402は、コンピュータアプリケーションを実行して、制御用データDを、共有メモリ405に書き込む（保存する）。

[0043] このように、コンピュータ機能CPUコア102、402は、I/Oメモリ201、404に記憶されるI/OデータAおよびI/OデータBに対してアクセスしない。これにより、コントローラ機能CPUコア101、401およびコンピュータ機能CPUコア102、402が互いに同一のI/O部分データA'、B'に処理を実行することが可能となるので、当該I/O部分データA'、B'に対して、コントローラ機能CPUコア101、401およびコンピュータ機能CPUコア102、402によって同一の処理を行った場合、その結果の整合性を確保できる。

[0044] また、本実施形態では、コントローラ機能CPUコア101、401によってデータチェックが行われたI/O部分データA'、B'が共有メモリ405に書き込まれるので、コンピュータ機能CPUコア102、402において、制御処理や表示処理に先立って、I/O部分データA'、B'に対してデータチェックを行う必要が無くなる。さらに、従来のシステムにおいては、複数のコントローラが、入出力装置を介して、制御対象機器3、5とI/Oデータをやりとりするため、コントローラの数分のI/Oデータのやりとりが必要となり、制御対象機器3、5に対するアクセスが多くなる。これに対して、本実施形態では、I/O管理用CPUコア103、403のみが制御対象機器3、5とI/OデータA、Bをやりとりするので、制御対象機器3、5とPLCとの間でのI/OデータA、Bの転送の回数を減らすことができる。さらに、コントローラ機能CPUコア101、401およびコンピュータ機能CPUコア102、402はメインメモリ2に記憶されるデータに対してのみアクセスするため、コントローラ機能CPUコア101、401およびコンピュータ機能CPUコア102、402が、制御対象機器3、5にアクセスする場合と比較して、I/OデータA、Bに対するアクセ

スに要する時間を短縮できる。

[0045] また、図5に示すように、コントローラ機能CPUコア101は、コンピュータ機能CPUコア102，402における制御処理によって制御用データDが共有メモリ405に書き込まれると、ラダーアプリケーションを実行して、当該制御用データDを読み出し、データチェックを実行する。そして、コントローラ機能CPUコア101は、ラダーアプリケーションを実行して、データチェックを実行した制御用データDを、I/Oメモリ201に書き込む（保存する）。

[0046] また、図5に示すように、I/O管理用CPUコア103は、データチェックを実行した制御用データDがI/Oメモリ201に書き込まれると、通信アプリケーションを実行して、当該制御用データDを読み出し、I/Oバッファ103aに書き込む。そして、I/O管理用CPUコア103は、通信アプリケーションを実行して、I/Oバッファ103aに書き込まれた制御用データDを、I/Oバス4を介して、制御対象機器3に送信する。

[0047] また、図5に示すように、コントローラ機能CPUコア401は、コンピュータ機能CPU102，402における制御処理によって制御用データDが共有メモリ405に書き込まれると、ラダーアプリケーションを実行して、当該制御用データDを読み出し、データチェックを実行する。そして、コントローラ機能CPUコア401は、ラダーアプリケーションを実行して、データチェックを実行した制御用データDを、I/Oメモリ404に書き込む（保存する）。

[0048] また、図5に示すように、I/O管理用CPUコア403は、データチェックを実行した制御用データDがI/Oメモリ404に書き込まれると、通信アプリケーションを実行して、当該制御用データDを読み出し、I/Oバッファ403aに書き込む。そして、I/O管理用CPUコア403は、通信アプリケーションを実行して、I/Oバッファ403aに書き込まれた制御用データDを、I/Oバス6を介して、制御対象機器5に送信する。

[0049] このように、第3の実施形態にかかるPLCによれば、制御対象機器3，

5 毎に、I/Oメモリ201, 404、コントローラ機能CPUコア101, 401、コンピュータ機能CPUコア102, 402、およびI/O管理用CPUコア103, 403を有する場合も、1つのOSにより動作する複数のアプリケーションによって、共有メモリ405に記憶されるI/O部分データに対するアクセスが行われるので、当該複数のアプリケーションによる、共有メモリ405に記憶されるI/O部分データに対するアクセスのタイミングを制御可能となり、共有メモリ405に記憶されるI/O部分データに対するアクセスの衝突を防止できる。また、コントローラ機能CPUコア101, 401およびコンピュータ機能CPUコア102, 402が互いに同一のI/O部分データにアクセスするので、当該I/O部分データに対して、コントローラ機能CPUコア101, 401およびコンピュータ機能CPUコア102, 402によって同一の処理を行った場合、その結果の整合性を確保できる。

[0050] 本実施形態では、ソフトPLCは、2台の制御対象機器3, 5毎に、I/Oメモリ201, 404、コントローラ機能CPUコア101, 401、コンピュータ機能CPUコア102, 402、およびI/O管理用CPUコア103, 403を有しているが、3台以上の制御対象機器が存在する場合も、同様に、制御対象機器毎に、I/Oメモリ、コントローラ機能CPUコア、コンピュータ機能CPUコア、およびI/O管理用CPUコアが設けられるものとする。

[0051] (第4の実施形態)

本実施形態は、コントローラ機能CPUコアが、通信アプリケーションを実行する例である。以下の説明では、第1の実施形態と同様の構成については説明を省略する。

[0052] 図6は、第4の実施形態にかかるPLCの構成の一例を示す図である。本実施形態にかかるPLCは、図6に示すように、プロセッサ600と、メインメモリ2と、通信I/F7と、を有する。プロセッサ600は、複数のコンテナを実行するCPUコアとして、コントローラ機能CPUコア601、

およびコンピュータ機能CPUコア102を有する。

[0053] コントローラ機能CPUコア601は、第1の実施形態におけるI/O管理用CPU103に代わって、通信アプリケーションを含むコンテナを実行する。これにより、少なくとも2つのCPUコアを有するマルチコアプロセッサをプロセッサ600として用いれば、制御対象機器3を制御することができる。

[0054] このように、第4の実施形態にかかるPLCによれば、通信アプリケーションを実行する専用のCPUコアを有していない場合であっても、上述の実施形態と同様の作用効果を得ることができる。

[0055] 以上説明したとおり、第1から第4の実施形態によれば、1つのOSにより動作する複数のアプリケーションによって、共有メモリ202、405に記憶されるI/O部分データに対するアクセスが行われるので、当該複数のアプリケーションによる、共有メモリ202、405に記憶されるI/O部分データに対するアクセスのタイミングを制御可能となり、共有メモリ202に記憶されるI/O部分データに対するアクセスの衝突を防止できる。

[0056] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、請求の範囲に記載された発明とその均等の範囲に含まれる。

請求の範囲

[請求項1]

メモリと、

外部の制御対象機器を制御するプロセッサと、を備え、

前記プロセッサは、

前記メモリが有する記憶領域のうちI/Oメモリから、前記制御対象機器から受信するI/Oデータを読み出し、前記読み出したI/Oデータのうち一部の前記I/Oデータを、前記記憶領域のうち前記I/Oメモリとは異なる共有メモリに保存し、前記制御対象機器に対して送信する制御用データを前記I/Oメモリに保存するラダーアプリケーションを実行するコントローラ機能コアと、

前記コントローラ機能コアとは異なるコアであり、前記共有メモリから前記I/Oデータを読み出すコンピュータアプリケーションを実行するコンピュータ機能コアと、

を備えるコントローラ。

[請求項2]

前記コントローラ機能コアは、さらに、前記制御対象機器から受信する前記I/Oデータの前記I/Oメモリへの保存、および前記I/Oメモリに記憶される前記制御用データの前記制御対象機器への送信を実行するI/Oアプリケーションを実行する請求項1に記載のコントローラ。

[請求項3]

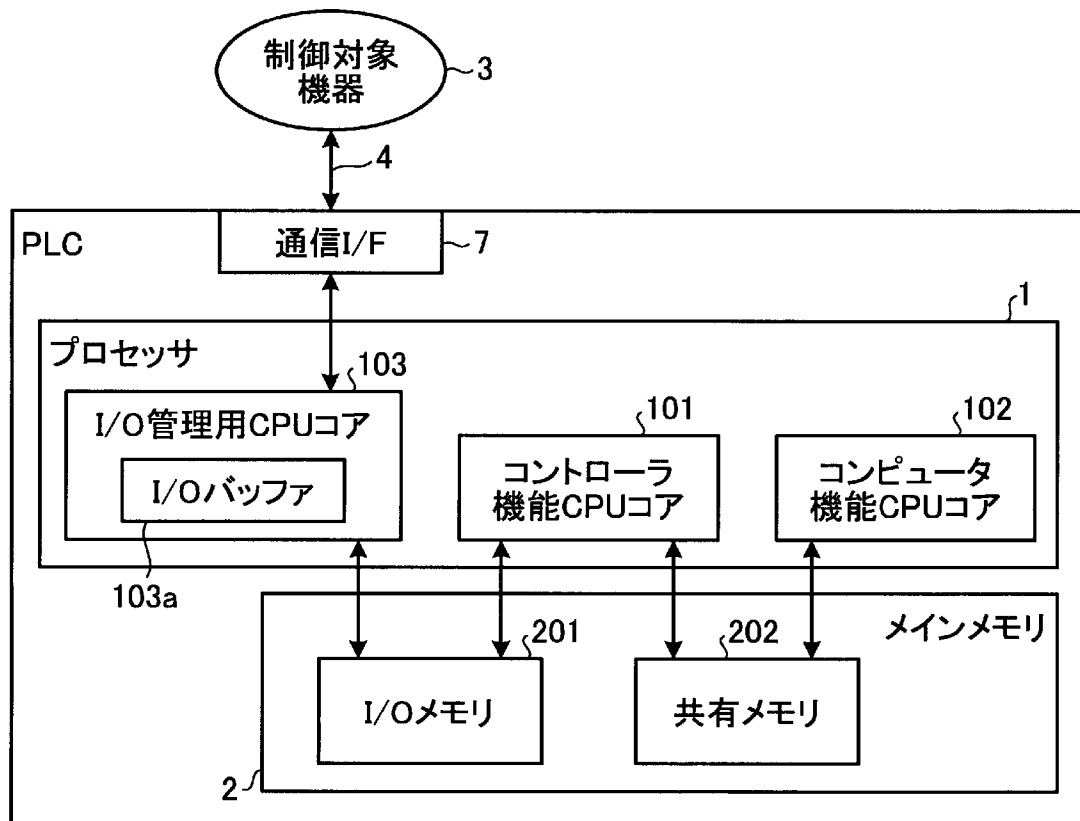
前記コントローラ機能コアは、前記制御用データを前記共有メモリに保存し、

前記コンピュータ機能コアは、さらに、前記共有メモリに記憶される前記制御用データに従って、前記制御対象機器のシミュレータとして動作するプログラムを実行し、当該プログラムの実行結果を前記共有メモリに保存する請求項1または2に記載のコントローラ。

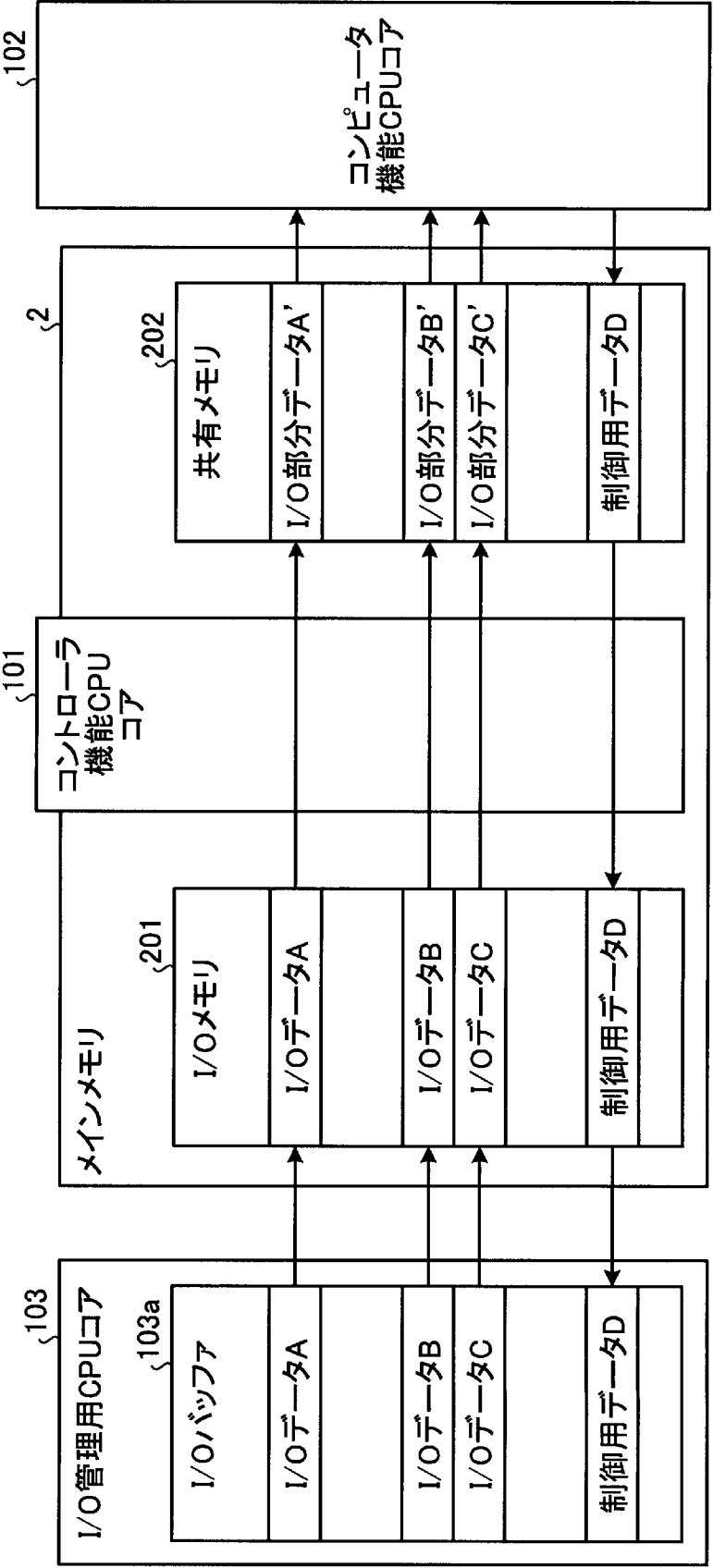
[請求項4]

前記プロセッサは、前記制御対象機器毎に、前記I/Oメモリ、前記コントローラ機能コア、および前記コンピュータ機能コアを備える請求項1から3のいずれかに記載のコントローラ。

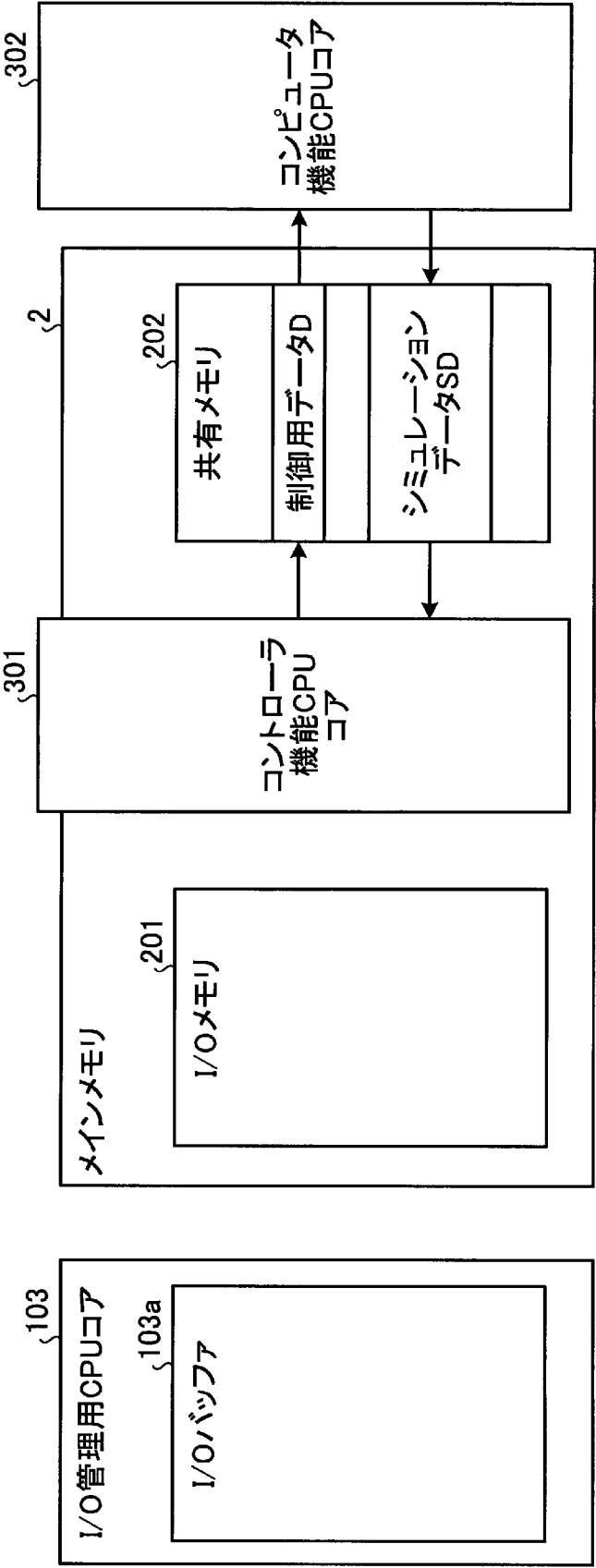
[図1]



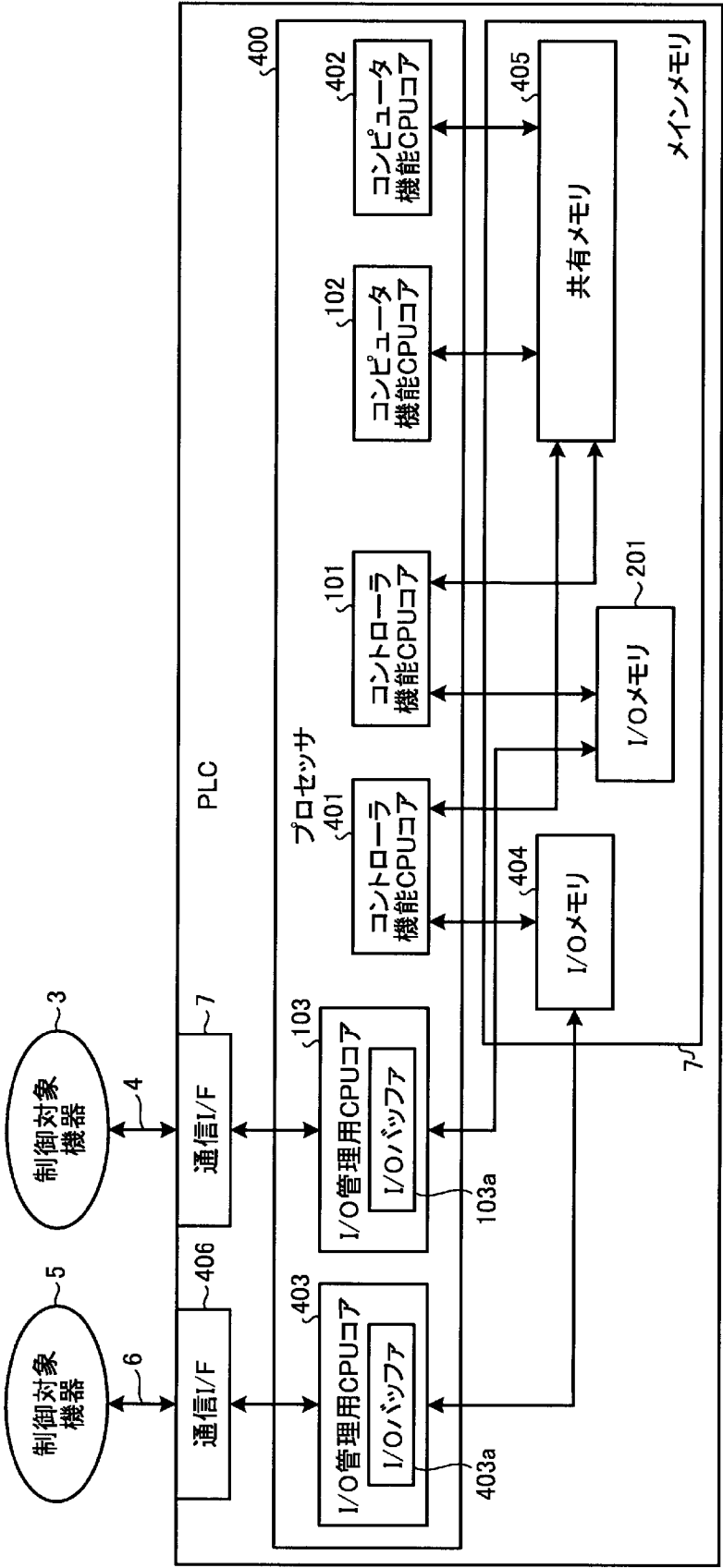
[図2]



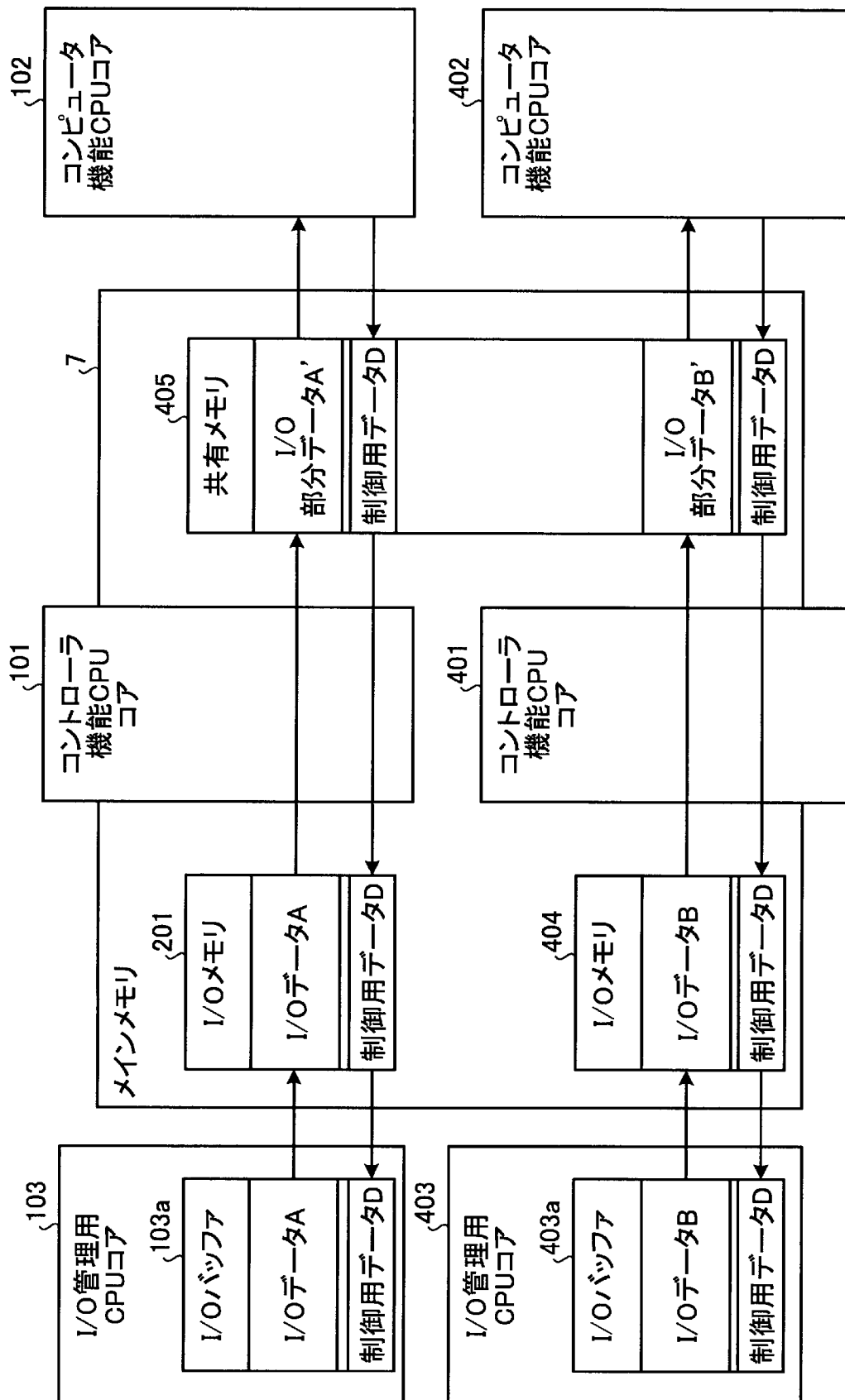
[図3]



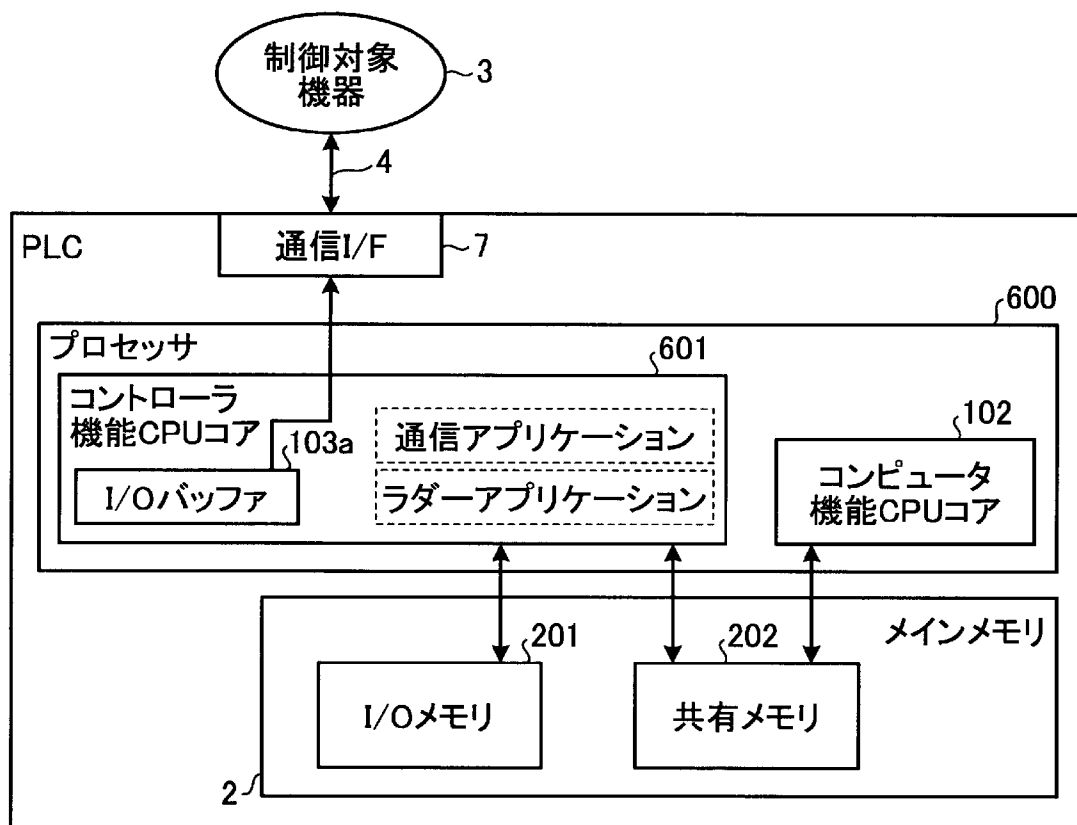
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/038015

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G05B19/05 (2006.01) i, G06F15/167 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G05B19/05, G06F15/167

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2017
Registered utility model specifications of Japan	1996-2017
Published registered utility model applications of Japan	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 9-198360 A (SHIMADZU CORP.) 31 July 1997, paragraphs [0007]-[0012] (Family: none)	1-3 4
Y A	JP 2015-76065 A (MYWAY PLUS CORPORATION) 20 April 2015, paragraphs [0020]-[0024] (Family: none)	1-3 4
Y	JP 2005-292912 A (YOKOGAWA ELECTRIC CORP.) 20 October 2005, paragraphs [0012]-[0017] (Family: none)	3
A	JP 2001-42905 A (MATSUSHITA ELECTRIC WORKS, LTD.) 16 February 2001, paragraphs [0010]-[0014] (Family: none)	1-4
A	US 2013/0018507 A1 (KUKA ROBOTER GMBH) 17 January 2013, fig. 1 & EP 2546029 A2 & DE 102011107169 A1 & CN 102880064 A & KR 10-2013-0009658 A	1-4

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 December 2017 (12.12.2017)

Date of mailing of the international search report
26 December 2017 (26.12.2017)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G05B19/05(2006.01)i, G06F15/167(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G05B19/05, G06F15/167

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 9-198360 A（株式会社島津製作所）1997.07.31,	1-3
A	[0007] - [0012]（ファミリーなし）	4
Y	JP 2015-76065 A（Mywayプラス株式会社）2015.04.20,	1-3
A	[0020] - [0024]（ファミリーなし）	4
Y	JP 2005-292912 A（横河電機株式会社）2005.10.20,	3
	[0012] - [0017]（ファミリーなし）	
A	JP 2001-42905 A（松下電工株式会社）2001.02.16,	1-4
	[0010] - [0014]（ファミリーなし）	

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

12.12.2017

国際調査報告の発送日

26.12.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

牧 初

3U

9064

電話番号 03-3581-1101 内線 3364

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2013/0018507 A1 (KUKA ROBOTER GMBH) 2013.01.17, Fig.1 & EP 2546029 A2 & DE 102011107169 A1 & CN 102880064 A & KR 10-2013-0009658 A	1-4