

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4057911号
(P4057911)

(45) 発行日 平成20年3月5日(2008.3.5)

(24) 登録日 平成19年12月21日(2007.12.21)

(51) Int.Cl.

F I

G 0 6 F 9/48 (2006.01)

G 0 6 F 9/46 3 1 2

G 0 6 F 13/24 (2006.01)

G 0 6 F 13/24 3 1 0 C

請求項の数 12 (全 14 頁)

(21) 出願番号 特願2002-550526 (P2002-550526)
 (86) (22) 出願日 平成13年12月11日(2001.12.11)
 (65) 公表番号 特表2004-516548 (P2004-516548A)
 (43) 公表日 平成16年6月3日(2004.6.3)
 (86) 国際出願番号 PCT/US2001/048027
 (87) 国際公開番号 W02002/048882
 (87) 国際公開日 平成14年6月20日(2002.6.20)
 審査請求日 平成16年12月9日(2004.12.9)
 (31) 優先権主張番号 09/735,266
 (32) 優先日 平成12年12月11日(2000.12.11)
 (33) 優先権主張国 米国(US)

(73) 特許権者 502319730
 ケイデンス デザイン システムズ, イン
 コーポレイテッド
 アメリカ合衆国 カリフォルニア州 95
 134 サンノゼ シーリー アヴェニュー
 2655
 (74) 代理人 100078282
 弁理士 山本 秀策
 (74) 代理人 100062409
 弁理士 安村 高明
 (74) 代理人 100113413
 弁理士 森下 夏樹

最終頁に続く

(54) 【発明の名称】 予め格納されるベクトルの割込処理システムおよび方法

(57) 【特許請求の範囲】

【請求項 1】

プログラム記憶装置に格納されたプログラムコード命令を実行するように構成されたプロセッサを備えたシステムにおいて、予め格納されたベクトルの割込処理であって、

複数の割込ベクトルを含む割込ベクトル記憶装置と、

複数の割込リクエスト信号に接続された割込制御デバイスであって、該割込制御デバイスは、割込リクエスト信号を該プロセッサに出力する、割込制御デバイスと、

該プロセッサのサイクルタイプ信号に応答して、該プロセッサの実行ユニットに直接的にロードされるように、該プログラム記憶装置からのプログラムコード命令と該割込ベクトル記憶装置からの割込ベクトルとの間で選択を行うセレクトと

を含む、予め格納されたベクトルの割込処理システム。

【請求項 2】

前記割込制御デバイスは、複数の割込リクエスト信号の優先順位付けを行う優先順位付け器を含む、請求項 1 に記載の予め格納されたベクトルの割込処理システム。

【請求項 3】

前記優先順位付け器は、いずれの割込ベクトルを前記実行ユニットにロードするかを識別するために、前記割込ベクトル記憶装置への割込識別信号をアサートする、請求項 2 に記載の予め格納されたベクトルの割込処理システム。

【請求項 4】

前記割込制御デバイスは、前記複数の割込リクエスト信号をマスキングする手段を含む

10

20

、請求項 1 に記載の予め格納されたベクトルの割込処理システム。

【請求項 5】

前記マスキングする手段は、複数の割込リクエストラインをマスキングするレジスタを含む、請求項 4 に記載の予め格納されたベクトルの割込処理システム。

【請求項 6】

前記割込ベクトル記憶装置は、複数の割込ベクトルを用いて、予めプログラムされており、該複数の割込ベクトルの各々は、前記プログラム記憶装置内の割込サービスルーチンにジャンプする分岐命令である、請求項 1 に記載の予め格納されたベクトルの割込処理システム。

【請求項 7】

割込ソースは、データ入力デバイス、データ出力デバイス、埋込ハードウェアデバイス、データ格納デバイスのうちの 1 つ以上を含む、請求項 1 に記載の予め格納されたベクトルの割込処理システム。

【請求項 8】

前記予め格納されたベクトルの割込処理システムは、コンピュータシステムに組み込まれている、請求項 1 に記載の予め格納されたベクトルの割込処理システム。

【請求項 9】

初期化モードと割込モードとの間で選択を行うマルチプレクサをさらに含む、請求項 1 に記載の予め格納されたベクトルの割込処理システム。

【請求項 10】

前記セクタは、前記プロセッサからのサイクルタイプ出力信号に接続されている、請求項 1 に記載の予め格納されたベクトルの割込処理システム。

【請求項 11】

前記セクタは、前記プロセッサからの前記サイクルタイプ出力信号が割込サイクルである場合、前記割込ベクトル記憶装置へのチップ選択信号をアサートし、前記プログラム記憶装置へのチップ選択制御信号をデアサートし、該プロセッサからの該サイクルタイプ出力信号が非割込命令サイクルである場合、該割込ベクトル記憶装置への前記制御信号をデアサートし、該プログラム記憶装置への該チップ選択信号をアサートする、請求項 10 に記載の予め格納されたベクトルの割込処理システム。

【請求項 12】

前記セクタは、前記プロセッサからの読出し / 書込み出力信号に接続され、該読出し / 書込み出力信号は、該プロセッサからの前記サイクルタイプ出力信号が割込サイクルである場合、該セクタによって、前記割込ベクトル記憶装置を読出しモードにするために用いられる、請求項 11 に記載の予め格納されたベクトルの割込処理システム。

【発明の詳細な説明】

【0001】

(発明の分野)

本発明の分野は、概してプロセッサベースのシステムに関し、より詳細には、プロセッサベースのシステムにおけるベクトル割り込み処理のための方法およびシステムに関する。

【0002】

(背景)

プロセッサベースのシステムは周辺コンポーネント(入出力(I/Oデバイス)と呼ばれる)を使用して外部環境と通信する。恐らく最も知られたプロセッサベースのシステムは、デジタルコンピュータである。コンピュータシステムで見られるI/Oデバイスの例は、いくつか列挙すると、キーボード、モニタ、ディスクドライブ、およびネットワークインターフェースカードを含む。注意を必要とするI/Oデバイスは、通常いくつかの種類のI/Oサービスリクエストをプロセッサに送信する。

【0003】

ほとんどのアプリケーションでは、システムがI/Oリクエストを処理する速度および効率はシステム全体のスループットの主要な決定の内の1つである。従って、通常の単一の

10

20

30

40

50

プロセッサシステムは、I/Oデバイスのそれぞれがプロセッサからの注意を周期的に必要とする場合、概してシステムのI/Oデバイスのそれぞれの間にプロセッサの時間を割り当てるためのいくつかの方法を有しなければならない。これらのリクエストを提供するための支配的な方法は、ポーリングおよび割り込み制御である。

【0004】

図1は、ポーリング方法を用いてプロセッサベースのシステム100を機能的に表すブロック図である。プロセッサ101、RAMモジュール102、およびROMモジュール103、ならびに恐らく図には占めされない他のシステムコンポーネントは、それぞれシステムバス104に接続される。複数のI/Oデバイス107もまた、システムバス104に接続される。各I/Oデバイス107もまた、選択信号115によってプロセッサ101によって選択的に制御されるプロセッサ制御マルチプレクサ106の入力に接続される。ポーリング方法の典型的な用途では、マルチプレクサ106は、各I/Oデバイス107をクエリ(すなわちポーリング)することに対して責任がある。次いで、I/Oデバイス107がプロセッサ101の注意を必要とするかどうかを決定する。ポーリングされた各I/Oデバイスは、マルチプレクサ出力信号120の状態によって示されるようにプロセッサ101の注意を必要とする場合、プロセッサ101は、現在の動作を中断し、必要に応じてI/Oデバイス107にサービスする時間を充てることによって応答する。ポーリングされたI/Oデバイス107が現在サービスを必要としない場合、全てのI/Oデバイス107がクエリされるまで、マルチプレクサ106は、次のI/Oデバイス107を順次ポーリングする。ポーリングサイクルがサービスの必要性に応じてI/Oデバイス107と遭遇する度に、プログラム実行を一時的に中断しつつ、プロセッサ101はポーリングサイクルを介して連続的にループしている。

【0005】

図2は、I/Oサービスリクエストを処理する割り込み制御方法を機能的に示すブロック図である。プロセッサ201、RAMモジュール202、およびROMモジュール203、ならびに恐らく図には占めされない他のシステムコンポーネントは、それぞれシステムバス204に接続される。複数のI/Oデバイス207もまた、システムバス204に接続される。所定の用途における割り込み制御方法は、一般的に割り込みリクエスト(「IRQ」)ラインをプログラム可能な割り込みコントローラ(PIC)206として従来から公知の制御ブロック集めることによってサービスリクエストを容易にする。PIC206は、全体の割り込み処理の管理に対して責任がある。実用的な問題として、I/Oデバイス207は、プロセッサ201に直接割り込み信号をアサートしない。その代わりに、PIC206は、制御を集中し、現在の割り込みリクエストが現在のプロセッサのタスクよりもより重要度が高いかどうかを決定する。この決定は、優先順位付け(priorityization)と呼ばれ、通常PIC内部の優先順位付け器(priorityizer)によって実行される。

【0006】

優先順位付けは、1つ以上のI/Oデバイスが同時または順次のいずれかでサービスをリクエストする場合、プロセッサによる割り込み処理の順序を階層的に配列する手段である。システムはハードウェアまたはソフトウェアのいずれかによって優先順位を確立する。いくつかのコンピュータシステムは、バックプレーンに沿ってI/Oデバイスの物理的な配置によってハードウェアの優先順位を確立する。従って、バックプレーン上のデバイスの物理的な配置は、階層のレベルに対応する。例えば、より高い優先順位のI/Oデバイスは、プロセッサの物理的に近くに設けられる一方で、より低い優先順位のI/Oデバイスは、デバイスチェーンの末端付近に(さらにはバックプレーン外部)配置される。

【0007】

優先順位付けに加えて、PICはプロセッサへの割り込み信号をマスクする。マスクングは、割り込みがサービス可能である動的な制御のために使用される。割り込みが望ましくないこれらの用途について、サービスリクエストが一時的にディセーブルされる。しかし、いくつかの割り込みはマスクング可能ではない(電源故障等)。いくつかのシステムでは、割込

10

20

30

40

50

みがディセーブルされる間に発行されるサービスリクエストは、割込みが再度イネーブルされた後、処理のために保存され得る。

【 0 0 0 8 】

図 2 に示されるような従来のシステムの例を再度参照すると、マスキングおよび優先順位の確立の後、P I C 2 0 6 は割込み信号をプロセッサの I R Q 入力にアサートする。プロセッサ 2 0 1 は、メモリ 2 0 2、2 0 3 に予めロードされる割込みサービスルーチン (I S R) (時には割込みハンドラープログラムと呼ばれる) を実行することによってリクエストに応答する。プロセッサは特定の I / O デバイス 2 0 7 に関連付けられた I S R を終了することによって割込みリクエストを「満たす」。

【 0 0 0 9 】

割込み制御方法の共通のインプリメンテーションは、「ベクトル化」割込みを含み、これは、プロセッサが、どのデバイスが割込みリクエストを発行したかを知ることが可能にする。この点において、ベクトルは、対応する I S R へのアドレス、またはポインタである。プロセッサが P I C から I R Q を受信する場合、プロセッサは、特定のデバイスのための I S R に関連付けられた分枝命令に対応するベクトルにためのメモリを検索する。

【 0 0 1 0 】

ポーリングおよび割込み制御技術に関して、プロセッサは I S R を実行するために現在のプログラムの実行を一時的に中断しなければならない。プロセッサは第 1 に現在のプログラム命令を中断し、次いで、レジスタバンク (プログラムカウンタ (P C) を含む) の現在の状態をプロセス制御ブロックとして公知のメモリのスタック位置に保存する。I S R の終了時には、レジスタおよび P C 値は、プロセス制御ブロックから復元され、プログラム実行は、割込みの前に P C によって本来保持されるメモリアドレスに配置される命令を継続する。このように、プロセッサはいくつかの I / O デバイス間にその時間を割り当てるための上述の必要性を満たすことができる。

【 0 0 1 1 】

ポーリングおよび割込み制御技術の両方は、割込みソースを検索するようにプロセッサを利用する。各方法は、その方法自身の関係において不十分であり、無駄である。ポーリング方法は、ポーリングサイクルによってループしているプロセッサ時間を浪費することによってシステムスループットの潜在的に著しい損害を引き起こす。典型的には、割込み制御方法は、典型的には、割込みデータ (例えば、フラグまたはデータレジスタ) を P I C から読み出し、提供されたデータを構文解析することをしばしば含む割込みソースを識別するための不十分なソフトウェア検索プロセスを使用する。両方の方法では、P I C によって提供されたデータを構文解析するオーバーヘッドは、より多くの割込みソースがシステムに与えられるにつれて増加する。一旦ソースが決定されると、プロセッサは最終的に I S R に分枝し、I S R が実行される。

【 0 0 1 2 】

割込み制御方法によって使用されたソフトウェア検索ルーチンは、割込みのアサートと適切な I S R の実行の開始との間に不必要な遅延を導入する。この遅延は、数 1 0 個または数百個の割込みを有するシステムに特に明らかになり得る。いくつかのリアルタイムシステムにおいて (特に無線電話において見られたデジタル信号プロセッサ)、この遅延は、効率的な信号処理に対する実質的な負担を表す。従って、複数の I / O デバイスまたはプロセッサベースのシステムにおいてサービスを要求する他のコンポーネントのためのより高速で、より効率的な技術を提供することは有利である。

【 0 0 1 3 】

(発明の要旨)

一局面において、本発明は、プロセッサベースのシステムにおいて割込みを処理するためのシステムおよび方法に関する。特定の実施形態では、プロセッサ分枝命令は、ベクトルとしてベクトル格納装置に格納される。各ベクトルはメモリ内の割込みサービスルーチンに対応する。イベントが発生する場合、予め格納されたベクトル割り込み処理システムは、プロセッサが I R Q 入力に应答して、命令フェッチサイクルを受けるたびに、メモリか

10

20

30

40

50

らの命令ではなく、ベクトル格納装置からのベクトルを用いて実行ユニットをロードする。次いで、プロセッサは、ベクトルによって特定された位置に速やかに効率的に分枝し、対応する割込みサービスルーチンを実行する。

【 0 0 1 4 】

直接ベクトル送達ソフトウェア集中検索ルーチンを避けることによってシステム低減割り込み処理遅延を与える。多数の割込みを含むプロセッサベースのシステムでは、予め格納されたベクトル割込み処理システムによって実現されたオーバーヘッド保存が重要であり得る。本発明の観点では、割込みベクトルは、完全な分枝命令を含み、この命令は分枝オペレーションコードおよびターゲットアドレスを含む。

【 0 0 1 5 】

(好適な実施形態の詳細な説明)

図 3 は、予め処理されたベクトル割り込み処理システムの一実施形態のブロック図である。図 3 に示されるように、複数の I / O デバイス 3 0 1 は、複数の割込みリクエストライン 3 0 2 を介して割込み制御デバイス 3 0 3 に接続される。割り込み制御デバイス 3 0 3 は、プロセッサ 3 0 4 の割込みリクエスト (I R Q) 入力 3 1 0 に接続されたマスター入力リクエスト信号 3 3 0 を出力する。プログラム格納装置 3 0 5 および割込みベクトル格納装置 3 0 8 (および図 3 に示されていない潜在的な他のコンポーネント) と共にプロセッサ 3 0 4 は、システムバス 3 0 6 に接続される。制御信号 3 1 1 は、プロセッサ 3 0 4 からアドレスデコーダおよびセレクタ 3 0 7 に出力され、プログラム格納装置 3 0 5 にチップ選択 (C S) 制御信号 3 3 5 を介して接続され、割込みベクトル格納装置 3 0 8 に C S _ I r q 制御信号 3 3 6 を介して接続される。アドレスデコーダおよびセレクタ 3 0 7 はまた、信号バス 3 4 0 によってシステムバス 3 0 6 に接続される。割込み制御デバイス 3 0 3 はまた、割込み識別信号 3 0 9 を介して割込みベクトル格納装置 3 0 8 に接続される。

【 0 0 1 6 】

動作の際、サービスが I / O デバイス 3 0 1 の内の 1 つによってリクエストされる場合、割込み制御デバイスは、(1) 割込み識別子 3 0 9 を割込みベクトル格納装置 3 0 8 に発行することによって、および(2) マスター割込みリクエスト信号 3 3 0 をプロセッサ 3 0 4 の I R Q 入力 3 1 0 にアサートすることによって、応答する。マスター I R Q 信号 3 3 0 に応答して、プロセッサ 3 0 4 は、特定のバスサイクルタイプに対応する制御信号 3 1 1 (本明細書中では、また C _ t y p e またはサイクルタイプ信号と呼ぶ) を発行する。サイクルタイプシグナリングの特定のインプリメンテーションは、プロセッサに依存する。例えば、一実施形態では、サイクルタイプ信号は、特定のプロセッサによって支援された種々のタイプの動作 (すなわちデータ書き込み、データ読み出し、命令フェッチ等) に対応するように解釈されるコードである。アドレスデコーダおよびセレクタ 3 0 7 は、プロセッサのサイクルタイプ信号を傍受することに対して責任がある。(1) アドレスデコーダおよびセレクタ 3 0 7 が傍受するサイクルタイプ信号が、アドレスデコーダおよびセレクタ 3 0 7 によって命令フェッチ動作を行う権限が与えられる場合、および(2) アドレスバス上のアドレスが割込みベクトル記憶媒体に関連付けられたプログラム格納装置における有効なメモリマッピング位置に復元する場合、アドレスデコーダおよびセレクタ 3 0 7 は、制御信号 3 3 6 を割込みベクトル格納装置 3 0 8 にアサートする。アドレスデコーダおよびセレクタ 3 0 7 (いくつかの例では、反転および非反転出力を有するフリップフロップと同様に簡単に埋め込まれ得る) は、プログラム格納装置 3 0 5 に対してチップ選択信号 3 3 5 をデアサートすることによってこれを行い、その代わりとして、割込みチップリクエストチップ選択 (C S _ I r q) 信号 3 3 6 を割込みベクトル格納装置 3 0 8 にアサートする。この C S _ I r q 信号 3 3 6 およびチップ選択信号 3 3 5 は、相互に排他的である。次いで、割込みベクトル格納装置 3 0 8 は、予め格納されたベクトル (分枝命令オペレーション - コードおよびアドレスの形態で) をプロセッサ実行ユニット 3 1 5 に直接送達する。プロセッサは速やかに分枝命令を実行し、従来行われていたようにプロセッサ 3 0 4 がプログラム格納装置 3 0 5 からの分枝命令をフェッチすることを可能に

10

20

30

40

50

するのではなく、アドレスをプログラムカウンタに挿入する。図中のシステムバス 306 によって互いに接続されることにより、プロセッサ 304、プログラム格納装置 305、アドレスデコーダおよびセレクタ 307 および割込みベクトル格納装置 308 のブロックは、アドレッシングおよびこれらのブロック間のデータ転送の実行を可能にする。しかし、アドレスデコーダおよびセレクタ 307 は、システムバス 306 のアドレス部分への読み出しのみのアクセスが与えられるが、割込みベクトル格納装置 308 が、バス 306 のデータ部分への書き込みアクセスのみ可能にされる。

【0017】

プロセッサの実行ユニットしばしば、命令フェッチャ (fetcher)、命令デコーダ、演算/論理ユニット (ALU)、プログラムカウンタ、および潜在的にプロセッサの複雑さに依存している他のコンポーネントを含む。予め格納されたベクトル割込み処理システムの実施形態では、分枝命令オペレーション - コードおよびアドレスが割込みベクトル格納装置 308 によってプロセッサの実行ユニット 315 に送達される。本実施形態では、実行ユニットは、分枝命令オペレーション - コードを復号化すること、および分枝命令アドレスを実行ユニットのプログラムカウンタに送達することに対して責任がある。次いで次の命令は、分枝アドレス位置からフェッチされる。しかし、予め格納された割込みベクトル処理システムの別の実施形態は、割込みベクトル格納装置 308 から直接、実行ユニット 315 のプログラムカウンタへの分枝命令のアドレスコンポーネントの送達を企図し、実行ユニットの命令フェッチおよびデコード論理をバイパスする。本実施形態は有利である。なぜなら、命令実行遅延が最小化されるが、本実施形態のインプリメンテーションは、プロセッサの内部作業へのプログラマによるアクセスを要求するからである。従って、本実施形態では、予め格納されたベクトル割込み処理システムの特定のアプリケーションのためにインプリメントするための選択は、プロセッサに依存する。

【0018】

予め格納されたベクトル割込み処理システム 300 はまた、割込みリクエストライン 302 をマスキングするための機構を含み得る。プロセッサ制御下のアプリケーションは、アプリケーションが割込まれる場合に負に影響を与える場合、マスキングは、1 つ以上の割込みリクエストライン 302 を一時的にディセーブルするために使用される。割込み制御デバイス 303 内の割込みマスクレジスタ (図示せず) を含むことは、割込みマスキングを有効にする 1 つの方法を表す。このような場合、割込み制御デバイス 303 は、システムバス 306 に接続され、プロセッサ 304 が割込みマスクレジスタのコンテンツを調整することを可能にする。

【0019】

図 3 のシステムの 1 つ以上の概念を組み込む予め格納されたベクトル割込み処理システムの別の実施形態は、割込み制御要素内に優先順位付け器を含む。優先順位付け器によって、割込み制御デバイスに入力する複数の割込みリクエスト信号が処理の前に優先順位付けされ得る。さらに、予め格納されたベクトル割込み処理システムがプロセッサの通常の命令フェッチサイクルタイプの信号を傍受する場合、どの割込みベクトルが出力するかを識別するために、優先順位付け器は、割込み識別子信号を割込みベクトル格納装置にアサートするように構成され得る。優先順位付け器は、2 つの状態で特に利用可能であり得る。すなわち、(1) 1 より多い I/O デバイスが同時にサービスをリクエストする場合、または (2) I/O デバイスが、現在処理されているより優先順位の低い割込みリクエストの緊急度よりも緊急の (より高い優先順位) リクエストを発行する場合である。第 2 の状況では、より低い優先順位の割込みリクエストがより高い優先順位の割込みリクエスト内に入れ子にされることが示される。入れ子にされた割込みの処理はプロセッサに依存する。従って、優先順位付け器が種々の優先順位の複数の同時 (すなわち入れ子にされた) 割込みを発行する際の困難を有し得ない一方で、各プロセッサは異なる態様でこれらの入れ子にされた割込みを受信かつ処理するように設計または構成される。あるいは、一旦初期の割込みリクエストが開始すると、いくつかのプロセッサが優先順位付け器からの以後の割込みリクエスト信号をマスキングアウト (masking out) することによって

、入れ子または優先順位付けられた割込み処理を互いに無効にし得る。

【 0 0 2 0 】

予め格納されたベクトル割込み処理システムは、プロセッサ依存性である。さらに、多くのマイクロプロセッサはキャッシュ R A M 等の素子を含み、これにより、予め格納されたベクトル割込み処理システム動作の変化を必要とし得る。予め格納されたベクトル割込み処理回路は、割込みベクトルが命令キャッシュに格納されないように配置されるべきである。例えば、図 3 のプロセッサ 3 0 4 がキャッシュ素子を含む場合、キャッシュのコンテンツがレジスタバンクおよびプログラムカウンタに保存することに加えて、プロセッサ 3 0 4 によって保存される必要があり得る。さらに、プロセッサ 3 0 4 は、プログラム格納装置 3 0 5 からの命令をプリフェッチするパイプライン技術を使用し得る。パイプラインまたはバーストフィル (b u r s t f i l l) 技術がプロセッサによって使用される場合、割込みベクトル格納装置は、プロセッサの特定の要求を満たす十分な命令を支持すべきである。両方の場合では、予め格納されたベクトル割込み処理システムは、プロセッサに依存し、キャッシングおよび命令プリフェッチ能力を管理し、図 3 のわずかな改変を潜在的に要求する。

【 0 0 2 1 】

図 4 は、割込みコントローラ 4 5 0 の一部として優先順位付け器 4 0 3 を用いる多チャンネルの予め格納されたベクトル割込み処理システム 4 0 0 のブロック図である。図 4 では、システムバスの分離データバス 4 0 8 およびアドレスバス 4 0 7 部分が示される。プロセッサ 4 0 9 およびプログラム格納装置 4 2 9 は、データバス 4 0 8 およびアドレスバス 4 0 7 の両方に接続される。割込みベクトル格納装置 4 0 6 は、データバス 4 0 8 に接続される。割込みベクトル格納装置 4 0 6 に関連付けられたメモリマッピング位置にアドレスバスのコンテンツを分解するために使用するためのアドレスバスから高次 (p - n) ビットを受け取るために、セクタ 4 7 0 の一部であるアドレスデコーダ 4 0 5 がアドレスバスに接続される。このアドレスバス 4 0 7 は、バスチャンネル 4 2 7 を介してマルチプレクサ 4 0 4 にさらに接続される。マルチプレクサ 4 0 4 は、以下にさらに説明されるように、通常割込み処理動作 (割込みモード) とベクトル格納初期化 (初期化モード) との間でシステム 4 0 0 をスイッチングする場合に支援する。セクタ 4 7 0 は、割込みベクトル格納装置 4 0 6 に接続され、割込みベクトル格納装置 4 0 6 の読み出し / 書き込み (R / W) 入力にモード制御信号 4 2 8 を発行する。このセクタは、制御信号 4 5 1 によって割込みベクトル格納装置 4 0 6 の C S _ V S 入力にさらに接続され、制御信号 4 4 0 によってプログラム格納装置 4 2 9 の C S _ P S 入力に接続される。複数の 2^n 個までの I / O デバイス 4 0 1 は、複数の 2^n 個までの割込みリクエストライン 4 0 2 を介して優先順位付け器 4 0 3 に接続される。優先順位付け器 4 0 3 は、マルチプレクサ 4 0 4 への割込みソースを明確に識別する n ビットのマルチビット優先順位付け割込みソース識別子信号 4 1 0 を出力する。サービス可能 I / O デバイス 4 0 1 の数と割込みソース識別子信号 4 1 0 の対応する好適なビット幅との間の関係は、 $n = \log_2 m$ によって与えられ、m はサービス可能 I / O デバイスの最大数を表し、n は、割込みソース識別子信号 4 1 0 の大きさを切り上げたビットで表す。例えば、32 個までの I / O デバイス 4 0 1 に対して、n は 5 であり、16 個までの I / O デバイス 4 0 1 に対して、n は 4 に等しい。

【 0 0 2 2 】

セクタのアドレスデコードブロック 4 0 5 は、好ましくは、システム 4 0 0 において存在し得るかまたはそのシステム外部に存在し得る任意の他のアドレスデコードの機能性から独立して存在する。予め格納されたベクトル割込み処理システムの外部にある改変されたチップ選択論理はまた、システムが初期化モードで動作する場合、好ましくは信号に供給される。例えば、プロセッサの現在の状態を規定するプロセッサ 4 0 9 内部のレジスタのセットは、この目的のためにセクタ 4 7 0 に制御信号を供給し得る。これは、単に予め格納されたベクトル割込み処理システム 4 0 0 が初期化の開始の通知を提供することに依存し得る状態レジスタまたはフラグであり得る。同様な外部論理は、割込みベクトルがそのデバイスにロードされると同時に、他のデバイスがデータバス 4 0 8 に対して選択さ

10

20

30

40

50

れないことを確実にすることに対して責任がある。

【 0 0 2 3 】

ベクトル格納初期化（初期化モード）の間、割込みベクトル格納装置 4 0 6 の C S _ V S 入力、制御信号 4 5 1 によって活性化され、割込みベクトル格納装置にデータバスの排他的な制御を与える。このセレクトはまた、初期化の間にプログラム格納装置 4 2 9 の C S _ P S 入力への C S _ C o d e 制御信号が選択されないことを確実にしなければならない。初期化モード動作の一部として、アドレスデコーダおよびセレクト 4 7 0 はまた、（ 1 ）書き込み（W）モードで割込みベクトル格納装置 4 0 6 を配置するように制御信号 4 2 8 を割込みベクトル格納装置 4 0 6 に発行する、および（ 2 ）マルチプレクサ 4 0 4 を初期化モードにするようにマルチプレクサ 4 0 4 にモード制御信号 4 2 8 を発行する。アドレスバスハイビット（p - n）を割込みベクトル格納装置のメモリマッピング位置に首尾よく分解することによって、マルチプレクサ 4 0 4 は、ロウビット（n）でアドレスバス 4 0 7 を通って、バスチャンネル 4 2 7 を介して割込みベクトル格納装置 4 0 6 に簡単に伝達させる。

10

【 0 0 2 4 】

一方で初期化モードでは、アドレスバス 4 0 7 は、特定の割込みサービスルーチンのための特定の割込みベクトルに（分枝命令アドレスの形態で）対応するメモリアドレスを受信する。あるいは、一方で初期化モードでは、割込みベクトル格納装置 4 0 6 への書き込みを待って、データバス 4 0 8 は特定の割込みベクトル（すなわち、分枝命令オペレーション - コードおよびアドレス）を受信する。システム 4 0 0 は、割込みベクトルおよびそれに関連付けられたアドレスの全てにわたってサイクルして、割込みベクトル格納装置 4 0 8 にロードする。ロードはプロセッサ 4 0 9 または別のコントローラ（例えば D M A コントローラ）の制御の下で実行され得る。初期化は割込みベクトル格納装置 4 0 8 が各割込みルーチン分枝命令のコピーを保持する場合に終了する。

20

【 0 0 2 5 】

予め格納されたベクトル割込み処理システムのコンポーネントとしてマルチプレクサ 4 0 4 の包含は、割込みベクトル格納装置 4 0 6 の初期化の他の方法が存在しない場合に限り必要である。予め格納されたベクトル割込み処理システムの一実施形態は、R O M（図 3 または図 4 に示されない）割込みベクトル格納装置 4 0 6 のインプリメンテーションを企図する。この場合、マルチプレクサ 4 0 4 は必要とされない。所定のチップ選択論理およびアドレス復号化機能性は、それに従って、マルチプレクサの欠如に適応するように改変される必要がある。

30

【 0 0 2 6 】

予め格納されたベクトル割込み処理システム 4 0 0 が割込みベクトル格納装置 4 0 6 の初期化を終了する場合、システム 4 0 0 は、動作モード（割込みモード）にスイッチングする。一方で割込みモードでは、セレクト 4 7 0 は、（ 1 ）マルチプレクサ 4 0 4 にモード制御信号 4 2 8 を発行して、マルチプレクサ 4 0 4 を割込みモードにし（従って、セレクトは、アドレスバス 4 0 7 ではなく、優先順位付け器 4 0 3 から割込みソース識別子 4 1 0 を介して伝達するように）、（ 2 ）割込みベクトル格納装置 4 0 6 にモード制御信号 4 2 8 を発行して、割込みベクトル格納装置 4 0 6 を読み出し（R）モードにする。いくつかの理由によって割込みベクトルがプログラムの実行の間に改変されない場合、割込みモードの間、通常情報は、書き込まれるのではなく、割込みベクトル格納装置 4 0 6 から読み出されるだけである。

40

【 0 0 2 7 】

初期化および割込みモードの両方では、セレクト 4 7 0 は、2 つのデバイス的一方または他方によってデータバス 4 0 8 への排他的なアクセスを確実にすることに対して責任がある（割込みベクトル格納装置 4 0 6 とプログラム格納装置 4 2 9 デバイスのみとの間にある場合）。一実施形態では、セレクトは、AND、OR、またはNOTゲートを使用して、C S _ P S 信号および C S _ V S 信号を割込みベクトル格納装置 4 0 6 またはプログラム格納装置 4 2 9 に送達するように単純なデジタル論理を使用する。従って、割込みベク

50

トル格納装置へのCS__VS入力が制御信号451を介してアサートされる場合、セレクトは、制御信号440を介したプログラム格納装置429へのCS__PS入力がデアサートされることを確実にする。同様に、プログラム格納装置429へのCS__PS入力が制御信号440を介してアサートされる場合、セレクトは、割込みベクトル格納装置406へのCS__VS入力がデアサートされることを確実にする。この態様で、割込みベクトル格納装置およびプログラム格納装置はデータバスを同時に制御しない。

【0028】

分離R/W制御信号428および割込みベクトル格納装置406へのCS__VS制御信号451の入力は、予め格納されたベクトル割込み処理システムのこの実施形態において両方とも必要である。割込みベクトル格納装置406へのR/W制御信号は、割込みベクトル格納装置406が初期化モードにわたって書き込み(W)および割込みモードにわたって読み出し(R)をアサートしたままであることを確実にする。割込みベクトル格納装置406への分離CS__VS入力は、割込みベクトル格納装置406が、割込みモードおよび初期化モードの両方においてデータバス408の排他的制御を維持する。

10

【0029】

割込みモードでは、任意の割込みがない場合、プロセッサ409はプログラム格納装置429から読み出し、命令を実行する。この時点で、セレクト470に接続されるプロセッサのサイクルタイプ出力信号435は、プロセッサ409が非割込み条件において動作することを示す状態で維持される。割込みが存在しない場合、セレクト470が、プログラム格納装置429にアサートされたチップ選択信号440を維持し、割込みベクトル格納装置406にデアサートされた割込みリクエストチップ選択信号451を維持する。

20

【0030】

優先順位付け器403は時折、複数の割り込みリクエストライン402を介してI/Oデバイス401から割り込みリクエストを受け取る。割り込みモード中に割り込みが起これば、マスタ割り込みリクエスト信号436が優先順位付け器403からプロセッサ409にアサートされ、プロセッサ409はこれに応答して現在の命令を終えてサイクルタイプ信号435およびR/W信号444をアサートする。サイクルタイプ信号435およびR/W信号444は両方ともセレクト470に接続されている。セレクト470は上記(図3に示す実施形態)同様、プロセッサの命令フェッチサイクルタイプ信号ならびにプロセッサのR/W出力信号およびアドレスを妨害し、プログラム記憶装置429を非選択にし、割り込みベクトル記憶装置406を選択することにより、割り込みベクトル(ブランチ命令オペコードおよびアドレス)が直接プロセッサ409にロードされるようにする。優先順位付け器403は、マスタ割り込みリクエスト信号436を生成することに加えて、起こった割り込み(あるいは複数の割り込みの場合は、優先順位の最も高い割り込み)に基づき割り込み識別信号410を生成することにより適切なベクトルを識別する。割り込み識別信号410はマルチプレクサ404を通過して割り込みベクトル記憶装置406に達し、割り込みベクトル記憶装置406からの対応する割り込みベクトルをデータバス408に強制的に送る。より特定すると、セレクト470は、割り込みベクトル記憶装置406を選択して、その内容をデータバス408上で使用可能にする。プロセッサ409がサイクルタイプ信号435をアサートすると、次の割り込みベクトル(ブランチ命令オペコードおよびアドレス)が予測され、そのためデータバス408からの割り込みベクトルがプロセッサ409の実行ユニット452に直接ロードされる。

30

40

【0031】

図3および図4の両方のシステムの特徴は、割り込み識別信号が実質的に、割り込み源の多ビット符号化識別を提供し、したがって割り込みベクトルの多ビット符号化識別を提供することである。割り込み識別信号は様々な実施形態において、直接割り込みベクトル記憶装置308または406に、対応する割り込みベクトルが見つけれられるべきアドレスにおいて付与される。割り込み識別子と割り込みベクトル記憶装置内の割り込みベクトルの位置との間の直接的対応は、割り込みに応答する際に速度および効率の点で利点がある。

【0032】

50

図3を参照して述べたシステム300同様、図4のシステム400も様々な割り込み源をマスクする回路を含み得る。たとえば、割り込みマスクレジスタは、特定の割り込みが通過し得るか否かを示す個々のマスクビットを保持するために用いられ得る。各マスクビットは、マスクビットの状態に依存して対応する割り込み信号が通過することを可能にするゲート（たとえば、ANDゲートまたはNANDゲート）を制御し得る。マスクングは、ネスティングされてもよいしされなくてもよい。ネスティングされた場合、高層マスクビットが各々、低層マスクビットの指定されたグループを制御し得る。割り込みは、割り込みに対して特定の低層マスクビットおよび割り込みの指定されたグループ用の高層マスクビットの両方が適切に設定された場合にのみ、通過する。

【0033】

図5は、予め記憶されたベクトル割り込み処理システム、たとえば、図3または図4に示すシステムなどを組み込んだプロセッサベースのシステムが行う工程のフロー図を示す。第1の工程505では、アプリケーション用のプログラムコードがプログラム記憶装置（メモリ）にロードされる。次の工程510では、予め記憶されたベクトル割り込み処理システムが、一例として図4に示す実施形態で述べた初期化技術を用いて初期化される。工程510は、割り込みベクトル記憶装置がROMで実行された場合に随意である工程である。工程515において、プログラム実行が開始される。プログラム実行を図5に示す。一連のプログラム命令ブロックを「プログラム命令1」520、「プログラム命令2」525～「プログラム命令N」585と示す。通常のプログラム実行中は、プロセッサの命令サイクルは、予め記憶されたベクトル割り込み処理システムが割り込みコントローラ530からのマスクされていないサービスリクエストを受け取ったときに割り込み込まれる。

【0034】

工程535において、割り込みコントローラは、プロセッサ540への割り込みリクエスト信号（IRQ）をアサートする前に割り込みの優先順位を付ける。割り込みをまず処理することは、レジスタのスタックダンプおよびスタックへのプログラムカウンタを必要とし得る。割り込みコントローラは、割り込みベクトル記憶装置を選択しプログラム格納装置を非選択にすることにより、工程550でプロセッサの命令フェッチバスサイクル動作を妨害する。工程555において、割り込みコントローラの識別子信号に対応するランチ命令オペコードおよびアドレス（割り込みベクトル）は、プロセッサの実行ユニット560まで直接移動する。割り込みベクトル565の実行後、プロセッサによって実行される次の命令が、リクエストされた割り込みサービスルーチン570の第1の命令となる。工程570の割り込みサービスルーチンが完了すると、PCおよびレジスタの保存されたコンテンツがスタックから取り出され、プロセッサ命令サイクルが割り込まれた点でプログラム実行が再開される（580）。

【0035】

本願発明の各実施形態において、割り込みソースは、ハードディスクドライブなどのデータ格納デバイス、ビデオディスプレイモニタなどのデータ出力デバイス、タイマーなどの埋め込みハードウェアデバイス、またはキーボードもしくはポインティングデバイスなどのデータ入力デバイスのいずれでもあり得る。これらのカテゴリのI/Oデバイスの各々は、前格納ベクトル割り込みハンドリングシステムによって得られる利点を享受し得る。本願発明およびその実施形態は、割り込みソースの性質および数とは独立に機能する。

【0036】

本明細書に記載の前格納ベクトル割り込みハンドリングシステムの実施形態はすべて、サイクルタイプ（Cycle）信号を使用してプロセッサの現在のバスサイクルを認定するが、そのような信号の使用は本発明の必須要件ではない。サイクルタイプ信号は一般にプロセッサ上に見られ得、かつバスサイクル復号を容易にし得る。当業者は、図3および4に示すアドレスデコーダおよびセレクタがサイクルタイプ信号を生成しないプロセッサを使用するためには変更が必要であり得ることを理解する。これらの変更は、プロセッサによって異なる。

10

20

30

40

50

【 0 0 3 7 】

さらに、当業者は、プロセッサに基づくシステムが十分に広く、コンピュータシステム、携帯電話などの無線通信デバイス、マイクロコントローラ、デジタル信号処理システム、または中央プロセッサを含む任意の割り込み駆動システムを含むことを理解する。本明細書に記載される種々の実施形態によるプロセッサは、例えば、汎用プロセッサ、専用アプリケーション用プロセッサ、デジタル信号プロセッサ(DSP)、または命令を処理するために使用される任意の他のタイプのプロセッサであり得る。

【 0 0 3 8 】

本明細書に記載されるような種々の実施形態は、以下の理由により従来の割り込み方法よりも高速であると期待される。第一に、前格納ベクトル割り込みハンドリングシステムは従来の割り込みハンドリング方法よりも高速である。なぜなら、システムは、割り込みサービスルーチンをメモリに配置するために使用される従来の方法では時間のかかる検索によって遅延されるからである。第二に、割り込み待ち時間(latency)が小さくあり得る。なぜなら、前格納ベクトル割り込みハンドリングシステムはハードウェアで完全に実施されるが、割り込みサービスルーチンを検索する従来の方法は一般にソフトウェアに基づくからである。第三に、プロセッサ時間は割り込みサービスルーチンを検索する際に無駄にされない。なぜなら、前格納ベクトル割り込みハンドリングシステムはベクトル(分岐命令オペコードおよびアドレス)を割り込みベクトル格納から直接にプロセッサの実行部分に転送する。その結果、プロセッサが実行するまさに次の命令は、関連割り込みサービスルーチンの第1の命令である。

【 0 0 3 9 】

前格納ベクトル割り込みハンドリングシステムは、プロセッサの独立、スケーラビリティ、およびネスティングを含むさらなる利点を提供する。前格納ベクトル割り込みハンドリングシステムは特定のプロセッサ命令セットとは独立に動作するので、システムは多くの異なるプロセッサを用いて使用され得る。さらに、システムは任意の数の割り込みリクエストソースに対してスケーラブルである。例えば、図4のシステムなどの優先順位付け器を組み込む前格納ベクトル割り込みハンドリングシステム設計において、割り込みネスティングは適切に優先順位付け器を構成することによって可能である。

【 0 0 4 0 】

種々のコンポーネントが互いに接続されるように記載される種々の実施形態が本明細書中に記載されたが、用語「接続される」は直接または間接に接続されることを意味するように最も広い意味で使用される。例えば、当業者は、本明細書中に記載される種々のシステム、プロセスおよび装置の一般的な全体機能を変更することなく、種々の信号がマルチプレクサ、バッファまたは他の中間コンポーネントを介してルーティングされ得ることを理解する。したがって、他の要素またはコンポーネントを本明細書に記載の割り込みハンドリングシステムおよびプロセスの種々の実施例に付与することも本発明の範囲内に完全に含まれることを意図する。

【 0 0 4 1 】

本発明の好適な実施形態が本明細書中に記載されたが、本発明の概念および範囲内にある多くの変形例が可能である。そのような変形例は本明細書および図面を読んだ当業者にとって明らかである。したがって、本発明は特許請求の範囲に限定される。

【図面の簡単な説明】

【図1】 図1は、割り込みを処理するポーリング方法を用いるプロセッサベースのシステムを示すブロック図である。

【図2】 図2は、割り込みを処理する割り込み方法を用いるプロセッサベースのシステムを示すブロック図である。

【図3】 図3は、本明細書中で開示されたような一実施形態によるセレクタを用いる予め格納されたベクトル処理システムのブロック図である。

【図4】 図4は、本明細書中で開示されたような別の実施形態による優先順位付け器を用いる予め格納されたベクトル割り込み処理システムのブロック図である。

【図 5】 図 5 は、本明細書中で開示されたような一実施形態による割込み処理のための方法のステップを示すフローチャートである。

【図 1】

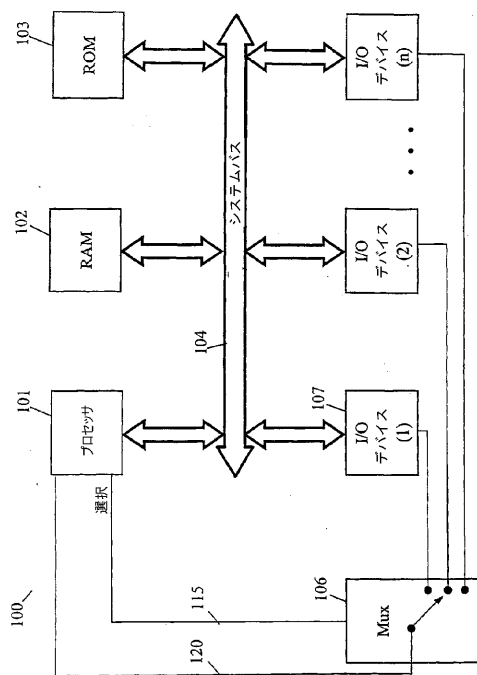


FIG. 1

【図 2】

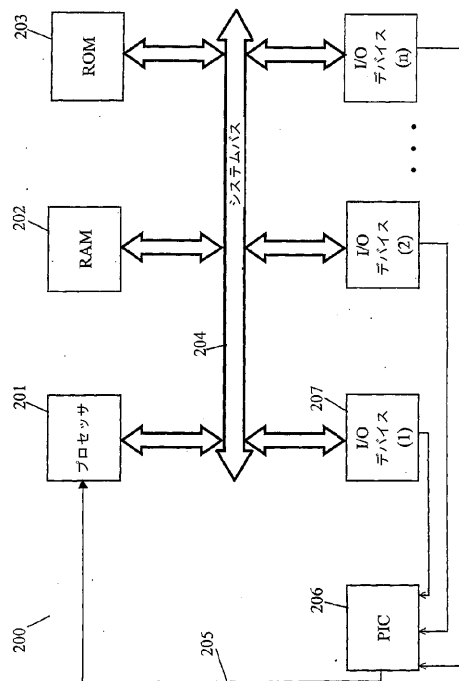


FIG. 2

【図 3】

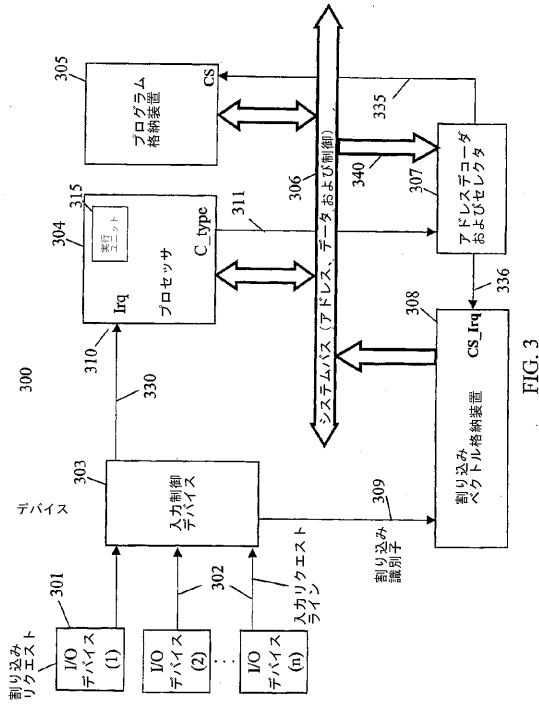


FIG. 3

【図 4】

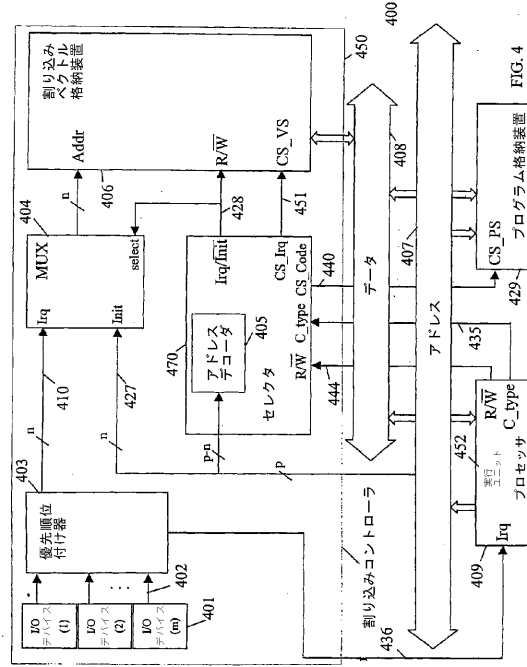


FIG. 4

【図 5】

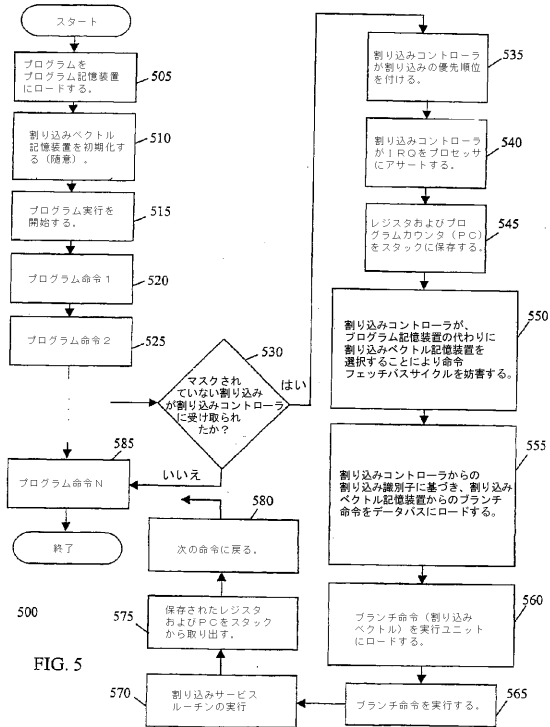


FIG. 5

フロントページの続き

(72)発明者 ゴッドフリー, ケビン ピー.
イギリス国 イーエイチ 5 4 6 ユーアール ウェスト ロジアン, リビングストン, マーテ
ィン ブレー 1 5

審査官 鈴木 修治

(56)参考文献 特開平 0 7 - 0 7 8 0 8 8 (J P , A)
特開 2 0 0 1 - 0 0 5 6 7 6 (J P , A)
特開平 0 5 - 1 4 3 3 6 6 (J P , A)
特開平 0 1 - 2 1 9 9 3 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G06F 9/46-9/54