

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年11月3日(03.11.2011)

PCT

(10) 国際公開番号

WO 2011/135873 A1

- (51) 国際特許分類:
G11C 19/28 (2006.01) G11C 19/00 (2006.01)
G09G 3/20 (2006.01) H01L 21/336 (2006.01)
G09G 3/36 (2006.01) H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2011/051119
- (22) 国際出願日: 2011年1月21日(21.01.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-104271 2010年4月28日(28.04.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 堀内 智
(HORIUCHI, Satoshi). 吉田 昌弘 (YOSHIDA,
Masahiro). 山田 崇晴 (YAMADA, Takaharu). 小笠
原 功 (OGASAWARA, Isao). 田中 信也 (TANA-
KA, Shinya). 菊池 哲郎 (KIKUCHI, Tetsuo).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADE-

MARK); 〒5300041 大阪府大阪市北区天神橋2
丁目北2番6号 大和南森町ビル Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

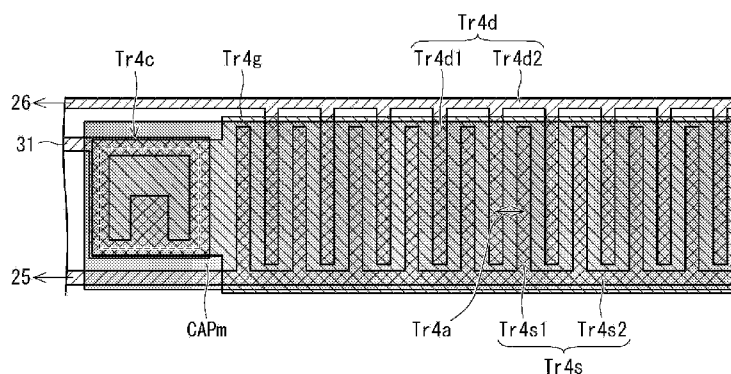
添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: SHIFT REGISTER AND DISPLAY DEVICE

(54) 発明の名称: シフトレジスタおよび表示装置

[図1]



(57) Abstract: At least one of the two source/drain electrodes (Tr4s, Tr4d) provided in the first transistor of a shift register stage is equipped with a capacitive electrode (CAPm) that faces the gate electrode (Tr4g) of the abovementioned first transistor from the opposite side in the film thickness direction. Either the capacitive electrode (CAPm) or one of either source/drain electrodes (Tr4s, Tr4d) facing the capacitive electrode (CAPm) is electrically connected to the control electrode of the output transistor of the shift register stage.

(57) 要約: シフトレジスタ段の第1のトランジスタが備える2つのソース/ドレイン電極 (Tr4s、Tr4d) の少なくとも一方に対して、上記第1のトランジスタのゲート電極 (Tr4g) と反対側で膜厚方向に対向する容量電極 (CAPm) を備えている。容量電極 (CAPm) と、容量電極 (CAPm) に対向するいずれか一方のソース/ドレイン電極 (Tr4s、Tr4d) とのいずれか一方は、シフトレジスタ段の出力トランジスタの制御電極と電気的に接続されている。



WO 2011/135873 A1

明 細 書

発明の名称：シフトレジスタおよび表示装置

技術分野

[0001] 本発明は、表示パネルのゲートドライバなどに用いられるシフトレジスタの回路パターンレイアウトに関する。

背景技術

[0002] 近年、ゲートドライバを液晶パネル上にアモルファスシリコンで形成しコスト削減を図るゲートモノリシック化が進められている。ゲートモノリシックは、ゲートドライバレス、パネル内蔵ゲートドライバ、ゲートインパネルなどとも称される。

[0003] 図15に、特許文献1に記載されたこのようなゲートモノリシック技術によって形成されるゲート駆動部400のブロック図を示す。

[0004] 当該ゲート駆動部400は、それぞれがゲート線に対応して連結されたステージ410が、複数縦続接続された構成をなす。各ステージ410はセット端子S、ゲート電圧端子GV、一対のクロック端子CK1・CK2、リセット端子R、そしてゲート出力端子OUT1およびキャリア出力端子OUT2を有している。

[0005] 各ステージ、例えば、j番目ステージSTjのセット端子Sには前段ステージSTj-1のキャリア出力、つまり、前段キャリア出力Cout(j-1)が入力され、リセット端子Rには後段ステージSTj+1のゲート出力、つまり、後段ゲート出力Gout(j+1)が入力される。クロック端子CK1・CK2にはクロック信号CLK1・CLK2が入力され、ゲート電圧端子GVにはゲートオフ電圧Voffが入力される。ただし、1番目ステージSTjのセット端子Sには走査開始信号STVが入力される。ゲート出力端子OUT1はゲート出力Gout(j)を出力し、キャリア出力端子OUT2はキャリア出力Cout(j)を出力する。

[0006] 次に、図16に、ステージ410の構成を示す。

- [0007] ステージ410は、入力部420、プルアップ駆動部430、プルダウン駆動部440及び出力部450を含んでいる。
- [0008] この構成のステージ410の動作を簡単に説明すると、前段キャリア出力 $Cout(j-1)$ がHighのときにプルアップ駆動部430のトランジスタM4がON状態となってキャパシタC3が充電されて接続点J1がHighになる。このとき出力部450のトランジスタM10・M11がON状態となるが、クロック信号CLK1がHighのときにブートストラップ容量であるキャパシタC3を介して接続点J1の電位が突き上げられるため、ゲート出力 $Gout(j)$ およびキャリア出力 $Cout(j)$ として十分なHighが得られる。後段ゲート出力 $Gout(j+1)$ がHighになると、トランジスタM5・M13がON状態となって接続点J1・J2をLowにリセットする。
- [0009] その他の、入力部420、プルアップ駆動部430、および、プルダウン駆動部440の構成は、接続点J1・J2を適切にHighあるいはLowに保つための回路である。
- [0010] 次に、図17に、トランジスタM10のパターンレイアウトを示す。トランジスタM10はゲート出力 $Gout(j)$ を行うトランジスタであるので、大きなゲート幅（チャネル幅）を要する。従って、一对のドレイン／ソース電極となる入力電極73と出力電極75とがそれぞれくし歯状に構成されて互いに噛み合うように配置される。
- [0011] くし歯状の入力電極73はそれぞれ入力信号線連結部72に接続されている。入力信号線連結部72には入力信号線70aが接続されている。くし歯状の出力電極75はそれぞれ出力信号線連結部76に接続されている。出力信号線連結部76は出力電極拡張部79に接続されている。
- [0012] そして、トランジスタM10のゲートとソースとの間にキャパシタC3を形成するために、ゲート電極である制御電極125と出力電極拡張部79とが互いに膜厚方向に対向するように配置される。さらに、制御電極125との間に出力電極拡張部79を膜厚方向に挟むように補助電極83が配置され

、制御電極 125 と補助電極 83 とは接触孔 183 を介して互いに接続されている。

- [0013] 出力電極拡張部 79 は接触孔 186 を介して連結補助部材 84 に接続されている。連結補助部材 84 には出力信号線 70b が接続されている。連結補助部材 84 はさらに接触孔 188 を介して連結部 129 に接続されている。連結部 129 にはゲート線 121 が接続されている。

先行技術文献

特許文献

- [0014] 特許文献1：日本国公開特許公報「特開2005-352455号公報（公開日：2005年12月22日）」
特許文献2：日本国公開特許公報「特開平11-190857号公報（公開日：1999年7月13日）」

発明の概要

発明が解決しようとする課題

- [0015] 特許文献1のキャパシタC3は、図17の説明に記載したように、出力トランジスタであるトランジスタM10の領域に隣接する領域に、制御電極125と出力電極拡張部79と補助電極83とが膜厚方向に絶縁膜を介して積層された構成をなす。これにより、図18に示すように、出力電極拡張部79に相当するソースメタル102と制御電極125に相当するゲートメタル101とが膜厚方向に対向することにより形成される容量C101と、ソースメタル102と補助電極83に相当する画素電極層103とが膜厚方向に対向することにより形成される容量C102とが並列に接続されて、キャパシタC3に相当するブートストラップ容量が形成される。
- [0016] しかしながら、出力トランジスタはゲート幅が非常に大きいことから素子サイズが非常に大きいため、ブートストラップ容量として機能させるキャパシタC3の素子面積も相応に大きくなる。従って、このような大面積の容量を大面積の出力トランジスタに隣接して設けると、表示パネルの額縁面積が

増大してしまう。

[0017] このように、従来のゲートモノリシック技術により形成されるシフトレジスタには、出力トランジスタに接続されるブートストラップ容量が大面積を要し、表示パネルの額縁面積を増大させてしまうという問題があった。或いは、十分なブートストラップ容量を形成することができずに、シフトレジスタ段の安定した駆動ができないという問題があった。

[0018] 本発明は、上記従来の問題点に鑑みなされたものであり、その目的は、シフトレジスタ段のトランジスタに接続される容量の省面積化を達成することのできるシフトレジスタ、およびそれを備えた表示装置を実現することにある。

課題を解決するための手段

[0019] 本発明のシフトレジスタは、上記課題を解決するために、
基板上に、複数のシフトレジスタ段が縦続接続された構成を備えるように形成された、シフトレジスタであって、
上記シフトレジスタ段は、2つのソース／ドレイン電極の少なくとも一方に対してゲート電極と反対側で膜厚方向に対向する容量電極を備えた第1のトランジスタを備えており、
上記容量電極と、上記容量電極に対向するいずれか一方の上記ソース／ドレイン電極とのいずれか一方は、上記シフトレジスタ段の出力トランジスタの制御電極と電気的に接続されていることを特徴としている。

[0020] 上記の発明によれば、第1のトランジスタが備える2つのソース／ドレイン電極の少なくともいずれか一方との間に、ある容量を形成する場合に、従来のようにトランジスタのアクティブ領域とはパネル面内方向に離れた箇所に容量用の領域を別途設ける必要がなく、ほぼアクティブ領域と膜厚方向に対向する領域を用いて追加することが可能になる。従って、額縁領域を小さく抑制することができる。

[0021] 以上により、シフトレジスタ段のトランジスタに接続される容量の省面積化を達成することのできるシフトレジスタを実現することができるという効

果を奏する。

[0022] また、第1のトランジスタがシフトレジスタ段の出力トランジスタである場合には、以下の効果を奏する。すなわち、十分なブートストラップ容量を形成することができ、シフトレジスタ段の安定した駆動が可能になるという効果、また、第1のトランジスタのゲート電極と、第1のトランジスタが備える2つのソース／ドレイン電極の少なくともいずれか一方との間にブートストラップ容量などの容量を追加する場合に、従来のようにトランジスタのアクティブ領域とはパネル面内方向に離れた箇所に容量用の領域を別途設ける必要がなく、ほぼアクティブ領域と膜厚方向に対向する領域を用いて追加することが可能になるという効果を奏する。

[0023] 本発明のシフトレジスタは、上記課題を解決するために、
基板上に、複数のシフトレジスタ段が縦続接続された構成を備えるように形成された、シフトレジスタであって、
上記シフトレジスタ段は、第1のトランジスタであって、
他の素子から上記第1のトランジスタのゲート電極および2つのソース／ドレイン電極のうちの一電極に接続される第1の配線と、さらなる他の素子から上記第1のトランジスタの上記ゲート電極および上記2つのソース／ドレイン電極のうち異なる一電極に接続される第2の配線とが互いに膜厚方向に対向して配置された、上記第1のトランジスタを備えており、
上記第1の配線と上記第2の配線とは、互いに異なるメタル層が用いられていることを特徴としている。

[0024] 上記の発明によれば、既設の異なる配線領域を互に対向配置することによって第1のトランジスタに容量を追加することが可能になる。

[0025] これにより、第1のトランジスタの任意の電極間に容量を追加する場合に、従来のようにトランジスタのアクティブ領域とはパネル面内方向に離れた箇所に容量用の領域を別途設ける必要がなく、既設の配線領域を用いて追加することが可能になる。従って、額縁領域を小さく抑制することができる。

[0026] 以上により、シフトレジスタ段のトランジスタに接続される容量の省面積

化を達成することのできるシフトレジスタを実現することができるという効果を奏する。

[0027] また、第1のトランジスタがシフトレジスタ段の出力トランジスタである場合には、十分なブートストラップ容量を形成することができ、シフトレジスタ段の安定した駆動が可能になるという効果を奏する。

[0028] また、配線のメタル層をそのまま容量の追加に用いることができるため、メタル層の加工に用いるフォトマスクでパターン形成が可能となってプロセス工程の複雑化を伴うことがないとともに、容量電極材料を新規に追加する必要がないという効果を奏する。

[0029] 本発明のシフトレジスタは、上記課題を解決するために、
基板上に、複数のシフトレジスタ段が縦続接続された構成を備えるように形成された、シフトレジスタであって、

ソース/ドレインメタル層を用いて形成されている第3の配線が上記シフトレジスタ段の出力トランジスタの制御電極と電気的に接続されており、

上記第3の配線が、ゲートメタル層と上記ゲートメタル層に接続された第1の電極との間に、上記ゲートメタル層と上記第1の電極との両方に膜厚方向に対向する領域を有するように配置されていることを特徴としている。

[0030] 上記の発明によれば、第3の配線がゲートメタル層と第1の電極との間に配置されて両者との間の容量を追加することが可能になる。第3の配線がゲートメタル層と第1の電極との間に配置されているので、ゲートメタル層および第1の電極に伝搬される電界ノイズが第3の配線を介して出力トランジスタの制御電極に伝搬されにくくなる。従って、シフトレジスタ段の誤動作を抑制するために必要な制御電極の容量が小さくてすむため、シフトレジスタが省面積化されるという効果を奏する。また、シフトレジスタが省面積化されることにより、額縁領域が小さく抑制された表示装置を実現することができるという効果を奏する。

発明の効果

[0031] 本発明のシフトレジスタは、以上のように、

基板上に、複数のシフトレジスタ段が縦続接続された構成を備えるように形成された、シフトレジスタであって、

上記シフトレジスタ段は、2つのソース／ドレイン電極の少なくとも一方に対してゲート電極と反対側で膜厚方向に対向する容量電極を備えた第1のトランジスタを備えており、

上記容量電極と、上記容量電極に対向するいずれか一方の上記ソース／ドレイン電極とのいずれか一方は、上記シフトレジスタ段の出力トランジスタの制御電極と電氣的に接続されている。

[0032] また、本発明のシフトレジスタは、以上のように、

基板上に、複数のシフトレジスタ段が縦続接続された構成を備えるように形成された、シフトレジスタであって、

上記シフトレジスタ段は、第1のトランジスタであって、

他の素子から上記第1のトランジスタのゲート電極および2つのソース／ドレイン電極のうちの一電極に接続される第1の配線と、さらなる他の素子から上記第1のトランジスタの上記ゲート電極および上記2つのソース／ドレイン電極のうち異なる一電極に接続される第2の配線とが互いに膜厚方向に対向して配置された、上記第1のトランジスタを備えており、

上記第1の配線と上記第2の配線とは、互いに異なるメタル層が用いられている。

[0033] また、本発明のシフトレジスタは、以上のように、

基板上に、複数のシフトレジスタ段が縦続接続された構成を備えるように形成された、シフトレジスタであって、

ソース／ドレインメタル層を用いて形成されている第3の配線が上記シフトレジスタ段の出力トランジスタの制御電極と電氣的に接続されており、

上記第3の配線が、ゲートメタル層と上記ゲートメタル層に接続された第1の電極との間に、上記ゲートメタル層と上記第1の電極との両方に膜厚方向に対向する領域を有するように配置されている。

[0034] 以上により、シフトレジスタ段のトランジスタに接続される容量の省面積

化を達成することのできるシフトレジスタを実現することができるという効果を奏する。

図面の簡単な説明

[0035] [図1]本発明の実施形態を示すものであり、第1実施形態におけるパターンレイアウトを説明する平面図である。

[図2]第1実施形態におけるコンタクト部のパターンレイアウトを説明する図であって、(a)はコンタクト部の平面図、(b)は(a)のA-A'線断面図である。

[図3]第1実施形態におけるコンタクト部の接続関係を示す斜視図である。

[図4]第1実施形態における第1の変形例のパターンレイアウトを説明する平面図であって、(a)は第1例の平面図、(b)は第2例の平面図である。

[図5]第1実施形態における第2の変形例のパターンレイアウトを説明する図であって、(a)はコンタクト部の平面図、(b)は(a)のB-B'線断面図である。

[図6]第1実施形態における第3の変形例のパターンレイアウトを説明する図であって、(a)は大きな厚みの絶縁膜を用いた容量の断面図、(b)は小さな厚みの絶縁膜を用いた容量の断面図である。

[図7]第1実施形態における第4の変形例のコンタクト部のパターンレイアウトを説明する図である。

[図8]第1実施形態における第5の変形例のコンタクト部の接続関係を示す図であって、(a)はコンタクト部の斜視図、(b)はコンタクト部の平面図および断面図である。

[図9]本発明の実施形態を示すものであり、第2実施形態におけるパターンレイアウトを説明する平面図である。

[図10]本発明の実施形態を示すものであり、第3実施形態におけるパターンレイアウトの一部を説明する斜視図である。

[図11]本発明の実施形態を示すものであり、表示装置の構成を示すブロック図である。

[図12] 図 1 1 の表示装置に備えられるシフトレジスタの構成を示すブロック図である。

[図13] 図 1 2 のシフトレジスタの各シフトレジスタ段を説明する図であって、(a) はシフトレジスタ段の回路図、(b) はシフトレジスタ段の動作を説明するタイミングチャートである。

[図14] 本発明の実施形態を示すものであり、第 1 のトランジスタを説明する図であって、(a) は第 1 のトランジスタが出力トランジスタである場合の例を示す回路図、(b) は第 1 のトランジスタが出力トランジスタとは異なるトランジスタである場合の第 1 の例を示す回路図、(c) は第 1 のトランジスタが出力トランジスタとは異なるトランジスタである場合の第 2 の例を示す回路図である。

[図15] 従来技術を示すものであり、シフトレジスタの構成を示すブロック図である。

[図16] 図 1 5 のシフトレジスタ段の構成を示す回路図である。

[図17] 図 1 5 のシフトレジスタ段のパターンレイアウトを示す平面図である。

[図18] 従来技術を示すものであり、ブートストラップ容量が構成された箇所
の接続関係を示す斜視図である。

発明を実施するための形態

[0036] 本発明の実施形態について図 1 ~ 図 1 4 を用いて説明すれば、以下の通りである。

[0037] 図 1 1 に、本実施形態に係る表示装置である液晶表示装置 1 1 の構成を示す。

[0038] 液晶表示装置 1 1 は、表示パネル 1 2、フレキシブルプリント基板 1 3、および、コントロール基板 1 4 を備えている。

[0039] 表示パネル 1 2 は、ガラス基板上にアモルファスシリコンを用いた T F T を用いて表示領域 1 2 a、複数のゲートバスライン（走査信号線）G L…、複数のソースバスライン（データ信号線）S L…、および、ゲートドライバ

(走査信号線駆動回路) 15が作り込まれたアクティブマトリクス型の表示パネルである。多結晶シリコン、CGシリコン、微結晶シリコン、IGZO (In-Ga-Zn-O) などを用いたTFTを用いて表示パネル12を製作することもできる。後述の各実施例では、アモルファスシリコンを用いたTFTを用いる構成に適した例を挙げていく。表示領域12aは、複数の絵素PIX…がマトリクス状に配置された領域である。絵素PIXは、絵素の選択素子であるTFT21、液晶容量CL、および、補助容量Csを備えている。TFT21のゲートはゲートバスラインGLに接続されており、TFT21のソースはソースバスラインSLに接続されている。液晶容量CLおよび補助容量CsはTFT21のドレインに接続されている。

[0040] 複数のゲートバスラインGL…はゲートバスラインGL1・GL2・GL3・…・GLnからなり、それぞれゲートドライバ(走査信号線駆動回路)15の出力に接続されている。複数のソースバスラインSL…はソースバスラインSL1・SL2・SL3・…・SLmからなり、それぞれ後述するソースドライバ16の出力に接続されている。また、図示しないが、絵素PIX…の各補助容量Csに補助容量電圧を与える補助容量配線が形成されている。

[0041] ゲートドライバ15は、表示パネル12上で表示領域12aに対してゲートバスラインGL…の延びる方向の一方側に隣接する領域に設けられており、ゲートバスラインGL…のそれぞれに順次ゲートパルス(走査パルス)を供給する。さらに他のゲートドライバが、表示パネル12上で表示領域12aに対してゲートバスラインGL…の延びる方向の他方側に隣接する領域に設けられて、上記ゲートドライバ15と互いに異なるゲートバスラインGLを走査するようになっていてもよい。また、表示領域12aに対してゲートバスラインGL…の延びる方向の一方側に隣接する領域に設けられたゲートドライバと他方側に隣接する領域に設けられたゲートドライバとが、互いに同じゲートバスラインGLを走査するようになっていてもよい。これらのゲートドライバは、表示パネル12に表示領域12aとモノリシックに作り込

まれており、ゲートモノリシック、ゲートドライバレス、パネル内蔵ゲートドライバ、ゲートインパネルなどと称されるゲートドライバは全てゲートドライバ15に含まれ得る。

[0042] フレキシブルプリント基板13は、ソースドライバ16を備えている。ソースドライバ16はソースバスラインSL…のそれぞれにデータ信号を供給する。ソースドライバ16は、表示パネル12に表示領域12aとモノリシックに作り込まれていてもよい。コントロール基板14はフレキシブルプリント基板13に接続されており、ゲートドライバ15およびソースドライバ16に必要な信号や電源を供給する。コントロール基板14から出力されたゲートドライバ15へ供給する信号および電源は、フレキシブルプリント基板13を介して表示パネル12上からゲートドライバ15へ供給される。

[0043] 次に、ゲートドライバ15が備えるシフトレジスタの構成について説明する。

[0044] 図12に、上記シフトレジスタとしてのシフトレジスタ1の構成を示す。

[0045] 当該シフトレジスタ1は、各シフトレジスタ段 SR_k (k は自然数)が縦続接続された構成を有している。各シフトレジスタ段 SR_k は、セット端子SET、出力端子GOUT、リセット端子RESET、Low電源入力端子VSS、および、クロック入力端子CKA・CKBを備えている。各シフトレジスタ段 SR_k ($k \geq 2$)において、セット端子SETには前段 SR_{k-1} の出力信号GOUT (出力端子OUTの符号で代用する)がシフトパルスとして入力される。初段 SR_1 のセット端子SETにはゲートスタートパルスGSPがシフトパルスとして入力される。出力端子GOUTは、対応する走査信号線GL $_k$ に出力信号G $_k$ を出力する。リセット端子RESETには、次段 SR_{k+1} の出力信号GOUTがリセットパルスとして入力される。Low電源入力端子VSSには、各シフトレジスタ段 SR_k における低電位側の電源電圧であるLow電源電圧VSS (Low電源入力端子VSSの符号で代用する)が入力される。クロック入力端子CKAとクロック端子CKBとのうちの一方にクロック信号CK1が入力されるとともに他方にクロック

ク信号CK2が入力され、隣接する段間でクロック入力端子CKAに入力されるクロック信号とクロック入力端子CKBに入力されるクロック信号とが交互に入れ替わるようになっている。

[0046] クロック信号CK1・CK2は、図13の(b)に示すような波形(CKAおよびCKBを参照)を有している。クロック信号CK1・CK2は、互いのクロックパルスが重ならないノンオーバーラッピングクロック信号である。ここでは、一例として、クロック信号CK1のクロックパルスはクロック信号CK2のクロックパルスの次にクロックパルス1つ分をおいて現れ、クロック信号CK2のクロックパルスはクロック信号CK1のクロックパルスの次にクロックパルス1つ分をおいて現れるタイミングを有している。すなわち、クロック信号CK1とクロック信号CK2とは互いに波形が等しく、互いのクロック位相が180度ずれている。

[0047] 従って、ここでは、クロック入力端子CKAにクロック信号CK1が入力されるとともにクロック入力端子CKBにクロック信号CK2が入力される段と、クロック入力端子CKAにクロック信号CK2が入力されるとともにクロック入力端子CKBにクロック信号CK1が入力される段との両方が表現されている。

[0048] 次に、図13の(a)に各シフトレジスタ段SRkの構成を示す。

[0049] シフトレジスタ段SRkは、トランジスタTr1・Tr2・Tr3・Tr4および容量CAPを備えている。出力トランジスタであるトランジスタ(第1のトランジスタ)Tr4には、容量CAPがブートストラップ容量として接続されている。上記トランジスタは全てnチャネル型のTFTである。なお、容量CAPを始めとする付加容量が形成される対象となる第1のトランジスタは、出力トランジスタに限らない。これについては後段で詳述する。

[0050] トランジスタTr1において、ゲートおよびドレインはセット入力端子Qn-1に、ソースはトランジスタTr4のゲートに、それぞれ接続されている。トランジスタTr4において、ドレインはクロック入力端子CKAに、

ソースは出力端子GOUTに、それぞれ接続されている。すなわち、トランジスタTr4は伝送ゲートとして、クロック入力端子CKAに入力されるクロック信号の通過および遮断を行う。容量CAPは、トランジスタTr4のゲートとソースとの間に接続されている。容量CAPの、トランジスタTr4のゲートと接続されている側の一端をノードnetAと称する。

[0051] トランジスタTr2において、ゲートはクロック入力端子CKBに、ドレインは出力端子GOUTに、ソースはLow電源入力端子VSSに、それぞれ接続されている。トランジスタTr3において、ゲートはリセット入力端子Qn+1に、ドレインはノードnetAに、ソースはLow電源入力端子VSSに、それぞれ接続されている。

[0052] 次に、図13の(b)を用いて、図13の(a)の構成のシフトレジスタ段SRkの動作について説明する。

[0053] セット入力端子Qn-1にシフトパルスが入力されると、トランジスタTr1がON状態となり、容量CAPを充電する。このシフトパルスは、シフトレジスタ段SR1についてはゲートスタートパルスGSP1であり、それ以外のシフトレジスタ段SRiについては前段の出力信号Gk-1である。容量CAPが充電されることによりノードnetAの電位が上昇し、トランジスタTr4がON状態になり、クロック入力端子CKAから入力されたクロック信号CK1またはCK2がトランジスタTr4のソースに現れるが、次にクロック入力端子CKAにクロックパルスが入力された瞬間に容量CAPのブートストラップ効果によってノードnetAの電位が急速に上昇し、入力されたクロックパルスがシフトレジスタ段SRkの出力端子GOUTに伝送されて出力され、出力信号Gkのゲートパルスとなる。

[0054] セット入力端子Qn-1へのシフトパルスの入力終了すると、トランジスタTr4がOFF状態となる。そして、ノードnetAおよび出力端子GOUTがフローティングとなることによる電荷の保持を解除するために、リセット入力端子Qn+1に入力されるリセットパルスによってトランジスタTr3をON状態とし、ノードnetAおよび出力端子GOUTをLow電

源VSSの電位とする。

- [0055] その後、再びセット入力端子 Q_{n-1} にシフトパルスが入力されるまでは、クロック入力端子CKBに入力されるクロック信号CK2またはCK1のクロックパルスによって、トランジスタ T_{r2} が周期的にON状態となることにより、ノードnetAおよび出力端子GOUTをLow電源電位にリフレッシュする、すなわちゲートバスラインGLkをLowに引く。
- [0056] このようにして、ゲートバスラインGL1・GL2・GL3・・・に順次ゲートパルスが出力されていく。
- [0057] 次に、上記シフトレジスタ段SRkにおける出力トランジスタとしてのトランジスタ T_{r4} と、ブートストラップ容量としての容量CAPとのパターンレイアウトについて説明する。
- [0058] 図1に、トランジスタ T_{r4} および容量CAPのパターンを表示パネル12の上面側（表示面側）から見た平面図を示す。
- [0059] トランジスタ T_{r4} は、ゲート電極 T_{r4g} 、ソース電極（第1ソース／ドレイン電極） T_{r4s} 、および、ドレイン電極（第2ソース／ドレイン電極） T_{r4d} を備えている。第1ソース／ドレイン電極と第2ソース／ドレイン電極とは、トランジスタ T_{r4} が備える2つのソース／ドレイン電極の一方と他方とであり、ドレイン電極を第1ソース／ドレイン電極、ソース電極を第2ソース／ドレイン電極としてもよい。
- [0060] ここでは、通常のボトムゲート型TFTのように、表示パネル12の上面から見た場合の下層側から上層側へ向って順に、ゲート電極 T_{r4g} とソース電極 T_{r4s} およびドレイン電極 T_{r4d} とが積層されている。ゲート電極 T_{r4g} とソース電極 T_{r4s} およびドレイン電極 T_{r4d} の間には、ゲート絶縁膜、シリコンi半導体層、およびシリコンn+半導体層がこの順で上層側へ向って積層されている。
- [0061] ソース電極 T_{r4} は、パネル平面上で互いに平行に延びる複数のソースフィンガー電極（第1の部分） T_{r4s1} ・・・と、これら複数のソースフィンガー電極 T_{r4s1} ・・・の分岐元としてソースフィンガー電極 T_{r4s1} ・・・に共

通に接続されているソース接続電極（第2の部分） T_{r4s2} とを備えているくし歯状の電極である。同様に、ドレイン電極 T_{r4} は、パネル平面上で互いに平行に延びる複数のドレインフィンガー電極（第1の部分） T_{r4d1} …と、これら複数のドレインフィンガー電極 T_{r4d1} …の分岐元としてドレインフィンガー電極 T_{r4d1} …に共通に接続されているドレイン接続電極（第2の部分） T_{r4d2} とを備えているくし歯状の電極である。

[0062] ソースフィンガー電極 T_{r4s1} …とドレインフィンガー電極 T_{r4d1} …とは、パネル平面上で互いに1本ずつ噛み合うように配置されており、互いに隣接するソースフィンガー電極 T_{r4s1} とドレインフィンガー電極 T_{r4d1} との直下を含めた両者の間のシリコンi半導体層領域がトランジスタ T_{r4} のチャネル領域を形成するアクティブ領域 T_{r4a} となっている。

[0063] ソース接続電極 T_{r4s2} は、トランジスタ T_{r4} 外への接続配線25に接続されており、ドレイン接続電極 T_{r4d2} は、トランジスタ T_{r4} 外への接続配線26に接続されている。例えば、ソース接続電極 T_{r4s2} は、接続配線25として図13の(a)における出力端子GOUTに接続された配線に接続されており、ドレイン接続電極 T_{r4d2} は、接続配線26として図13の(a)におけるクロック入力端子CKAに接続された配線に接続されている。

[0064] ゲート電極 T_{r4g} は当該アクティブ領域 T_{r4a} の直下に拡がっており、ドレイン接続電極 T_{r4d2} と膜厚方向に対向する位置までには至らないが、ソース接続電極 T_{r4s2} と膜厚方向に対向する位置にまでは至っている。これにより、ゲート電極 T_{r4g} とソース電極 T_{r4s} との間の容量を極力大きくなるように確保している。

[0065] また、ゲート電極 T_{r4g} は、コンタクト部 T_{r4c} において、他の素子との接続配線31に電氣的に接続されるとともに、容量CAPのノードnetA側の一端となる容量電極CAPmに電氣的に接続されている。ここで、上記接続配線31は、図13の(a)においてはノードnetAに接続された配線に相当し、ソース/ドレイン電極に用いられるメタル層によって

形成されている。

- [0066] 容量電極CAPmは透明電極であるITOやIZOなどの画素電極層で形成されており、ソースフィンガー電極Tr4s1…とソース接続電極Tr4s2とドレインフィンガー電極Tr4d1…とに、上層側で膜厚方向に対向するように拡がっている。容量電極CAPmはドレイン接続電極Tr4d2とは膜厚方向に対向していない。
- [0067] 図2の(a)および(b)に、コンタクト部Tr4cの詳細な構成を示す。図2の(b)は図2の(a)のA-A'線断面図である。
- [0068] 図2の(a)に示すように、コンタクト部Tr4cは、接続配線31で形成される矩形状環部32の内側領域に設けられたコンタクトホール33aを介して、接続配線31とゲート電極Tr4gと容量電極CAPmとを互いに電氣的に接続する構成を有している。このコンタクト部Tr4cは、接続配線31を構成するメタル層を、トランジスタTr4のゲート電極Tr4gを構成するメタル層に切り替える部分の領域を利用して構成することができる。そして、この場合に、容量電極CAPmには当該切り替える部分に存在する画素電極層を利用することができる。
- [0069] また、矩形状環部32のソース接続電極Tr4s2側の一辺から、矩形状環部32の内側領域の中心部へ向って引き出された接続配線31の引き出し部32aが設けられている。
- [0070] 図2の(b)に示すように、コンタクト部Tr4cにおいては、下層側から、ガラス基板(基板)35、ゲート電極Tr4g、ゲート絶縁膜36、下層側のシリコンi半導体層34aおよび上層側のシリコンn+半導体層34bからなる半導体層34、下層側のTi層31aおよび上層側のAl層31bからなる接続配線31、SiNxやSiO₂などの無機絶縁膜からなるパッシベーション膜37、有機絶縁膜38、および、容量電極CAPmが順に積層された構成をなしている。
- [0071] コンタクトホール33aは、有機絶縁膜38、パッシベーション膜37、および、ゲート絶縁膜36を貫通するように形成されている。コンタクトホ

ール33aの底部において、ゲート電極Tr4gと容量電極CAPmとがコンタクトしている。また、引き出し部32a上の領域においては、引き出し部32aの先端側から、シリコンi半導体層34a、シリコンn+半導体層34b、Ti層31a、および、Al層31bのそれぞれが順に露出するように、階段状のパターンエッチングが施されている。この階段状のパターンにおいて、接続配線31と容量電極CAPmとがコンタクトしている。

[0072] コンタクトホール33aは、1枚のフォトマスクを用いて形成することができる。より具体的には、例えば、まず1枚のフォトマスクを用いて有機絶縁膜38にコンタクトホールを形成し、次いで、この有機絶縁膜38のコンタクトホールのパターンと、接続配線31および半導体層34をマスクにして、パッシベーション膜37とゲート絶縁膜36とを連続的にエッチングする。こうして形成されたコンタクトホール33a上に容量電極CAPmが積層およびパターンニングされる。

[0073] このコンタクト部Tr4cの構成によれば、図3に示すように、ゲート電極Tr4gと接続配線31とは、容量電極CAPmを介して互いに間接的に電氣的接続された状態となる。

[0074] このようにして、容量電極CAPmは、ソース/ドレイン電極（ここではソースフィンガー電極Tr4s1…とソース接続電極Tr4s2とドレインフィンガー電極Tr4d1…）との間で第1の容量を形成する。そして、容量電極CAPmがコンタクト部Tr4cを介してゲートメタルTr4gと接続されている、すなわちトランジスタTr4の制御電極であるノードnetAと電氣的に接続されていることから、第1の容量のうち容量電極CAPmとソース電極Tr4s（ソースフィンガー電極Tr4s1…およびソース接続電極Tr4s2）との間で形成される第2の容量と、ゲート電極Tr4gとソース電極Tr4sとの間で形成される第3の容量との合成容量によってトランジスタTr4のゲート-ソース間のほぼ全容量が形成される。このうち第2の容量をここでは特に容量CAPであるとする。

[0075] さらに第2の容量は、容量電極CAPmとドレインフィンガー電極Tr4

d 1…との間に形成される容量よりも大きいので、容量電極CAPmと一方のソース／ドレイン電極であるソース電極Tr4sとの間の容量は、容量電極CAPmと他方のソース／ドレイン電極であるドレイン電極Tr4dとの間の容量よりも大きい。

[0076] 以上のような容量電極CAPmが備えられていることは、一般には、シフトレジスタの出カトランジスタにおけるゲート電極と、出カトランジスタが備える2つのソース／ドレイン電極の少なくともいずれか一方との間に容量を追加するために、当該出カトランジスタの一方のソース／ドレイン電極に対してゲート電極と反対側で膜厚方向に対向する容量電極が備えられていることを表す。

[0077] また、これは、一般には、シフトレジスタの出カトランジスタが備える2つのソース／ドレイン電極の少なくともいずれか一方に対して、当該出カトランジスタの一方のソース／ドレイン電極に対してゲート電極と反対側で膜厚方向に対向する容量電極が備えられていることを表す。すなわち、上記例のように容量電極CAPmが出カトランジスタのゲート電極に接続されていない構成でも、同様にソース／ドレイン電極に膜厚方向に対向する容量電極の配置が可能である。

[0078] これにより、出カトランジスタが備える2つのソース／ドレイン電極の少なくともいずれか一方との間に、ある容量を形成する場合に、あるいは、出カトランジスタのゲート電極と、出カトランジスタが備える2つのソース／ドレイン電極の少なくともいずれか一方との間に容量を追加する場合に、従来のように出カトランジスタのアクティブ領域とはパネル面内方向に離れた箇所に容量用の領域を別途設ける必要がなく、ほぼアクティブ領域と膜厚方向に対向する領域を用いて追加することが可能になる。従って、額縁領域を小さく抑制することができる。また、上記アクティブ領域上の、他に使用用途が無いことから従来除去されていた画素電極層をそのまま容量電極として用いることができるため、画素電極層の加工に用いるフォトマスクでパターン形成が可能となってプロセス工程の複雑化を伴うことがないとともに、容

量電極材料を新規に追加する必要がない。

- [0079] また、ゲート電極と一方のソース／ドレイン電極との間の容量を、ゲート電極と他方のソース／ドレイン電極との間の容量よりも大きくしたい場合に、ソース接続電極 $Tr4s$ と容量電極 $CAPm$ との関係のように、大きくしたいほうの容量の一部を出カトランジスタのアクティブ領域外に配置される部分で形成されるようにすることができる。
- [0080] また、容量電極とゲート電極とを接続する箇所を、出カトランジスタの外部からゲート電極に接続される接続配線を構成するメタル層を出カトランジスタのゲート電極を構成するメタル層に切り替える部分の領域を利用して構成することができるため、配線接続部の数および占有面積を節約することができる。従って、それだけ駆動回路部分の領域を大きく確保して、駆動回路の寸法拡大すなわち電流駆動能力の拡大を図ることができる。
- [0081] なお、図1の構成について、トランジスタ $Tr4$ をトップゲート型のTFTとする場合には、ソース電極 $Tr4s$ およびドレイン電極 $Tr4d$ に対して、ゲート電極 $Tr4g$ と容量電極 $CAPm$ との上下関係を入れ替えたものとすればよい。
- [0082] 次に、図4の(a)に、トランジスタ $Tr4$ と容量 CAP とのパターンレイアウトにおける、第1の変形例の第1例の構成を示す。
- [0083] 第1の変形例の第1例の構成は、図1のパターンレイアウトにおける容量電極 $CAPm$ を、ソースフィンガー電極 $Tr4s1$ …およびソース接続電極 $Tr4s2$ には膜厚方向に対向するが、ドレインフィンガー電極 $Tr4d1$ …およびドレイン接続電極 $Tr4d2$ には膜厚方向に対向しない容量電極 $CAPm'$ としたものである。この場合には、ゲート電極 $Tr4g$ とソース電極 $Tr4s$ との間にのみ、追加する容量が形成される。従って、ここでは容量電極 $CAPm$ がソース／ドレイン電極との間で形成する第1の容量は、容量電極 $CAPm$ がソース電極 $Tr4s$ との間で形成する第2の容量に等しい。
- [0084] 図4の(a)の構成により、出カトランジスタが備える2つのソース／ド

レイン電極のいずれか一方との間に、ある容量を形成する場合、および、出力トランジスタのゲート電極と、出力トランジスタが備える2つのソース／ドレイン電極のいずれか一方との間に容量を追加する場合の構成が提供される。

[0085] また、図4の(a)の構成では、容量電極CAP_mは、トランジスタTr₄の、ソース電極Tr_{4s}およびドレイン電極Tr_{4d}に膜厚方向に対向する領域を除くアクティブ領域に配置された半導体層と、重なり領域を有するように対向している。この構成によれば、容量電極とソース／ドレイン電極との重なり面積が大きいため、より効率的に容量を大きく確保できる。

[0086] 次に、図4の(b)に、トランジスタTr₄と容量CAPとのパターンレイアウトにおける、第1の変形例の第2例の構成を示す。

[0087] 第1の変形例の第2例の構成は、図4の(a)の構成において、容量電極CAP_mが、トランジスタTr₄のソース電極Tr_{4s}およびドレイン電極Tr_{4d}に膜厚方向に対向する領域を除くアクティブ領域に配置された半導体層とは対向しないようにした容量電極CAP_m'に置き換えられたものである。特に図4の(b)では、容量電極CAP_mのパターンが、膜厚方向に見てソースフィンガー電極Tr_{4s1}…およびソース接続電極Tr_{4s2}のパターンの内側に入るように形成されている。この構成によれば、製造工程において、ソース／ドレイン電極に対して容量電極の位置がずれて形成された場合でも、容量の大きさの変化量が小さく、安定した大きさの容量を形成することができる。

[0088] 図4の(a)あるいは(b)の構成により、出力トランジスタが備える2つのソース／ドレイン電極のうち所望の一方に対して容量を形成あるいは追加することができる。

[0089] 次に、図5の(a)および(b)に、トランジスタTr₄と容量CAPとのパターンレイアウトにおける、第2の変形例の構成を示す。図5の(a)は当該パターンレイアウトの平面図、図5の(b)は図5の(a)のB-B'線断面図である。

- [0090] 第2の変形例の構成は、図1のパターンレイアウトにおけるコンタクト部 $T r 4 c$ をコンタクト部 $T r 4 c'$ としたものである。
- [0091] コンタクト部 $T r 4 c'$ では、図5の(a)および(b)に示すように、中央のコンタクトホール $33c$ を介して接続配線 31 がゲート電極 $T r 4 g$ に直接接続されており、コンタクトホール $33c$ を囲むように開けられたコンタクトホール $33d$ を介して容量電極 $C A P m$ が接続配線 31 に直接接続されている。
- [0092] 図5の(a)および(b)の構成においても、容量電極とゲート電極とを接続する箇所を、出力トランジスタの外部からゲート電極に接続される接続配線を構成するメタル層を出力トランジスタのゲート電極を構成するメタル層に切り替える部分の領域を利用して構成することができるため、配線接続部の数および占有面積を節約することができる。従って、それだけ駆動回路部分の領域を大きく確保して、駆動回路の寸法拡大すなわち電流駆動能力の拡大を図ることができる。
- [0093] 次に、図6(a)および(b)に、トランジスタ $T r 4$ と容量 $C A P$ とのパターンレイアウトにおける、第3の変形例の構成の説明図を示す。
- [0094] 第3の変形例の構成は、図1のパターンレイアウトにおいて、図6(a)に示すように容量電極 $C A P m$ とソース電極 $T r 4 s$ およびドレイン電極 $T r 4 d$ との間に厚み $D 1$ の絶縁膜 39 が形成される場合に、図6(b)に示すように厚み $D 1$ よりも小さい厚み $D 2$ になるように絶縁膜を薄くしてから容量電極 $C A P m$ を形成するようにしたものである。厚み $D 1$ が大きいと、容量電極 $C A P m$ とソース電極 $T r 4 s$ およびドレイン電極 $T r 4 d$ との間の容量が小さくなるので、このような場合に厚みを $D 2$ に減少させると、容量 $C A P$ を大きくする効果が顕著に得られる。
- [0095] 例えば、上記絶縁膜が図3(b)に示したような有機絶縁膜 38 の厚み $D 1$ は、本来、絵素 $P I X$ において画素電極と信号配線との間の寄生容量を小さく抑制するために大きく設定されているので、少なくともほぼアクティブ領域に膜厚方向に対向する領域である前記第1の容量を形成する領域では、

厚みD2にまで低減するとよい。また、図3(b)では上記絶縁膜が無機絶縁膜からなるパッシベーション膜37と有機絶縁膜38との積層構造であるので、第1の容量を形成する領域では上記絶縁膜としてパッシベーション膜37のみを残すようにしてもよい。このように、容量電極CAPmとソース電極Tr4sおよびドレイン電極Tr4dとの間の絶縁膜の厚みは、表示領域12aにおける画素電極層と選択素子であるTF T21のソース/ドレインメタル層との間の絶縁膜の厚みよりも小さくするとよい。

[0096] 次に、図7に、トランジスタTr4と容量CAPとのパターンレイアウトにおける、第4の変形例の構成の説明図を示す。

[0097] 第4の変形例は、図1のパターンレイアウトにおけるコンタクト部Tr4cをコンタクト部Tr4c' 'としたものである。

[0098] コンタクト部Tr4c' 'は、図7に示すように、接続配線31がコンタクトホール41を介して容量電極CAPmに接続されているとともに、ゲート電極Tr4gがコンタクトホール41とは重ならない領域に設けられたコンタクトホール42を介して容量電極CAPmに接続された構成である。

[0099] 次に、図8の(a)および(b)に、トランジスタTr4と容量CAPとのパターンレイアウトにおける、第5の変形例の構成の説明図を示す。

[0100] 第5の変形例は、図1のパターンレイアウトにおけるコンタクト部Tr4cを、ゲート電極Tr4gと容量電極CAPmとが互いに接続配線31を介して間接的に接続された構成としたものである。図8の(a)はコンタクト部Tr4cの斜視図、図8の(b)はコンタクト部Tr4cの平面図および断面図である。

[0101] この場合に、ゲート電極Tr4gが接続配線31に切り替えられる位置と異なる位置で、接続配線31と容量電極CAPmとがコンタクトによって互いに電氣的に接続されている。図8の(b)に示すように、コンタクト部Tr4cは、ガラス基板上(図示せず)に、下層側から、ゲート電極Tr4g、ゲート絶縁膜36、接続配線31、パッシベーション膜37、有機絶縁膜38、および、容量電極CAPmが順に積層された構成をなしている。接続

配線 3 1 はゲート絶縁膜 3 6 に形成されたコンタクトホール 4 4 a を介してゲート電極 T r 4 g に接続されており、容量電極 C A P m はパッシベーション膜 3 7 および有機絶縁膜 3 8 に形成されたコンタクトホール 4 4 b を介して接続配線 3 1 に接続されている。コンタクトホール 4 4 a とコンタクトホール 4 4 b とは、膜厚方向に見て形成される位置が互いに異なっている。

[0102] 図 8 の (a) および (b) の構成においても、容量電極とゲート電極とを電氣的に接続する箇所を、出力トランジスタの外部からゲート電極に接続される接続配線を構成するメタル層を出力トランジスタのゲート電極を構成するメタル層に切り替える部分の領域を利用して構成することができるため、配線接続部の数および占有面積を節約することができる。従って、それだけ駆動回路部分の領域を大きく確保して、駆動回路の寸法拡大すなわち電流駆動能力の拡大を図ることができる。

[0103] なお、図 2 の (a) および (b) 、図 3 、図 5 の (a) および (b) 、図 7 、および、図 8 の (a) および (b) の各コンタクト部では、ゲート電極 T r 4 g と接続配線 3 1 とを電氣的に接続するパターンと、容量電極 C A P m とゲート電極 T r 4 g とを電氣的に接続するパターンとが独立に分離しておらず、互いに複合することで両接続が成立している。すなわち、接続配線 3 1 とゲート電極 T r 4 g との電氣的接続と、容量電極 C A P m とゲート電極 T r 4 g との電氣的接続とのうちの一方の電氣的接続は、他方の直接的なコンタクトによる電氣的接続を介した間接的な電氣的接続である。

[0104] ゲート電極 T r 4 g がソース電極 T r 4 s およびドレイン電極 T r 4 d (ソース/ドレインメタル層) よりもガラス基板 (基板) 3 5 に近い層に配置されているので、ガラス基板 (基板) 3 5 に近い層側から遠い層側へ向って、ゲート電極 T r 4 g 、接続配線 3 1 (ソース/ドレインメタル層) 、容量電極 C A P m が順に配置されている。このとき、従来は接続配線 3 1 から下層側のゲート電極 T r 4 g へのコンタクトを行っていたため、さらに容量電極 C A P m をゲート電極 T r 4 g に電氣的に接続することを考えた場合に、容量電極 C A P m をゲート電極 T r 4 g に直接コンタクトさせるパターンを

作成すると、接続配線 3 1 からゲート電極 T r 4 g へ向うコンタクトプロセスの後に、容量電極 C A P m からゲート電極 T r 4 g に向うコンタクトプロセスを行うこととなる。この場合には 2 回のコンタクトパターンの位置合わせを行うために大きな寸法マージンを含めた大サイズのゲート電極 T r 4 g のコンタクトパッドが必要になる。

[0105] しかし、従来のように容量電極 C A P m からゲート電極 T r 4 g へのコンタクトを追加する代わりに、一方の電氣的接続を、他方の直接的なコンタクトによる電氣的接続を介した間接的な電氣的接続とすれば、例えば図 2 の (a) および (b) では容量電極 C A P m のパターンニング時に容量電極 C A P m からゲート電極 T r 4 g へのコンタクトと、容量電極 C A P m から接続配線 3 1 へのコンタクトを一度に作成可能である。容量電極 C A P m とゲート電極 T r 4 g とは直接コンタクトすることによって電氣的接続が行われており、ゲート電極 T r 4 g と接続配線 3 1 とは、容量電極 C A P m とゲート電極 T r 4 g との当該コンタクトを介して間接的に電氣的接続が行われている。このとき、コンタクトホール 3 3 a は容量電極 C A P m をゲート電極 T r 4 g と接続配線 3 1 とに同時にコンタクトさせるためにある。

[0106] なお、コンタクト部を形成するのに必要なマスク数は、図 2 の (a) および (b) では 1 枚、図 5 の (a) および (b) では 2 枚、図 7 では 1 枚、図 8 の (b) では 2 枚である。

[0107] 図 5 の (a) および (b) では、ゲート電極 T r 4 g 、接続配線 3 1 、容量電極 C A P m が一箇所のコンタクトホールにおいて順にコンタクトすればよいのでパターンが単純であってプロセスが非常に容易であり、全コンタクトパターン面積も小さく抑えることが可能である。

[0108] また、図 7 では、最上層の容量電極 C A P m から、ゲート電極 T r 4 g と接続配線 3 1 との 2 つに同時にコンタクトを行うことができるので、コンタクトホールが互いに異なる位置にある 2 箇所に形成されるにも関わらずマスクは 1 枚であってパターン寸法上の制約は少なく、プロセスは容易である。

[0109] また、図 8 の (a) および (b) では接続配線 3 1 からゲート電極 T r 4

gへのコンタクトを行った後に、容量電極CAPmから接続配線31への浅いコンタクトホールを形成するだけであるので、コンタクトホールが互いに異なる位置にある2箇所形成されるがプロセスは容易である。

[0110] このように、図2の(a)および(b)、図3、図5の(a)および(b)、図7、および、図8の(a)および(b)の各コンタクト部では、占有面積の節約が容易に達成される。また、コンタクト形成プロセスの回数が少ないので、配線接続部の実質的な数が抑制されるとともにプロセス不良が起きにくい。

[0111] そして、図5の(a)および(b)のコンタクト部においては、容量電極CAPmとゲート電極Tr4gと接続配線31との互いの電氣的接続が、膜厚方向に見て互いに重なる領域で行われている。このように各電氣的接続箇所をまとめて同じかほぼ同じ領域に形成することにより、コンタクト部のパターンを非常に小さくすることができる。また、図2の(a)および(b)、図3、図7、および、図8の(a)および(b)の各コンタクト部においては、容量電極CAPmとゲート電極Tr4gと接続配線31との互いの電氣的接続が、容量電極CAPmとゲート電極Tr4gと接続配線31とのうちの1つに対して膜厚方向に見て他の2つが互いに異なる領域で接続されることにより行われている。このようにコンタクト箇所を2つ設けて電氣的接続を別々に行えば、各コンタクトホールを個別に形成することができる。従って、断差による断線や高抵抗化を低減することができ、安定したコンタクト抵抗を得ることができる。

[0112] なお、図1～図8を用いて説明した容量CAPを始めとする付加容量が形成される対象となる第1のトランジスタとして、例えば図13の(a)のトランジスタTr1やTr3のように、出力トランジスタの制御電極であるノードnetAに接続されたソース/ドレイン電極を有する、出力トランジスタとは異なるトランジスタが採用可能である。このとき、付加容量を形成するためにソース/ドレイン電極と対をなす容量電極は、当該ソース/ドレイン電極以外のどこに接続されていても構わない。

- [0113] なお、図1～図8を用いた以上の説明では、図14の(a)に示すように、第1のトランジスタがシフトレジスタ段の出力トランジスタ $Tr10$ である場合が想定されている。この場合に、容量電極 $CAPm$ は出力トランジスタ $Tr10$ の制御電極であるノード $netA$ と電氣的に接続されている。ノード $netA$ は出力トランジスタ $Tr10$ とは異なるシフトレジスタ段のトランジスタ $Tr11$ の一方のソース／ドレイン電極に電氣的に接続されているなど、用いるメタル層が切り替えられ得る箇所であるため、出力トランジスタ $Tr10$ のゲートに直接接続されている場合も無い場合も両方あり得る。また、容量電極 $CAPm$ がノード $netA$ と直接接続されている場合も無い場合も両方あり得る。
- [0114] また、この他に、図14の(b)に示すように、第1のトランジスタが、シフトレジスタ段の出力トランジスタ $Tr20$ とは異なるトランジスタである、シフトレジスタ段のトランジスタ $Tr21$ である構成も可能である。ここでは、容量電極 $CAPm$ が、ノード $netA$ と電氣的に接続されているとともに、トランジスタ $Tr21$ の一方のソース／ドレイン電極との間に容量を形成する。
- [0115] さらに、図14の(c)に示すように、第1のトランジスタがシフトレジスタ段の出力トランジスタ $Tr30$ とは異なるシフトレジスタ段のトランジスタ $Tr31$ であって、トランジスタ $Tr31$ の一方のソース／ドレイン電極がノード $netA$ と電氣的に接続されており、ノード $netA$ 、従ってトランジスタ $Tr31$ の一方のソース／ドレイン電極と、容量電極 $CAPm$ との間に容量が形成される構成も可能である。
- [0116] 次に、図9に、トランジスタ $Tr4$ と容量 CAP とのパターンレイアウトについての異なる実施形態の構成を示す。
- [0117] 図9の構成は、容量 CAP のようにトランジスタ $Tr4$ に追加したい容量を、他の素子からトランジスタ $Tr4$ の一電極に接続される第1の配線と、さらなる他の素子からトランジスタ $Tr4$ の異なる一電極に接続される第2の配線とが互いに膜厚方向に対向して配置された構成である。上記の一電極

および異なる一電極としては、追加したい容量の位置に合わせて、ゲート電極、ソース電極、および、ドレイン電極の中から任意に選択可能である。第1の配線と第2の配線とには、一方がゲートメタルで構成され、他方がソースメタルで構成されるというように互いに異なるメタル層が用いられる。

[0118] トランジスタ T_{r4} に容量 CAP を追加する場合には、他の TFT 素子からトランジスタ T_{r4} の例えばゲート電極に接続される例えば第1の配線としての接続配線 31 と、他の TFT 素子からトランジスタ T_{r4} の例えばソース電極に接続される例えば第2の配線としての接続配線 43 とを膜厚方向に対向させる。

[0119] 図9の構成によれば、既設の異なる配線領域を互に対向配置することによって出力トランジスタに容量を追加することが可能になる。

[0120] これにより、出力トランジスタの任意の電極間に容量を追加する場合に、従来のように出力トランジスタのアクティブ領域とはパネル面内方向に離れた箇所に容量用の領域を別途設ける必要がなく、既設の配線領域を用いて追加することが可能になる。従って、額縁領域を小さく抑制することができる。また、配線のメタル層をそのまま容量の追加に用いることができるため、メタル層の加工に用いるフォトマスクでパターン形成が可能となってプロセス工程の複雑化を伴うことがないとともに、容量電極材料を新規に追加する必要がない。

[0121] 次に、トランジスタ T_{r4} と容量 CAP とのパターンレイアウトについてのさらに異なる実施形態の構成を示す。

[0122] 図10に、当該パターンレイアウトの一部をなす、容量 CAP とゲート電極 T_{r4} とのコンタクト部付近の配置を斜視図で示す。

[0123] 図10では、トランジスタ（第1のトランジスタ） T_{r4} の制御電極であるノード $netA$ と電氣的に接続された、ソース/ドレイン電極層を用いた接続配線（第3の配線）45が、シフトレジスタ段 SRk の、トランジスタ T_r の一方のソース/ドレイン電極であるソース電極に接続されたゲートメタル層 T_{rg} と、当該ゲートメタル層 T_{rg} に接続された容量電極（第1の

電極) CAPm' 'との間に、ゲートメタル層Trgと容量電極CAPm' 'との両方に膜厚方向に対向する領域を有するように配置されている。このゲートメタル層Trgは、図10ではゲートバスラインGLに接続されている。

[0124] 特許文献1では、図17に記載した出力トランジスタの制御電極125が補助電極83に接続されているため、図18に記載した最上層の画素電極層103(補助電極83に相当)の上層側に液晶層が面することとなる。このような構成では、液晶層側から表示駆動に伴う電界ノイズが画素電極層103を介して出力トランジスタの制御電極(図12(a)ではノードnetAに相当)に伝搬するため、出力トランジスタの誤動作が生じる可能性がある。

[0125] これに対して、図10の構成では、第3の配線がゲートメタル層と第1の電極との間に配置されて両者との間の容量を追加することが可能になる。この場合に、容量電極CAPm' 'に上層側で面する液晶層LCからのノイズは、接続配線31と容量電極CAPm' 'およびゲートメタル層Trgとの間に形成される容量 $Cf1 \cdot Cf2$ を通過しない限りノードnetAには伝搬しにくい。容量電極CAPmおよびゲートメタル層Trgが接続配線45を遮蔽する効果がある上に、容量 $Cf1 \cdot Cf2$ が配線31と容量電極CAPm' 'ゲートメタル層Trgとの素子定数と合わせてフィルタを構成可能であるので、シールドおよびノイズ周波数のフィルタの一部として容量 $Cf1 \cdot Cf2$ を構成するようにすれば、ノイズは極めて伝搬しにくくなる。

[0126] 図10の構成により、出力トランジスタの制御電極の電位が安定するために出カトランジスタを正しく駆動することができ、シフトレジスタ段の誤動作を抑制することができる。

[0127] また、シフトレジスタ段の誤動作を抑制するために必要な制御電極の容量が小さくてすむため、シフトレジスタが省面積化される。また、シフトレジスタが省面積化されることにより、額縁領域が小さく抑制された表示装置を実現することができる。

[0128] なお、図10の構成において、第1のトランジスタとして出力トランジスタの代わりに出力トランジスタとは異なるトランジスタを用いてもよい。

[0129] 以上のように、

本発明のシフトレジスタは、

基板上に、複数のシフトレジスタ段が縦続接続された構成を備えるように形成された、シフトレジスタであって、

上記シフトレジスタ段は、2つのソース／ドレイン電極の少なくとも一方に対してゲート電極と反対側で膜厚方向に対向する容量電極を備えた第1のトランジスタを備えており、

上記容量電極と、上記容量電極に対向するいずれか一方の上記ソース／ドレイン電極とのいずれか一方は、上記シフトレジスタ段の出力トランジスタの制御電極と電氣的に接続されていることを特徴としている。

[0130] また、本発明のシフトレジスタは、上記の発明において、

上記容量電極が上記制御電極と電氣的に接続されており、上記第1のトランジスタは上記出力トランジスタであってもよい。あるいは、上記容量電極が上記制御電極と電氣的に接続されており、上記第1のトランジスタは上記出力トランジスタとは異なるトランジスタであってもよい。あるいは、上記容量電極に対向するいずれか一方の上記ソース／ドレイン電極が上記制御電極と電氣的に接続されており、上記第1のトランジスタは上記出力トランジスタとは異なるトランジスタであってもよい。

[0131] 上記の発明によれば、第1のトランジスタが備える2つのソース／ドレイン電極の少なくともいずれか一方との間に、ある容量を形成する場合に、従来のようにトランジスタのアクティブ領域とはパネル面内方向に離れた箇所に容量用の領域を別途設ける必要がなく、ほぼアクティブ領域と膜厚方向に対向する領域を用いて追加することが可能になる。従って、額縁領域を小さく抑制することができる。

[0132] 以上により、シフトレジスタ段のトランジスタに接続される容量の省面積化を達成することのできるシフトレジスタを実現することができるという効

果を奏する。

[0133] また、第1のトランジスタがシフトレジスタ段の出力トランジスタである場合には、以下の効果を奏する。すなわち、十分なブートストラップ容量を形成することができ、シフトレジスタ段の安定した駆動が可能になるという効果、また、第1のトランジスタのゲート電極と、第1のトランジスタが備える2つのソース／ドレイン電極の少なくともいずれか一方との間にブートストラップ容量などの容量を追加する場合に、従来のようにトランジスタのアクティブ領域とはパネル面内方向に離れた箇所に容量用の領域を別途設ける必要がなく、ほぼアクティブ領域と膜厚方向に対向する領域を用いて追加することが可能になるという効果を奏する。

[0134] 本発明のシフトレジスタは、

上記2つのソース／ドレイン電極のそれぞれは、上記第1のトランジスタのアクティブ領域に配置された第1の部分と、上記アクティブ領域外に配置され上記第1の部分に接続された第2の部分とを備えており、

上記容量電極は、上記2つのソース／ドレイン電極の一方が備える上記第1の部分および上記第2の部分と、上記2つのソース／ドレイン電極の他方が備える上記第1の部分とに膜厚方向に対向する一方、上記2つのソース／ドレイン電極の他方が備える上記第2の部分には膜厚方向に対向していないことを特徴としている。

[0135] 上記の発明によれば、容量電極と一方のソース／ドレイン電極との間の容量を、容量電極と他方のソース／ドレイン電極との間の容量よりも大きくすることができるという効果を奏する。

[0136] 本発明のシフトレジスタは、

上記容量電極は、上記2つのソース／ドレイン電極のいずれか一方にのみ膜厚方向に対向していることを特徴としている。

[0137] 上記の発明によれば、容量電極と、第1のトランジスタが備える2つのソース／ドレイン電極のいずれか一方との間に、ある容量を形成することができるという効果を奏する。

- [0138] 本発明のシフトレジスタは、
上記容量電極は、上記第1のトランジスタの上記2つのソース／ドレイン電極に膜厚方向に対向する領域を除くアクティブ領域に配置された半導体層と対向しないことを特徴としている。
- [0139] 上記の発明によれば、製造工程において、ソース／ドレイン電極に対して容量電極の位置がずれて形成された場合でも、容量の大きさの変化量が小さく、安定した大きさの容量を形成することができるという効果を奏する。
- [0140] 本発明のシフトレジスタは、
上記容量電極は、上記第1のトランジスタの上記2つのソース／ドレイン電極に膜厚方向に対向する領域を除くアクティブ領域に配置された半導体層と対向することを特徴としている。
- [0141] 上記の発明によれば、容量電極とソース／ドレイン電極との重なり面積が大きいので、より効率的に容量を大きく確保できるという効果を奏する。
- [0142] 本発明のシフトレジスタは、
上記第1のトランジスタのゲート電極は上記2つのソース／ドレイン電極よりも上記基板に近い層に配置されており、
上記ゲート電極に他の素子から接続される、上記ゲート電極よりも上記基板から遠い層に配置された接続配線と上記ゲート電極との電氣的接続と、上記容量電極と上記ゲート電極との電氣的接続とのうちの一方の電氣的接続は、他方の直接的なコンタクトによる電氣的接続を介した間接的な電氣的接続であることを特徴としている。
- [0143] 上記の発明によれば、ゲート電極と接続配線とを電氣的に接続するパターンと、容量電極とゲート電極とを電氣的に接続するパターンとが独立に分離しておらず、互いに複合することで両接続が成立しているので、占有面積の節約が容易に達成されるという効果を奏する。また、コンタクトプロセスの回数が少ないので、配線接続部の実質的な数が抑制されるとともにプロセス不良が起きにくいという効果を奏する。
- [0144] 本発明のシフトレジスタは、

上記容量電極と上記ゲート電極と上記接続配線との互いの電氣的接続が、膜厚方向に見て互いに重なる領域で行われていることを特徴としている。

[0145] 上記の発明によれば、各電氣的接続箇所がまとめて同じかほぼ同じ領域に形成されるので、電氣的接続を行う部分のパターンを非常に小さくすることができるという効果を奏する。

[0146] 本発明のシフトレジスタは、

上記容量電極と上記ゲート電極と上記接続配線との互いの電氣的接続が、上記容量電極と上記ゲート電極と上記接続配線とのうちの1つに対して膜厚方向に見て他の2つが互いに異なる領域で接続されることにより行われていることを特徴としている。

[0147] 上記の発明によれば、コンタクト箇所が2つ設けられて電氣的接続が別々に行われることから、各コンタクトホールを個別に形成することができる。従って、断差による断線や高抵抗化を低減することができ、安定したコンタクト抵抗を得ることができるという効果を奏する。

[0148] 本発明の表示装置は、

上記シフトレジスタを備え、上記シフトレジスタ段からの上記出力を表示駆動に用いることを特徴としている。

[0149] 上記の発明によれば、シフトレジスタが省面積化されることにより額縁領域が小さく抑制された表示装置を実現することができるという効果を奏する。

[0150] 本発明の表示装置は、

上記容量電極に表示領域に用いられている画素電極層が用いられていることを特徴としている。

[0151] 上記の発明によれば、第1のトランジスタのアクティブ領域上の、他に使用用途が無いことから従来除去されていた画素電極層をそのまま容量電極として用いることができる。従って、画素電極層の加工に用いるフォトマスクでパターン形成が可能となってプロセス工程の複雑化を伴うことがないとともに、容量電極材料を新規に追加する必要がないという効果を奏する。

- [0152] 本発明の表示装置は、
画素の選択素子を備えており、
上記容量電極と上記ソース／ドレイン電極との間の絶縁膜の厚みは、上記表示領域における上記画素電極層と上記選択素子のソース／ドレインメタル層との間の絶縁膜の厚みよりも小さいことを特徴としている。
- [0153] 上記の発明によれば、表示領域において画素電極と信号配線との間の寄生容量を小さく抑制するために厚みが大きく設定されている絶縁膜を、容量電極とソース／ドレイン電極の間では厚みを小さくして用いることができるため、容量電極とソース／ドレイン電極との間の容量を大きくすることができるという効果を奏する。
- [0154] 本発明のシフトレジスタは、
基板上に、複数のシフトレジスタ段が縦続接続された構成を備えるように形成された、シフトレジスタであって、
上記シフトレジスタ段は、第1のトランジスタであって、
他の素子から上記第1のトランジスタのゲート電極および2つのソース／ドレイン電極のうちの一電極に接続される第1の配線と、さらなる他の素子から上記第1のトランジスタの上記ゲート電極および上記2つのソース／ドレイン電極のうち異なる一電極に接続される第2の配線とが互いに膜厚方向に対向して配置された、上記第1のトランジスタを備えており、
上記第1の配線と上記第2の配線とには、互いに異なるメタル層が用いられていることを特徴としている。
- [0155] 上記の発明によれば、既設の異なる配線領域を互に対向配置することによって第1のトランジスタに容量を追加することが可能になる。
- [0156] これにより、第1のトランジスタの任意の電極間に容量を追加する場合に、従来のようにトランジスタのアクティブ領域とはパネル面内方向に離れた箇所に容量用の領域を別途設ける必要がなく、既設の配線領域を用いて追加することが可能になる。従って、額縁領域を小さく抑制することができる。
- [0157] 以上により、シフトレジスタ段のトランジスタに接続される容量の省面積

化を達成することのできるシフトレジスタを実現することができるという効果を奏する。

[0158] また、第1のトランジスタがシフトレジスタ段の出力トランジスタである場合には、十分なブートストラップ容量を形成することができ、シフトレジスタ段の安定した駆動が可能になるという効果を奏する。

[0159] また、配線のメタル層をそのまま容量の追加に用いることができるため、メタル層の加工に用いるフォトマスクでパターン形成が可能となってプロセス工程の複雑化を伴うことがないとともに、容量電極材料を新規に追加する必要がないという効果を奏する。

[0160] 本発明の表示装置は、
上記シフトレジスタを備え、上記シフトレジスタ段からの出力を表示駆動に用いることを特徴としている。

[0161] 上記の発明によれば、シフトレジスタが省面積化されることにより額縁領域が小さく抑制された表示装置を実現することができるという効果を奏する。

[0162] 本発明のシフトレジスタは、
基板上に、複数のシフトレジスタ段が縦続接続された構成を備えるように形成された、シフトレジスタであって、

ソース/ドレインメタル層を用いて形成されている第3の配線が上記シフトレジスタ段の出力トランジスタの制御電極と電氣的に接続されており、

上記第3の配線が、ゲートメタル層と上記ゲートメタル層に接続された第1の電極との間に、上記ゲートメタル層と上記第1の電極との両方に膜厚方向に対向する領域を有するように配置されていることを特徴としている。

[0163] 上記の発明によれば、第3の配線がゲートメタル層と第1の電極との間に配置されて両者との間の容量を追加することが可能になる。第3の配線がゲートメタル層と第1の電極との間に配置されているので、ゲートメタル層および第1の電極に伝搬される電界ノイズが第3の配線を介して出力トランジスタの制御電極に伝搬されにくくなる。従って、シフトレジスタ段の誤動作

を抑制するために必要な制御電極の容量が小さくてすむため、シフトレジスタが省面積化されるという効果を奏する。また、シフトレジスタが省面積化されることにより、額縁領域が小さく抑制された表示装置を実現することができるという効果を奏する。

[0164] 本発明の表示装置は、
上記シフトレジスタを備え、上記シフトレジスタ段からの出力を表示駆動に用いることを特徴としている。

[0165] 上記の発明によれば、シフトレジスタが省面積化されることにより額縁領域が小さく抑制された表示装置を実現することができるという効果を奏する。

[0166] 本発明の表示装置は、
上記ゲートメタル層は、上記シフトレジスタ段からの出力が供給される走査信号線と電氣的に接続されていることを特徴としている。

[0167] 上記の発明によれば、出力トランジスタにブートストラップ容量を付加する場合に、液晶層などの表示素子からブートストラップ容量を介して出力トランジスタの制御電極に伝搬される電界ノイズを抑制し、表示装置を正しく駆動させることができるという効果を奏する。

[0168] 本発明は上記の実施形態に限定されるものではなく、上記実施形態を技術常識に基づいて適宜変更したものやそれらを組み合わせて得られるものも本発明の実施形態に含まれる。

産業上の利用可能性

[0169] 本発明は、アクティブマトリクス型の表示装置に好適に使用することができる。

符号の説明

[0170]	1	シフトレジスタ
	1 1	液晶表示装置（表示装置）
	1 2	表示パネル
	1 2 a	表示領域

2 1	T F T (選択素子)
3 1	接続配線 (第 1 の配線)
3 5	ガラス基板 (基板)
4 3	接続配線 (第 2 の配線)
4 5	接続配線 (第 3 の配線)
G L	ゲートバスライン (走査信号線)
S R k	シフトレジスタ段
T r 4	トランジスタ (出力トランジスタ、第 1 のトランジスタ)
T r 4 g	ゲート電極
T r 4 s	ソース電極 (ソース/ドレイン電極)
T r 4 s 1	ソースフィンガー電極 (第 1 の部分)
T r 4 s 2	ソース接続電極 (第 2 の部分)
T r 4 d	ドレイン電極 (ソース/ドレイン電極)
T r 4 d 1	ドレインフィンガー電極 (第 1 の部分)
T r 4 d 2	ドレイン接続電極 (第 2 の部分)
T r 4 c	コンタクト部
T r 4 c'	コンタクト部
T r 4 c''	コンタクト部
T r 1 0	出力トランジスタ (第 1 のトランジスタ)
T r 2 0	出力トランジスタ
T r 2 1	トランジスタ (第 1 のトランジスタ、出力トランジスタとは異なるトランジスタ)
T r 3 0	出力トランジスタ
T r 3 1	トランジスタ (第 1 のトランジスタ、出力トランジスタとは異なるトランジスタ)
C A P m	容量電極
C A P m'	容量電極

CAPm' '	容量電極（第1の電極）
netA	ノード（制御電極）

請求の範囲

- [請求項1] 基板上に、複数のシフトレジスタ段が縦続接続された構成を備えるように形成された、シフトレジスタであって、
- 上記シフトレジスタ段は、2つのソース／ドレイン電極の少なくとも一方に対してゲート電極と反対側で膜厚方向に対向する容量電極を備えた第1のトランジスタを備えており、
- 上記容量電極と、上記容量電極に対向するいずれか一方の上記ソース／ドレイン電極とのいずれか一方は、上記シフトレジスタ段の出力トランジスタの制御電極と電気的に接続されていることを特徴とするシフトレジスタ。
- [請求項2] 上記容量電極が上記制御電極と電気的に接続されており、上記第1のトランジスタは上記出力トランジスタであることを特徴とする請求項1に記載のシフトレジスタ。
- [請求項3] 上記容量電極が上記制御電極と電気的に接続されており、上記第1のトランジスタは上記出力トランジスタとは異なるトランジスタであることを特徴とする請求項1に記載のシフトレジスタ。
- [請求項4] 上記容量電極に対向するいずれか一方の上記ソース／ドレイン電極が上記制御電極と電気的に接続されており、上記第1のトランジスタは上記出力トランジスタとは異なるトランジスタであることを特徴とする請求項1に記載のシフトレジスタ。
- [請求項5] 上記2つのソース／ドレイン電極のそれぞれは、上記第1のトランジスタのアクティブ領域に配置された第1の部分と、上記アクティブ領域外に配置され上記第1の部分に接続された第2の部分とを備えており、
- 上記容量電極は、上記2つのソース／ドレイン電極の一方が備える上記第1の部分および上記第2の部分と、上記2つのソース／ドレイン電極の他方が備える上記第1の部分とに膜厚方向に対向する一方、上記2つのソース／ドレイン電極の他方が備える上記第2の部分には

膜厚方向に対向していないことを特徴とする請求項 1 から 4 までのいずれか 1 項に記載のシフトレジスタ。

[請求項6] 上記容量電極は、上記 2 つのソース／ドレイン電極のいずれか一方にのみ膜厚方向に対向していることを特徴とする請求項 1 から 4 までのいずれか 1 項に記載のシフトレジスタ。

[請求項7] 上記容量電極は、上記第 1 のトランジスタの上記 2 つのソース／ドレイン電極に膜厚方向に対向する領域を除くアクティブ領域に配置された半導体層と対向しないことを特徴とする請求項 6 に記載のシフトレジスタ。

[請求項8] 上記容量電極は、上記第 1 のトランジスタの上記 2 つのソース／ドレイン電極に膜厚方向に対向する領域を除くアクティブ領域に配置された半導体層と対向することを特徴とする請求項 6 に記載のシフトレジスタ。

[請求項9] 上記第 1 のトランジスタのゲート電極は上記 2 つのソース／ドレイン電極よりも上記基板に近い層に配置されており、

上記ゲート電極に他の素子から接続される、上記ゲート電極よりも上記基板から遠い層に配置された接続配線と上記ゲート電極との電気的接続と、上記容量電極と上記ゲート電極との電気的接続とのうちの一方の電気的接続は、他方の直接的なコンタクトによる電気的接続を介した間接的な電気的接続であることを特徴とする請求項 2 に記載のシフトレジスタ。

[請求項10] 上記容量電極と上記ゲート電極と上記接続配線との互いの電気的接続が、膜厚方向に見て互いに重なる領域で行われていることを特徴とする請求項 9 に記載のシフトレジスタ。

[請求項11] 上記容量電極と上記ゲート電極と上記接続配線との互いの電気的接続が、上記容量電極と上記ゲート電極と上記接続配線とのうちの 1 つに対して膜厚方向に見て他の 2 つが互いに異なる領域で接続されることにより行われていることを特徴とする請求項 9 に記載のシフトレジ

スタ。

[請求項12] 請求項 1 から 11 までのいずれか 1 項に記載のシフトレジスタを備え、上記シフトレジスタ段からの出力を表示駆動に用いることを特徴とする表示装置。

[請求項13] 上記容量電極に表示領域に用いられている画素電極層が用いられていることを特徴とする請求項 12 に記載の表示装置。

[請求項14] 画素の選択素子を備えており、
上記容量電極と上記ソース／ドレイン電極との間の絶縁膜の厚みは、上記表示領域における上記画素電極層と上記選択素子のソース／ドレインメタル層との間の絶縁膜の厚みよりも小さいことを特徴とする請求項 13 に記載の表示装置。

[請求項15] 基板上に、複数のシフトレジスタ段が縦続接続された構成を備えるように形成された、シフトレジスタであって、

上記シフトレジスタ段は、第 1 のトランジスタであって、

他の素子から上記第 1 のトランジスタのゲート電極および 2 つのソース／ドレイン電極のうちの一電極に接続される第 1 の配線と、さらなる他の素子から上記第 1 のトランジスタの上記ゲート電極および上記 2 つのソース／ドレイン電極のうち異なる一電極に接続される第 2 の配線とが互いに膜厚方向に対向して配置された、上記第 1 のトランジスタを備えており、

上記第 1 の配線と上記第 2 の配線とには、互いに異なるメタル層が用いられていることを特徴とするシフトレジスタ。

[請求項16] 請求項 15 に記載のシフトレジスタを備え、上記シフトレジスタ段からの出力を表示駆動に用いることを特徴とする表示装置。

[請求項17] 基板上に、複数のシフトレジスタ段が縦続接続された構成を備えるように形成された、シフトレジスタであって、

ソース／ドレインメタル層を用いて形成されている第 3 の配線が上記シフトレジスタ段の出力トランジスタの制御電極と電氣的に接続さ

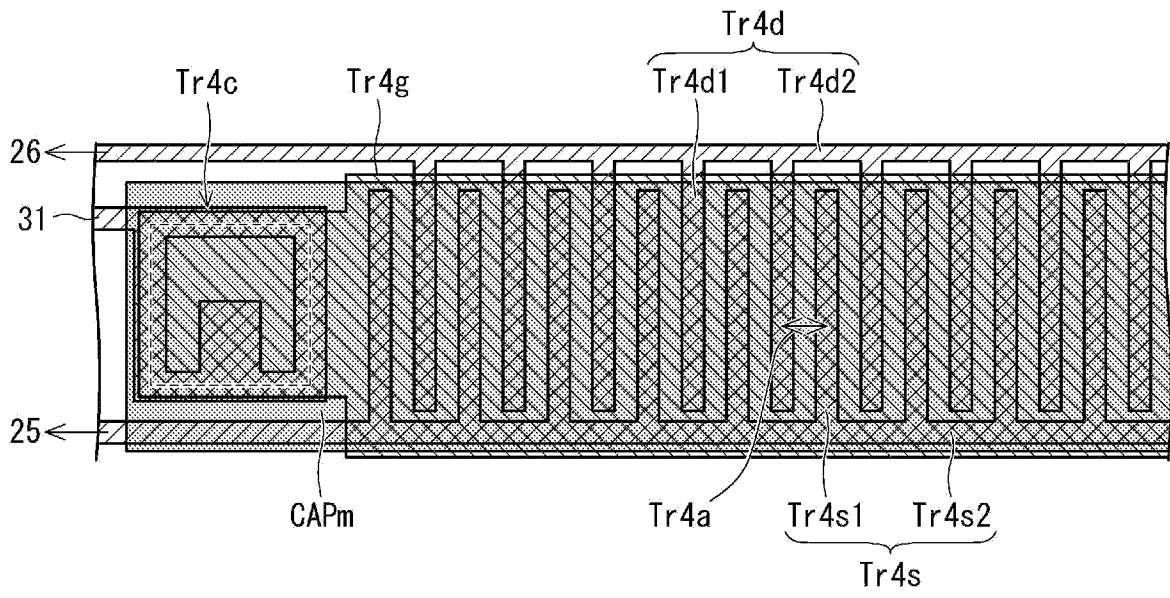
れており、

上記第3の配線が、ゲートメタル層と上記ゲートメタル層に接続された第1の電極との間に、上記ゲートメタル層と上記第1の電極との両方に膜厚方向に対向する領域を有するように配置されていることを特徴とするシフトレジスタ。

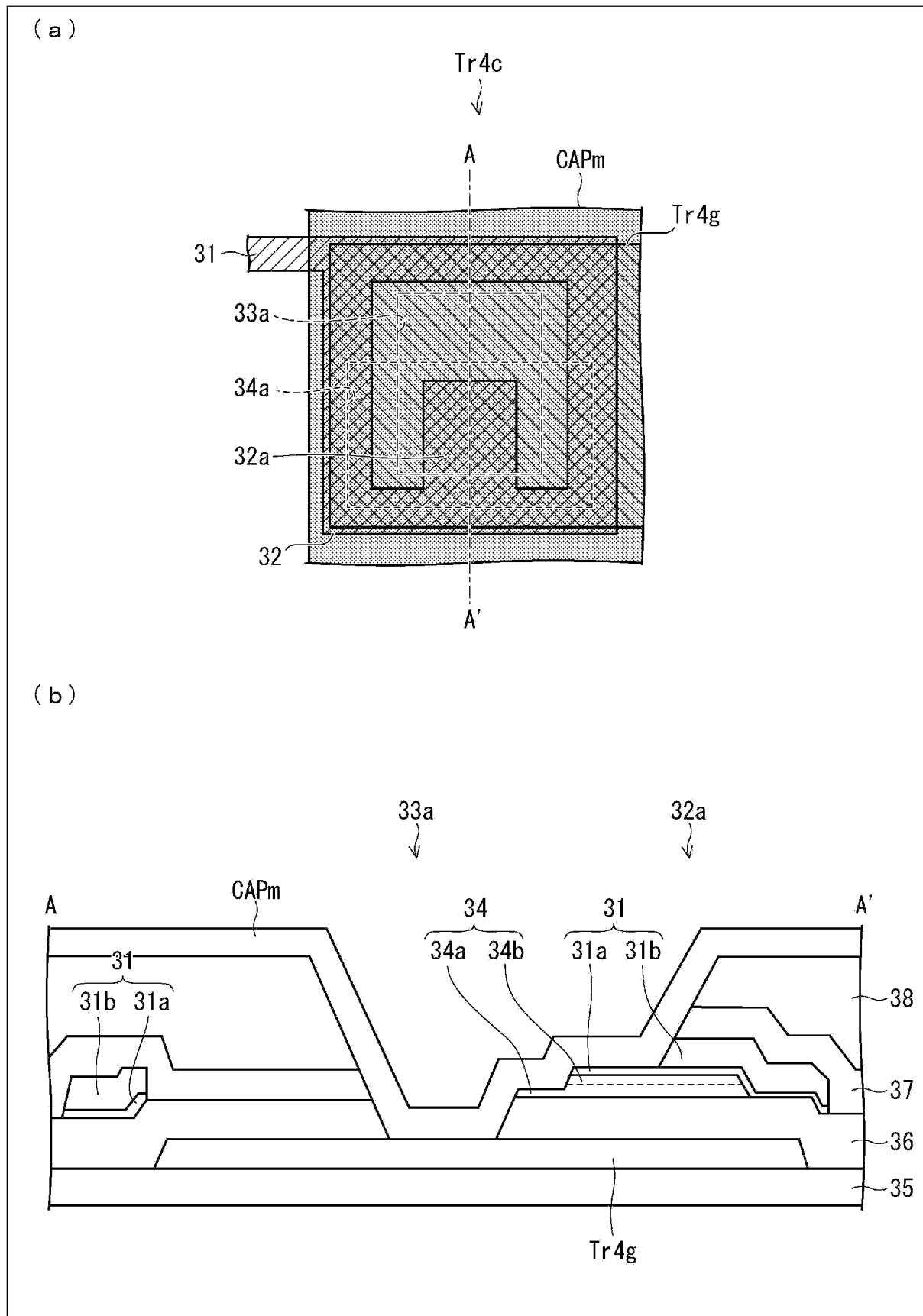
[請求項18] 請求項17に記載のシフトレジスタを備え、上記シフトレジスタ段からの出力を表示駆動に用いることを特徴とする表示装置。

[請求項19] 上記ゲートメタル層は、上記シフトレジスタ段からの出力が供給される走査信号線と電氣的に接続されていることを特徴とする請求項18に記載の表示装置。

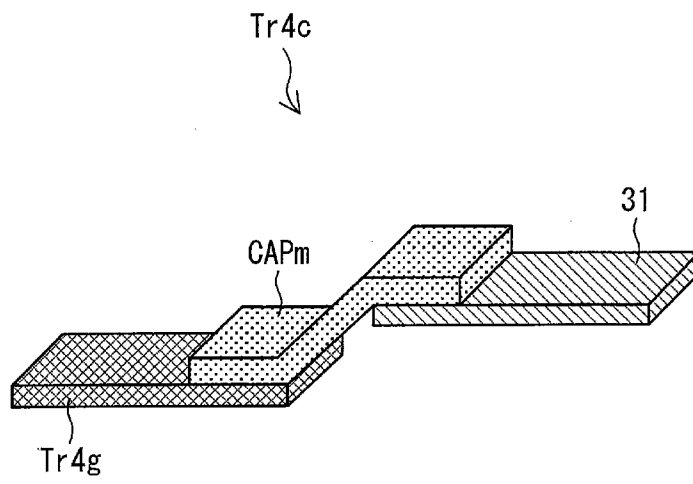
[図1]



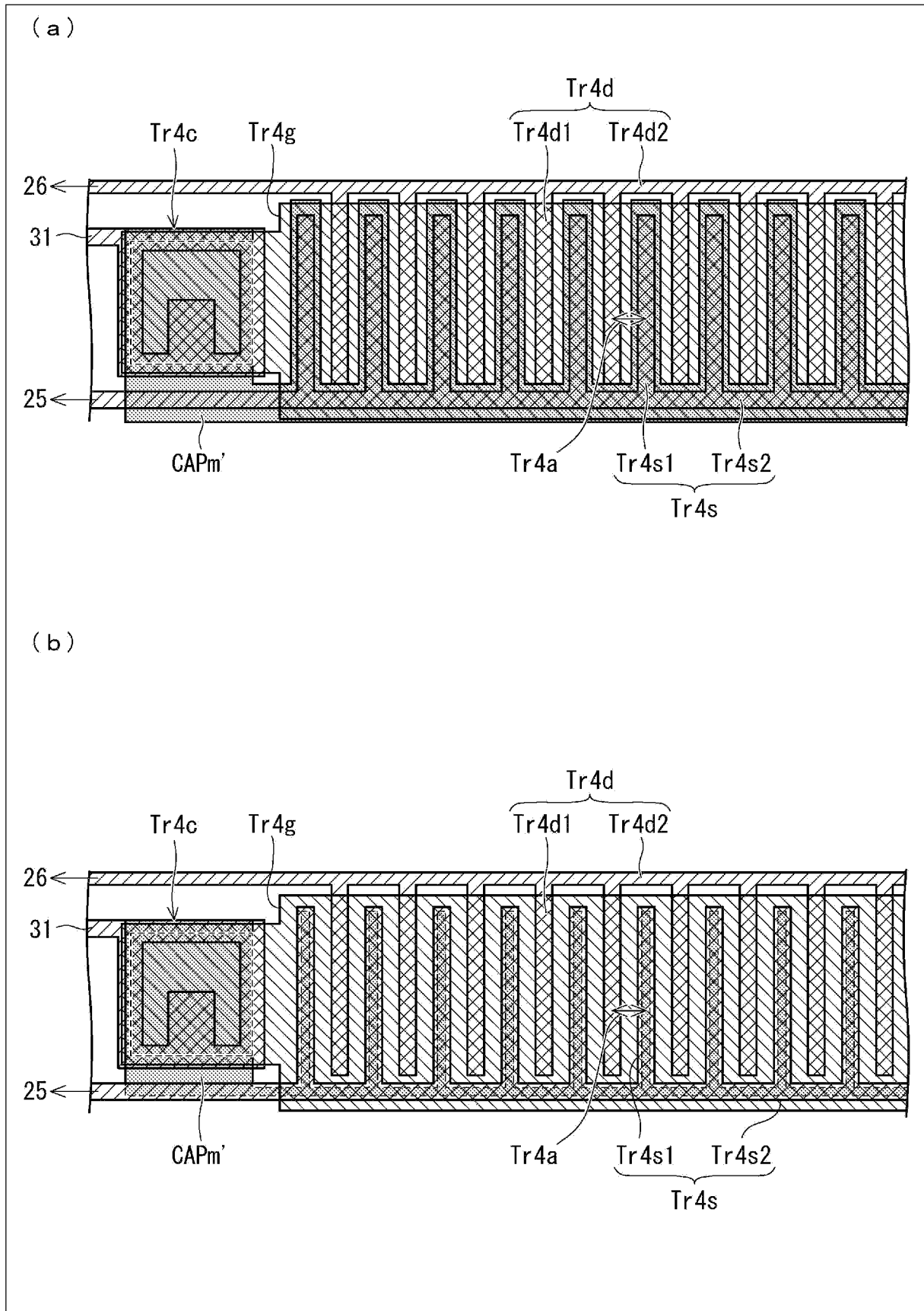
[図2]



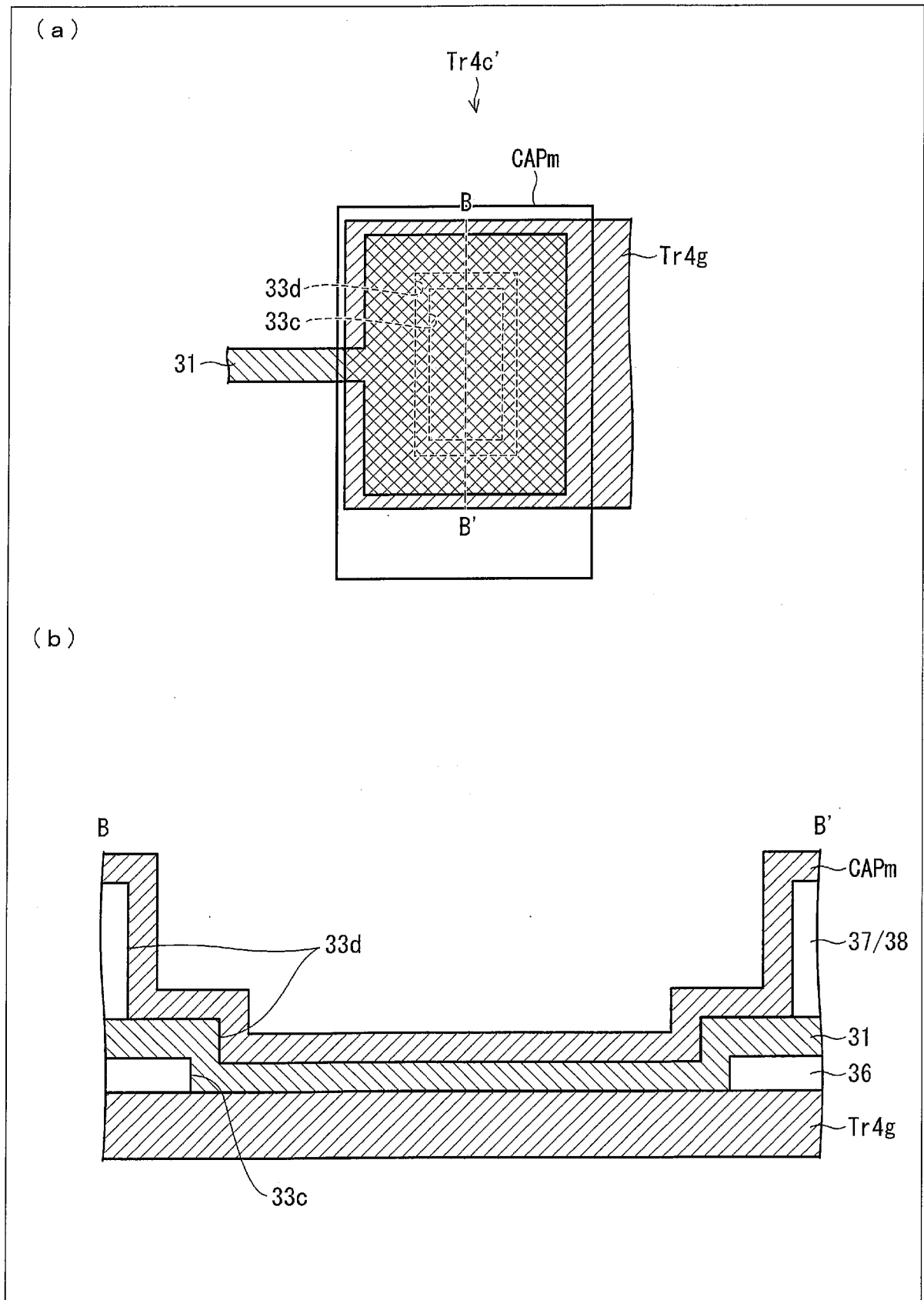
[図3]



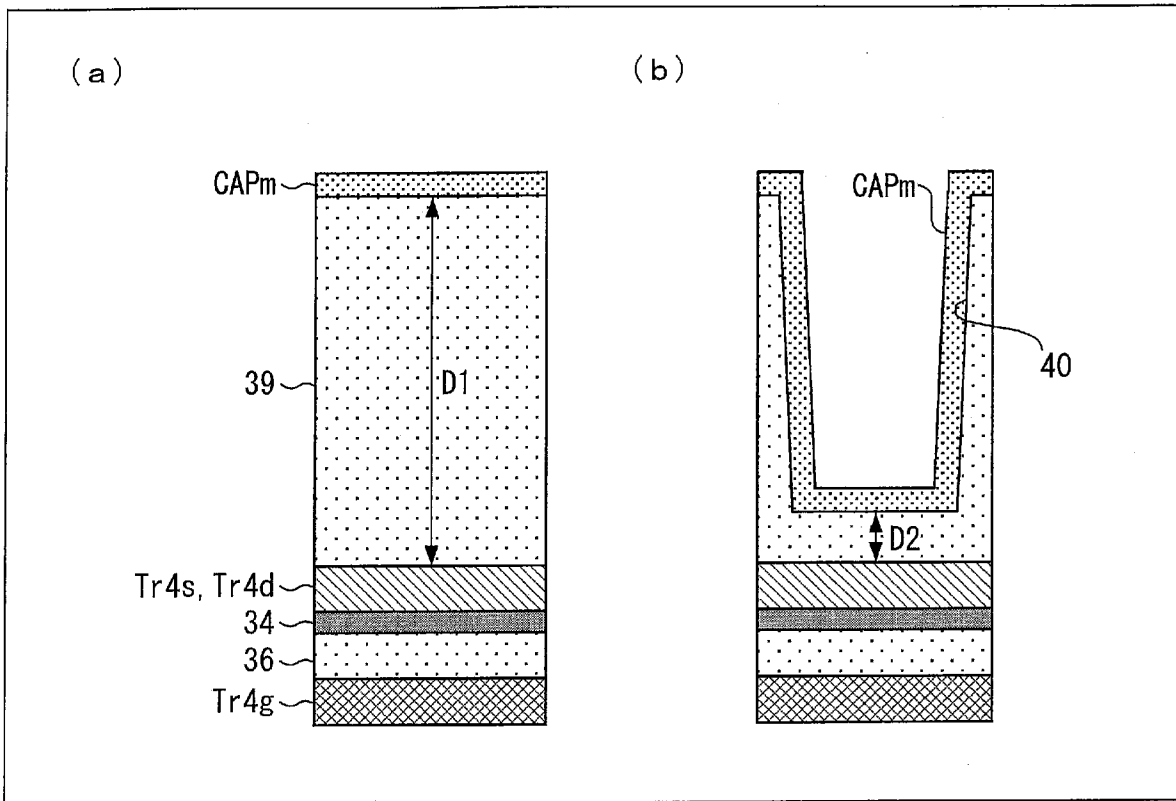
[図4]



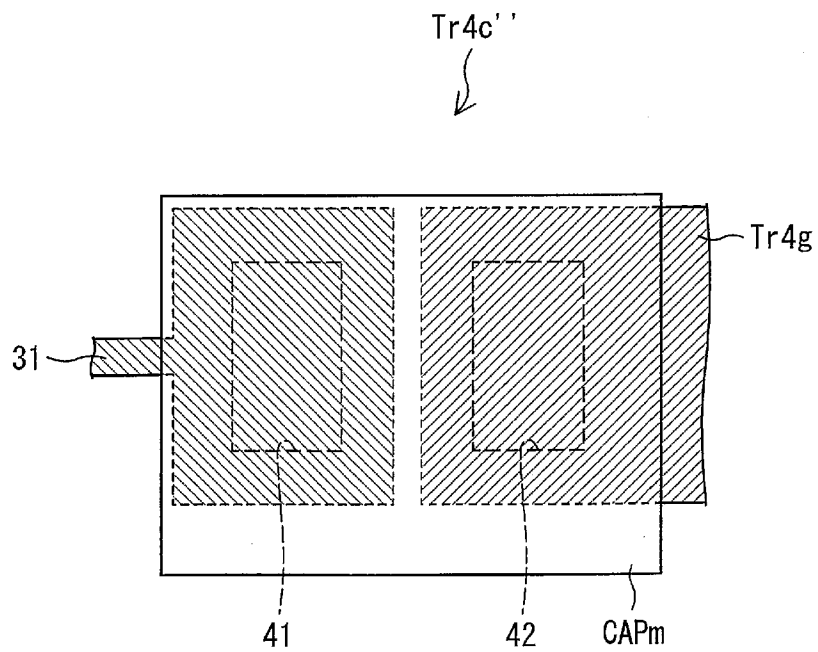
[図5]



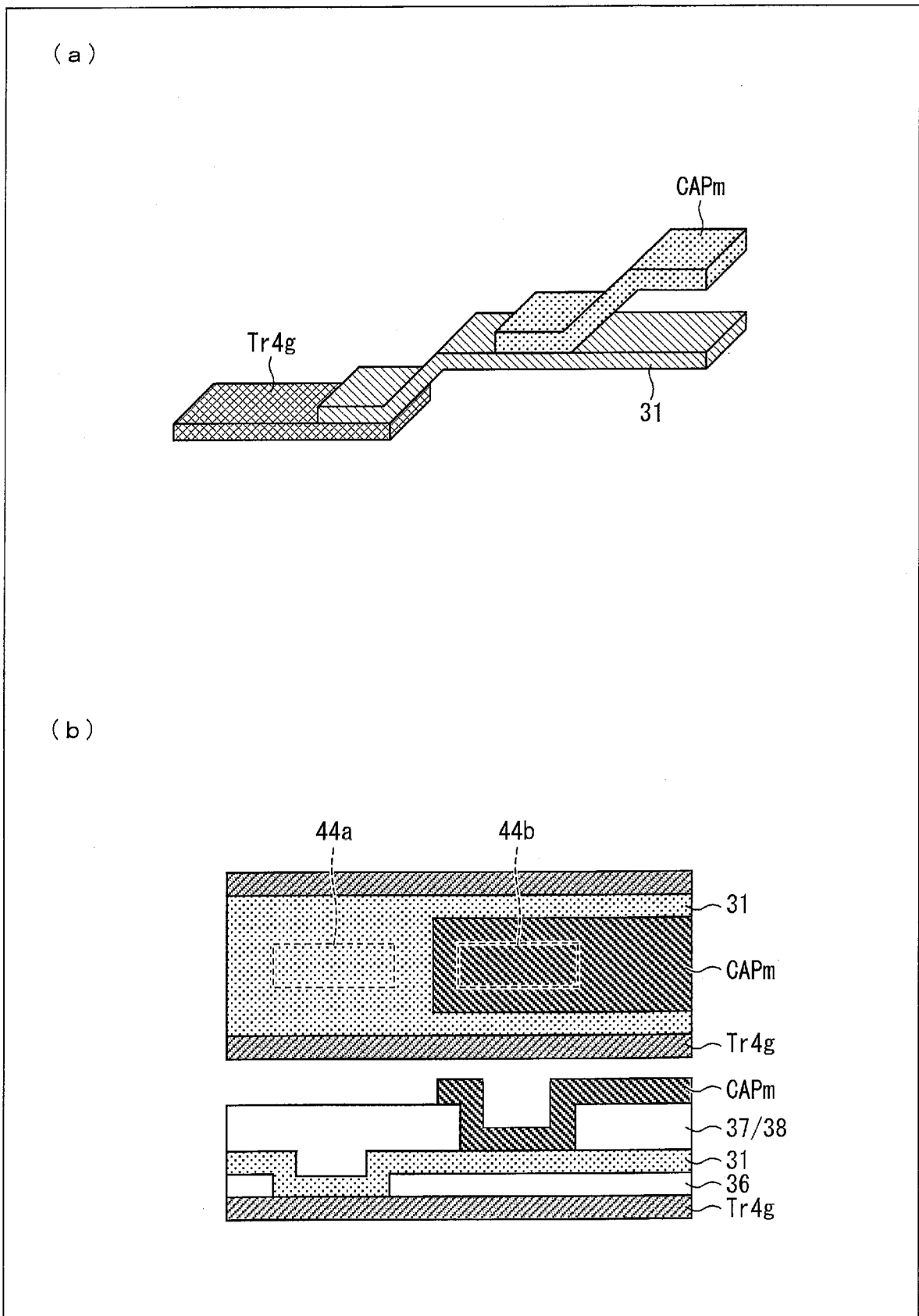
[図6]



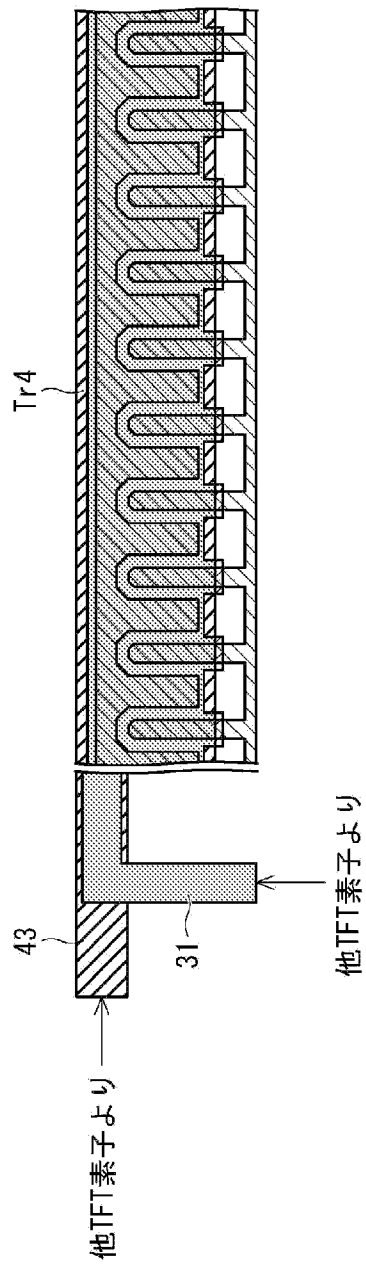
[図7]



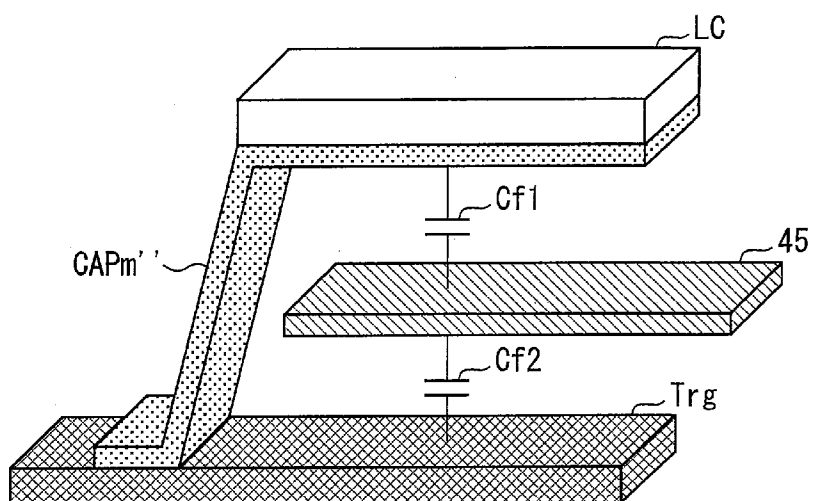
[図8]



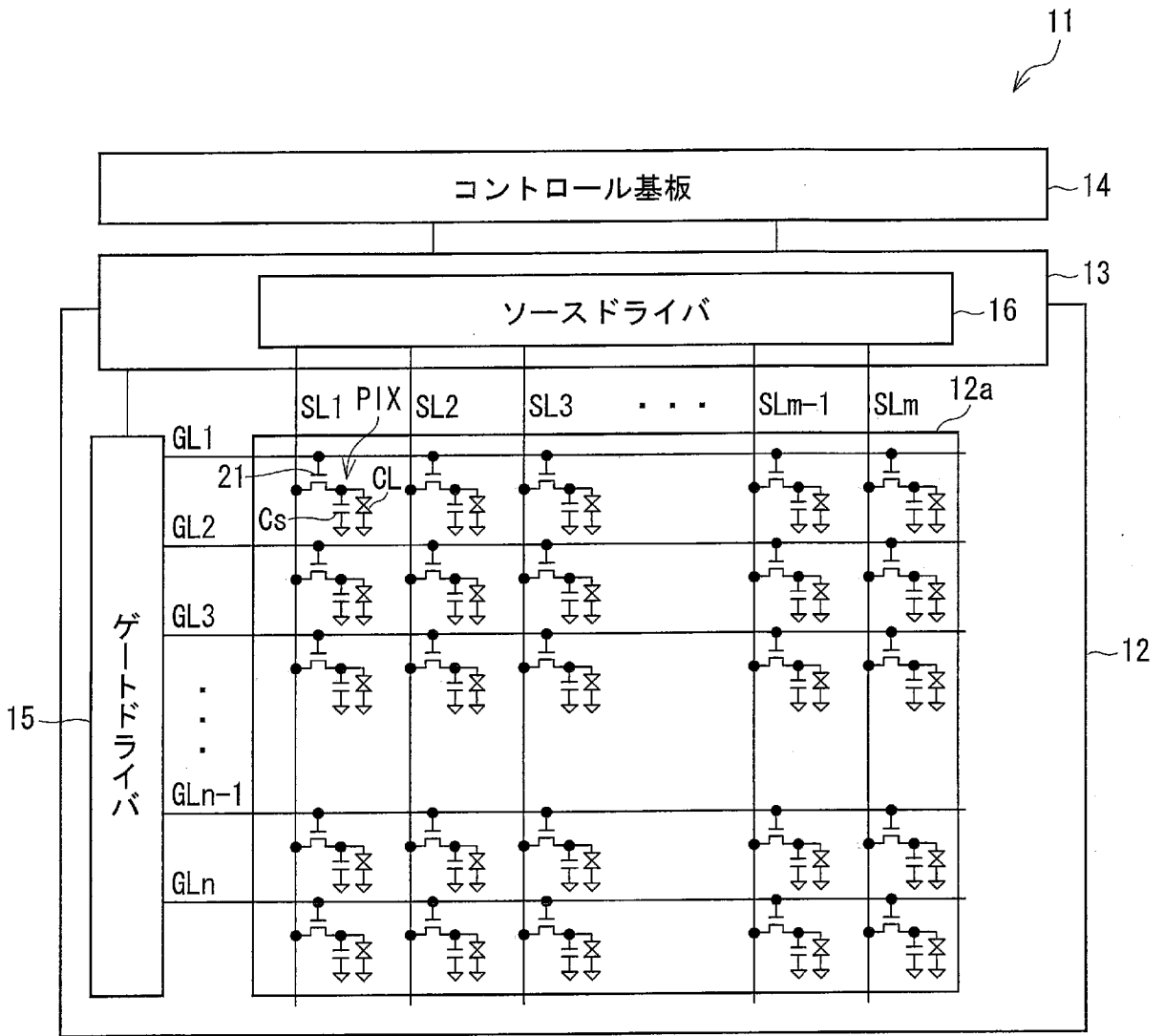
[図9]



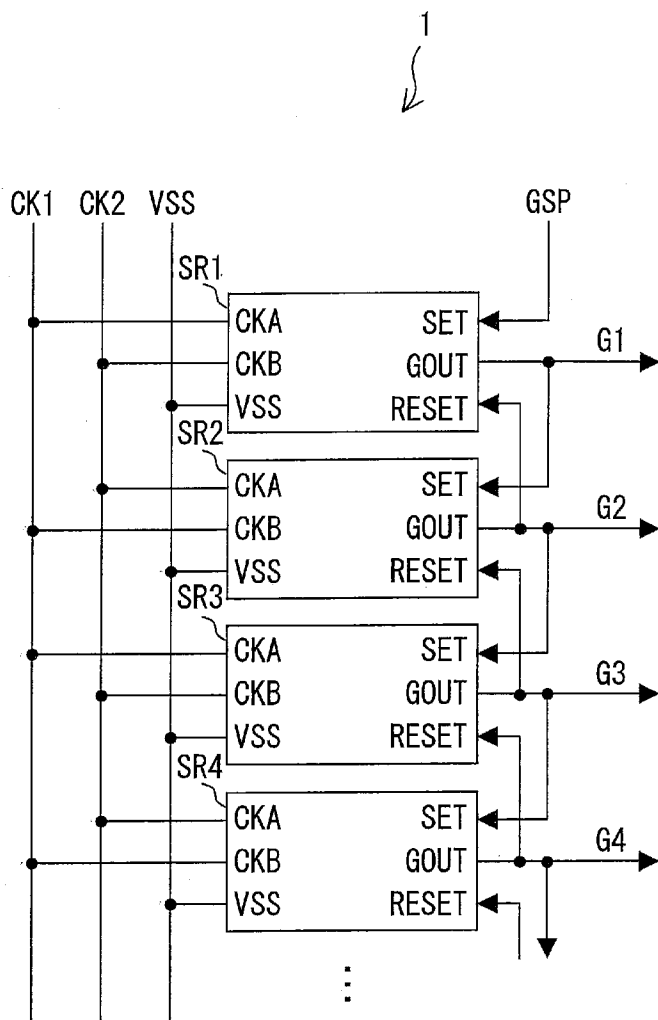
[図10]



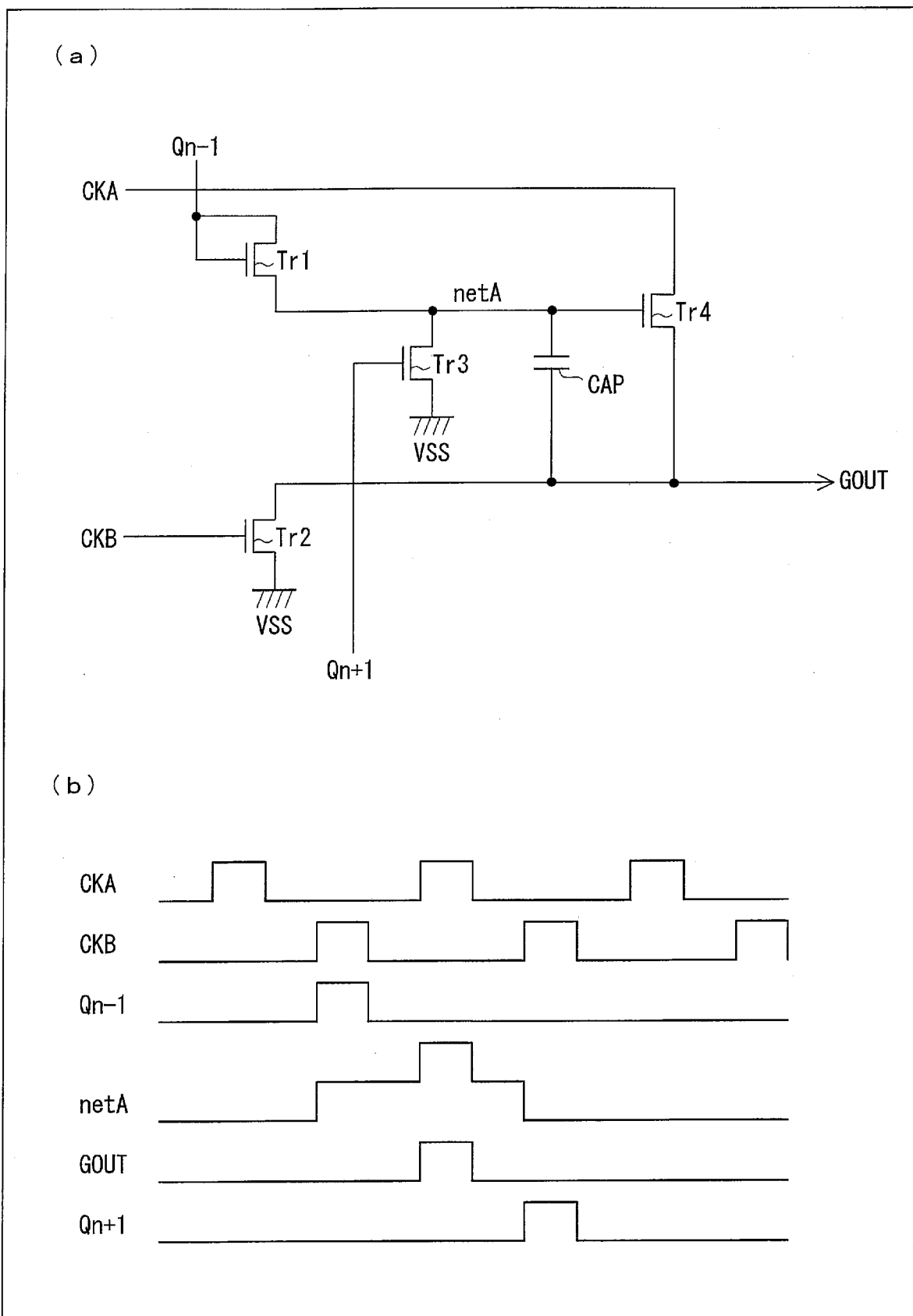
[図11]



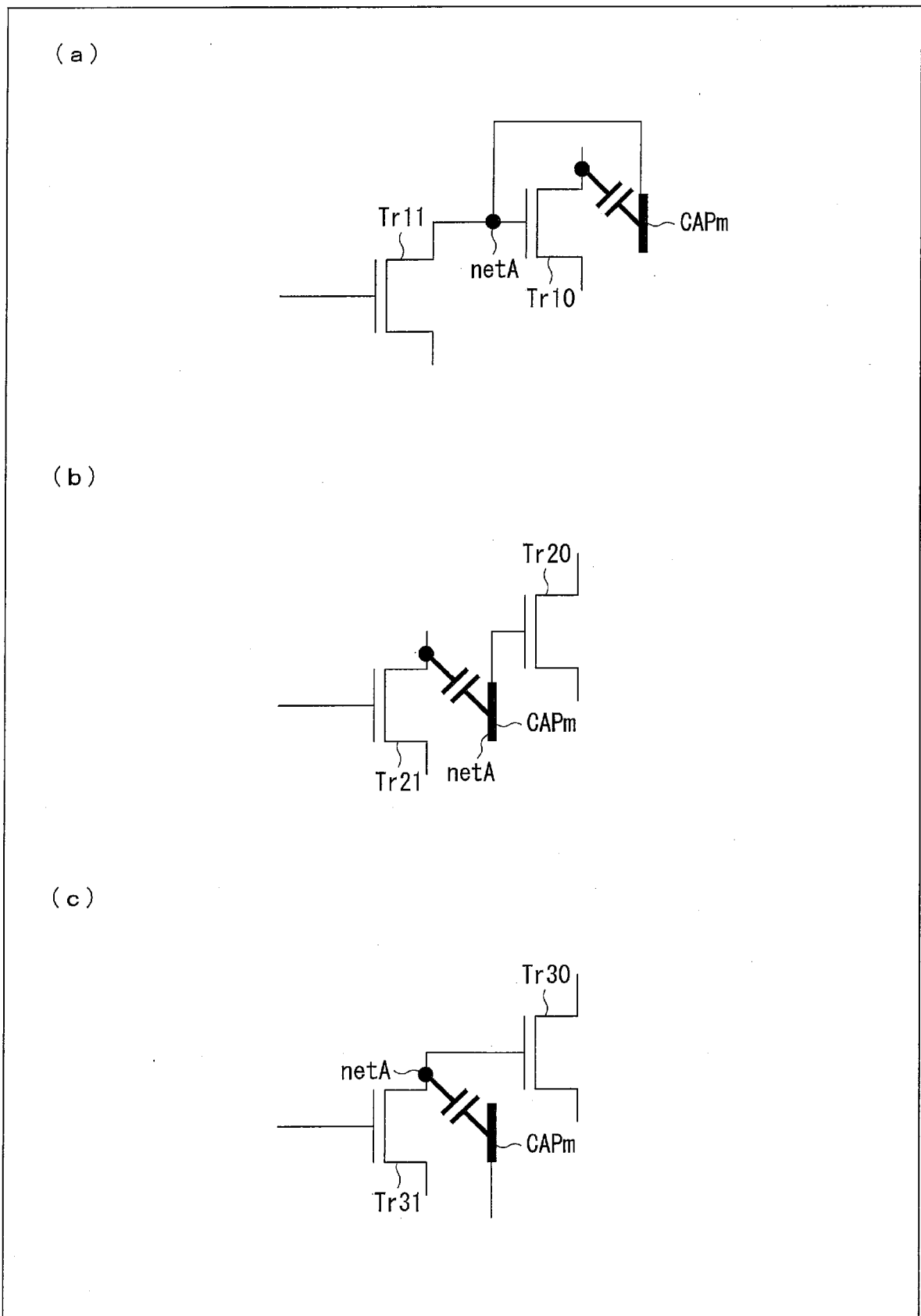
[図12]



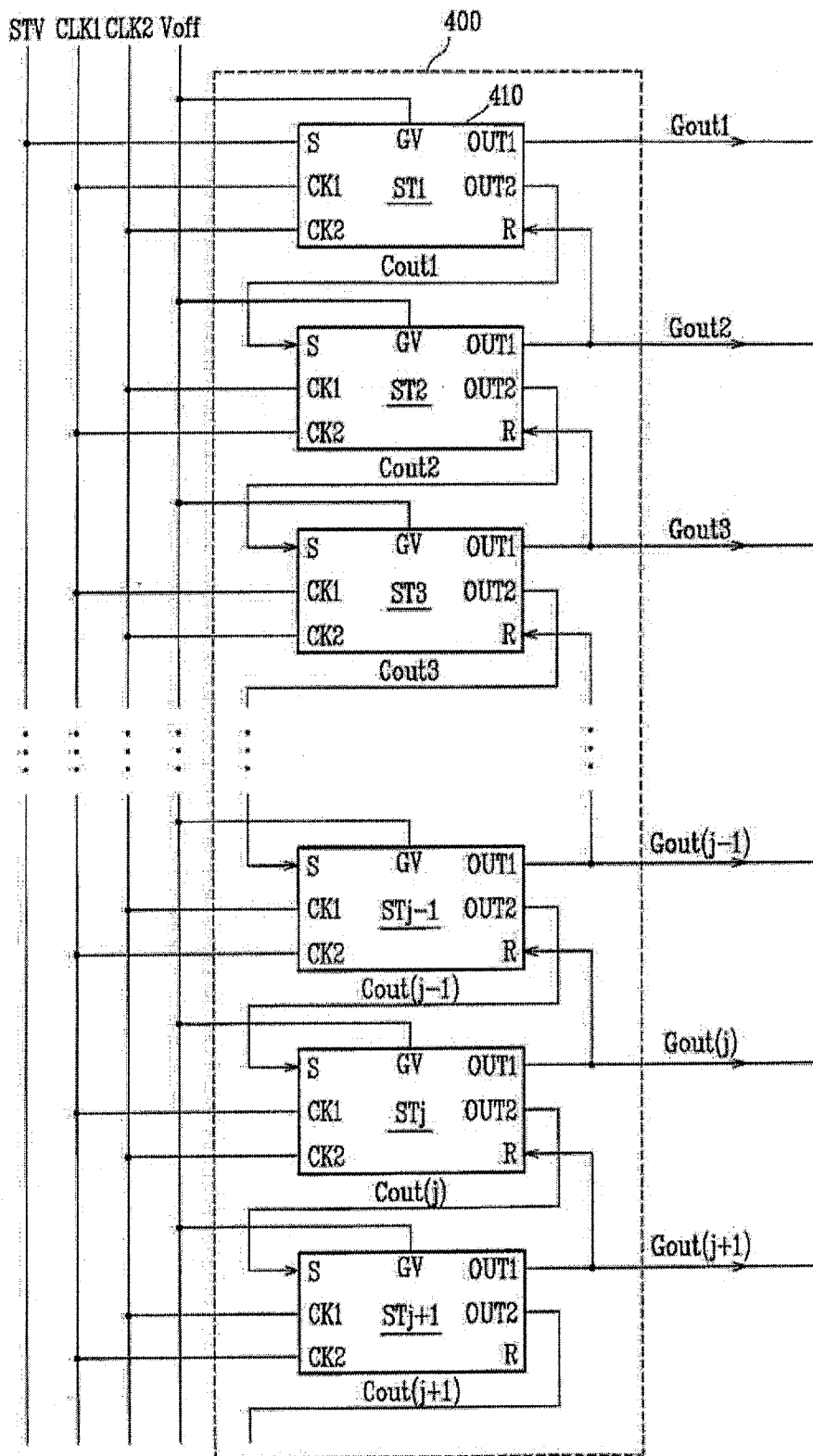
[圖13]



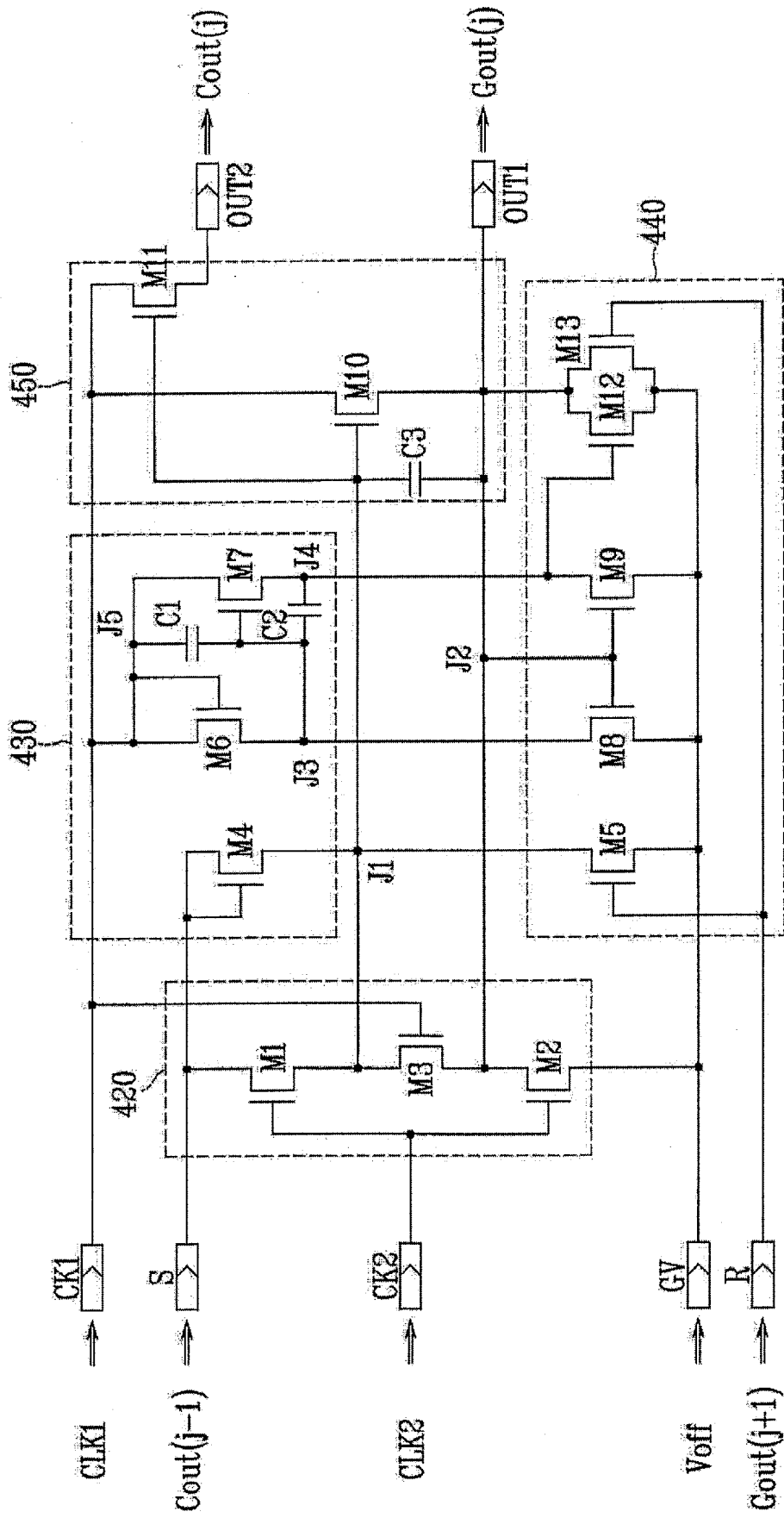
[図14]



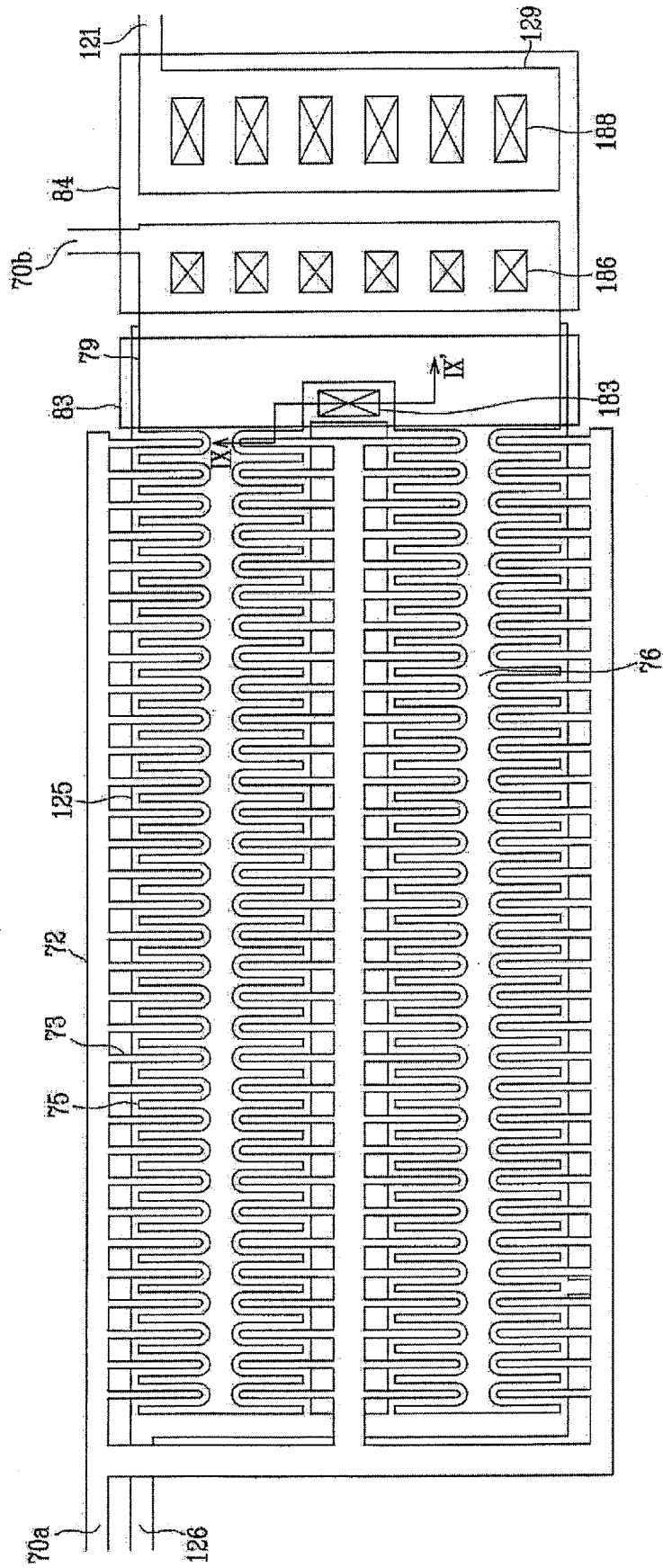
[図15]



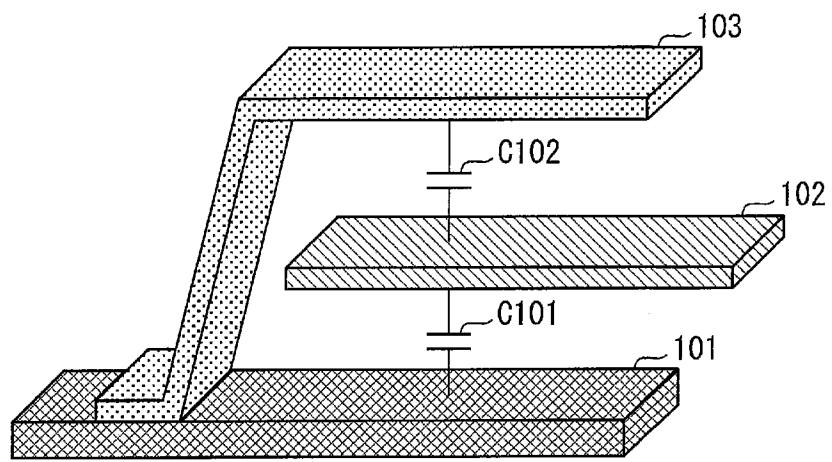
[図16]



[17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/051119

A. CLASSIFICATION OF SUBJECT MATTER <i>G11C19/28(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, G11C19/00(2006.01)i, H01L21/336(2006.01)i, H01L29/786(2006.01)i</i>										
According to International Patent Classification (IPC) or to both national classification and IPC										
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) <i>G11C19/28, G09G3/20, G09G3/36, G11C19/00, H01L21/336, H01L29/786</i>										
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched										
<table border="0"> <tr> <td>Jitsuyo Shinan Koho</td> <td>1922-1996</td> <td>Jitsuyo Shinan Toroku Koho</td> <td>1996-2011</td> </tr> <tr> <td>Kokai Jitsuyo Shinan Koho</td> <td>1971-2011</td> <td>Toroku Jitsuyo Shinan Koho</td> <td>1994-2011</td> </tr> </table>			Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011	Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011
Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011							
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011							
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)										
C. DOCUMENTS CONSIDERED TO BE RELEVANT										
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.								
A	WO 2009/150864 A1 (Sharp Corp.), 17 December 2009 (17.12.2009), paragraphs [0072] to [0090]; fig. 1 to 2 (Family: none)	1-19								
A	WO 2009/150862 A1 (Sharp Corp.), 17 December 2009 (17.12.2009), paragraphs [0161] to [0177]; fig. 6 (Family: none)	1-19								
A	JP 2005-352455 A (Samsung Electronics Co., Ltd.), 22 December 2005 (22.12.2005), entire text; all drawings & US 2005/0275609 A1 & KR 10-2005-0117057 A	1-19								
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.										
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family										
Date of the actual completion of the international search 06 April, 2011 (06.04.11)		Date of mailing of the international search report 19 April, 2011 (19.04.11)								
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer								
Facsimile No.		Telephone No.								

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/051119

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-15049 A (Toshiba Matsushita Display Technology Co., Ltd.), 22 January 2009 (22.01.2009), entire text; all drawings (Family: none)	1-19

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G11C19/28(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, G11C19/00(2006.01)i, H01L21/336(2006.01)i, H01L29/786(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G11C19/28, G09G3/20, G09G3/36, G11C19/00, H01L21/336, H01L29/786		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2011年 日本国実用新案登録公報 1996-2011年 日本国登録実用新案公報 1994-2011年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2009/150864 A1 (シャープ株式会社) 2009. 12. 17, 段落【0072】 - 【0090】, 第1-2図 (ファミリーなし)	1-19
A	WO 2009/150862 A1 (シャープ株式会社) 2009. 12. 17, 段落【0161】 - 【0177】, 第6図 (ファミリーなし)	1-19
A	JP 2005-352455 A (三星電子株式会社) 2005. 12. 22, 全文, 全図 & US 2005/0275609 A1 & KR 10-2005-0117057 A	1-19
A	JP 2009-15049 A (東芝松下ディスプレイテクノロジー株式会社) 2009. 01. 22, 全文, 全図 (ファミリーなし)	1-19
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	06. 04. 2011	国際調査報告の発送日
		19. 04. 2011
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 堀田 和義 電話番号 03-3581-1101 内線	5 N 8840 3585