

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4071967号
(P4071967)

(45) 発行日 平成20年4月2日(2008.4.2)

(24) 登録日 平成20年1月25日(2008.1.25)

(51) Int.Cl.

G 11 C 16/02 (2006.01)

F 1

G 11 C 17/00 6 12 E
G 11 C 17/00 6 12 C

請求項の数 8 (全 33 頁)

(21) 出願番号 特願2002-8640 (P2002-8640)
 (22) 出願日 平成14年1月17日 (2002.1.17)
 (65) 公開番号 特開2003-217286 (P2003-217286A)
 (43) 公開日 平成15年7月31日 (2003.7.31)
 審査請求日 平成17年1月7日 (2005.1.7)

(73) 特許権者 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (73) 特許権者 591036457
 三菱電機エンジニアリング株式会社
 東京都千代田区九段北一丁目13番5号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 清水 悟
 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

最終頁に続く

(54) 【発明の名称】不揮発性半導体記憶装置及びそのデータ消去方法

(57) 【特許請求の範囲】

【請求項 1】

メモリセルトランジスタと、
 記憶部を有し、前記メモリセルトランジスタに印加される電圧パルスを制御する制御部と
 を備え、

データ消去動作において、前記制御部は、消去パルスを印加する前に、前記メモリセルトランジスタにデータが書き込まれるまで、パルス強度を次第に強めて書き込みパルスを印加し、

前記記憶部には、前回のデータ消去動作における、前記書き込みパルスの最終のパルス強度に関する第1の情報が記憶されており、

前記制御部は、前記データ消去動作における前記書き込みパルスのパルス強度の開始値を、前記第1の情報に基づいて決定する不揮発性半導体記憶装置。

【請求項 2】

前記書き込みパルスの前記パルス強度は段階的に強められ、
 前記データ消去動作における前記書き込みパルスの前記パルス強度の前記開始値は、前記前回のデータ消去動作における前記書き込みパルスの前記最終のパルス強度よりも、所定段階低い値に設定される、請求項1に記載の不揮発性半導体記憶装置。

【請求項 3】

前記データ消去動作において、前記制御部は、前記メモリセルトランジスタのデータが

10

20

消去されるまで、パルス強度を次第に強めて前記消去パルスを印加し、

前記記憶部には、前記前回のデータ消去動作における、前記消去パルスの最終のパルス強度に関する第2の情報がさらに記憶されており、

前記制御部は、前記データ消去動作における前記消去パルスのパルス強度の開始値を、前記第2の情報に基づいて決定する、請求項1又は2に記載の不揮発性半導体記憶装置。

【請求項4】

前記データ消去動作において、前記制御部は、前記消去パルスの印加によって過消去されたメモリセルトランジスタが存在する場合、前記過消去されたメモリセルトランジスタにデータが書き戻されるまで、パルス強度を次第に強めて書き戻しパルスを印加し、

前記記憶部には、前記前回のデータ消去動作における、前記書き戻しパルスの最終のパルス強度に関する第3の情報がさらに記憶されており、

前記制御部は、前記データ消去動作における前記書き戻しパルスのパルス強度の開始値を、前記第3の情報に基づいて決定する、請求項1～3のいずれか一つに記載の不揮発性半導体記憶装置。

【請求項5】

(a) データ消去動作において、消去パルスを印加する前に、メモリセルトランジスタにデータが書き込まれるまで、パルス強度を次第に強めて書き込みパルスを印加する工程と、

(b) 前記データ消去動作における、前記書き込みパルスの最終のパルス強度に関する第1の情報を記憶する工程と

を備え、

前記データ消去動作における前記書き込みパルスのパルス強度の開始値は、前回のデータ消去動作時に記憶されていた、前記前回のデータ消去動作に関する前記第1の情報に基づいて決定される、不揮発性半導体記憶装置のデータ消去方法。

【請求項6】

前記書き込みパルスの前記パルス強度は段階的に強められ、

前記データ消去動作における前記書き込みパルスの前記パルス強度の前記開始値は、前記前回のデータ消去動作における前記書き込みパルスの前記最終のパルス強度よりも、所定段階低い値に設定される、請求項5に記載の不揮発性半導体記憶装置のデータ消去方法。

【請求項7】

(c) 前記データ消去動作において、前記メモリセルトランジスタのデータが消去されるまで、パルス強度を次第に強めて前記消去パルスを印加する工程と、

(d) 前記データ消去動作における、前記消去パルスの最終のパルス強度に関する第2の情報を記憶する工程と

をさらに備え、

前記データ消去動作における前記消去パルスのパルス強度の開始値は、前記前回のデータ消去動作時に記憶されていた、前記前回のデータ消去動作に関する前記第2の情報に基づいて決定される、請求項5又は6に記載の不揮発性半導体記憶装置のデータ消去方法。

【請求項8】

(e) 前記データ消去動作において、前記消去パルスの印加によって過消去されたメモリセルトランジスタが存在する場合、前記過消去されたメモリセルトランジスタにデータが書き戻されるまで、パルス強度を次第に強めて書き戻しパルスを印加する工程と、

(f) 前記データ消去動作における、前記書き戻しパルスの最終のパルス強度に関する第3の情報を記憶する工程と

をさらに備え、

前記データ消去動作における前記書き戻しパルスのパルス強度の開始値は、前記前回のデータ消去動作時に記憶されていた、前記前回のデータ消去動作に関する前記第3の情報に基づいて決定される、請求項5～7のいずれか一つに記載の不揮発性半導体記憶装置のデータ消去方法。

10

20

30

40

50

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

この発明は、不揮発性半導体記憶装置及びそのデータ消去方法に関し、特に、フラッシュメモリ及びそのデータ消去方法に関するものである。

【0002】**【従来の技術】**

フラッシュメモリは、電気的にデータの書き込み及び消去が可能な不揮発性半導体記憶装置である。フラッシュメモリは、複数のメモリセルが行列状に配置されたメモリセルアレイを備えており、各メモリセルは、フローティングゲートを有するメモリセルトランジスタを備えている。フローティングゲート内に電子が蓄積されているか否かによってメモリセルトランジスタのしきい値電圧が変化し、このしきい値電圧の相違によってメモリセルにデータが記憶される。

10

【0003】

現在、フラッシュメモリの主流となっているのは、NOR型のフラッシュメモリである。本明細書では、NOR型のフラッシュメモリの中でも、データ消去動作において、フローティングゲート内に蓄積されている電子がチャネル領域の全面に引き抜かれる、いわゆるチャネル全面引き抜き型のNOR型フラッシュメモリを例にとり説明する。

【0004】

図47は、従来のフラッシュメモリにおけるデータ消去動作を説明するためのフローチャートである。ステップSP1において消去コマンドが入力されると、ステップSP2において、所定の電圧値及び所定のパルス幅の一括書き込みパルスが全てのメモリセルトランジスタに印加される。次に、ステップSP3において、所定の電圧値及び所定のパルス幅の消去パルスが全てのメモリセルトランジスタに印加される。

20

【0005】

次に、ステップSP4において、全てのメモリセルのデータが消去されたか否かを判定する消去ベリファイが行われる。データが消去されていないメモリセルが一つでも存在する場合、即ちステップSP4における判定の結果が「FAIL」である場合は、ステップSP5に進み、一括書き込みパルス及び消去パルスの各電圧値が、パルス強度が強くなるようにそれぞれ更新される。その後、電圧値がそれぞれ更新された一括書き込みパルス及び消去パルスが、ステップSP2, SP3において再度印加される。全てのメモリセルのデータが消去されるまで、即ちステップSP4における判定の結果が「PASS」となるまで、ステップSP2～SP5の動作が繰り返される。

30

【0006】

ステップSP4における判定の結果が「PASS」である場合は、ステップSP6に進み、過剰なデータ消去によって過消去状態となっているメモリセルトランジスタが存在するか否かを判定する過消去ベリファイが行われる。過消去状態にあるメモリセルトランジスタが存在しない場合、即ちステップSP6における判定の結果が「PASS」である場合はステップSP10に進み、データ消去動作が終了する。

40

【0007】

過消去状態にあるメモリセルトランジスタが一つでも存在する場合、即ちステップSP6における判定の結果が「FAIL」である場合はステップSP7に進み、過消去状態にあるメモリセルトランジスタにビット毎書き戻しパルスが印加される。次に、ステップSP8において、過消去状態にあった全てのメモリセルトランジスタが過消去状態から回復したか否かを判定するために、過消去ベリファイが再度行われる。依然として過消去状態にあるメモリセルトランジスタが一つでも存在する場合、即ちステップSP8における判定の結果が「FAIL」である場合はステップSP7に戻り、過消去状態にあるメモリセルトランジスタにビット毎書き戻しパルスが再度印加される。過消去状態にあるメモリセルトランジスタが存在しなくなるまで、即ちステップSP8における判定の結果が「PASS」となるまで、ステップSP7, SP8の動作が繰り返される。

50

【0008】

ステップSP8における判定の結果が「P A S S」である場合は、ステップSP9に進み、過剰なデータ書き戻しによって過書き戻し状態となっているメモリセルトランジスタが存在するか否かを判定する過書き戻しペリファイが行われる。過書き戻し状態にあるメモリセルトランジスタが存在しない場合、即ちステップSP9における判定の結果が「P A S S」である場合はステップSP10に進み、データ消去動作が終了する。

【0009】

過書き戻し状態にあるメモリセルトランジスタが一つでも存在する場合、即ちステップSP9における判定の結果が「F A I L」である場合はステップSP2に戻り、ステップSP2以降の動作が改めて実行される。

10

【0010】

【発明が解決しようとする課題】

従来の不揮発性半導体記憶装置及びそのデータ消去方法によると、データ消去動作の回数に拘わらず、例えば1回目のデータ消去動作であるか1万回目のデータ消去動作であるかに拘わらず、ステップSP1の直後に実行される最初のステップSP2, SP3においては、所定の電圧値及び所定のパルス幅の一括書き込みパルス及び消去パルスが印加される。即ち、一括書き込みパルス及び消去パルスのパルス強度の開始電圧値が、データ消去動作の回数に拘わらず一定である。

【0011】

フラッシュメモリでは、フローティングゲート内に電子を注入することによってメモリセルにデータを書き込み、フローティングゲート内から電子を引き抜くことによってメモリセルのデータを消去するが、データ消去動作の回数が増えてくるにつれて、電子の注入効率や引き抜き効率は低下する。

20

【0012】

しかしながら従来の不揮発性半導体記憶装置及びそのデータ消去方法によると、上記の通り、一括書き込みパルス及び消去パルスのパルス強度の開始電圧値が、データ消去動作の回数に拘わらず一定である。そのため、ある程度多数のデータ消去動作が既に行われた後のデータ消去動作においては、ステップSP4における判定の結果が「F A I L」となる可能性が高くなり、その都度ステップSP2～SP4の動作が繰り返されるため、データ消去の所要時間が長くなるという問題があった。

30

【0013】

本発明はかかる問題を解決するために成されたものであり、データ消去動作の所要時間が短縮された不揮発性半導体記憶装置及びそのデータ消去方法を得ることを目的とするものである。

【0014】

【課題を解決するための手段】

この発明のうち請求項1に記載の不揮発性半導体記憶装置は、メモリセルトランジスタと、記憶部を有し、メモリセルトランジスタに印加される電圧パルスを制御する制御部とを備え、データ消去動作において、制御部は、消去パルスを印加する前に、メモリセルトランジスタにデータが書き込まれるまで、パルス強度を次第に強めて書き込みパルスを印加し、記憶部には、前回のデータ消去動作における、書き込みパルスの最終のパルス強度に関する第1の情報が記憶されており、制御部は、データ消去動作における書き込みパルスのパルス強度の開始値を、第1の情報に基づいて決定するものである。

40

【0015】

また、この発明のうち請求項2に記載の不揮発性半導体記憶装置は、請求項1に記載の不揮発性半導体記憶装置であって、書き込みパルスのパルス強度は段階的に強められ、データ消去動作における書き込みパルスのパルス強度の開始値は、前回のデータ消去動作における書き込みパルスの最終のパルス強度よりも、所定段階低い値に設定されることを特徴とするものである。

【0016】

50

また、この発明のうち請求項3に記載の不揮発性半導体記憶装置は、請求項1又は2に記載の不揮発性半導体記憶装置であって、データ消去動作において、制御部は、メモリセルトランジスタのデータが消去されるまで、パルス強度を次第に強めて消去パルスを印加し、記憶部には、前回のデータ消去動作における、消去パルスの最終のパルス強度に関する第2の情報がさらに記憶されており、制御部は、データ消去動作における消去パルスのパルス強度の開始値を、第2の情報に基づいて決定することを特徴とするものである。

【0017】

また、この発明のうち請求項4に記載の不揮発性半導体記憶装置は、請求項1～3のいずれか一つに記載の不揮発性半導体記憶装置であって、データ消去動作において、制御部は、消去パルスの印加によって過消去されたメモリセルトランジスタが存在する場合、過消去されたメモリセルトランジスタにデータが書き戻されるまで、パルス強度を次第に強めて書き戻しパルスを印加し、記憶部には、前回のデータ消去動作における、書き戻しパルスの最終のパルス強度に関する第3の情報がさらに記憶されており、制御部は、データ消去動作における書き戻しパルスのパルス強度の開始値を、第3の情報に基づいて決定することを特徴とするものである。

10

【0024】

また、この発明のうち請求項5に記載の不揮発性半導体記憶装置のデータ消去方法は、(a)データ消去動作において、消去パルスを印加する前に、メモリセルトランジスタにデータが書き込まれるまで、パルス強度を次第に強めて書き込みパルスを印加する工程と、(b)データ消去動作における、書き込みパルスの最終のパルス強度に関する第1の情報を記憶する工程とを備え、データ消去動作における書き込みパルスのパルス強度の開始値は、前回のデータ消去動作時に記憶されていた、前回のデータ消去動作に関する第1の情報に基づいて決定されるものである。

20

【0025】

また、この発明のうち請求項6に記載の不揮発性半導体記憶装置のデータ消去方法は、請求項5に記載の不揮発性半導体記憶装置のデータ消去方法であって、書き込みパルスのパルス強度は段階的に強められ、データ消去動作における書き込みパルスのパルス強度の開始値は、前回のデータ消去動作における書き込みパルスの最終のパルス強度よりも、所定段階低い値に設定されることを特徴とするものである。

30

【0026】

また、この発明のうち請求項7に記載の不揮発性半導体記憶装置のデータ消去方法は、請求項5又は6に記載の不揮発性半導体記憶装置のデータ消去方法であって、(c)データ消去動作において、メモリセルトランジスタのデータが消去されるまで、パルス強度を次第に強めて消去パルスを印加する工程と、(d)データ消去動作における、消去パルスの最終のパルス強度に関する第2の情報を記憶する工程とをさらに備え、データ消去動作における消去パルスのパルス強度の開始値は、前回のデータ消去動作時に記憶されていた、前回のデータ消去動作に関する第2の情報に基づいて決定されることを特徴とするものである。

【0027】

また、この発明のうち請求項8に記載の不揮発性半導体記憶装置のデータ消去方法は、請求項5～7のいずれか一つに記載の不揮発性半導体記憶装置のデータ消去方法であって、(e)データ消去動作において、消去パルスの印加によって過消去されたメモリセルトランジスタが存在する場合、過消去されたメモリセルトランジスタにデータが書き戻されるまで、パルス強度を次第に強めて書き戻しパルスを印加する工程と、(f)データ消去動作における、書き戻しパルスの最終のパルス強度に関する第3の情報を記憶する工程とをさらに備え、データ消去動作における書き戻しパルスのパルス強度の開始値は、前回のデータ消去動作時に記憶されていた、前回のデータ消去動作に関する第3の情報に基づいて決定されることを特徴とするものである。

40

【0034】

【発明の実施の形態】

50

実施の形態 1 .

図1は、本発明の実施の形態1に係るフラッシュ型の不揮発性半導体記憶装置1の構成を概略的に示すブロック図である。不揮発性半導体記憶装置1は、メモリセルトランジスタに印加される電圧パルスを制御することにより、データの書き込み動作及び消去動作を制御する制御部2を備えている。制御部2は、フラッシュメモリ等の不揮発性の半導体メモリから成る記憶部2aを有している。

【 0 0 3 5 】

また、不揮発性半導体記憶装置1は、(A)制御部2からスタンバイ信号CXH RDY, チャージポンプ活性化信号PPUMP E, NPUMP E, 及びリセット信号RSTEを入力し、出力電位 V_{out+} , V_{out-} 及びワード線電位 V_{WL} を発生して出力する電圧発生部3と、(B)外部からアドレス信号ADRを入力し、内部アドレス信号を生成して出力するアドレスバッファ16と、(C)電圧発生部3から電位の供給を受けるとともに、アドレスバッファ16から内部アドレス信号を入力し、セレクトゲート線SGL, ワード線WL0, WL1, ソース線SL, 及びウェルの各電位を決定するXデコーダ18と、(D)外部との間でデータ入出力信号DIOの授受を行う入出力バッファ22と、(E)アドレスバッファ16から内部アドレス信号を受けてデコードするYデコーダ20と、(F)Yデコーダ20の出力信号及びデータ入出力信号DIOに応じて、メインピット線MBLに高電圧を印加するY系制御回路24とを備えている。

【 0 0 3 6 】

電圧発生部3は、(G)制御部2からスタンバイ信号CXH RDY, チャージポンプ活性化信号PPUMP E, 及びリセット信号RSTEを入力し、これらに基づいて正の出力電位 V_{out+} を発生する正電圧発生回路4と、(H)制御部2からスタンバイ信号CXH RDY, チャージポンプ活性化信号NPUMP E, 及びリセット信号RSTEを入力し、これらに基づいて負の出力電位 V_{out-} を発生する負電圧発生回路8と、(I)ワード線電位 V_{WL} を発生するWLブースト回路12と、(J)制御部2によって制御され、出力電位 V_{out+} , V_{out-} 及びワード線電位 V_{WL} を各内部回路に分配するディストリビュータ14とを備えている。

【 0 0 3 7 】

Xデコーダ18は、ワード線を選択するためのWLデコーダと、セレクトゲートを選択するためのSGLデコーダと、選択されたメモリブロックに対応するウェル領域を選択するためのWELLデコーダと、ソース線を選択するためのSLデコーダ(いずれも図示しない)とを備えている。

【 0 0 3 8 】

さらに、不揮発性半導体記憶装置1は、複数のメモリセルが行列状に配置されたメモリセルアレイ26を備えており、メモリセルアレイ26は、異なるウェル内に形成されることによって互いに分離された複数のメモリセルブロックBLOCK0~BLOCKkに分割されている。

【 0 0 3 9 】

メモリセルブロックBLOCK0は、メモリセルトランジスタ30, 32と、セレクトゲート28とを有している。メモリセルブロックBLOCK0では、Xデコーダ18によって選択されたセレクトゲート線SGL, ワード線WL0, WL1, 及びソース線SLに対応して、2つのメモリセルトランジスタ30, 32が選択されている。メモリセルトランジスタ30, 32は、データに対応する信号をメインピット線MBLから受けて、そのデータを保持する。なお、図1では、選択されたセレクトゲート線SGL, ワード線WL0, WL1, 及びソース線SLに対応するセレクトゲート28, メモリセルトランジスタ30, 32のみが代表的に図示されている。

【 0 0 4 0 】

図2~5は、本実施の形態1に係る不揮発性半導体記憶装置1における、1回目のデータ消去方法を説明するためのフローチャートである。また、図6は、データ消去動作が実行される直前の状態、即ちデータ消去時における初期状態でのしきい値電圧の分布を示す図

10

20

30

40

50

である。図 6 の横軸は、メモリセルトランジスタのしきい値電圧を表しており、縦軸は、横軸の各しきい値電圧を保持している、メモリセルブロック内のメモリセルトランジスタの数を表している。図 6 を参照して、データ消去時における初期状態では、プログラム状態、つまりメモリセルトランジスタに“0”が記憶されている状態と、イレース状態、つまりメモリセルトランジスタに“1”が記憶されている状態とが存在している。

【0041】

図 2 を参照して、ステップ S P 5 1において1回目の消去コマンドが入力されると、ステップ S P 5 2において、所定のパルス幅（ここでは 1 m s とする）の一括書き込みパルスが、全てのメモリセルトランジスタに印加される。これにより、F N（ファウラー・ノルドハイム）トンネル電流を用いて、メモリセルブロック単位で一括書き込みが実施される。

10

【0042】

図 7 は、ステップ S P 5 2 で一括書き込みパルスが印加されている状態での印加電圧を説明するための、メモリセルブロックの回路図である。図 7 を参照して、メモリセルブロックには、n 行 m 列に配置された、合計 $n \times m$ 個のメモリセルトランジスタ M T が配置されている。ステップ S P 5 2 においては、全てのビット線 B L 1 ~ B L m はオーブンに設定され、ウェルには $V_{WELL} = -4.00 \text{ V}$ のパルス電圧が印加され、ソース線 S L には $V_{SL} = -4.00 \text{ V}$ のパルス電圧が印加され、全てのワード線 W L 1 ~ W L n には $V_{WL} = 6.00 \text{ V}$ のパルス電圧が印加されている。

【0043】

図 2 を参照して、ステップ S P 5 2 に引き続き、ステップ S P 5 3 において、全てのメモリセルにデータが書き込まれたか否か、具体的には全てのメモリセルトランジスタのしきい値電圧が所定値（ここでは 5.5 V とする）以上となっているか否かを判定する書き込みベリファイが行われる。

20

【0044】

図 8 は、ステップ S P 5 3 で書き込みベリファイが行われている状態での印加電圧を説明するための、メモリセルブロックの回路図である。ステップ S P 5 3 においては、選択ビットに対応するメモリセルトランジスタ M T (j , i) に接続されているビット線 B L j には $V_{BL(j)} = 1.0 \text{ V}$ のパルス電圧が印加され、ウェルの電位 V_{WELL} 及びソース線 S L の電位 V_{SL} はいずれも 0 V に設定され、選択ビットに対応するメモリセルトランジスタ M T (j , i) に接続されているワード線 W L i には $V_{WL(i)} = 5.5 \text{ V}$ のパルス電圧が印加されている。

30

【0045】

図 2 を参照して、データが書き込まれていないメモリセルが一つでも存在する場合、即ちステップ S P 5 3 における判定の結果が「F A I L」である場合は、ステップ S P 5 4 に進み、一括書き込みパルスの電圧値が、パルス強度が強くなるように更新される。その後、電圧値が更新された一括書き込みパルスが、ステップ S P 5 2 において再度印加される。全てのメモリセルにデータが書き込まれるまで、即ちステップ S P 5 3 における判定の結果が「P A S S」となるまで、ステップ S P 5 2 ~ S P 5 4 の動作が繰り返される。

【0046】

図 9 は、ステップ S P 5 4 における一括書き込みパルスの電圧値の更新状況を示す図である。ワード線 W L に印加されるパルス電圧の電圧値 V_{WL} は、図 7 に示した第 1 段階 t 1 の 6.00 V からスタートして、0.25 V 刻みで、第 17 段階 t 17 の 10.00 V まで上昇される。ウェル及びソース線 S L に印加される各パルス電圧の電圧値 V_{WELL} , V_{SL} は、図 7 に示した第 1 段階 t 1 の -4.00 V からスタートして、0.25 V 刻みで、第 17 段階 t 17 の -8.00 V まで低下される。

40

【0047】

図 2 を参照して、ステップ S P 5 3 における判定の結果が「P A S S」である場合は、ステップ S P 5 5 に進み、一括書き込みパルスの最終的な電圧値、即ち最終的な V_{WL} , V_{WELL} , V_{SL} の値が、図 1 に示した記憶部 2 a に記録される。図 9 に示した例のように、ステップ S P 5 3 における判定の結果が第 9 段階 t 9 で「P A S S」となった場合は、「一括

50

書き込みパルス： $V_{WL} = 8.00V$ 、 $V_{Well} = V_{SL} = -6.00V$ 」という情報が記憶部2aに記録される。

【0048】

図10は、ステップSP53において「PASS」と判定された時点でのしきい値電圧の分布を示す図である。この時点では、メモリセルブロック内の全てのメモリセルトランジスタのしきい値電圧が、5.5V以上となっている。

【0049】

図3を参照して、図2に示したステップSP55に引き続き、ステップSP56において、所定のパルス幅（ここでは1msとする）の消去パルスが、全てのメモリセルトランジスタに印加される。これにより、FNトンネル電流を用いて、メモリセルブロック単位で一括消去が実施される。

10

【0050】

図11は、ステップSP56で消去パルスが印加されている状態での印加電圧を説明するための、メモリセルブロックの回路図である。ステップSP56においては、全てのビット線BL1～BLmはオープンに設定され、ウェルには $V_{Well} = 4.00V$ のパルス電圧が印加され、ソース線SLには $V_{SL} = 4.00V$ のパルス電圧が印加され、全てのワード線WL1～WLnには $V_{WL} = -6.00V$ のパルス電圧が印加されている。

【0051】

図3を参照して、ステップSP56に引き続き、ステップSP57において、全てのメモリセルのデータが消去されたか否か、具体的には全てのメモリセルトランジスタのしきい値電圧が所定値（ここでは3.5Vとする）よりも低くなっているか否かを判定する消去ベリファイが行われる。

20

【0052】

図12は、ステップSP57で消去ベリファイが行われている状態での印加電圧を説明するための、メモリセルブロックの回路図である。ステップSP57においては、選択ビットに対応するメモリセルトランジスタMT(j, i)に接続されているビット線BLjには $V_{BL(j)} = 1.0V$ のパルス電圧が印加され、ウェルの電位 V_{Well} 及びソース線SLの電位 V_{SL} はいずれも0Vに設定され、選択ビットに対応するメモリセルトランジスタMT(j, i)に接続されているワード線WLiには $V_{WL(i)} = 3.5V$ のパルス電圧が印加されている。

30

【0053】

図3を参照して、データが消去されていないメモリセルが一つでも存在する場合、即ちステップSP57における判定の結果が「FAIL」である場合は、ステップSP58に進み、消去パルスの電圧値が、パルス強度が強くなるように更新される。その後、電圧値が更新された消去パルスが、ステップSP56において再度印加される。全てのメモリセルのデータが消去されるまで、即ちステップSP57における判定の結果が「PASS」となるまで、ステップSP56～SP58の動作が繰り返される。

【0054】

図13は、ステップSP58における消去パルスの電圧値の更新状況を示す図である。ワード線WLに印加されるパルス電圧の電圧値 V_{WL} は、図11に示した第1段階t1の-6.00Vからスタートして、0.25V刻みで、第17段階t17の-10.00Vまで低下される。ウェル及びソース線SLに印加される各パルス電圧の電圧値 V_{Well} 、 V_{SL} は、図11に示した第1段階t1の4.00Vからスタートして、0.25V刻みで、第17段階t17の8.00Vまで上昇される。

40

【0055】

図3を参照して、ステップSP57における判定の結果が「PASS」である場合は、ステップSP59に進み、消去パルスの最終的な電圧値、即ち最終的な V_{WL} 、 V_{Well} 、 V_{SL} の値が、図1に示した記憶部2aに記録される。図13に示した例のように、ステップSP57における判定の結果が第5段階t5で「PASS」となった場合は、「消去パルス： $V_{WL} = -7.00V$ 、 $V_{Well} = V_{SL} = 5.00V$ 」という情報が記憶部2aに記録され

50

る。

【0056】

図14は、ステップSP57において「P A S S」と判定された時点でのしきい値電圧の分布を示す図である。この時点では、メモリセルブロック内の全てのメモリセルトランジスタのしきい値電圧が、3.5V未満となっている。

【0057】

図3を参照して、ステップSP59に引き続き、ステップSP60において、過剰なデータ消去によって過消去状態となっているメモリセルトランジスタが存在するか否か、具体的には全てのメモリセルトランジスタのしきい値電圧が所定値（ここでは1.0Vとする）以上となっているか否かを判定する過消去ベリファイが行われる。

10

【0058】

図15は、ステップSP60で過消去ベリファイが行われている状態での印加電圧を説明するための、メモリセルブロックの回路図である。ステップSP60においては、選択ビットに対応するメモリセルトランジスタMT(j, i)に接続されているビット線BLjには $V_{BL(j)} = 1.0V$ のパルス電圧が印加され、ウェルの電位 V_{WEll} 及びソース線SLの電位 V_{SL} はいずれも0Vに設定され、選択ビットに対応するメモリセルトランジスタMT(j, i)に接続されているワード線WLiには $V_{WL(i)} = 1.0V$ のパルス電圧が印加されている。

【0059】

図3を参照して、過消去状態にあるメモリセルトランジスタが存在しない場合、即ちステップSP60における判定の結果が「P A S S」である場合は、図5に示したステップSP61に進み、1回目のデータ消去動作が終了する。

20

【0060】

一方、過消去状態にあるメモリセルが一つでも存在する場合、即ちステップSP60における判定の結果が「F A I L」である場合は、図4に示したステップSP62に進み、所定のパルス幅（ここでは1μsとする）のビット毎書き戻しパルスが、過消去状態にあるメモリセルトランジスタを選択して印加される。これにより、チャネルホットエレクトロン（C H E）を用いて、ビット毎にデータが書き戻される。

【0061】

図16は、ステップSP62でビット毎書き戻しパルスが印加されている状態での印加電圧を説明するための、メモリセルブロックの回路図である。ステップSP62においては、選択ビットに対応するメモリセルトランジスタMT(j, i)に接続されているビット線BLjには $V_{BL(j)} = 4.0V$ のパルス電圧が印加され、その他のビット線の電位 V_{BL} 、ウェルの電位 V_{WEll} 、及びソース線SLの電位 V_{SL} はいずれも0Vに設定され、選択ビットに対応するメモリセルトランジスタMT(j, i)に接続されているワード線WLiには $V_{WL(i)} = 1.0V$ のパルス電圧が印加されている。

30

【0062】

図4を参照して、ステップSP62に引き続き、ステップSP63において、過消去状態にあった全てのメモリセルトランジスタが過消去状態から回復したか否かを判定するために、過消去ベリファイが再度行われる。ステップSP63での印加電圧の条件は、ステップSP60と同様である。

40

【0063】

依然として過消去状態にあるメモリセルトランジスタが一つでも存在する場合、即ちステップSP63における判定の結果が「F A I L」である場合は、ステップSP64において、ビット毎書き戻しパルスの電圧値が、パルス強度が強くなるように更新される。その後、過消去状態にあるメモリセルトランジスタに対して、電圧値が更新されたビット毎書き戻しパルスが、ステップSP62において再度印加される。過消去状態にあるメモリセルトランジスタが存在しなくなるまで、即ちステップSP63における判定の結果が「P A S S」となるまで、ステップSP62～SP64の動作が繰り返される。

【0064】

50

図17は、ステップSP64におけるピット毎書き戻しパルスの電圧値の更新状況を示す図である。ワード線WLに印加されるパルス電圧の電圧値 V_{WL} は、図16に示した第1段階 t_1 の1.0Vからスタートして、0.5V刻みで、第13段階 t_{13} の7.0Vまで上昇される。選択ピットに対応するメモリセルトランジスタM_{T(j,i)}に接続されているピット線BL_jに印加されるパルス電圧の電圧値は、 $V_{BL(j)} = 4.0V$ で固定である。

【0065】

図4を参照して、ステップSP63における判定の結果が「PASS」である場合は、ステップSP65に進み、ピット毎書き戻しパルスの最終的な電圧値、即ち最終的な V_{WL} の値が、図1に示した記憶部2aに記録される。図17に示した例のように、ステップSP63における判定の結果が第7段階 t_7 で「PASS」となった場合は、「ピット毎書き戻しパルス： $V_{WL} = 4.0V$ 」という情報が記憶部2aに記録される。

10

【0066】

次に、ステップSP66において、過剰なデータ書き戻しによって過書き戻し状態となっているメモリセルトランジスタが存在するか否かを判定する過書き戻しベリファイが行われる。過書き戻し状態にあるメモリセルトランジスタが存在しない場合、即ちステップSP66における判定の結果が「PASS」である場合は、図5に示したステップSP61に進み、1回目のデータ消去動作が終了する。

【0067】

過書き戻し状態にあるメモリセルトランジスタが一つでも存在する場合、即ちステップSP66における判定の結果が「FAIL」である場合は、図3に示したステップSP56に戻り、ステップSP56以降の動作が改めて実行される。

20

【0068】

図18は、ステップSP66において「PASS」と判定された時点でのしきい値電圧の分布を示す図である。この時点では、メモリセルブロック内の全てのメモリセルトランジスタのしきい値電圧が、1.0V以上3.5V未満となっている。

【0069】

図19～22は、本実施の形態1に係る不揮発性半導体記憶装置1における、2回目以降のデータ消去方法を説明するためのフローチャートである。図19を参照して、ステップSP101において2回目以降の消去コマンドが入力されると、ステップSP102において、前回のデータ消去動作における一括書き込みパルスの最終電圧値が、図1に示した記憶部2aから読み出される。

30

【0070】

次に、ステップSP103において、制御部2は、前回のデータ消去動作における一括書き込みパルスの最終電圧値に基づいて、今回のデータ消去動作における一括書き込みパルスの開始電圧値を設定する。このとき、一括書き込みパルスのパルス強度が強過ぎるという事態を回避するために、前回のデータ消去動作における一括書き込みパルスの最終のパルス強度よりも、所定段階（例えば1又は2段階）低い値に設定するのが望ましい。上記の例では、1回目のデータ消去動作における一括書き込みパルスの最終電圧値が $V_{WL} = 8.00V$ 、 $V_{Well} = V_{SL} = -6.00V$ であったため、2回目のデータ消去動作ではそれよりも1段階低くして、一括書き込みパルスの開始電圧値を、 $V_{WL} = 7.75V$ 、 $V_{Well} = V_{SL} = -5.75V$ に設定する。なお、一括書き込みパルスのパルス幅は、前回と同様(1ms)である。

40

【0071】

次に、ステップSP104において、ステップSP103で設定された電圧値の一括書き込みパルスが、全てのメモリセルトランジスタに印加される。次に、ステップSP105において書き込みベリファイが行われる。ステップSP105での書き込みベリファイにおける電圧印加条件は、上記のステップSP53での書き込みベリファイにおける電圧印加条件と同様である。

【0072】

50

ステップSP105における判定の結果が「F A I L」である場合は、ステップSP106に進み、一括書き込みパルスの電圧値が、パルス強度が強くなるように図9に従って更新される。その後、電圧値が更新された一括書き込みパルスが、ステップSP104において再度印加される。ステップSP105における判定の結果が「P A S S」となるまで、ステップSP104～SP106の動作が繰り返される。

【0073】

ステップSP105における判定の結果が「P A S S」である場合は、ステップSP107に進み、今回のデータ消去動作に関する一括書き込みパルスの最終的な電圧値が、図1に示した記憶部2aに記録される。今回のデータ消去動作に関する一括書き込みパルスの最終的な電圧値は、次回のデータ消去動作において、制御部2が一括書き込みパルスの開始電圧値を設定する際に利用される。

10

【0074】

図20を参照して、次に、ステップSP108において、前回のデータ消去動作における消去パルスの最終電圧値が、図1に示した記憶部2aから読み出される。次に、ステップSP109において、制御部2は、前回のデータ消去動作における消去パルスの最終電圧値に基づいて、今回のデータ消去動作における消去パルスの開始電圧値を設定する。このとき、消去パルスのパルス強度が強過ぎるという事態を回避するために、前回のデータ消去動作における消去パルスの最終のパルス強度よりも、所定段階低い値に設定するのが望ましい。上記の例では、1回目のデータ消去動作における消去パルスの最終電圧値が $V_{WL} = -7.00V$ 、 $V_{Well} = V_{SL} = 5.00V$ であったため、2回目のデータ消去動作ではそれよりも1段階低くして、消去パルスの開始電圧値を、 $V_{WL} = -6.75V$ 、 $V_{Well} = V_{SL} = 4.75V$ に設定する。なお、消去パルスのパルス幅は、前回と同様(1ms)である。

20

【0075】

次に、ステップSP110において、ステップSP109で設定された電圧値の消去パルスが、全てのメモリセルトランジスタに印加される。次に、ステップSP111において消去ベリファイが行われる。ステップSP111での消去ベリファイにおける電圧印加条件は、上記のステップSP57での消去ベリファイにおける電圧印加条件と同様である。

【0076】

ステップSP111における判定の結果が「F A I L」である場合は、ステップSP112に進み、消去パルスの電圧値が、パルス強度が強くなるように図13に従って更新される。その後、電圧値が更新された消去パルスが、ステップSP110において再度印加される。ステップSP111における判定の結果が「P A S S」となるまで、ステップSP110～SP112の動作が繰り返される。

30

【0077】

ステップSP111における判定の結果が「P A S S」である場合は、ステップSP113に進み、今回のデータ消去動作に関する消去パルスの最終的な電圧値が、図1に示した記憶部2aに記録される。今回のデータ消去動作に関する消去パルスの最終的な電圧値は、次回のデータ消去動作において、制御部2が消去パルスの開始電圧値を設定する際に利用される。

40

【0078】

次に、ステップSP114において過消去ベリファイが行われる。ステップSP114での過消去ベリファイにおける電圧印加条件は、上記のステップSP60での過消去ベリファイにおける電圧印加条件と同様である。ステップSP114における判定の結果が「P A S S」である場合は、図22に示したステップSP115に進み、今回のデータ消去動作が終了する。

【0079】

一方、ステップSP114における判定の結果が「F A I L」である場合は、図21に示したステップSP116に進み、前回のデータ消去動作におけるビット毎書き戻しパルスの最終電圧値が、図1に示した記憶部2aから読み出される。次に、ステップSP117

50

において、制御部2は、前回のデータ消去動作におけるビット毎書き戻しパルスの最終電圧値に基づいて、今回のデータ消去動作におけるビット毎書き戻しパルスの開始電圧値を設定する。このとき、ビット毎書き戻しパルスのパルス強度が強過ぎるという事態を回避するために、前回のデータ消去動作におけるビット毎書き戻しパルスの最終のパルス強度よりも、所定段階低い値に設定するのが望ましい。上記の例では、1回目のデータ消去動作におけるビット毎書き戻しパルスの最終電圧値が $V_{WL} = 4.0\text{ V}$ であったため、2回目のデータ消去動作ではそれよりも1段階低くして、ビット毎書き戻しパルスの開始電圧値を、 $V_{WL} = 3.5\text{ V}$ に設定する。なお、ビット毎書き戻しパルスのパルス幅は、前回と同様($1\mu\text{s}$)である。

【0080】

10

次に、ステップSP118において、ステップSP117で設定された電圧値のビット毎書き戻しパルスが、過消去状態にあるメモリセルトランジスタを選択して印加される。次に、ステップSP119において、ステップSP114と同様の過消去ペリファイが行われる。

【0081】

ステップSP119における判定の結果が「FAIL」である場合は、ステップSP120に進み、ビット毎書き戻しパルスの電圧値が、パルス強度が強くなるように図17に従って更新される。その後、電圧値が更新されたビット毎書き戻しパルスが、ステップSP118において再度印加される。ステップSP119における判定の結果が「PASS」となるまで、ステップSP118～SP120の動作が繰り返される。

20

【0082】

ステップSP119における判定の結果が「PASS」である場合は、ステップSP121に進み、今回のデータ消去動作に関するビット毎書き戻しパルスの最終的な電圧値が、図1に示した記憶部2aに記録される。今回のデータ消去動作に関するビット毎書き戻しパルスの最終的な電圧値は、次回のデータ消去動作において、制御部2がビット毎書き戻しパルスの開始電圧値を設定する際に利用される。

【0083】

次に、ステップSP122において過書き戻しペリファイが行われる。ステップSP122での過書き戻しペリファイにおける電圧印加条件は、上記のステップSP66での過書き戻しペリファイにおける電圧印加条件と同様である。ステップSP122における判定の結果が「PASS」である場合は、図22に示したステップSP115に進み、今回のデータ消去動作が終了する。一方、ステップSP122における判定の結果が「FAIL」である場合は、図20に示したステップSP110に戻り、ステップSP110以降の動作が改めて実行される。

30

【0084】

なお、以上の説明では、制御部2は、今回のデータ消去動作において、一括書き込みパルスの前回の最終電圧値、消去パルスの前回の最終電圧値、及びビット毎書き戻しパルスの前回の最終電圧値を、それぞれステップSP102, SP108, SP116において別々に読み出した。しかしながら、消去パルス及びビット毎書き戻しパルスの各前回の最終電圧値は、ステップSP102において一括書き込みパルスの前回の最終電圧値が読み出される際に、併せて読み出されてもよい。

40

【0085】

このように本実施の形態1に係る不揮発性半導体記憶装置及びそのデータ消去方法によれば、記憶部2aには、前回のデータ消去動作における、一括書き込みパルスの最終のパルス強度に関するデータ(第1の情報)が記憶されており、制御部2は、今回のデータ消去動作における一括書き込みパルスのパルス強度の開始値を、上記第1の情報に基づいて決定する。従って、ある程度多数のデータ消去動作が既に行われた後のデータ消去動作においても、ステップSP105における判定の結果が「FAIL」となる可能性が従来よりも低くなり、データ消去動作の所要時間の短縮化を図ることができる。

【0086】

50

また、記憶部 2 a には、前回のデータ消去動作における、消去パルスの最終のパルス強度に関するデータ（第2の情報）が記憶されており、制御部 2 は、今回のデータ消去動作における消去パルスのパルス強度の開始値を、上記第2の情報に基づいて決定する。従って、ある程度多数のデータ消去動作が既に行われた後のデータ消去動作においても、ステップ S P 1 1 1 における判定の結果が「F A I L」となる可能性が従来よりも低くなり、データ消去動作の所要時間の短縮化を図ることができる。

【 0 0 8 7 】

さらに記憶部 2 a には、前回のデータ消去動作における、ビット毎書き戻しパルスの最終のパルス強度に関するデータ（第3の情報）がさらに記憶されており、制御部 2 は、今回のデータ消去動作におけるビット毎書き戻しパルスのパルス強度の開始値を、上記第3の情報に基づいて決定する。従って、ある程度多数のデータ消去動作が既に行われた後のデータ消去動作においても、ステップ S P 1 1 9 における判定の結果が「F A I L」となる可能性が従来よりも低くなり、データ消去動作の所要時間の短縮化を図ることができる。10

【 0 0 8 8 】

次に、本実施の形態 1 の第 1 の変形例について説明する。以上の説明では、ステップ S P 5 2 , S P 1 0 4 において一括書き込みパルスが印加されたが、ビット毎書き込みパルスが印加されてもよい。

【 0 0 8 9 】

図 2 3 は、本実施の形態 1 の第 1 の変形例に係る不揮発性半導体記憶装置 1 における、1 回目のデータ消去方法の一部を説明するためのフローチャートである。ステップ S P 7 1 において 1 回目の消去コマンドが入力されると、ステップ S P 7 2 において、イレース状態にあるビットを選択してビット毎書き戻しパルスが印加される。これにより、チャネルホットエレクトロンを用いて、ビット毎にデータが書き込まれる。20

【 0 0 9 0 】

次に、ステップ S P 7 3 において書き込みペリファイが行われる。ステップ S P 7 3 における判定の結果が「F A I L」である場合は、ステップ S P 7 4 に進み、ビット毎書き込みパルスの電圧値が、パルス強度が強くなるように更新される。その後、電圧値が更新されたビット毎書き込みパルスが、ステップ S P 7 2 において再度印加される。ステップ S P 7 3 における判定の結果が「P A S S」となるまで、ステップ S P 7 2 ~ S P 7 4 の動作が繰り返される。30

【 0 0 9 1 】

ステップ S P 7 3 における判定の結果が「P A S S」である場合は、ステップ S P 7 5 に進み、ビット毎書き込みパルスの最終的な電圧値が、図 1 に示した記憶部 2 a に記録される。その後の動作は、上記ステップ S P 5 6 以降の動作と同様である。

【 0 0 9 2 】

図 2 4 は、本実施の形態 1 の第 1 の変形例に係る不揮発性半導体記憶装置 1 における、2 回目以降のデータ消去方法の一部を説明するためのフローチャートである。ステップ S P 1 4 1 において 2 回目以降の消去コマンドが入力されると、ステップ S P 1 4 2 において、前回のデータ消去動作におけるビット毎書き込みパルスの最終電圧値が、図 1 に示した記憶部 2 a から読み出される。40

【 0 0 9 3 】

次に、ステップ S P 1 4 3 において、制御部 2 は、前回のデータ消去動作におけるビット毎書き込みパルスの最終電圧値に基づいて、今回のデータ消去動作におけるビット毎書き込みパルスの開始電圧値を設定する。このとき、ビット毎書き込みパルスのパルス強度が強過ぎるという事態を回避するために、前回のデータ消去動作におけるビット毎書き込みパルスの最終のパルス強度よりも、所定段階低い値に設定するのが望ましい。

【 0 0 9 4 】

次に、ステップ S P 1 4 4 において、ステップ S P 1 4 3 で設定された電圧値のビット毎書き込みパルスが、選択されたメモリセルトランジスタに印加される。次に、ステップ S P 1 4 5 において書き込みペリファイが行われる。ステップ S P 1 4 5 における判定の結50

果が「F A I L」である場合は、ステップS P 1 4 6に進み、ビット毎書き込みパルスの電圧値が、パルス強度が強くなるように更新される。その後、電圧値が更新されたビット毎書き込みパルスが、ステップS P 1 4 4において再度印加される。ステップS P 1 4 5における判定の結果が「P A S S」となるまで、ステップS P 1 4 4～S P 1 4 6の動作が繰り返される。

【0095】

ステップS P 1 4 5における判定の結果が「P A S S」である場合は、ステップS P 1 4 7に進み、今回のデータ消去動作に関するビット毎書き込みパルスの最終的な電圧値が、図1に示した記憶部2aに記録される。その後の動作は、上記ステップS P 1 0 8以降の動作と同様である。

10

【0096】

次に、本実施の形態1の第2の変形例について説明する。以上の説明では、ステップS P 6 2, S P 1 1 8においてビット毎書き戻しパルスが印加されたが、一括書き戻しパルスが印加されてもよい。

【0097】

図25は、本実施の形態1の第2の変形例に係る不揮発性半導体記憶装置1における、1回目のデータ消去方法の一部を説明するためのフローチャートである。図3に示したステップS P 6 0における判定の結果が「F A I L」である場合は、ステップS P 8 0において、全てのメモリセルトランジスタに一括書き戻しパルスが印加される。これにより、F Nトンネル電流を用いて、全てのメモリセルトランジスタにおいてデータが書き戻される。

20

【0098】

次に、ステップS P 8 1において過消去ベリファイが行われる。ステップS P 8 1における判定の結果が「F A I L」である場合は、ステップS P 8 2において、一括書き戻しパルスの電圧値が、パルス強度が強くなるように更新される。その後、電圧値が更新された一括書き戻しパルスが、ステップS P 8 0において再度印加される。ステップS P 8 1における判定の結果が「P A S S」となるまで、ステップS P 8 0～S P 8 2の動作が繰り返される。

【0099】

図26は、ステップS P 8 2における一括書き戻しパルスの電圧値の更新状況を示す図である。ワード線W Lに印加されるパルス電圧の電圧値V_{WL}は、第1段階t 1の5.0Vからスタートして、0.5V刻みで、第11段階t 11の10.0Vまで上昇される。なお、ビット線B L 1～B L mにはV_{BL}=4.0Vのパルス電圧が印加され、ウェルの電位V_{well}及びソース線S Lの電位V_{SL}はいずれも0Vに設定されている。

30

【0100】

ステップS P 8 1における判定の結果が「P A S S」である場合は、ステップS P 8 3に進み、一括書き戻しパルスの最終的な電圧値が、図1に示した記憶部2aに記録される。その後の動作は、上記ステップS P 6 6以降の動作と同様である。

【0101】

図27は、本実施の形態1の第2の変形例に係る不揮発性半導体記憶装置1における、2回目以降のデータ消去方法の一部を説明するためのフローチャートである。図20に示したステップS P 1 1 4における判定の結果が「F A I L」である場合は、ステップS P 1 5 0に進み、前回のデータ消去動作における一括書き戻しパルスの最終電圧値が、図1に示した記憶部2aから読み出される。次に、ステップS P 1 5 1において、制御部2は、前回のデータ消去動作における一括書き戻しパルスの最終電圧値に基づいて、今回のデータ消去動作における一括書き戻しパルスの開始電圧値を設定する。このとき、一括書き戻しパルスのパルス強度が強過ぎるという事態を回避するために、前回のデータ消去動作における一括書き戻しパルスの最終のパルス強度よりも、所定段階低い値に設定するのが望ましい。

40

【0102】

50

次に、ステップ S P 1 5 2において、ステップ S P 1 5 1で設定された電圧値の一括書き戻しパルスが、全てのメモリセルトランジスタに印加される。次に、ステップ S P 1 5 3において過消去ベリファイが行われる。ステップ S P 1 5 3における判定の結果が「F A I L」である場合は、ステップ S P 1 5 4に進み、一括書き戻しパルスの電圧値が、パルス強度が強くなるように図26に従って更新される。その後、電圧値が更新された一括書き戻しパルスが、ステップ S P 1 5 2において再度印加される。ステップ S P 1 5 3における判定の結果が「P A S S」となるまで、ステップ S P 1 5 2～S P 1 5 4の動作が繰り返される。

【0103】

ステップ S P 1 5 3における判定の結果が「P A S S」である場合は、ステップ S P 1 5 5に進み、今回のデータ消去動作に関する一括書き戻しパルスの最終的な電圧値が、図1に示した記憶部2aに記録される。その後の動作は、上記ステップ S P 1 2 2以降の動作と同様である。

【0104】

第1及び第2の変形例に係る半導体記憶装置及びそのデータ消去方法によつても、実施の形態1の上記効果と同様の効果を得ることができる。

【0105】

実施の形態2。

上記実施の形態1では、ステップ S P 5 4, S P 1 0 6で一括書き込みパルスの電圧値を更新し、ステップ S P 5 8, S P 1 1 2で消去パルスの電圧値を更新し、ステップ S P 6 4, S P 1 2 0でビット毎書き戻しパルスの電圧値を更新したが、パルス幅を更新することによってパルス強度を強めてよい。

【0106】

図28～31は、本実施の形態2に係る不揮発性半導体記憶装置1における、1回目のデータ消去方法を説明するためのフローチャートである。図28を参照して、ステップ S P 2 0 1において1回目の消去コマンドが入力されると、ステップ S P 2 0 2において、所定の電圧値の一括書き込みパルスが、全てのメモリセルトランジスタに印加される。

【0107】

図32は、ステップ S P 2 0 2で一括書き込みパルスが印加されている状態での印加電圧を説明するための、メモリセルブロックの回路図である。ステップ S P 2 0 2においては、全てのビット線 B L 1～B L mはオープンに設定され、ウェルには $V_{Well} = -7.0\text{ V}$ のパルス電圧が印加され、ソース線 S Lには $V_{SL} = -7.0\text{ V}$ のパルス電圧が印加され、全てのワード線 W L 1～W L nには $V_{WL} = 10\text{ V}$ のパルス電圧が印加されている。

【0108】

図28を参照して、ステップ S P 2 0 2に引き続き、ステップ S P 2 0 3において書き込みベリファイが行われる。ステップ S P 2 0 3における判定の結果が「F A I L」である場合は、ステップ S P 2 0 4に進み、一括書き込みパルスのパルス幅が、パルス強度が強くなるように更新される。その後、パルス幅が更新された一括書き込みパルスが、ステップ S P 2 0 2において再度印加される。ステップ S P 2 0 3における判定の結果が「P A S S」となるまで、ステップ S P 2 0 2～S P 2 0 4の動作が繰り返される。

【0109】

図33は、ステップ S P 2 0 4における一括書き込みパルスのパルス幅の更新状況を示す図である。ワード線 W L、ウェル、及びソース線 S Lにそれぞれ印加される電圧パルスのパルス幅は、第1段階 t 1 の 1 m s からスタートして、1段階進むごとに2倍されて、第10段階 t 10 の 512 m s まで広げられる。

【0110】

図28を参照して、ステップ S P 2 0 3における判定の結果が「P A S S」である場合は、ステップ S P 2 0 5に進み、一括書き込みパルスの最終的なパルス幅が、図1に示した記憶部2aに記録される。図33に示した例のように、ステップ S P 2 0 3における判定の結果が第4段階 t 4 で「P A S S」となった場合は、「一括書き込みパルス：8 m s」

10

20

30

40

50

という情報が記憶部 2 a に記録される。

【 0 1 1 1 】

図 2 9 を参照して、図 2 8 に示したステップ S P 2 0 5 に引き続き、ステップ S P 2 0 6 において、所定の電圧値の消去パルスが、全てのメモリセルトランジスタに印加される。

【 0 1 1 2 】

図 3 4 は、ステップ S P 2 0 6 で消去パルスが印加されている状態での印加電圧を説明するための、メモリセルブロックの回路図である。ステップ S P 2 0 6 においては、全てのビット線 B L 1 ~ B L m はオープンに設定され、ウェルには $V_{WELL} = 7.0$ V のパルス電圧が印加され、ソース線 S L には $V_{SL} = 7.0$ V のパルス電圧が印加され、全てのワード線 W L 1 ~ W L n には $V_{WL} = -10$ V のパルス電圧が印加されている。

10

【 0 1 1 3 】

図 2 9 を参照して、ステップ S P 2 0 6 に引き続き、ステップ S P 2 0 7 において消去ベリファイが行われる。ステップ S P 2 0 7 における判定の結果が「 F A I L 」である場合は、ステップ S P 2 0 8 に進み、消去パルスのパルス幅が、パルス強度が強くなるように更新される。その後、パルス幅が更新された消去パルスが、ステップ S P 2 0 6 において再度印加される。ステップ S P 2 0 7 における判定の結果が「 P A S S 」となるまで、ステップ S P 2 0 6 ~ S P 2 0 8 の動作が繰り返される。

【 0 1 1 4 】

図 3 5 は、ステップ S P 2 0 8 における消去パルスのパルス幅の更新状況を示す図である。ワード線 W L 、ウェル、及びソース線 S L にそれぞれ印加される電圧パルスのパルス幅は、第 1 段階 t_1 の 1 ms からスタートして、1 段階進むごとに 2 倍されて、第 10 段階 t_{10} の 512 ms まで広げられる。

20

【 0 1 1 5 】

図 2 9 を参照して、ステップ S P 2 0 7 における判定の結果が「 P A S S 」である場合は、ステップ S P 2 0 9 に進み、消去パルスの最終的なパルス幅が、図 1 に示した記憶部 2 a に記録される。図 3 5 に示した例のように、ステップ S P 2 0 7 における判定の結果が第 4 段階 t_4 で「 P A S S 」となった場合は、「消去パルス： 8 ms 」という情報が記憶部 2 a に記録される。

【 0 1 1 6 】

次に、ステップ S P 2 1 0 において過消去ベリファイが行われる。ステップ S P 2 1 0 における判定の結果が「 P A S S 」である場合は、図 3 1 に示したステップ S P 2 1 1 に進み、1 回目のデータ消去動作が終了する。一方、ステップ S P 2 1 0 における判定の結果が「 F A I L 」である場合は、図 3 0 に示したステップ S P 2 1 2 に進み、所定の電圧値のビット毎書き戻しパルスが、過消去状態にあるメモリセルトランジスタを選択して印加される。

30

【 0 1 1 7 】

図 3 6 は、ステップ S P 2 1 2 でビット毎書き戻しパルスが印加されている状態での印加電圧を説明するための、メモリセルブロックの回路図である。ステップ S P 2 1 2 においては、選択ビットに対応するメモリセルトランジスタ M T (j , i) に接続されているビット線 B L j には $V_{BL(j)} = 4.0$ V のパルス電圧が印加され、他のビット線の電位 V_{BL} 、ウェルの電位 V_{WELL} 、及びソース線 S L の電位 V_{SL} はいずれも 0 V に設定され、選択ビットに対応するメモリセルトランジスタ M T (j , i) に接続されているワード線 W L i には $V_{WL(i)} = 5.0$ V のパルス電圧が印加されている。

40

【 0 1 1 8 】

図 3 0 を参照して、ステップ S P 2 1 2 に引き続き、ステップ S P 2 1 3 において過消去ベリファイが再度行われる。ステップ S P 2 1 3 における判定の結果が「 F A I L 」である場合は、ステップ S P 2 1 4 において、ビット毎書き戻しパルスのパルス幅が、パルス強度が強くなるように更新される。その後、過消去状態にあるメモリセルトランジスタに対して、パルス幅が更新されたビット毎書き戻しパルスが、ステップ S P 2 1 2 において再度印加される。ステップ S P 2 1 3 における判定の結果が「 P A S S 」となるまで、ス

50

ステップSP212～SP214の動作が繰り返される。

【0119】

図37は、ステップSP214におけるビット毎書き戻しパルスのパルス幅の更新状況を示す図である。ワード線WLに印加される電圧パルスのパルス幅は、第1段階t1の0.5μsからスタートして、1段階進むごとに2倍されて、第6段階t6の16.0μsまで広げられる。

【0120】

図30を参照して、ステップSP213における判定の結果が「PASS」である場合は、ステップSP215に進み、ビット毎書き戻しパルスの最終的なパルス幅が、図1に示した記憶部2aに記録される。図37に示した例のように、ステップSP213における判定の結果が第4段階t4で「PASS」となった場合は、「ビット毎書き戻しパルス：4.0μs」という情報が記憶部2aに記録される。

10

【0121】

次に、ステップSP216において過書き戻しリファイが行われる。ステップSP216における判定の結果が「PASS」である場合は、図31に示したステップSP211に進み、1回目のデータ消去動作が終了する。一方、ステップSP216における判定の結果が「FAIL」である場合は、図29に示したステップSP206に戻り、ステップSP206以降の動作が改めて実行される。

【0122】

図38～41は、本実施の形態2に係る不揮発性半導体記憶装置1における、2回目以降のデータ消去方法を説明するためのフローチャートである。図38を参照して、ステップSP251において2回目以降の消去コマンドが入力されると、ステップSP252において、前回のデータ消去動作における一括書き込みパルスの最終パルス幅が、図1に示した記憶部2aから読み出される。

20

【0123】

次に、ステップSP253において、制御部2は、前回のデータ消去動作における一括書き込みパルスの最終パルス幅に基づいて、今回のデータ消去動作における一括書き込みパルスの開始パルス幅を設定する。上記の例では、1回目のデータ消去動作における一括書き込みパルスの最終パルス幅が8msであったため、2回目のデータ消去動作ではそれよりも1段階低くして、一括書き込みパルスの開始パルス幅を4msに設定する。なお、一括書き込みパルスの電圧値は前回と同様である。

30

【0124】

次に、ステップSP254において、ステップSP253で設定されたパルス幅の一括書き込みパルスが、全てのメモリセルトランジスタに印加される。次に、ステップSP255において書き込みリファイが行われる。ステップSP255における判定の結果が「FAIL」である場合は、ステップSP256に進み、一括書き込みパルスのパルス幅が、パルス強度が強くなるように図33に従って更新される。その後、パルス幅が更新された一括書き込みパルスが、ステップSP254において再度印加される。ステップSP255における判定の結果が「PASS」となるまで、ステップSP254～SP256の動作が繰り返される。

40

【0125】

ステップSP255における判定の結果が「PASS」である場合は、ステップSP257に進み、今回のデータ消去動作に関する一括書き込みパルスの最終的なパルス幅が、図1に示した記憶部2aに記録される。

【0126】

図39を参照して、次に、ステップSP258において、前回のデータ消去動作における消去パルスの最終パルス幅が、図1に示した記憶部2aから読み出される。次に、ステップSP259において、制御部2は、前回のデータ消去動作における消去パルスの最終パルス幅に基づいて、今回のデータ消去動作における消去パルスの開始パルス幅を設定する。上記の例では、1回目のデータ消去動作における消去パルスの最終パルス幅が8msで

50

あったため、2回目のデータ消去動作ではそれよりも1段階低くして、消去パルスの開始パルス幅を4msに設定する。なお、消去パルスの電圧値は前回と同様である。

【0127】

次に、ステップSP260において、ステップSP259で設定されたパルス幅の消去パルスが、全てのメモリセルトランジスタに印加される。次に、ステップSP261において消去ベリファイが行われる。ステップSP261における判定の結果が「F A I L」である場合は、ステップSP262に進み、消去パルスのパルス幅が、パルス強度が強くなるように図35に従って更新される。その後、パルス幅が更新された消去パルスが、ステップSP260において再度印加される。ステップSP261における判定の結果が「P A S S」となるまで、ステップSP260～SP262の動作が繰り返される。

10

【0128】

ステップSP261における判定の結果が「P A S S」である場合は、ステップSP263に進み、今回のデータ消去動作に関する消去パルスの最終的なパルス幅が、図1に示した記憶部2aに記録される。

【0129】

次に、ステップSP264において過消去ベリファイが行われる。ステップSP264における判定の結果が「P A S S」である場合は、図41に示したステップSP265に進み、今回のデータ消去動作が終了する。一方、ステップSP264における判定の結果が「F A I L」である場合は、図40に示したステップSP266に進み、前回のデータ消去動作におけるビット毎書き戻しパルスの最終パルス幅が、図1に示した記憶部2aから読み出される。

20

【0130】

次に、ステップSP267において、制御部2は、前回のデータ消去動作におけるビット毎書き戻しパルスの最終パルス幅に基づいて、今回のデータ消去動作におけるビット毎書き戻しパルスの開始パルス幅を設定する。上記の例では、1回目のデータ消去動作におけるビット毎書き戻しパルスの最終パルス幅が4.0μsであったため、2回目のデータ消去動作ではそれよりも1段階低くして、ビット毎書き戻しパルスの開始パルス幅を2.0μsに設定する。なお、ビット毎書き戻しパルスの電圧値は前回と同様である。

【0131】

次に、ステップSP268において、ステップSP267で設定されたパルス幅のビット毎書き戻しパルスが、過消去状態にあるメモリセルトランジスタを選択して印加される。次に、ステップSP269において過消去ベリファイが行われる。ステップSP269における判定の結果が「F A I L」である場合は、ステップSP270に進み、ビット毎書き戻しパルスのパルス幅が、パルス強度が強くなるように図37に従って更新される。その後、パルス幅が更新されたビット毎書き戻しパルスが、ステップSP268において再度印加される。ステップSP269における判定の結果が「P A S S」となるまで、ステップSP268～SP270の動作が繰り返される。

30

【0132】

ステップSP269における判定の結果が「P A S S」である場合は、ステップSP271に進み、今回のデータ消去動作に関するビット毎書き戻しパルスの最終的なパルス幅が、図1に示した記憶部2aに記録される。

40

【0133】

次に、ステップSP272において過書き戻しベリファイが行われる。ステップSP272における判定の結果が「P A S S」である場合は、図41に示したステップSP265に進み、今回のデータ消去動作が終了する。一方、ステップSP272における判定の結果が「F A I L」である場合は、図39に示したステップSP260に戻り、ステップSP260以降の動作が改めて実行される。

【0134】

なお、以上の説明では、制御部2は、2回目以降のデータ消去動作において、一括書き込みパルスの前回の最終パルス幅、消去パルスの前回の最終パルス幅、及びビット毎書き戻

50

しパルスの前回の最終パルス幅を、それぞれステップ S P 2 5 2 , S P 2 5 8 , S P 2 6 6において別々に読み出した。しかしながら、消去パルス及びビット毎書き戻しパルスの各前回の最終パルス幅は、ステップ S P 2 5 2において一括書き込みパルスの前回の最終パルス幅が読み出される際に、併せて読み出されてもよい。

【 0 1 3 5 】

本実施の形態 2 に係る半導体記憶装置のデータ消去方法のように、電圧値ではなくパルス幅を広げることによっても、パルス強度を強めることができる。従って、上記実施の形態 1 と同様に、ある程度多数のデータ消去動作が既に行われた後のデータ消去動作においても、ステップ S P 2 5 5 , S P 2 6 1 , S P 2 6 9 における各判定の結果が「 F A I L 」となる可能性が従来よりも低くなり、データ消去動作の所要時間の短縮化を図ることができる。 10

【 0 1 3 6 】

次に、本実施の形態 2 の第 1 の変形例について説明する。以上の説明では、ステップ S P 2 0 2 , S P 2 5 4 において一括書き込みパルスが印加されたが、ビット毎書き込みパルスが印加されてもよい。

【 0 1 3 7 】

図 4 2 は、本実施の形態 2 の第 1 の変形例に係る不揮発性半導体記憶装置 1 における、1 回目のデータ消去方法の一部を説明するためのフローチャートである。ステップ S P 3 0 0 において 1 回目の消去コマンドが入力されると、ステップ S P 3 0 1 において、イレース状態にあるビットを選択してビット毎書き戻しパルスが印加される。 20

【 0 1 3 8 】

次に、ステップ S P 3 0 2 において書き込みペリファイが行われる。ステップ S P 3 0 2 における判定の結果が「 F A I L 」である場合は、ステップ S P 3 0 3 に進み、ビット毎書き込みパルスのパルス幅が、パルス強度が強くなるように更新される。その後、パルス幅が更新されたビット毎書き込みパルスが、ステップ S P 3 0 1 において再度印加される。ステップ S P 3 0 2 における判定の結果が「 P A S S 」となるまで、ステップ S P 3 0 1 ~ S P 3 0 3 の動作が繰り返される。 30

【 0 1 3 9 】

ステップ S P 3 0 2 における判定の結果が「 P A S S 」である場合は、ステップ S P 3 0 4 に進み、ビット毎書き込みパルスの最終的なパルス幅が、図 1 に示した記憶部 2 a に記録される。その後の動作は、上記ステップ S P 2 0 6 以降の動作と同様である。

【 0 1 4 0 】

図 4 3 は、本実施の形態 2 の第 1 の変形例に係る不揮発性半導体記憶装置 1 における、2 回目以降のデータ消去方法の一部を説明するためのフローチャートである。ステップ S P 3 2 0 において 2 回目以降の消去コマンドが入力されると、ステップ S P 3 2 1 において、前回のデータ消去動作におけるビット毎書き込みパルスの最終パルス幅が、図 1 に示した記憶部 2 a から読み出される。

【 0 1 4 1 】

次に、ステップ S P 3 2 2 において、制御部 2 は、前回のデータ消去動作におけるビット毎書き込みパルスの最終パルス幅に基づいて、今回のデータ消去動作におけるビット毎書き込みパルスの開始パルス幅を設定する。 40

【 0 1 4 2 】

次に、ステップ S P 3 2 3 において、ステップ S P 3 2 2 で設定されたパルス幅のビット毎書き込みパルスが、選択されたメモリセルトランジスタに印加される。次に、ステップ S P 3 2 4 において書き込みペリファイが行われる。ステップ S P 3 2 4 における判定の結果が「 F A I L 」である場合は、ステップ S P 3 2 5 に進み、ビット毎書き込みパルスのパルス幅が、パルス強度が強くなるように更新される。その後、パルス幅が更新されたビット毎書き込みパルスが、ステップ S P 3 2 3 において再度印加される。ステップ S P 3 2 4 における判定の結果が「 P A S S 」となるまで、ステップ S P 3 2 3 ~ S P 3 2 5 の動作が繰り返される。 50

【0143】

ステップSP324における判定の結果が「P A S S」である場合は、ステップSP326に進み、今回のデータ消去動作に関するビット毎書き込みパルスの最終的なパルス幅が、図1に示した記憶部2aに記録される。その後の動作は、上記ステップSP258以降の動作と同様である。

【0144】

次に、本実施の形態2の第2の変形例について説明する。以上の説明では、ステップSP212, SP268においてビット毎書き戻しパルスが印加されたが、一括書き戻しパルスが印加されてもよい。

【0145】

図44は、本実施の形態2の第2の変形例に係る不揮発性半導体記憶装置1における、1回目のデータ消去方法の一部を説明するためのフローチャートである。図29に示したステップSP210における判定の結果が「F A I L」である場合は、ステップSP400において、全てのメモリセルトランジスタに一括書き戻しパルスが印加される。

【0146】

次に、ステップSP401において過消去ベリファイが行われる。ステップSP401における判定の結果が「F A I L」である場合は、ステップSP402において、一括書き戻しパルスのパルス幅が、パルス強度が強くなるように更新される。その後、パルス幅が更新された一括書き戻しパルスが、ステップSP400において再度印加される。ステップSP401における判定の結果が「P A S S」となるまで、ステップSP400～SP402の動作が繰り返される。

【0147】

図45は、ステップSP402における一括書き戻しパルスのパルス幅の更新状況を示す図である。ワード線WLに印加される電圧パルスのパルス幅は、第1段階t1の1msからスタートして、1段階進むごとに2倍されて、第7段階t7の64msまで広げられる。

【0148】

図44を参照して、ステップSP401における判定の結果が「P A S S」である場合は、ステップSP403に進み、一括書き戻しパルスの最終的なパルス幅が、図1に示した記憶部2aに記録される。その後の動作は、上記ステップSP216以降の動作と同様である。

【0149】

図46は、本実施の形態2の第2の変形例に係る不揮発性半導体記憶装置1における、2回目以降のデータ消去方法の一部を説明するためのフローチャートである。図39に示したステップSP264における判定の結果が「F A I L」である場合、ステップSP420において、前回のデータ消去動作における一括書き戻しパルスの最終パルス幅が、図1に示した記憶部2aから読み出される。次に、ステップSP421において、制御部2は、前回のデータ消去動作における一括書き戻しパルスの最終パルス幅に基づいて、今回のデータ消去動作における一括書き戻しパルスの開始パルス幅を設定する。

【0150】

次に、ステップSP422において、ステップSP421で設定されたパルス幅の一括書き戻しパルスが、全てのメモリセルトランジスタに印加される。次に、ステップSP423において過消去ベリファイが行われる。ステップSP423における判定の結果が「F A I L」である場合は、ステップSP424に進み、一括書き戻しパルスのパルス幅が、パルス強度が強くなるように図45に従って更新される。その後、パルス幅が更新された一括書き戻しパルスが、ステップSP422において再度印加される。ステップSP423における判定の結果が「P A S S」となるまで、ステップSP422～SP424の動作が繰り返される。

【0151】

ステップSP423における判定の結果が「P A S S」である場合は、ステップSP42

10

20

30

40

50

5に進み、今回のデータ消去動作に関する一括書き戻しパルスの最終的なパルス幅が、図1に示した記憶部2aに記録される。その後の動作は、上記ステップSP272以降の動作と同様である。

【0152】

第1及び第2の変形例に係る半導体記憶装置及びそのデータ消去方法によっても、実施の形態2の上記効果と同様の効果を得ることができる。

【0153】

【発明の効果】

この発明のうち請求項1に係るものによれば、制御部は、今回のデータ消去動作における書き込みパルスのパルス強度の開始値を、記憶部に記憶されている第1の情報に基づいて、適切な値に決定することができる。従って、ある程度多数のデータ消去動作が既に行われた後のデータ消去動作においても、書き込みパルスの強度を強める回数を少なくすることができ、データ消去動作の所要時間の短縮化を図ることができる。10

【0154】

また、この発明のうち請求項2に係るものによれば、今回のデータ消去動作において、書き込みパルスのパルス強度の開始値が過大になることを回避することができる。

【0155】

また、この発明のうち請求項3に係るものによれば、制御部は、今回のデータ消去動作における消去パルスのパルス強度の開始値を、記憶部に記憶されている第2の情報に基づいて、適切な値に決定することができる。従って、ある程度多数のデータ消去動作が既に行われた後のデータ消去動作においても、消去パルスの強度を強める回数を少なくすることができ、データ消去動作の所要時間をさらに短縮することができる。20

【0156】

また、この発明のうち請求項4に係るものによれば、制御部は、今回のデータ消去動作における書き戻しパルスのパルス強度の開始値を、記憶部に記憶されている第3の情報に基づいて、適切な値に決定することができる。従って、ある程度多数のデータ消去動作が既に行われた後のデータ消去動作においても、書き戻しパルスの強度を強める回数を少なくすることができ、データ消去動作の所要時間をさらに短縮することができる。

【0163】

また、この発明のうち請求項5に係るものによれば、今回のデータ消去動作における書き込みパルスのパルス強度の開始値を、工程(b)で記憶された第1の情報に基づいて、適切な値に決定することができる。従って、ある程度多数のデータ消去動作が既に行われた後のデータ消去動作においても、書き込みパルスの強度を強める回数を少なくすることができ、データ消去動作の所要時間の短縮化を図ることができる。30

【0164】

また、この発明のうち請求項6に係るものによれば、今回のデータ消去動作において、書き込みパルスのパルス強度の開始値が過大になることを回避することができる。

【0165】

また、この発明のうち請求項7に係るものによれば、今回のデータ消去動作における消去パルスのパルス強度の開始値を、工程(d)で記憶された第2の情報に基づいて、適切な値に決定することができる。従って、ある程度多数のデータ消去動作が既に行われた後のデータ消去動作においても、消去パルスの強度を強める回数を少なくすることができ、データ消去動作の所要時間をさらに短縮することができる。40

【0166】

また、この発明のうち請求項8に係るものによれば、今回のデータ消去動作における書き戻しパルスのパルス強度の開始値を、工程(f)で記憶された第3の情報に基づいて、適切な値に決定することができる。従って、ある程度多数のデータ消去動作が既に行われた後のデータ消去動作においても、書き戻しパルスの強度を強める回数を少なくすることができ、データ消去動作の所要時間をさらに短縮することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る不揮発性半導体記憶装置の構成を概略的に示すブロック図である。

【図2】 本発明の実施の形態1に係る不揮発性半導体記憶装置における、1回目のデータ消去方法を説明するためのフローチャートである。

【図3】 本発明の実施の形態1に係る不揮発性半導体記憶装置における、1回目のデータ消去方法を説明するためのフローチャートである。

【図4】 本発明の実施の形態1に係る不揮発性半導体記憶装置における、1回目のデータ消去方法を説明するためのフローチャートである。

【図5】 本発明の実施の形態1に係る不揮発性半導体記憶装置における、1回目のデータ消去方法を説明するためのフローチャートである。

【図6】 データ消去時における初期状態でのしきい値電圧の分布を示す図である。

【図7】 ステップSP52で一括書き込みパルスが印加されている状態での印加電圧を説明するための、メモリセルブロックの回路図である。

【図8】 ステップSP53で書き込みペリファイが行われている状態での印加電圧を説明するための、メモリセルブロックの回路図である。

【図9】 ステップSP54における一括書き込みパルスの電圧値の更新状況を示す図である。

【図10】 ステップSP53において「PASS」と判定された時点でのしきい値電圧の分布を示す図である。

【図11】 ステップSP56で消去パルスが印加されている状態での印加電圧を説明するための、メモリセルブロックの回路図である。

【図12】 ステップSP57で消去ペリファイが行われている状態での印加電圧を説明するための、メモリセルブロックの回路図である。

【図13】 ステップSP58における消去パルスの電圧値の更新状況を示す図である。

【図14】 ステップSP57において「PASS」と判定された時点でのしきい値電圧の分布を示す図である。

【図15】 ステップSP60で過消去ペリファイが行われている状態での印加電圧を説明するための、メモリセルブロックの回路図である。

【図16】 ステップSP62でピット毎書き戻しパルスが印加されている状態での印加電圧を説明するための、メモリセルブロックの回路図である。

【図17】 ステップSP64におけるピット毎書き戻しパルスの電圧値の更新状況を示す図である。

【図18】 ステップSP66において「PASS」と判定された時点でのしきい値電圧の分布を示す図である。

【図19】 本発明の実施の形態1に係る不揮発性半導体記憶装置における、2回目以降のデータ消去方法を説明するためのフローチャートである。

【図20】 本発明の実施の形態1に係る不揮発性半導体記憶装置における、2回目以降のデータ消去方法を説明するためのフローチャートである。

【図21】 本発明の実施の形態1に係る不揮発性半導体記憶装置における、2回目以降のデータ消去方法を説明するためのフローチャートである。

【図22】 本発明の実施の形態1に係る不揮発性半導体記憶装置における、2回目以降のデータ消去方法を説明するためのフローチャートである。

【図23】 本発明の実施の形態1の第1の変形例に係る不揮発性半導体記憶装置における、1回目のデータ消去方法の一部を説明するためのフローチャートである。

【図24】 本発明の実施の形態1の第1の変形例に係る不揮発性半導体記憶装置における、2回目以降のデータ消去方法の一部を説明するためのフローチャートである。

【図25】 本発明の実施の形態1の第2の変形例に係る不揮発性半導体記憶装置における、1回目のデータ消去方法の一部を説明するためのフローチャートである。

【図26】 ステップSP82における一括書き戻しパルスの電圧値の更新状況を示す図である。

【図27】 本発明の実施の形態1の第2の変形例に係る不揮発性半導体記憶装置における、2回目以降のデータ消去方法の一部を説明するためのフローチャートである。

【図28】 本発明の実施の形態2に係る不揮発性半導体記憶装置における、1回目のデータ消去方法を説明するためのフローチャートである。

【図29】 本発明の実施の形態2に係る不揮発性半導体記憶装置における、1回目のデータ消去方法を説明するためのフローチャートである。

【図30】 本発明の実施の形態2に係る不揮発性半導体記憶装置における、1回目のデータ消去方法を説明するためのフローチャートである。

【図31】 本発明の実施の形態2に係る不揮発性半導体記憶装置における、1回目のデータ消去方法を説明するためのフローチャートである。 10

【図32】 ステップSP202で一括書き込みパルスが印加されている状態での印加電圧を説明するための、メモリセルロックの回路図である。

【図33】 ステップSP204における一括書き込みパルスのパルス幅の更新状況を示す図である。

【図34】 ステップSP206で消去パルスが印加されている状態での印加電圧を説明するための、メモリセルロックの回路図である。

【図35】 ステップSP208における消去パルスのパルス幅の更新状況を示す図である。

【図36】 ステップSP212でビット毎書き戻しパルスが印加されている状態での印加電圧を説明するための、メモリセルロックの回路図である。 20

【図37】 ステップSP214におけるビット毎書き戻しパルスのパルス幅の更新状況を示す図である。

【図38】 本発明の実施の形態2に係る不揮発性半導体記憶装置における、2回目以降のデータ消去方法を説明するためのフローチャートである。

【図39】 本発明の実施の形態2に係る不揮発性半導体記憶装置における、2回目以降のデータ消去方法を説明するためのフローチャートである。

【図40】 本発明の実施の形態2に係る不揮発性半導体記憶装置における、2回目以降のデータ消去方法を説明するためのフローチャートである。

【図41】 本発明の実施の形態2に係る不揮発性半導体記憶装置における、2回目以降のデータ消去方法を説明するためのフローチャートである。 30

【図42】 本発明の実施の形態2の第1の変形例に係る不揮発性半導体記憶装置における、1回目のデータ消去方法の一部を説明するためのフローチャートである。

【図43】 本発明の実施の形態2の第1の変形例に係る不揮発性半導体記憶装置における、2回目以降のデータ消去方法の一部を説明するためのフローチャートである。

【図44】 本発明の実施の形態2の第2の変形例に係る不揮発性半導体記憶装置における、1回目のデータ消去方法の一部を説明するためのフローチャートである。

【図45】 ステップSP402における一括書き戻しパルスのパルス幅の更新状況を示す図である。

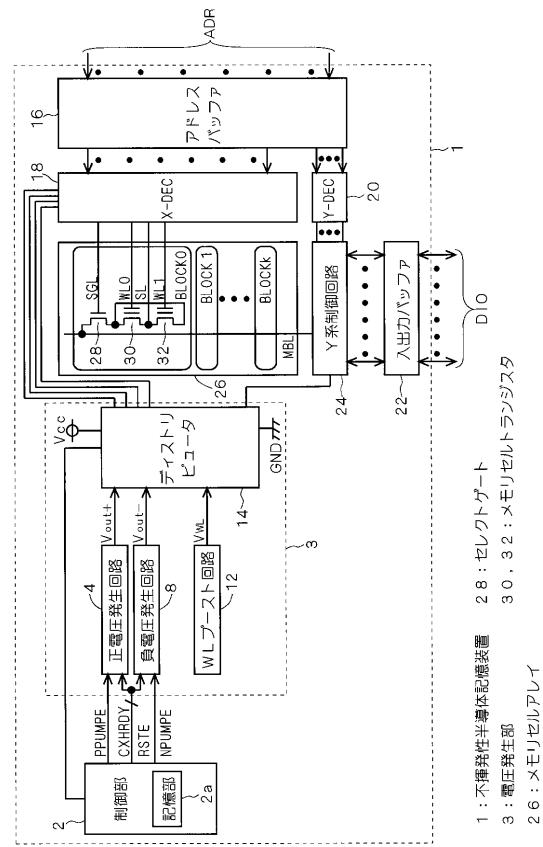
【図46】 本発明の実施の形態2の第2の変形例に係る不揮発性半導体記憶装置における、2回目以降のデータ消去方法の一部を説明するためのフローチャートである。 40

【図47】 従来の半導体記憶装置におけるデータ消去動作を説明するためのフローチャートである。

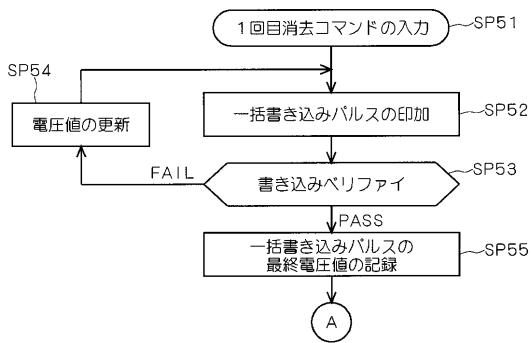
【符号の説明】

1 不揮発性半導体記憶装置、2 制御部、2a 記憶部、26 メモリセルアレイ、30, 32 メモリセルトランジスタ。

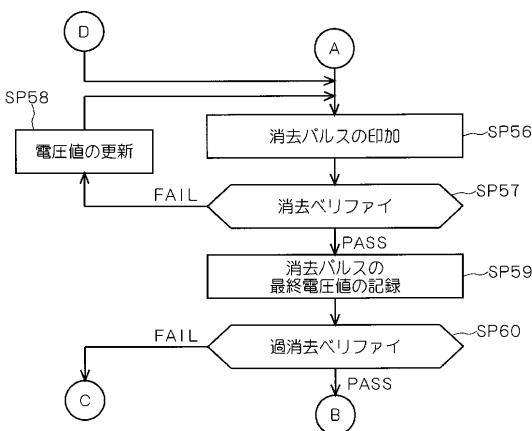
【図1】



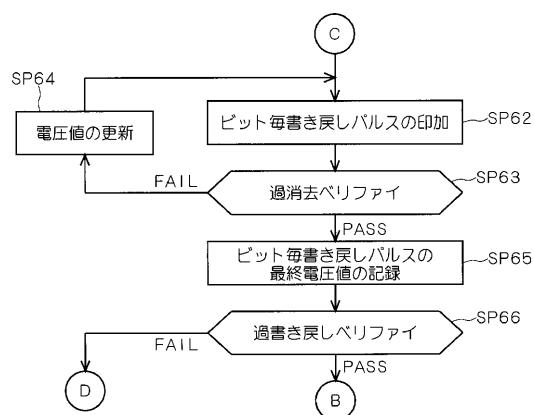
【図2】



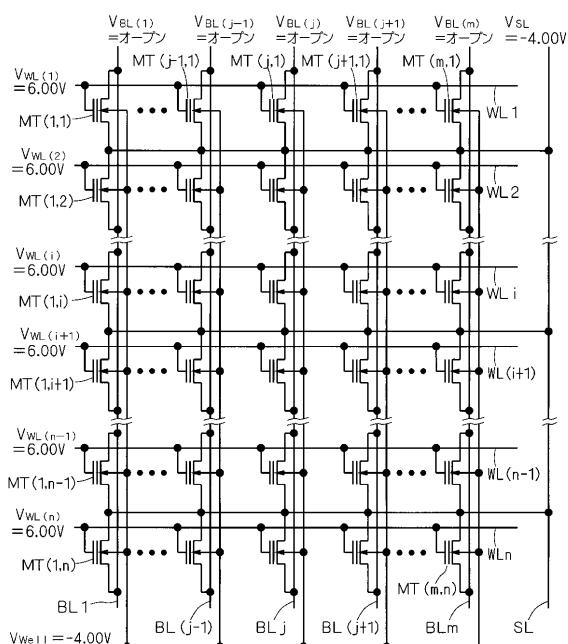
【図3】



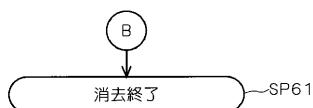
【図4】



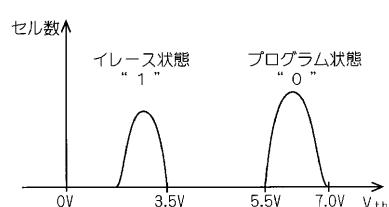
【図7】



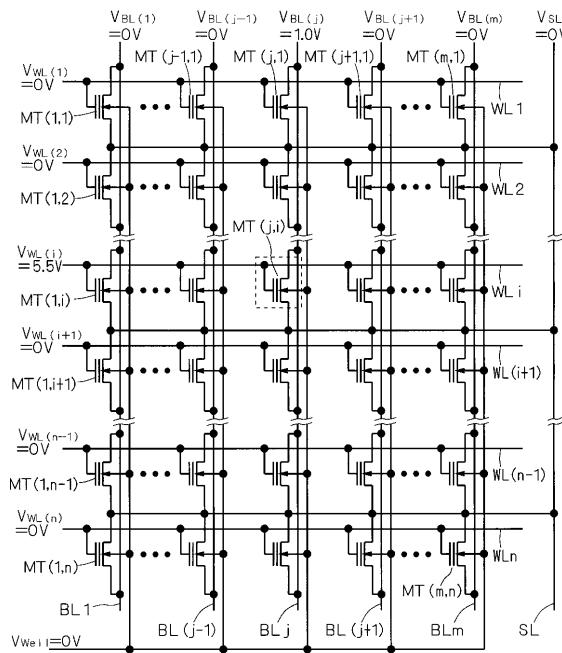
【図5】



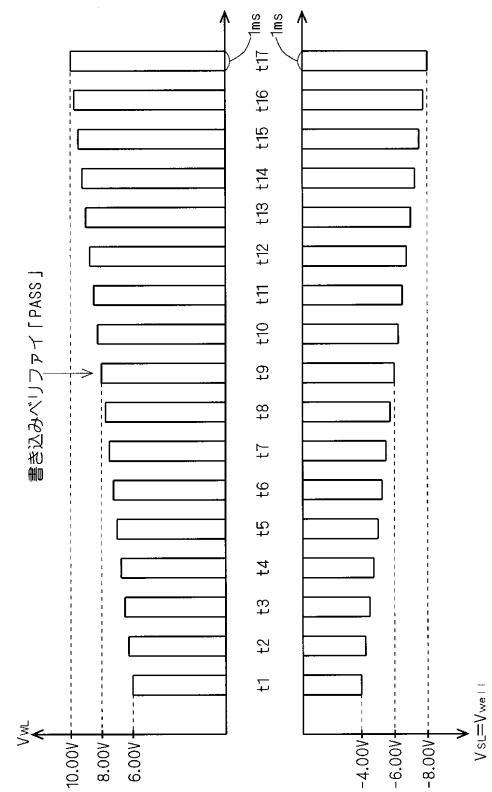
【図6】



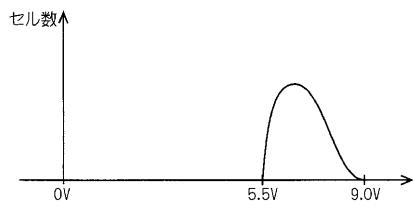
【 図 8 】



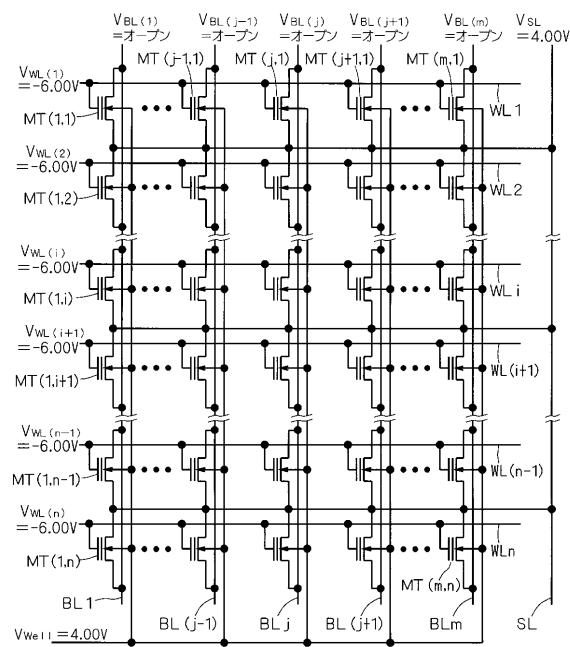
【 四 9 】



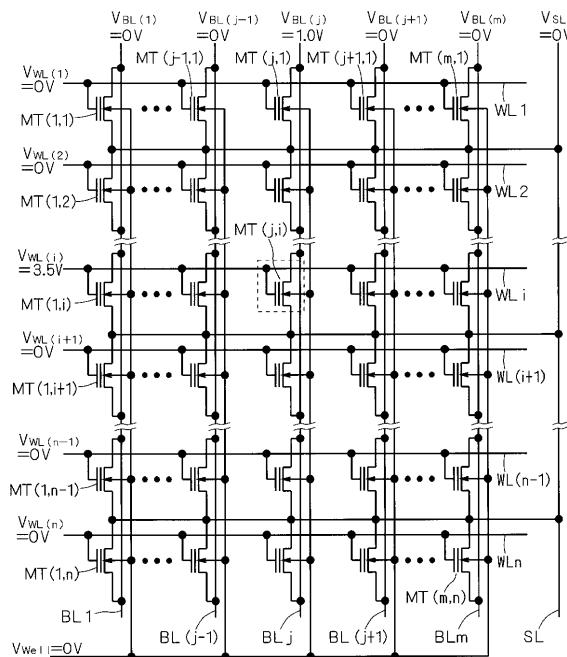
【図10】



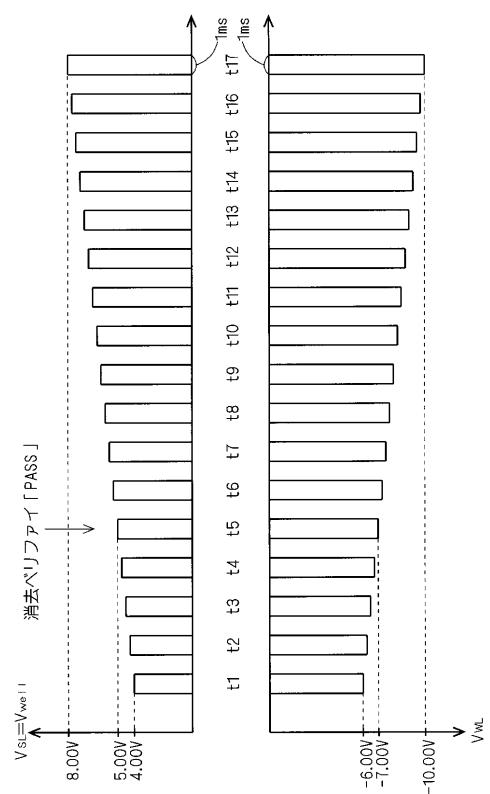
【図11】



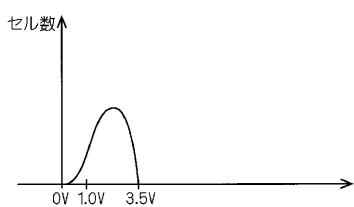
【図12】



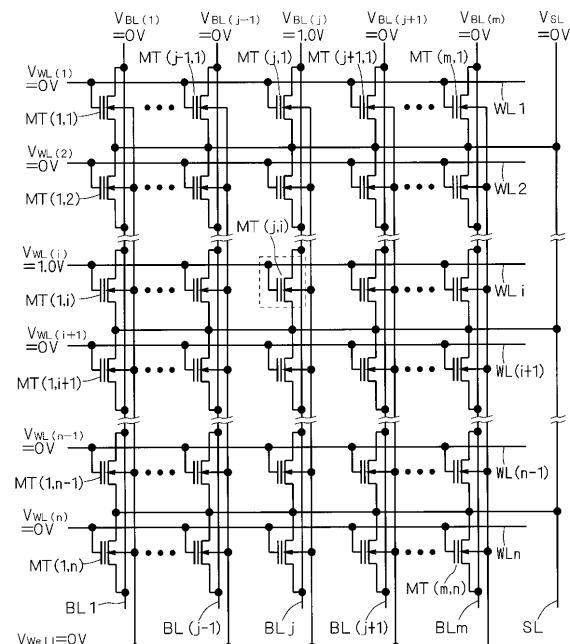
【図13】



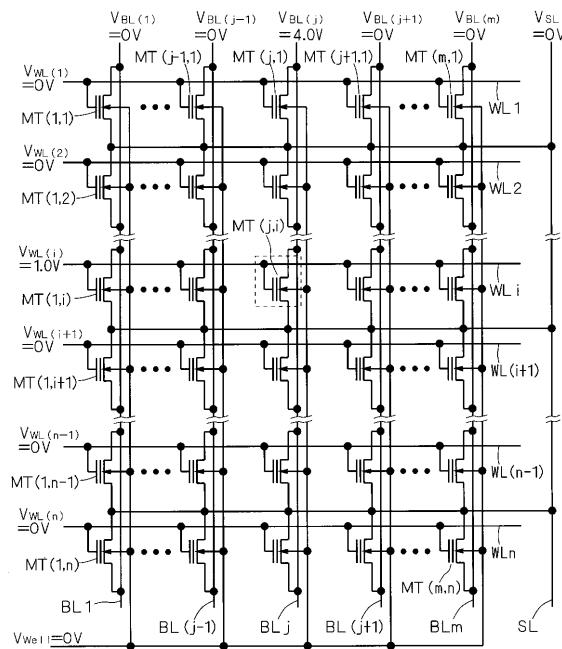
【図14】



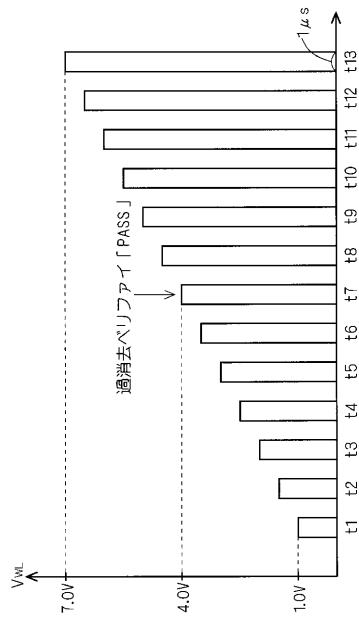
【図15】



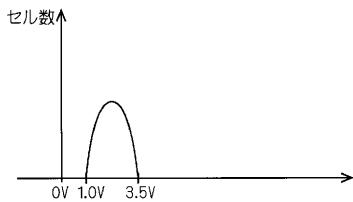
【図16】



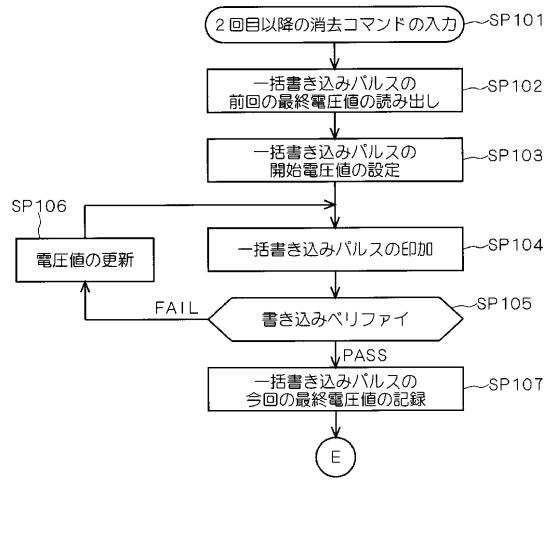
【図17】



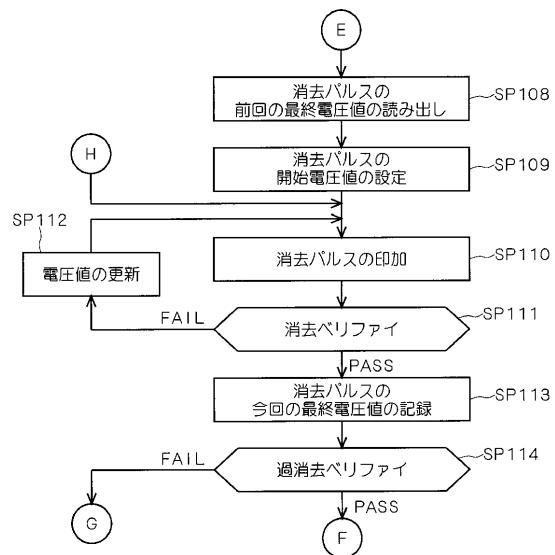
【図18】



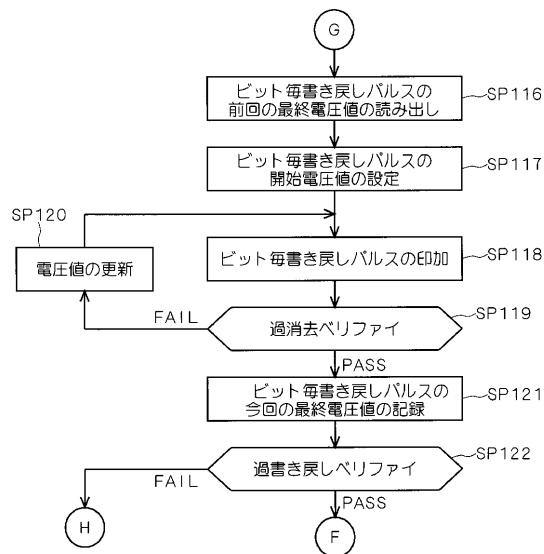
【図19】



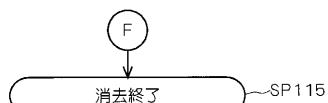
【図20】



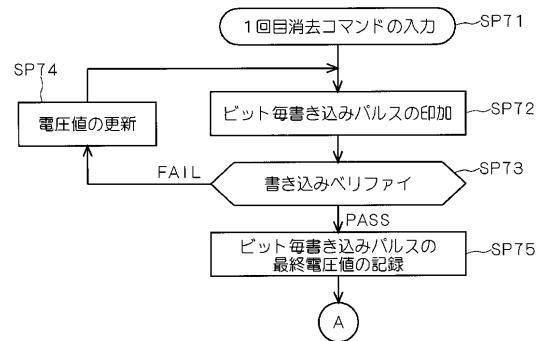
【図21】



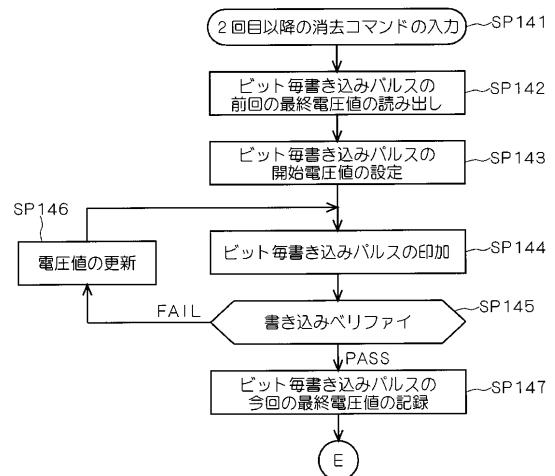
【図22】



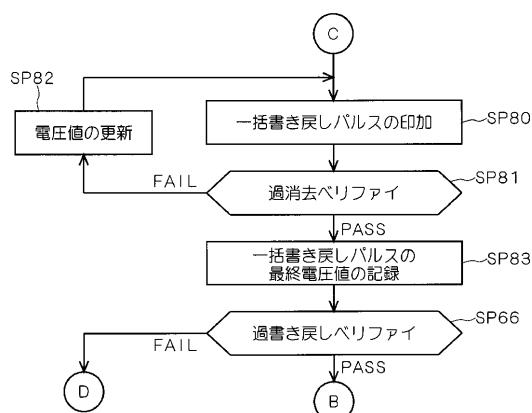
【図23】



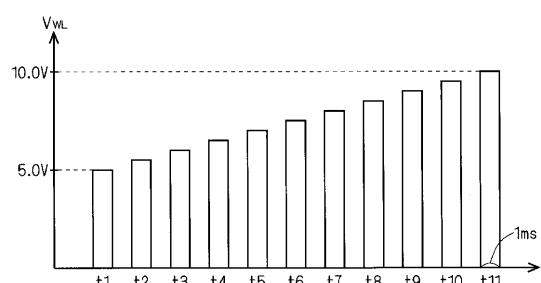
【図24】



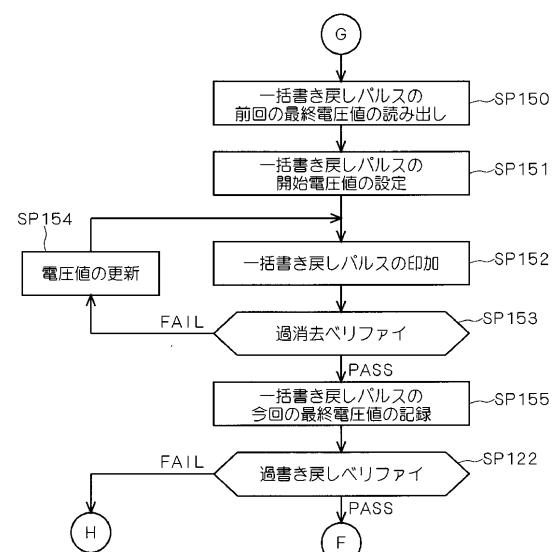
【図25】



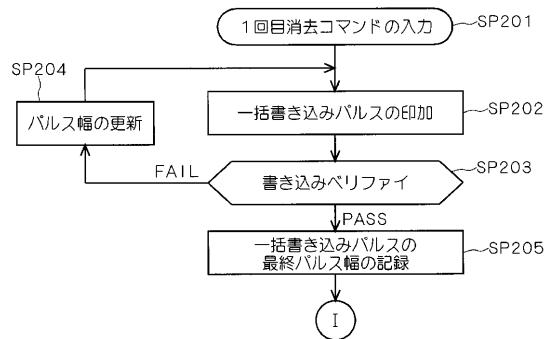
【図26】



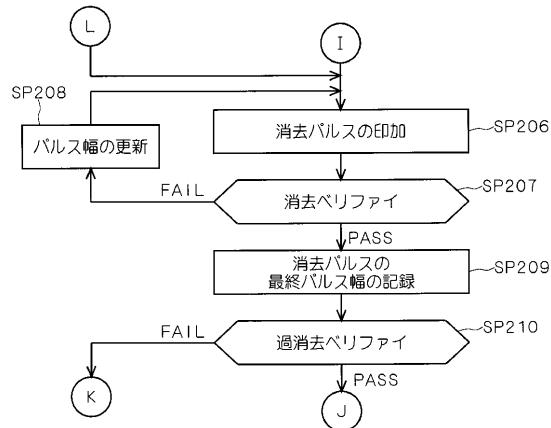
【図27】



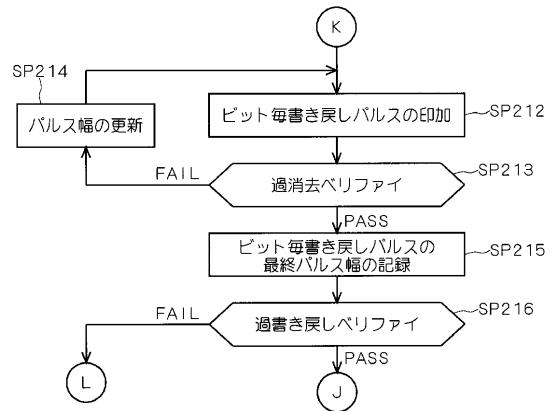
【図28】



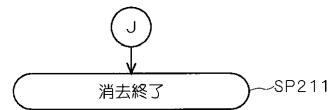
【図29】



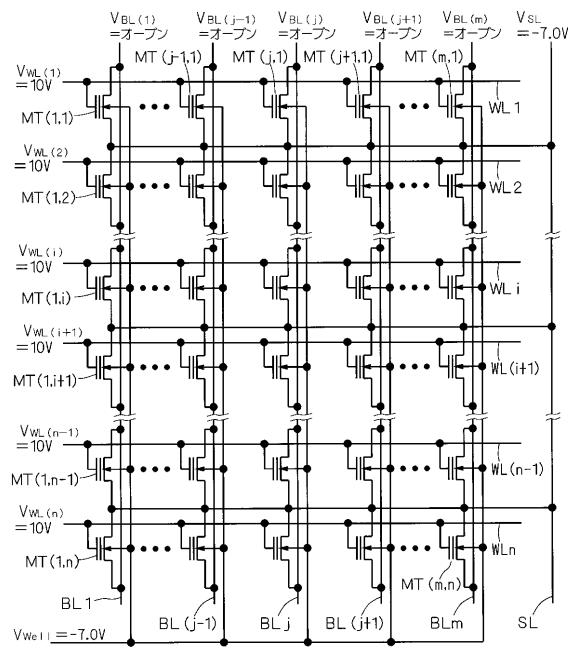
【図30】



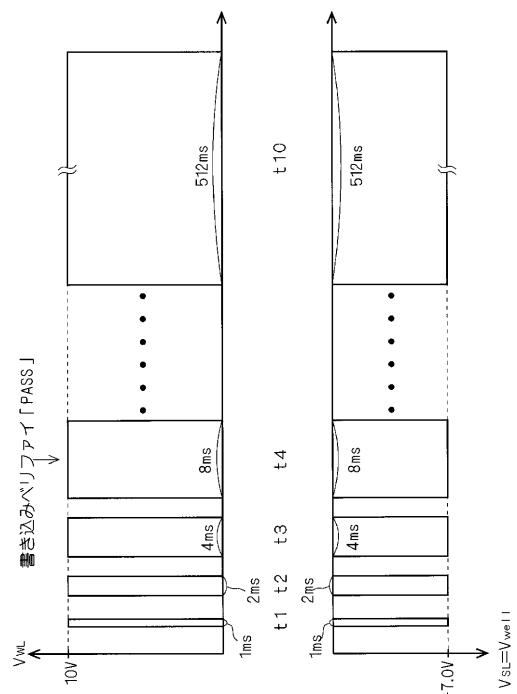
【図31】



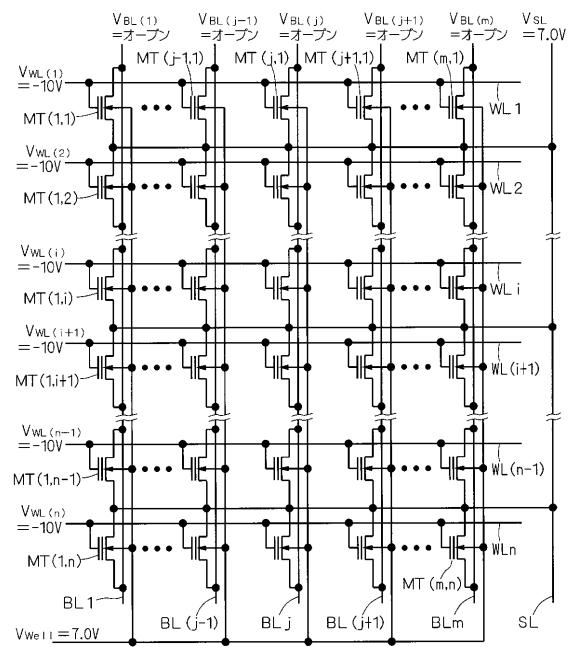
【図32】



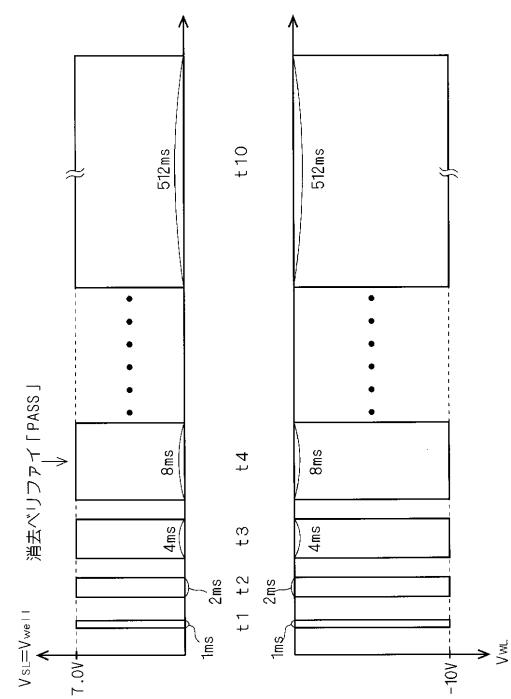
【図33】



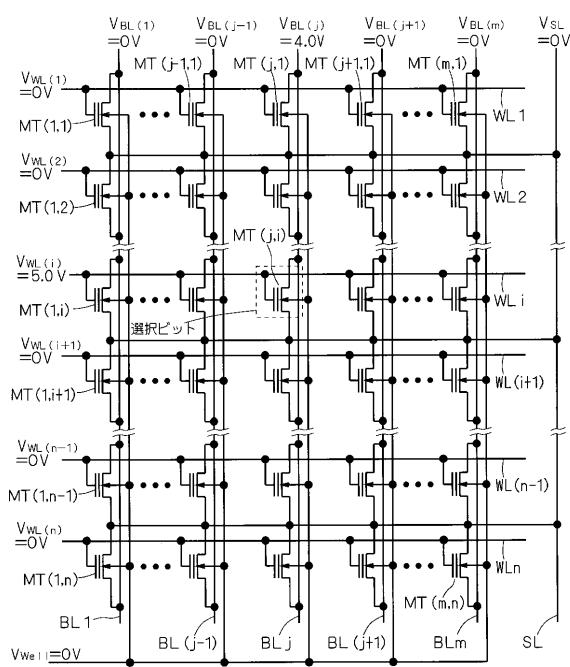
【図34】



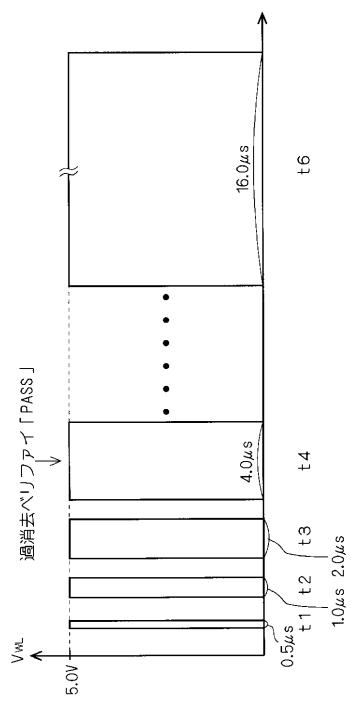
【図35】



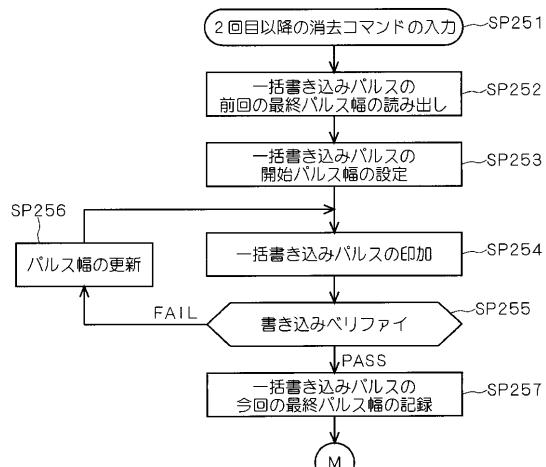
【図36】



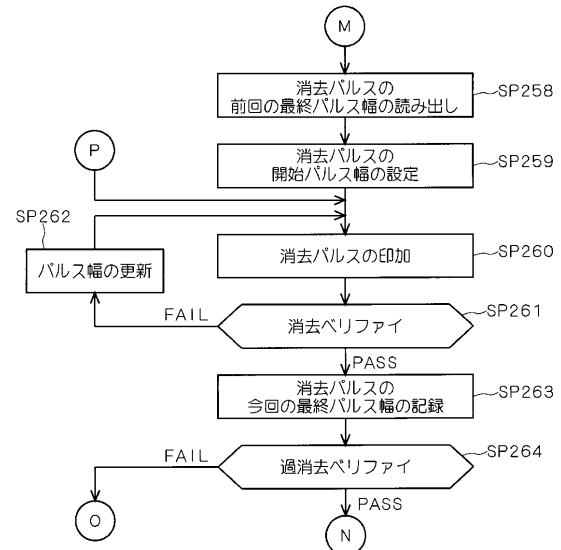
【図37】



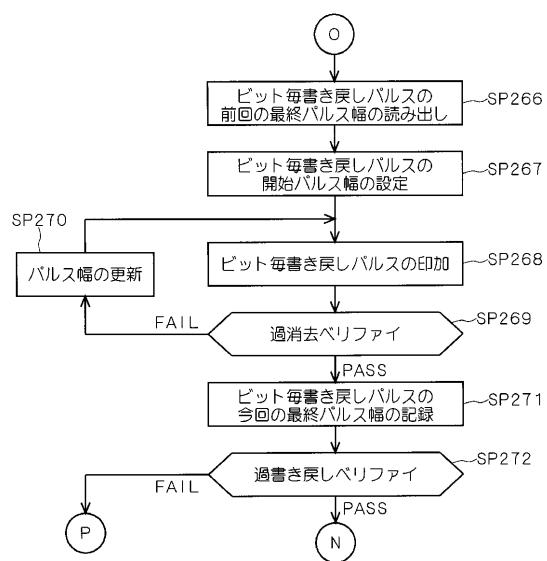
【図38】



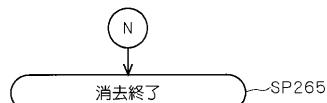
【図39】



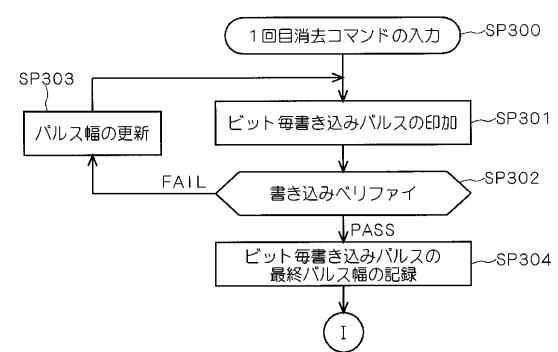
【図40】



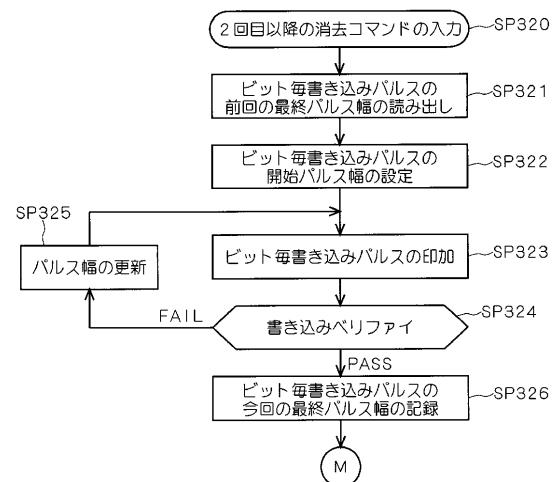
【図41】



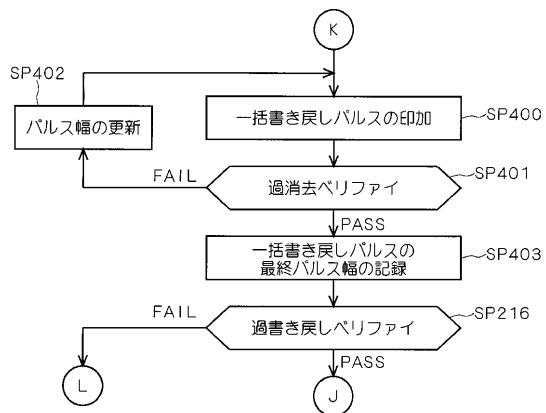
【図42】



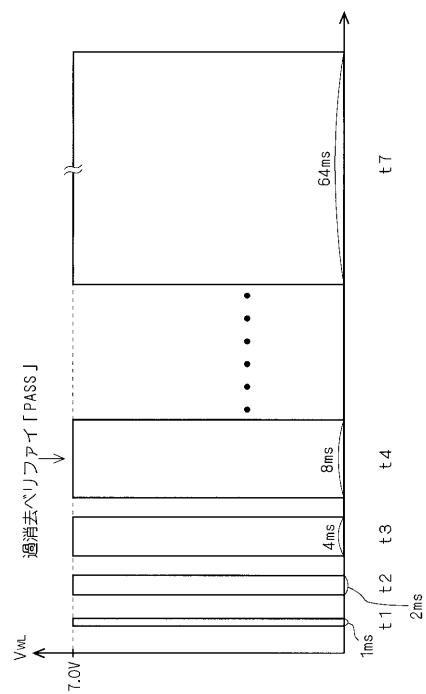
【図43】



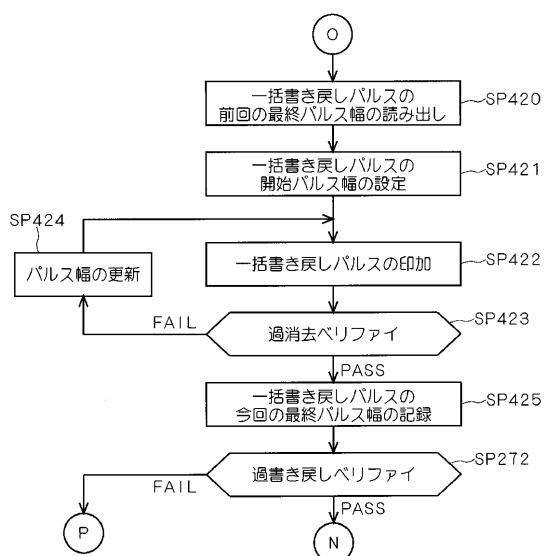
【図44】



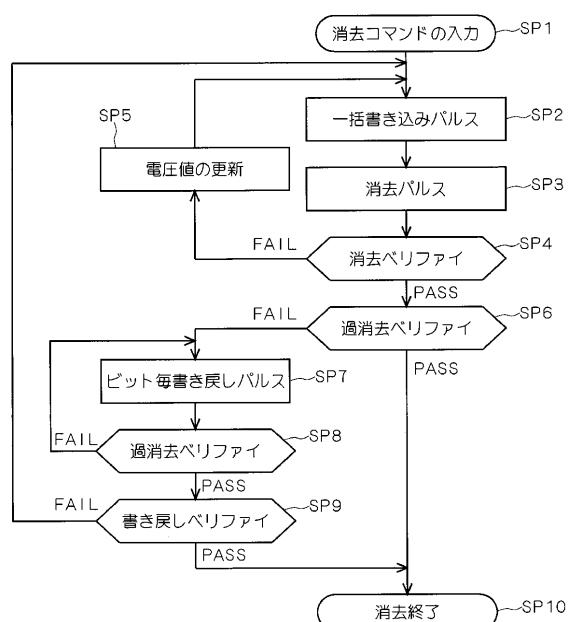
【図45】



【図46】



【図47】



フロントページの続き

(72)発明者 友枝 光弘

東京都千代田区大手町二丁目6番2号 三菱電機エンジニアリング株式会社内

審査官 滝谷 亮一

(56)参考文献 特開2001-028191 (JP, A)

特開2001-176278 (JP, A)

特開2002-008381 (JP, A)

特開平08-115597 (JP, A)

特開平09-147590 (JP, A)

特開2001-283595 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C16/02-16/06