(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7533621号
(P7533621)

(45)発行日　令和6年8月14日(2024.8.14)

(24)登録日　令和6年8月5日(2024.8.5)

(51)国際特許分類		FI		
H03K 17/08 (2006.01)		H03K	17/08	Z
H02M 1/00 (2007.01)		H02M	1/00	H
H03K 17/082 (2006.01)		H03K	17/082	
H03K 17/16 (2006.01)		H03K	17/16	F
H03K 17/567 (2006.01)		H03K	17/567	

請求項の数　6　（全10頁）

(21)出願番号　特願2022-568114(P2022-568114)
(86)(22)出願日　令和3年11月8日(2021.11.8)
(86)国際出願番号　PCT/JP2021/040994
(87)国際公開番号　WO2022/123977
(87)国際公開日　令和4年6月16日(2022.6.16)
審査請求日　令和4年12月9日(2022.12.9)
(31)優先権主張番号　特願2020-206307(P2020-206307)
(32)優先日　令和2年12月11日(2020.12.11)
(33)優先権主張国・地域又は機関
日本国(JP)

(73)特許権者　000005234
富士電機株式会社
神奈川県川崎市川崎区田辺新田１番１号
(74)代理人　110002918
弁理士法人扶桑国際特許事務所
(72)発明者　田岡　正裕
神奈川県川崎市川崎区田辺新田１番１号
富士電機株式会社内
審査官　工藤　一光

最終頁に続く

(54)【発明の名称】　電圧制御型半導体素子の駆動装置

(57)【特許請求の範囲】

【請求項１】

電圧制御型半導体素子の駆動装置において、

前記電圧制御型半導体素子の短絡電流を検出する短絡電流検出回路と、

前記短絡電流検出回路が短絡電流を検出したときに所定の長さの時間を表す時間設定信号を出力するタイマ回路と、

電源端子に印加された電源電圧を受けて前記タイマ回路から前記時間設定信号を受けている期間だけ前記電源電圧より低い電圧に低下させた降圧電圧を制御電源電圧として出力する制御電源電圧可変回路と、

を備えている、電圧制御型半導体素子の駆動装置。

【請求項２】

前記制御電源電圧可変回路は、前記タイマ回路から前記時間設定信号を受けていないときオンされて前記電源電圧を前記制御電源電圧として出力し、前記時間設定信号を受けたときオフされる第１スイッチ素子と、前記時間設定信号を受けていないときオフされ、前記時間設定信号を受けたときオンされる第２スイッチ素子と、前記第２スイッチ素子がオンしたとき前記電源電圧を降圧し、降圧した電圧を前記制御電源電圧として出力する降圧コンバータ回路とを有する、請求項１記載の電圧制御型半導体素子の駆動装置。

【請求項３】

前記タイマ回路が出力する前記時間設定信号は、前記短絡電流検出回路が短絡電流を検出して前記電圧制御型半導体素子のゲート電圧が低下を開始してから再度短絡電流を検出

したときの前記電圧制御型半導体素子のゲート電圧が０Ｖになるまでの期間よりも長い時間に設定されている、請求項１記載の電圧制御型半導体素子の駆動装置。
【請求項４】
前記短絡電流検出回路は、短絡電流を検出したときにノンラッチアップ回路により短絡電流を抑え込むように前記電圧制御型半導体素子のゲート電圧を制御し、短絡電流を検出してから所定時間後にソフト遮断回路により前記ゲート電圧を徐々に低下させる、請求項１記載の電圧制御型半導体素子の駆動装置。
【請求項５】
前記電源電圧の低下を検出して前記電圧制御型半導体素子のゲート電圧を徐々に低下させる信号を出力する電源電圧低下検出保護回路を備えている、請求項１記載の電圧制御型半導体素子の駆動装置。
【請求項６】
前記制御電源電圧可変回路は、前記降圧電圧の降圧レベルを前記電源電圧低下検出保護回路が前記電源電圧の低下を検出する閾値以下に設定した、請求項５記載の電圧制御型半導体素子の駆動装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、電圧制御型半導体素子の駆動装置に関する。
【背景技術】
【０００２】
一般に、モータの可変速装置などに適用されるインバータ装置は、電力変換を行うパワー素子、このパワー素子を制御駆動する駆動回路、保護回路、およびこれらを統括制御する制御回路を備えている。これらの構成のうち、制御回路を除くパワー素子、駆動回路および保護回路を一つのパッケージに集約したインテリジェント・パワー・モジュール（以下、ＩＰＭという）と呼ばれる半導体装置が製品化されている。
【０００３】
パワー素子には、ＩＧＢＴ（Insulated Gate Bipolar Transistor）またはＭＯＳＦＥＴ（Metal-Oxide-Semiconductor Field-Effect Transistor）のような電圧制御型半導体素子が用いられている。
【０００４】
ＩＰＭは、一般に、パワー素子に流れる電流を監視し、パワー素子に短絡電流が流れたときに、パワー素子が破壊されないようにパワー素子を保護することができる短絡保護回路を備えている。
【０００５】
このような短絡保護回路として、パワー素子に流れる短絡電流を検出したときに、ゲート電圧を低下させることによって短絡電流を制限する技術が知られている（たとえば、特許文献１参照）。この特許文献１では、短絡電流を検出したときに、運転開始指令入力直後の所定の期間のみ、短絡検出をキャンセルして短絡誤検出の発生を防止している。
【０００６】
また、パワー素子に流れる短絡電流を検出したときにゲート電圧を低下させ、ゲート電圧の低下によりゲート配線を流れる電流を検出して短絡電流を検出する回路が動作状態にあることを確認してから、パワー素子をオフにするように駆動電圧を変化させる短絡保護回路も知られている（たとえば、特許文献２参照）。この短絡保護回路によれば、駆動回路からパワー素子のゲートまでのゲート配線が長くなるほど配線の高周波インピーダンスが大きくなることで高周波ノイズの電流が流れ難くなって、短絡検出時の駆動回路でのノイズによる誤動作を防止している。
【先行技術文献】
【特許文献】
【０００７】

【文献】特開２００５－２０８４３号公報
【文献】国際公開第２０１６／０３８７１７号
【発明の概要】
【発明が解決しようとする課題】
【０００８】
短絡保護回路には、短絡を検出して保護回路が動作し、パワー素子のゲート電圧を下げて電流遮断を行うとき、ゲート電圧を徐々に低下させる。このとき、ゲート遮断が完了する前にノイズが入るとゲート電圧を一時的に上げてしまい、再度パワー素子をオンしてしまうことがある。逆に、ゲート遮断能力が高く大電流から遮断する場合には、ゲート電圧を保護回路が動作する規定のゲート電圧よりも下げてしまい、これによる誤遮断の後に、再度、パワー素子をオンしてしまうことがある。この場合、パワー素子は、高速で誤遮断を繰り返すことになり、過大なサージ電圧が続く要因ともなる。
【０００９】
本発明はこのような点に鑑みてなされたものであり、誤動作を起因とする連続短絡を抑制し、そのときに流れる短絡ピーク電流を抑制することができる電圧制御型半導体素子の駆動装置を提供することを目的とする。
【課題を解決するための手段】
【００１０】
本発明では、上記の課題を解決するために、１つの案では、電圧制御型半導体素子の駆動装置が提供される。この電圧制御型半導体素子の駆動装置は、電圧制御型半導体素子の短絡電流を検出する短絡電流検出回路と、短絡電流検出回路が短絡電流を検出したときに所定の長さの時間を表す時間設定信号を出力するタイマ回路と、電源端子に印加された電源電圧を受けてタイマ回路から時間設定信号を受けている期間だけ電源電圧より低い電圧に低下させた降圧電圧を制御電源電圧として出力する制御電源電圧可変回路と、を備えている。
【発明の効果】
【００１１】
上記構成の電圧制御型半導体素子の駆動装置は、誤動作を起因とする連続短絡が抑制され、そのときに流れる短絡ピーク電流が抑制されるという利点がある。
本発明の上記および他の目的、特徴および利点は本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。
【図面の簡単な説明】
【００１２】
【図１】本発明の実施の形態に係る電圧制御型半導体素子の駆動装置の一例を示す図である。
【図２】電圧制御型半導体素子の駆動装置の動作を示す要部波形図である。
【発明を実施するための形態】
【００１３】
以下、本発明の実施の形態について、電圧制御型半導体素子をＩＧＢＴとしたＩＰＭの場合を例に図面を参照して詳細に説明する。なお、以下の説明において、端子名とその端子における電圧、信号などは、同じ符号を用いることがある。
【００１４】
図１は本発明の実施の形態に係る電圧制御型半導体素子の駆動装置の一例を示す図、図２は電圧制御型半導体素子の駆動装置の動作を示す要部波形図である。
図１には、電圧制御型半導体素子とするＩＧＢＴ１０と、このＩＧＢＴを駆動する駆動装置である制御ＩＣ（Integrated Circuit）２０とが示されており、ＩＧＢＴ１０および制御ＩＣ２０は、ＩＰＭを構成している。
【００１５】
ＩＧＢＴ１０は、主電流が流れるメインＩＧＢＴとこのメインＩＧＢＴの電流を１万分の１程度の電流に分流して出力するセンスＩＧＢＴとを組み合わせて構成したものが用い

られている。センスＩＧＢＴは、メインＩＧＢＴと同一構造を有し、メインＩＧＢＴよりも小さなサイズを有していて、ゲートおよびコレクタがメインＩＧＢＴのゲートおよびコレクタと共有され、センスエミッタは、メインＩＧＢＴのエミッタと独立している。ＩＧＢＴ１０は、また、コレクタおよびエミッタにＦＷＤ（Free Wheeling Diode）１２が逆並列に接続されている。すなわち、ＦＷＤ１２のアノードは、ＩＧＢＴ１０のエミッタに接続され、ＦＷＤ１２のカソードは、ＩＧＢＴ１０のコレクタに接続されている。

【００１６】

制御ＩＣ２０は、ＩＧＢＴ１０をオンまたはオフさせる入力信号を受けるＩＮ端子、アラーム信号を出力するＡＥ端子、電源電圧ＶＣＣを受けるＶＣＣ端子、ＩＧＢＴ１０を駆動するゲート電圧Ｖｇを出力するＯＵＴ端子、および、センス電流を入力するＯＣ端子とを有している。制御ＩＣ２０は、また、グランド電位のＧＮＤ端子を有し、ＩＧＢＴ１０のエミッタが接続されている。

【００１７】

制御ＩＣ２０は、入力信号を検出して出力する入力信号検出回路２２を有し、入力信号検出回路２２の入力端は、ＩＮ端子に接続され、入力信号検出回路２２の出力端は、プリドライバ２４の第１入力端に接続されている。

【００１８】

プリドライバ２４の出力端は、ＩＧＢＴ駆動回路２６、ソフト遮断回路２８およびノンラッチアップ（以下、ＮＬＵという）回路３０の入力端に接続され、ＩＧＢＴ駆動回路２６、ソフト遮断回路２８およびＮＬＵ回路３０の出力端は、ＯＵＴ端子に接続されている。ＯＵＴ端子は、ＩＧＢＴ１０のゲートに接続されている。

【００１９】

ＩＧＢＴ駆動回路２６は、入力信号検出回路２２から受けた信号に基づいてＩＧＢＴ１０をオンまたはオフ駆動するゲート電圧Ｖｇを出力する。すなわち、ＩＧＢＴ駆動回路２６は、ＩＧＢＴ１０をオン駆動するとき、ＩＧＢＴ１０のゲート容量を充電するソース電流を出力し、ＩＧＢＴ１０をオフ駆動（遮断）するときは、ＩＧＢＴ１０のゲート容量に充電された電荷を引き抜くようなゲート電圧Ｖｇを出力する。ゲート容量からの電荷の引き抜きは、引き抜き能力を２段階に分けて実施される。オフ駆動の信号を受信した直後の電荷の引き抜きは、低い引き抜き能力で実施され、所定時間後の電荷の引き抜きは、１００％の引き抜き能力で実施される。

【００２０】

ソフト遮断回路２８は、ＩＧＢＴ１０の過電流状態が所定時間を超えて継続したとき、ＩＧＢＴ駆動回路２６による遮断直後の引き抜き能力よりも小さな引き抜き能力でＩＧＢＴ１０を徐々に遮断するようなゲート電圧Ｖｇを出力する。

【００２１】

ＮＬＵ回路３０は、ＩＧＢＴ１０の短絡が検出されたとき、短絡電流を抑え込むようなゲート電圧Ｖｇを出力し、抑制電流が所定時間を超えて継続したときには、ＩＧＢＴ１０を遮断するようなゲート電圧Ｖｇを出力する。

【００２２】

制御ＩＣ２０のＯＣ端子は、ＩＧＢＴ１０のセンスエミッタに接続されている。ＯＣ端子は、また、センス抵抗３２の一方の端子に接続され、センス抵抗３２の他方の端子は、センス抵抗３４の一方の端子に接続され、センス抵抗３４の他方の端子は、グランドに接続されている。ＯＣ端子は、さらに、ツェナーダイオード３６のカソードに接続され、ツェナーダイオード３６のアノードは、グランドに接続されている。

【００２３】

センス抵抗３２，３４は、ＯＣ端子に入力されたセンス電流を流すことによりセンス電圧Ｖｓに変換すると共にそのセンス電圧Ｖｓを分圧する分圧回路を構成する。ツェナーダイオード３６は、センス電圧Ｖｓがノイズの混入等により異常に高くならないよう保護するためのものである。

【００２４】

センス抵抗３２の一方の端子は、過電流検出用比較器３８の非反転入力端子に接続され、過電流検出用比較器３８の反転入力端子は、基準電圧源４０の正極端子に接続され、基準電圧源４０の負極端子は、グランドに接続されている。過電流検出用比較器３８の出力端子は、遅延回路４２に接続されている。

【００２５】

過電流検出用比較器３８は、センス電圧Ｖｓを過電流検出閾値に相当する基準電圧源４０の電圧と比較する。センス電圧Ｖｓが過電流検出閾値を超えると、過電流検出用比較器３８は、過電流を検出したと判断し、ハイ（Ｈ）レベルの過電流検出信号を出力する。この過電流検出信号は、遅延回路４２に入力され、所定時間遅延される。

【００２６】

遅延回路４２の出力端は、オア回路４４の第１入力端に接続され、オア回路４４の出力端は、プリドライバ２４の第２入力端とアラーム出力回路４６の入力端とに接続されている。アラーム出力回路４６の出力端は、ＡＥ端子に接続されている。

【００２７】

センス抵抗３２，３４の共通の接続部は、短絡検出用比較器４８の非反転入力端子に接続され、短絡検出用比較器４８の反転入力端子は、基準電圧源５０の正極端子に接続され、基準電圧源５０の負極端子は、グランドに接続されている。短絡検出用比較器４８の出力端子は、遅延回路５２とプリドライバ２４の第３入力端とに接続されている。

【００２８】

短絡検出用比較器４８は、センス電圧Ｖｓの分圧電圧Ｖｓｃを短絡検出閾値Ｖｓｃｔｈに相当する基準電圧源５０の電圧と比較する。センス電圧Ｖｓの分圧電圧Ｖｓｃが短絡検出閾値Ｖｓｃｔｈを超えると、短絡検出用比較器４８は、短絡電流を検出したと判断し、ハイ（Ｈ）レベルの短絡電流検出信号を出力する。この短絡電流検出信号は、プリドライバ２４の第３入力端に入力され、また、遅延回路５２に入力されて所定の遅延時間ｔｄＡＳＣだけ遅延される。遅延回路５２の出力端は、オア回路４４の第２入力端に接続されている。なお、過電流検出用のセンス抵抗３２，３４と共用される分圧回路、短絡検出用比較器４８および基準電圧源５０は、短絡電流検出回路５１を構成している。

【００２９】

制御ＩＣ２０は、また、制御ＩＣ２０の内部の制御電源電圧を可変することができる制御電源電圧可変回路５４を有している。この制御電源電圧可変回路５４は、スイッチ素子を構成するＭＯＳＦＥＴ５６，５８と、インバータ回路６０，６２と、降圧コンバータ回路６４とを有している。

【００３０】

ＭＯＳＦＥＴ５６，５８のソースは、ＶＣＣ端子に接続され、ＭＯＳＦＥＴ５６のドレインは、この制御電源電圧可変回路５４の出力端に接続され、ＭＯＳＦＥＴ５８のドレインは、降圧コンバータ回路６４の入力端に接続されている。降圧コンバータ回路６４の出力端は、この制御電源電圧可変回路５４の出力端に接続されている。インバータ回路６０の入力端は、タイマ回路６６の出力端に接続され、タイマ回路６６の入力端は、短絡検出用比較器４８の出力端に接続されている。インバータ回路６０の出力端は、ＭＯＳＦＥＴ５６のゲートとインバータ回路６２の入力端とに接続され、インバータ回路６２の出力端は、ＭＯＳＦＥＴ５８のゲートに接続されている。降圧コンバータ回路６４は、ＶＣＣ端子の電源電圧ＶＣＣを降圧する機能を有している。タイマ回路６６は、短絡電流検出回路５１が短絡電流を検出したときに、制御電源電圧可変回路５４が制御電源電圧Ｖｃｃを電源電圧ＶＣＣにほぼ等しい電圧から降圧コンバータ回路６４が出力する電圧に降圧する時間を設定する時間設定信号を出力する。この時間設定信号は、短絡電流検出回路５１が短絡電流を検出してゲート電圧Ｖｇの低下を開始してから再度短絡電流を検出したときのゲート電圧Ｖｇまたはセンス電圧Ｖｓが０になるまでの期間よりも長い所定の長さのパルス幅時間ｔＰＷを設定している。タイマ回路６６は、短絡電流検出回路５１が短絡を検出していないとき、Ｈレベルの信号を出力し、短絡電流検出回路５１が短絡を検出してからパルス幅時間ｔＰＷの期間、ロー（Ｌ）レベルの時間設定信号を出力する。

【００３１】
この制御電源電圧可変回路５４は、短絡電流検出回路５１が短絡を検出していないとき、ＭＯＳＦＥＴ５６がオンし、ＭＯＳＦＥＴ５８がオフすることで、ＶＣＣ端子の電源電圧ＶＣＣを制御電源電圧Ｖｃｃとして出力する。短絡電流検出回路５１が短絡を検出したときは、タイマ回路６６によって設定されたパルス幅時間ｔＰＷの期間、ＭＯＳＦＥＴ５６がオフし、ＭＯＳＦＥＴ５８がオンする。これにより、制御電源電圧可変回路５４は、パルス幅時間ｔＰＷの期間、降圧コンバータ回路６４により電源電圧ＶＣＣから降圧された電圧を制御電源電圧Ｖｃｃとして出力する。
【００３２】
制御ＩＣ２０は、また、電源電圧低下検出保護回路６８を有している。電源電圧低下検出保護回路６８は、抵抗７０，７２，７４と、スイッチ７６，７８と、比較器８０と、基準電圧源８２と、遅延回路８４とを有している。
【００３３】
抵抗７０の一方の端子は、ＶＣＣ端子に接続され、抵抗７０の他方の端子は、抵抗７２の一方の端子に接続され、抵抗７２の他方の端子は、抵抗７４の一方の端子に接続され、抵抗７４の他方の端子は、グランドに接続されている。抵抗７０，７２の共通の接続部は、スイッチ７６を介して比較器８０の反転入力端子に接続され、抵抗７２，７４の共通の接続部は、スイッチ７８を介して比較器８０の反転入力端子に接続されている。比較器８０の非反転入力端子は、基準電圧源８２の正極端子に接続され、基準電圧源８２の負極端子はグランドに接続されている。比較器８０の出力端子は、遅延回路８４の入力端に接続され、遅延回路８４の出力端は、スイッチ７６，７８の制御端子とオア回路４４の第３入力端とに接続されている。基準電圧源８２の電圧は、ＶＣＣ端子の電源電圧ＶＣＣが低下することによって制御ＩＣ２０の内部の回路が正常に動作しなくなる電圧に設定されている。
【００３４】
電源電圧低下検出保護回路６８は、外部から供給された電源電圧ＶＣＣを抵抗７０，７２，７４で分圧した電圧が基準電圧源８２の電圧より低くなると、比較器８０は、Ｈレベルの信号を出力する。このＨレベルの信号を出力している時間が遅延回路８４によって設定された時間を超えると、遅延回路８４は、Ｈレベルの信号を出力する。このＨレベルの信号は、スイッチ７６，７８を切り換え、比較器８０に入力する電圧をさらに分圧した電圧に切り換える。これにより、電源電圧低下検出保護回路６８は、電源電圧ＶＣＣの低下を検出し、その状態が所定時間継続したとき、その状態を維持するようなヒステリシス特性を有している。
【００３５】
次に、この制御ＩＣ２０の動作について説明する。正常動作時では、ＩＧＢＴ１０をオン・オフする入力信号がＩＮ端子に入力されると、その入力信号は、入力信号検出回路２２およびプリドライバ２４を介してＩＧＢＴ駆動回路２６に入力される。ＩＧＢＴ駆動回路２６は、ＩＧＢＴ１０をオンするときは、ＩＧＢＴ１０のゲート容量を充電するソース電流を出力し、ＩＧＢＴ１０をオフ（遮断）するときは、ＩＧＢＴ１０のゲート容量に充電された電荷を引き抜くようなゲート電圧Ｖｇを出力する。
【００３６】
次に、ＩＧＢＴ１０をオンしているときに、ＩＧＢＴ１０に過電流が流れた場合について説明する。センス電流に相当するセンス電圧Ｖｓが基準電圧源４０の過電流検出閾値を超えると、過電流検出用比較器３８は、Ｈレベルの過電流検出信号を出力する。過電流検出が遅延回路４２によって設定された遅延時間を超えて継続すると、遅延回路４２は、Ｈレベルの信号を出力する。この信号は、オア回路４４を介してプリドライバ２４およびアラーム出力回路４６に入力される。プリドライバ２４は、ソフト遮断回路２８に指示し、ＩＧＢＴ１０のゲート容量に充電された電荷を、ＩＧＢＴ駆動回路２６の引き抜き能力よりも低い引き抜き能力で引き抜き、ＩＧＢＴ１０を徐々に遮断する。アラーム出力回路４６は、オア回路４４から異常発生の通知を受けると、ＡＥ端子を介して外部へ異常発生を

通知する。

【００３７】

次に、ＩＧＢＴ１０をオンしているときに、ＩＧＢＴ１０に短絡電流が流れた場合について、図２を参照しながら説明する。なお、図２では、上から、センス電圧Ｖｓの分圧電圧Ｖｓｃ、制御電源電圧可変回路５４が出力する制御電源電圧Ｖｃｃ、ゲート電圧Ｖｇ、および、コレクタ電流Ｉｃを示している。

【００３８】

まず、時刻ｔ０にて、ＩＧＢＴ駆動回路２６がＩＧＢＴ１０をオンする信号を出力すると、ゲート電圧Ｖｇが上昇していく。ゲート電圧ＶｇがＩＧＢＴ１０のオン閾値Ｖｏｎｔｈを超えると、コレクタ電流Ｉｃが流れ始め、センス電圧Ｖｓの分圧電圧Ｖｓｃが上昇するようになる。

【００３９】

ここで、分圧電圧Ｖｓｃが短絡検出閾値Ｖｓｃｔｈを超えると、短絡検出用比較器４８は、Ｈレベルの短絡電流検出信号を出力する。この短絡電流検出信号は、まず、プリドライバ２４に通知され、ＮＬＵ回路３０を動作させて、短絡電流を抑え込むようなゲート電圧Ｖｇを出力する。

【００４０】

一方、タイマ回路６６は、制御ＩＣ２０の正常動作時には、Ｈレベルの時間設定信号を出力している。このとき、制御電源電圧可変回路５４では、インバータ回路６０がＬレベルの信号を出力し、インバータ回路６２がＨレベルの信号を出力しているので、ＭＯＳＦＥＴ５６がオン、ＭＯＳＦＥＴ５８がオフとなっている。これにより、制御電源電圧可変回路５４は、入力された電源電圧ＶＣＣを制御電源電圧Ｖｃｃとして出力している。

【００４１】

ここで、タイマ回路６６は、短絡検出用比較器４８から短絡電流検出信号を受けると、パルス幅時間ｔＰＷの期間、Ｌレベルの時間設定信号を出力する。このとき、制御電源電圧可変回路５４では、インバータ回路６０がＨレベルの信号を出力し、インバータ回路６２がＬレベルの信号を出力しているので、ＭＯＳＦＥＴ５６がオフ、ＭＯＳＦＥＴ５８がオンとなる。これにより、制御電源電圧可変回路５４は、降圧コンバータ回路６４によって電源電圧ＶＣＣから降圧レベルまで降圧された電圧を制御電源電圧Ｖｃｃとして出力する。

【００４２】

したがって、制御電源電圧Ｖｃｃが降圧レベルまで低下した状態では、コレクタ電流Ｉｃのように、高い電流値からの急激な遮断または高レベルのノイズの混入があって、時刻ｔ１にて高いゲート電圧Ｖｇが入力されて再度短絡電流が流れる誤動作が発生することがある。このような場合でも、制御ＩＣ２０は、時刻ｔ０以降と同様の振る舞いをしようとする。

【００４３】

このとき、制御電源電圧Ｖｃｃが降圧レベルまで低下されていることによって、ゲート電圧Ｖｇがオン時の充電電圧Ｖｇｃｈ１から充電電圧Ｖｇｃｈ２まで低下される。これにより、ゲート電圧Ｖｇを低い充電電圧Ｖｇｃｈ２から短い時間で低下することができるので、安定した保護動作が可能となる。また、コレクタ電流Ｉｃのピーク電流ＩｃＰ１も、ピーク電流ＩｃＰ２までの低減が可能となる。

【００４４】

その後、短絡検出状態が遅延回路５２によって設定された遅延時間ｔｄＡＳＣを超えて継続すると、遅延回路５２は、Ｈレベルの信号を出力する。この信号は、オア回路４４を介してプリドライバ２４およびアラーム出力回路４６に入力される。プリドライバ２４は、ソフト遮断回路２８にソフト遮断を指示し、アラーム出力回路４６は、ＡＥ端子を介して外部へ異常発生を通知する。

【００４５】

ソフト遮断回路２８によるソフト遮断において、ゲート電圧Ｖｇは、ＮＬＵ回路３０で

保持されていたゲート電圧ＶｇＮＬＵから徐々に低下していって、ＩＧＢＴ１０を徐々に遮断する。

【００４６】

なお、制御電源電圧可変回路５４では、降圧コンバータ回路６４による制御電源電圧Ｖｃｃの降圧レベルを電源電圧低下検出保護回路６８の基準電圧源８２による保護閾値よりも高く設定している。しかし、降圧コンバータ回路６４による降圧レベルを基準電圧源８２による保護閾値以下に設定することもできる。この場合、制御電源電圧Ｖｃｃを降圧したことによってゲート電圧Ｖｇが充電電圧Ｖｇｃｈ２まで低下する効果でも再短絡を防止することができないときに、電源電圧低下検出保護回路６８によって確実に短絡保護をすることができる。

以上、実施の形態に基づき、本発明の電圧制御型半導体素子の駆動装置の一観点について説明してきたが、これらは一例にすぎず、上記の記載に限定されるものではない。

上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。

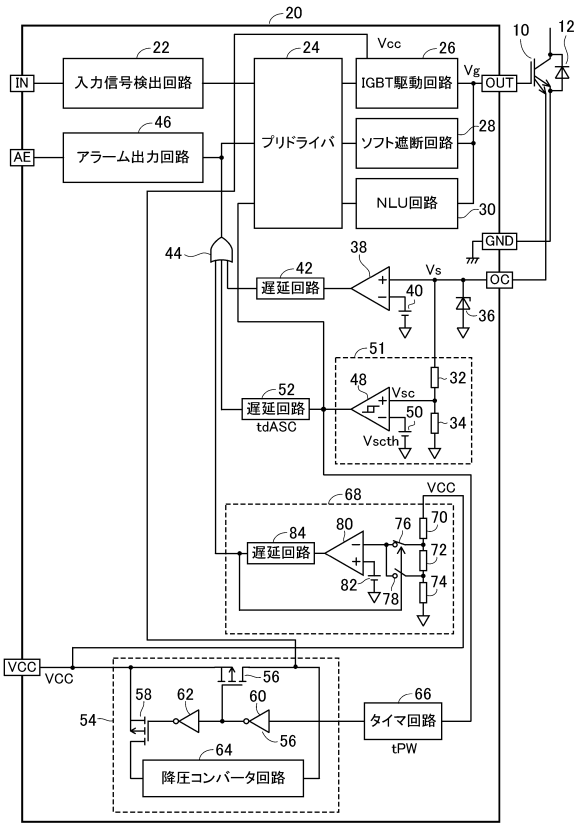
【符号の説明】

【００４７】

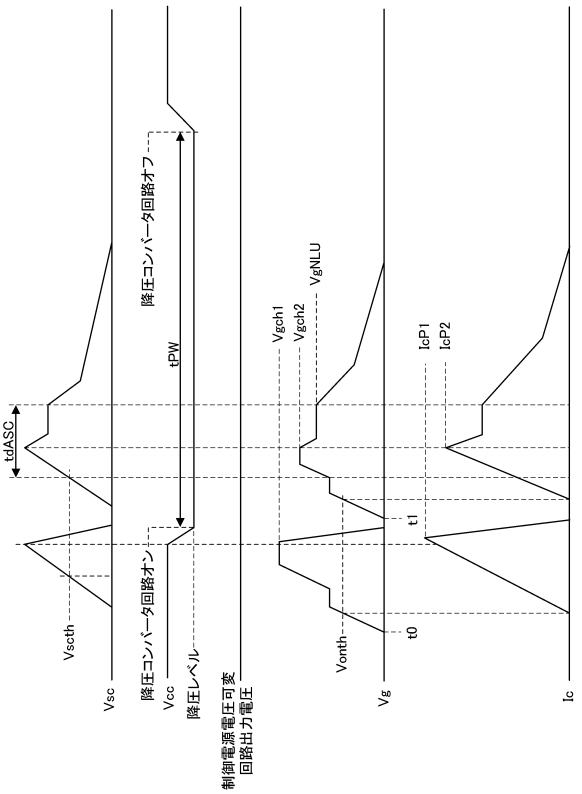
１０　ＩＧＢＴ
１２　ＦＷＤ
２０　制御ＩＣ
２２　入力信号検出回路
２４　プリドライバ
２６　ＩＧＢＴ駆動回路
２８　ソフト遮断回路
３０　ＮＬＵ回路
３２，３４　センス抵抗
３６　ツェナーダイオード
３８　過電流検出用比較器
４０　基準電圧源
４２　遅延回路
４４　オア回路
４６　アラーム出力回路
４８　短絡検出用比較器
５０　基準電圧源
５１　短絡電流検出回路
５２　遅延回路
５４　制御電源電圧可変回路
５６，５８　ＭＯＳＦＥＴ
６０，６２　インバータ回路
６４　降圧コンバータ回路
６６　タイマ回路
６８　電源電圧低下検出保護回路
７０，７２，７４　抵抗
７６，７８　スイッチ
８０　比較器
８２　基準電圧源
８４　遅延回路

【図面】

【図１】


20
Vcc
10
12
22
24
26
IN
入力信号検出回路
プリドライバ
IGBT駆動回路
Vg
OUT
46
28
AE
アラーム出力回路
ソフト遮断回路
NLU回路
30
GND
44
38
42
遅延回路
Vs
OC
40
36
51
48
32
52
Vsc
遅延回路
tdASC
50
34
Vscth
68
VCC
70
80
76
84
遅延回路
72
82
74
78
VCC
VCC
56
58
62
60
54
56
66
タイマ回路
tPW
64
降圧コンバータ回路

【図２】


降圧コンバータ回路オフ
tPW
Vgch1
Vgch2
VgNLU
IcP1
IcP2
tdASC
t1
Vscth
降圧コンバータ回路オン
Vonth
t0
Vsc
Vcc
降圧レベル
制御電源電圧可変
回路出力電圧
Vg
Ic

フロントページの続き

(56)参考文献 国際公開第２０２０／０５４２０２（WO，Ａ１）
米国特許出願公開第２０１８／０１５４７８７（ＵＳ，Ａ１）
特開２０１８－５７１０５（ＪＰ，Ａ）
特開２０１７－４６５７０（ＪＰ，Ａ）
国際公開第２０１６／１１７４５９（WO，Ａ１）
特開平１－１９６９１３（ＪＰ，Ａ）

(58)調査した分野 (Int.Cl.，ＤＢ名)
Ｈ０３Ｋ１７／００－１７／７０
Ｈ０２Ｍ１／００