



(12)发明专利

(10)授权公告号 CN 105190852 B

(45)授权公告日 2018.09.11

(21)申请号 201480010130.1

(22)申请日 2014.03.14

(65)同一申请的已公布的文献号
申请公布号 CN 105190852 A

(43)申请公布日 2015.12.23

(30)优先权数据
61/792,141 2013.03.15 US

(85)PCT国际申请进入国家阶段日
2015.08.24

(86)PCT国际申请的申请数据
PCT/US2014/027915 2014.03.14

(87)PCT国际申请的公布数据
W02014/165309 EN 2014.10.09

(73)专利权人 美国联合碳化硅公司
地址 美国新泽西州

(72)发明人 阿努普·巴拉
彼得·亚历山德罗夫

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 康建峰 李春晖

(51)Int.Cl.
H01L 21/335(2006.01)

(56)对比文件
EP 1542270 A1,2005.06.15,
JP 特开2001-196602 A,2001.07.19,
US 2007/0267664 A1,2007.11.22,
US 2008/0290403 A1,2008.11.27,

审查员 卢振宇

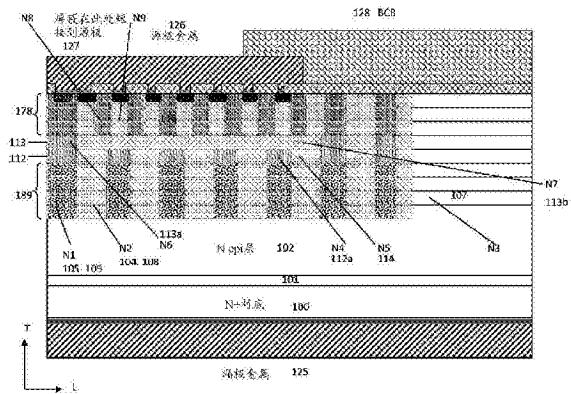
权利要求书5页 说明书18页 附图13页

(54)发明名称

改进的VJFET器件

(57)摘要

本公开描述以宽带隙材料,特别是以碳化硅,生产高电压JFET的结构和工艺。本公开还提供以本公开的方法生产的产品以及用于执行本公开的方法的设备。本公开属于高电流和高电压半导体器件的领域。例如,公开了高电压常开和常关垂直结场效应晶体管(VJFET)及其制作方法。



1. 一种屏蔽超结栅场效应晶体管JFET,包括:

超结电荷平衡区域(189),所述超结电荷平衡区域(189)包括n-型导电的第一注入区(108)和p-型导电的第二注入区(109);

埋置屏蔽区域(112),所述埋置屏蔽区域(112)设置在第一方向上所述超结电荷平衡区域(189)的上方,所述埋置屏蔽区域(112)包括n-型导电的第一多个区(114)和p-型导电的第二多个区(112a);

链路区域(113),所述链路区域(113)设置在所述第一方向上所述超结电荷平衡区域(189)和所述埋置屏蔽区域(112)的上方,所述链路区域(113)包括n-型导电的第三多个区(113b)和p-型导电的第四多个区(113a);

JFET区域(178),所述JFET区域(178)设置在所述第一方向上所述超结电荷平衡区域(189)和所述埋置屏蔽区域(112)的上方,所述JFET区域(178)包括n-型导电的第五多个JFET沟道区(117)和p-型导电的第六多个p-栅极区(118)以控制通过JFET n-型沟道区的电流流动;

n-型导电的多个源极触点区(120),所述源极触点区(120)与所述p-栅极区相邻,并且在所述JFET沟道区(117)上方形成多个栅极-源极PN结,其中所述源极触点区(120)与所述JFET沟道区(117)相比具有较高的掺杂浓度,并且每个n-型源极触点区(120)形成在相邻的JFET沟道区(117)的顶部上,其中所述源极触点区(120)与所述JFET沟道区(117)之间的界面与原始晶片表面基本上平行,以及其中所述JFET沟道区(117)与相邻的p-栅极区(118)之间的PN结界面是基本上垂直的,从而形成在所述JFET沟道区(117)中具有基本上垂直的电子电流流动的基本上垂直的JFET沟道,以及与所述原始晶片表面垂直并且从所述源极触点区(120)通过整个JFET沟道区延伸到达所述链路区域(113)的笔直连续电子流动路径;以及

源电极(126),所述源电极(126)设置在所述第一方向上所述超结电荷平衡区域(189)、所述埋置屏蔽区域(112)和所述JFET区域(178)的上方;以及

电链路(119),所述电链路(119)包括:

所述链路区域(113)的p-型导电的第一区(113a),所述第一区电连接到所述埋置屏蔽区域(112)的p-型导电的第一区,并且在所述第一方向上与所述埋置屏蔽区域(112)的p-型导电的第一区至少部分地对准,以及

所述JFET区域(178)的p-型导电的第二区,所述第二区电连接到所述链路区域(113)的p-型导电的第一区(113a)和所述源电极(126),

其中所述JFET区域(178)的p-型导电的第二区在所述第一方向上与所述链路区域(113)的p-型导电的第一区(113a)至少部分地对准,以及

其中所述电链路(119)将所述源电极(126)电连接到所述埋置屏蔽区域(112),从而将所述埋置屏蔽区域(112)保持在源电极电位。

2. 根据权利要求1所述的屏蔽超结JFET,还包括:

n-型导电的多个平面层(102),其中所述多个平面层中的每一个在垂直于所述第一方向的第二方向上以及在垂直于所述第一方向和所述第二方向的第三方向上延伸,其中所述多个平面层中的每一个具有在所述第一方向上延伸的厚度,以及其中所述多个平面层中的每一个具有n-型导电的相应原始掺杂浓度;

其中所述超结电荷平衡区域(189)包括所述多个平面层中的第一组层,所述第一组层

包括至少一个层,所述第一组层包括n-型导电的第一组注入区(104)和p-型导电的第二组注入区(105),其中所述第一组注入区中的注入区被设置成在所述第二方向上以交替模式与所述第二组注入区中的注入区相邻,其中所述第一组注入区具有第一掺杂浓度,其中所述第二组注入区具有第二掺杂浓度,以及其中所述第一掺杂浓度和所述第二掺杂浓度在所述超结电荷平衡区域(189)中造成电荷平衡;

其中所述埋置屏蔽区域(112)包括所述多个平面层中的第二组层,所述第二组层包括至少一个层,所述第二组层包括n-型导电的第三组注入区(114)和p-型导电的第四组注入区(112a),其中所述第三组注入区中的注入区被设置成在所述第二方向上以交替模式与第四组注入区中的注入区相邻,其中所述第三组注入区具有第三掺杂浓度,以及其中所述第四组注入区具有第四掺杂浓度;

其中所述第二组注入区和所述第四组注入区在所述第一方向上彼此至少部分地对准;

其中所述链路区域(113)包括所述多个平面层中的第三组层,所述第三组层包括一个或更多个层,所述第三组层包括n-型导电的第五组注入区(113b)和p-型导电的第六组注入区(113a),其中所述第五组注入区中的注入区被设置成在所述第二方向上以交替模式与第六组注入区中的注入区相邻,其中所述第五组注入区具有第五掺杂浓度,以及其中所述第六组注入区具有第六掺杂浓度;以及

所述JFET区域(178)包括所述多个平面层中的第四组层,所述第四组层包括一个或更多个层,所述第四组层包括n-型导电的第七组注入区(117)和p-型导电的第八组注入区(118),其中所述第七组注入区中的注入区被设置成在所述第二方向上以交替模式与第八组注入区中的注入区相邻,其中所述第七组注入区具有第七掺杂浓度,以及其中所述第八组注入区具有第八掺杂浓度。

3. 根据权利要求2所述的屏蔽超结JFET,其中所述第一掺杂浓度和所述第七掺杂浓度大于所述原始掺杂浓度;

其中所述第一掺杂浓度不同于所述第七掺杂浓度;

其中所述第四掺杂浓度、所述第六掺杂浓度和所述第八掺杂浓度大于所述第二掺杂浓度;以及

其中所述第四掺杂浓度、所述第六掺杂浓度和所述第八掺杂浓度彼此不同。

4. 根据权利要求2所述的屏蔽超结JFET,其中所述第一掺杂浓度和所述第七掺杂浓度大于所述原始掺杂浓度;

其中所述第一掺杂浓度等于所述第七掺杂浓度;

其中所述第四掺杂浓度、所述第六掺杂浓度和所述第八掺杂浓度大于所述第二掺杂浓度;以及

其中所述第四掺杂浓度、所述第六掺杂浓度和所述第八掺杂浓度彼此相等。

5. 根据权利要求2所述的屏蔽超结JFET,其中所述JFET区域(178)的n-型导电的第一区将所述链路区域(113)的p-型导电的至少一个区(113a)与所述JFET区域(178)的p-型导电的第二区分开,所述JFET区域(178)的n-型导电的第一区在所述第二方向和所述第三方向上围绕所述JFET区域的p-型导电的第二区。

6. 根据权利要求2所述的屏蔽超结JFET,其中所述超结电荷平衡区域(189)中的n-型导电的连续区(108)在所述第二方向上间隔开,并且被p-型导电的单个区(109)和第一间距分

开;以及其中所述JFET区域(178)中的n-型导电的连续区(117)在所述第二方向上间隔开,并且被p-型导电的单个区(118)和第二间距分开,其中所述第一间距与所述第二间距不同。

7. 根据权利要求1所述的屏蔽超结JFET,其中所述超结电荷平衡区域(189)中的n-型导电的连续区(108)在垂直于所述第一方向的第四方向上彼此间隔开;其中所述JFET区域(178)中的n-型导电的连续区(117)在第五方向上彼此间隔开;以及其中所述第四方向垂直于所述第五方向和所述第一方向。

8. 根据权利要求1所述的屏蔽超结JFET,其中所述JFET区域(178)在第一电压夹断,并且所述超结电荷平衡区域(189)在第二电压夹断,其中所述第一电压小于所述第二电压。

9. 根据权利要求8所述的屏蔽超结JFET,其中所述第一电压在针对常关器件的+1V至+2V的范围或针对SiC常开器件的-3V至-20V的范围中的一个内。

10. 根据权利要求1所述的屏蔽超结JFET,其中所述电链路具有与超结的漏极-源极电容串联的电阻,所述电阻用于减小所述屏蔽超结JFET的关断速度。

11. 一种形成屏蔽超结结栅极场效应晶体管JFET的方法,包括:

形成超结电荷平衡区域(189),所述超结电荷平衡区域(189)包括n-型导电的第一注入区(108)和p-型导电的第二注入区(109);

形成埋置屏蔽区域(112),所述埋置屏蔽区域(112)设置在第一方向上所述超结电荷平衡区域(189)的上方,所述埋置屏蔽区域(112)包括n-型导电的第一多个区(114)和p-型导电的第二多个区(112a);

形成链路区域(113),所述链路区域(113)设置在所述第一方向上所述超结电荷平衡区域(189)和所述埋置屏蔽区域(112)的上方,所述链路区域(113)包括n-型导电的第三多个区(113b)和p-型导电的第四多个区(113a);

形成JFET区域(178),所述JFET区域(178)设置在所述第一方向上所述超结电荷平衡区域(189)和所述埋置屏蔽区域(112)的上方,所述JFET区域(178)包括n-型导电的第五多个JFET沟道区(117)和p-型导电的第六多个p-栅极区(118)以控制通过JFET n-型沟道区的电流流动;

形成n-型导电的多个源极触点区(120),所述源极触点区(120)与所述p-栅极区(118)相邻,并且在所述JFET沟道区(117)上方形成多个栅极-源极PN结,其中所述源极触点区(120)与所述JFET沟道区(117)相比具有较高的掺杂浓度,并且每个n-型源极触点区(120)形成在相邻的JFET沟道区(117)的顶部上,其中所述源极触点区(120)与所述JFET沟道区(117)之间的界面与原始晶片表面基本上平行,以及其中所述JFET沟道区(117)与相邻的p-栅极区(118)之间的PN结界面是基本上垂直的,从而形成在所述JFET沟道区(117)中具有基本上垂直的电子电流流动的基本上垂直的JFET沟道,以及与所述原始晶片表面垂直并且从所述源极触点区(120)通过整个JFET沟道区延伸到达所述链路区域(113)的笔直连续电子流动路径;以及

形成源电极(126),所述源电极(126)设置在所述第一方向上所述超结电荷平衡区域(189)、所述埋置屏蔽区域(112)和所述JFET区域(178)的上方;以及

形成电链路(119),所述电链路(119)包括:

所述链路区域(113)的p-型导电的第一区(113a),所述第一区电连接到所述埋置屏蔽区域(112)的p-型导电的第一区,并且在所述第一方向上与所述埋置屏蔽区域(112)的p-型

导电的第一区至少部分地对准,以及

所述JFET区域(178)的p-型导电的第二区,所述第二区电连接到所述链路区域(113)的p-型导电的第一区(113a)和所述源电极(126),

其中所述JFET区域(178)的p-型导电的第二区被形成为在所述第一方向上与所述链路区域(113)的p-型导电的第一区(113a)至少部分地对准,以及

其中所述电链路(119)被形成为将所述源电极(126)电连接到所述埋置屏蔽区域(112),从而将所述埋置屏蔽区域(112)保持在源电极电位。

12.根据权利要求11所述的方法,还包括:

形成n-型导电的多个平面层(102),其中所述多个平面层中的每一个被形成为在垂直于所述第一方向的第二方向上以及在垂直于所述第一方向和所述第二方向的第三方向上延伸,其中所述多个平面层中的每一个具有在所述第一方向上延伸的厚度,以及其中所述多个平面层中的每一个被形成为具有n-型导电的相应原始掺杂浓度;

其中所述超结电荷平衡区域(189)被形成为包括所述多个平面层中的第一组层,所述第一组层包括至少一个层,所述第一组层包括n-型导电的第一组注入区(104)和p-型导电的第二组注入区(105),其中所述第一组注入区中的注入区被设置成在所述第二方向上以交替模式与所述第二组注入区中的注入区相邻,其中所述第一组注入区具有第一掺杂浓度,其中所述第二组注入区具有第二掺杂浓度,以及其中所述第一掺杂浓度和所述第二掺杂浓度在所述超结电荷平衡区域(189)中造成电荷平衡;

其中所述埋置屏蔽区域(112)被形成为包括所述多个平面层中的第二组层,所述第二组层包括至少一个层,所述第二组层包括n-型导电的第三组注入区(114)和p-型导电的第四组注入区(112a),其中所述第三组注入区中的注入区被设置成在所述第二方向上以交替模式与所述第四组注入区中的注入区相邻,其中所述第三组注入区具有第三掺杂浓度,以及其中所述第四组注入区具有第四掺杂浓度;

其中所述第二组注入区和所述第四组注入区在所述第一方向上彼此至少部分地对准;

其中所述链路区域(113)被形成为包括所述多个平面层中的第三组层,所述第三组层包括一个或更多个层,所述第三组层包括n-型导电的第五组注入区(113b)和p-型导电的第六组注入区(113a),其中所述第五组注入区中的注入区被设置成在所述第二方向上以交替模式与所述第六组注入区中的注入区相邻,其中所述第五组注入区具有第五掺杂浓度,以及其中所述第六组注入区具有第六掺杂浓度;以及

所述JFET区域(178)被形成为包括所述多个平面层中的第四组层,所述第四组层包括一个或更多个层,所述第四组层包括n-型导电的第七组注入区(117)和p-型导电的第八组注入区(118),其中所述第七组注入区中的注入区被设置成在所述第二方向上以交替模式与所述第八组注入区中的注入区相邻,其中所述第七组注入区具有第七掺杂浓度,以及其中所述第八组注入区具有第八掺杂浓度。

13.根据权利要求12所述的方法,其中所述第一掺杂浓度和所述第七掺杂浓度大于所述原始掺杂浓度;

其中所述第一掺杂浓度不同于所述第七掺杂浓度;

其中所述第四掺杂浓度、所述第六掺杂浓度和所述第八掺杂浓度大于所述第二掺杂浓度;以及

其中所述第四掺杂浓度、所述第六掺杂浓度和所述第八掺杂浓度彼此不同。

14. 根据权利要求12所述的方法, 其中所述第一掺杂浓度和所述第七掺杂浓度大于所述原始掺杂浓度;

其中所述第一掺杂浓度等于所述第七掺杂浓度;

其中所述第四掺杂浓度、所述第六掺杂浓度和所述第八掺杂浓度大于所述第二掺杂浓度; 以及

其中所述第四掺杂浓度、所述第六掺杂浓度和所述第八掺杂浓度彼此相等。

15. 根据权利要求12所述的方法, 其中所述链路区域(113)的p-型导电的至少一个区(113a)被形成为被所述JFET区域(178)的n-型导电的第一区与所述JFET区域(178)的p-型导电的第二区分开, 所述JFET区域(178)的n-型导电的第一区在所述第二方向和所述第三方向上围绕所述JFET区域的p-型导电的第二区。

16. 根据权利要求12所述的方法, 其中所述超结电荷平衡区域(189)中的n-型导电的连续区(108)被形成为在所述第二方向上间隔开, 并且被p-型导电的单个区(109)和第一间距分开; 以及其中所述JFET区域(178)中的n-型导电的连续区(117)被形成为在所述第二方向上间隔开, 并且被p-型导电的单个区(118)和第二间距分开, 其中所述第一间距与所述第二间距不同。

17. 根据权利要求11所述的方法, 其中所述超结电荷平衡区域(189)中的n-型导电的连续区(108)被形成为在垂直于所述第一方向的第四方向上彼此间隔开; 其中所述JFET区域(178)中的n-型导电的连续区(117)被形成为在第五方向上彼此间隔开; 以及其中所述第四方向垂直于所述第五方向和所述第一方向。

18. 根据权利要求11所述的方法, 其中所述JFET区域(178)被形成为在第一电压夹断, 并且所述超结电荷平衡区域(189)被形成为在第二电压夹断, 其中所述第一电压小于所述第二电压。

19. 根据权利要求18所述的方法, 其中所述第一电压在针对常关器件的+1V至+2V的范围或针对SiC常开器件的-3V至-20V的范围中的一个内。

20. 根据权利要求11所述的方法, 其中所述电链路被形成为具有与超结的漏极-源极电容串联的电阻, 所述电阻用于减小所述屏蔽超结JFET的关断速度。

改进的VJFET器件

[0001] 相关专利申请的交叉引用

[0002] 本申请要求2013年3月15日提交的名称为“改进的VJFET器件 (Improved VJFET Devices)”的美国临时申请序列号61/792,141的优先权,该临时申请全文以引用的方式并入本文中。

技术领域

[0003] 本公开属于高电流和高电压半导体器件的领域。例如,公开了高电压常开和常关垂直结场效应晶体管 (VJFET) 及其制作方法。

背景技术

[0004] 使用碳化硅 (SiC) 和其他宽带隙材料实现的高电压VJFET可在高功率转换和马达控制应用中取代硅MOSFET、超结MOSFET和硅IGBT。宽带隙半导体具有较高的击穿场 (E_c , 以V/cm为单位测量), 其转化为较薄 (例如, 薄10倍) 的电压支持漂移区, 这些漂移区具有较高的掺杂, 例如, 掺杂高10倍以上。这可直接导致与具有相同电压额定值的硅器件相比, 在导通状态下器件电阻减小许多个数量级。

[0005] VJFET因为是单极器件, 可以相对高的频率切换而保持低功率损耗。这可实现更紧凑的电力电子电路。切换速度取决于器件电容。在硬切换应用中, 类似于马达等大多数电感性负载, 降低的栅漏电容 (C_{gd}) 可能是关键的。

[0006] 由于SiC VJFET器件没有栅极氧化物, 所以其不受MOS栅控碳化硅器件所面临的可靠性和产率问题影响。此外, 由于VJFET通常具有体沟道而非反转层, 因此其可被制造为具有相比具有类似电压额定值的MOSFET而言更低的导通电阻。栅极氧化物的缺失使得可以在较高峰值结温度下进行可靠操作。

[0007] 由于SiC和其他宽带隙材料价格昂贵, 所以帮助减小晶粒大小的器件结构有助于使器件更为经济从而能够广泛使用。现有技术中的VJFET结构可在给定电压额定值下每单位面积导通电阻方面和在降低 C_{gd} 并且提高切换速度方面得到改进。这些结构还可被实现为并入内置PiN二极管或JBS肖特基二极管以适应需要双向电流的电路。本公开涉及这些和其他重要需求。

发明内容

[0008] 已在硅MOSFET器件中成功使用超结电荷平衡技术来实现相比具有均匀掺杂漂移区域的标准MOSFET而言更低的导通电阻。该结构涉及用几乎相等的n-型和p-型电荷掺杂的柱, 其产生具有近零净掺杂的漂移区域。MOSFET中的p-柱通常连接到源极区。当这种技术应用于垂直JFET时, 如果p-柱连接到p-栅极, 则可实现较低的导通电阻, 但可导致高 C_{gd} 。因此, 可能有利的是将超结层连接到路由至源电极的单独埋栅。

[0009] 在以下公开的一个实施例中, 屏蔽超结JFET可包括: 超结电荷平衡区域, 其包括第一导电类型的注入区和第二导电类型的注入区; 沿着第一方向设置在超结电荷平衡区域上

方的埋置屏蔽,其包括第一导电类型的区和第二导电类型的区;以及链路区域,其沿着第一方向设置在超结电荷平衡区域和埋置屏蔽上方。该链路区域可包括第一导电类型的区和第二导电类型的区。该屏蔽超结JFET还可包括JFET区域,其沿着第一方向设置在超结电荷平衡区域和埋置屏蔽上方。该JFET区域可包括第一导电类型的区和第二导电类型的区。该屏蔽超结JFET还可包括源电极,其沿着第一方向设置在超结电荷平衡区、埋置屏蔽和JFET区域上方。该屏蔽超结JFET还可包括电链路,该电链路可包括:链路区域的至少一个第二导电类型的区,其电连接到埋置屏蔽的至少一个第二导电类型的区,并且沿着第一方向与埋置屏蔽的至少一个第二导电类型的区至少部分地对准;JFET区域的至少一个第二导电类型的区,其电连接到链路区域的至少一个第二导电类型的区和源电极,该JFET区域的至少一个第二导电类型的区沿着第一方向与链路区域的至少一个第二导电类型的区至少部分地对准,并且其中电链路将源电极电连接到埋置屏蔽以便使埋置屏蔽保持在源电极电位下。

[0010] 在另一个实施例中,形成屏蔽超结JFET的方法包括形成超结电荷平衡区域,该超结电荷平衡区域包括第一导电类型的注入区和第二导电类型的注入区。该方法还可包括形成埋置屏蔽,该埋置屏蔽沿着第一方向设置在超结电荷平衡区域上方并且包括第一导电类型的区和第二导电类型的区。该方法还可包括形成沿着第一方向设置在超结电荷平衡区域和埋置屏蔽上方的链路区域,其中该链路区域包括第一导电类型的区和第二导电类型的区。该方法还可包括形成沿着第一方向设置在超结电荷平衡区域和埋置屏蔽上方的JFET区域,其中该JFET区域包括第一导电类型的区和第二导电类型的区。该方法还可包括形成源电极,该源电极沿着第一方向设置在超结电荷平衡区、埋置屏蔽和JFET区域上方。该方法还可包括形成电链路,该电链路包括:链路区域的至少一个第二导电类型的区,其电连接到埋置屏蔽的至少一个第二导电类型的区,并且沿着第一方向与埋置屏蔽的至少一个第二导电类型的区至少部分地对准;JFET区域的至少一个第二导电类型的区,其电连接到链路区域的至少一个第二导电类型的区和源电极,该JFET区域的至少一个第二导电类型的区沿着第一方向与链路区域的至少一个第二导电类型的区至少部分地对准,并且其中电链路将源电极电连接到埋置屏蔽以便使埋置屏蔽保持在源电极电位下。

[0011] 在另一个实施例中,开槽屏蔽超结JFET可包括超结电荷平衡区域,其包括第一导电类型的注入区和第二导电类型的注入区。该开槽屏蔽超结JFET还可包括沿着第一方向设置在超结电荷平衡区域上方的埋置屏蔽,其中该埋置屏蔽包括第一导电类型的区和第二导电类型的区。该开槽屏蔽超结JFET还可包括沿着第一方向设置在超结电荷平衡区域和埋置屏蔽上方的沟道区域,其中该沟道区域包括:至少一个第一导电类型的沟道层,该沟道层具有沿着第一方向部分地延伸穿过沟道层的至少第一沟槽和第二沟槽,其中第一沟槽相比第二沟槽沿着第一方向延伸得更远;第二导电类型的第一区,其沿着第一方向设置在沟道层中第一沟槽与埋置屏蔽之间并且沿着第一方向与第一沟槽至少部分地对准。该沟道区域可包括第二导电类型的第二区,其沿着第一方向设置在沟道层中第二沟槽与埋置屏蔽之间并且沿着第一方向与第二沟槽至少部分地对准。该开槽屏蔽超结JFET还可包括源电极,其沿着第一方向设置在超结电荷平衡区、埋置屏蔽和沟道区域上方;以及电链路,其包括:第二导电类型的第一区,其电连接到埋置屏蔽的至少一个第二导电类型的区,并且沿着第一方向与埋置屏蔽的至少一个第二导电类型的区至少部分地对准;至少部分地设置在第一沟槽中的导电桥,其中该导电桥在第二导电类型的第一区与源电极之间延伸,电链路将源电极

电连接到埋置屏蔽以便使埋置屏蔽保持在源电极电位下。

[0012] 在一个实施例中,形成开槽屏蔽超结JFET的方法包括:形成超结电荷平衡区域,其包括第一导电类型的注入区和第二导电类型的注入区;以及形成沿着第一方向设置在超结电荷平衡区域上方的埋置屏蔽,其中该埋置屏蔽包括第一导电类型的区和第二导电类型的区。该形成开槽屏蔽超结JFET的方法还可包括形成沿着第一方向设置在超结电荷平衡区域和埋置屏蔽上方的沟道区域,其中该沟道区域包括:至少一个第一导电类型的沟道层,该沟道层具有沿着第一方向部分地延伸穿过沟道层的至少第一沟槽和第二沟槽,其中第一沟槽相比第二沟槽沿着第一方向延伸得更远;第二导电类型的第一区,其沿着第一方向设置在沟道层中第一沟槽与埋置屏蔽之间,并且沿着第一方向与第一沟槽至少部分地对准;以及第二导电类型的第二区,其沿着第一方向设置在沟道层中第二沟槽与埋置屏蔽之间,并且沿着第一方向与第二沟槽至少部分地对准。该形成开槽屏蔽超结JFET的方法还可包括形成源电极,其沿着第一方向设置在超结电荷平衡区、埋置屏蔽和沟道区域上方;以及形成电链路,其包括:第二导电类型的第一区,其电连接到埋置屏蔽的至少一个第二导电类型的区,并且沿着第一方向与埋置屏蔽的至少一个第二导电类型的区至少部分地对准;至少部分地设置在第一沟槽中的导电桥,其中该导电桥在第二导电类型的第一区与源电极之间延伸,电链路将源电极电连接到埋置屏蔽以便使埋置屏蔽保持在源电极电位下。

[0013] 在另一个实施例中,屏蔽JFET可包括:埋置屏蔽,其包括第一导电类型的区和第二导电类型的区;沿着第一方向设置在埋置屏蔽上方的链路区域,其中该链路区域包括第一导电类型的区和第二导电类型的区;以及沿着第一方向设置在埋置屏蔽上方的JFET区域,其中该JFET区域包括第一导电类型的区和第二导电类型的区。该屏蔽JFET还可包括源电极,其沿着第一方向设置在埋置屏蔽和JFET区域上方;以及电链路,其包括:链路区域的至少一个第二导电类型的区,其电连接到埋置屏蔽的至少一个第二导电类型的区,并且沿着第一方向与埋置屏蔽的至少一个第二导电类型的区至少部分地对准;JFET区域的至少一个第二导电类型的区,其电连接到链路区域的至少一个第二导电类型的区和源电极,该JFET区域的至少一个第二导电类型的区沿着第一方向与链路区域的至少一个第二导电类型的区至少部分地对准,并且其中电链路将源电极电连接到埋置屏蔽以便使埋置屏蔽保持在源电极电位下。

[0014] 在另一个实施例中,开槽屏蔽JFET可包括埋置屏蔽,其包括第一导电类型的区和第二导电类型的区;以及沿着第一方向设置在埋置屏蔽上方的沟道区域,其中该沟道区域包括:至少一个第一导电类型的沟道层,该沟道层具有沿着第一方向部分地延伸穿过沟道层的至少第一沟槽和第二沟槽,其中第一沟槽相比第二沟槽沿着第一方向延伸得更远;第二导电类型的第一区,其沿着第一方向设置在沟道层中第一沟槽与埋置屏蔽之间,并且沿着第一方向与第一沟槽至少部分地对准;以及第二导电类型的第二区,其沿着第一方向设置在沟道层中第二沟槽与埋置屏蔽之间,并且沿着第一方向与第二沟槽至少部分地对准。该开槽屏蔽JFET还可包括源电极,其沿着第一方向设置在埋置屏蔽和沟道区域上方。该开槽屏蔽JFET还可包括:电链路,该电链路包括第二导电类型的第一区,其电连接到埋置屏蔽的至少一个第二导电类型的区,并且沿着第一方向与埋置屏蔽的至少一个第二导电类型的区至少部分地对准;以及导电桥,其至少部分地设置在第一沟槽中,并且在第二导电类型的第一区与源电极之间延伸,其中电链路将源电极电连接到埋置屏蔽以便使埋置屏蔽保持在

源电极电位下。

附图说明

[0015] 图1A至图1J示出用于制作埋置屏蔽层连接到源极电位的屏蔽超结垂直JFET的示例性工艺,其中图1J示出最终器件结构的示例性实施例。

[0016] 图2A至图2K示出用于制作埋置屏蔽层连接到源极电位的屏蔽超结构槽垂直JFET的示例性工艺,其中图2K示出最终器件结构的示例性实施例。

[0017] 图3示出用于实现屏蔽超结构槽垂直JFET的示例性布局技术。

[0018] 图4示出用于实现屏蔽超结垂直JFET的示例性布局技术。

具体实施方式

[0019] 通过参考结合附图和例子所作的以下详细描述,可以更容易地理解本公开,这些附图和例子形成本公开的一部分。应当理解,本公开不限于本文描述和/或示出的具体器件、方法、应用、条件或参数,并且本文所用的术语只是为了通过举例来描述特定实施例,而不旨在限制受权利要求书保护的实施例。另外,如在包括所附权利要求的说明书中使用,单数形式“一个”、“一种”和“所述”包括复数形式,提及特定数值包括至少该特定值,除非上下文明确指出并非如此。本文所用的术语“多个”意指不止一个。当表述值的范围时,另一个实施例包括从一个特定值和/或到另一个特定值。相似地,当通过使用先行词“约”而将值表述为近似值时,应当理解该特定值形成另一个实施例。所有范围包括端值并且可以组合。

[0020] 应当理解,本文中出于清楚起见而在单独实施例的上下文中描述的本公开的某些特征还可在单个实施例中组合提供。相反地,出于简洁起见而在单个实施例的上下文中描述的本公开的多种特征还可单独地或以任何子组合提供。另外,以范围陈述的值包括所述范围内的每一个值。

[0021] 在示例性实施例中,描述内容可示出n-沟道VJFET的形成。然而,应当理解,n区和p区的掺杂极性可以颠倒从而实现p-沟道VJFET。所选的掺杂水平可取决于(例如)器件电压额定值、超结区和JFET区的密度、屏蔽区和JFET区的夹断电压设计等。1200V JFET的例子仅用于说明性目的,而不应被解释为限制本文所附的任何权利要求的范围。

[0022] 应当理解,可参考第一方向、第二方向和第三方向(诸如,侧向“A”、垂直于侧向“A”的纵向“L”,以及垂直于纵向“L”的横向“T”)来理解各种实施例。纵向L和侧向A如图所示水平延伸,而横向T竖直延伸,但应当理解,这些方向可依据(例如)JFET结构的取向而变化。还应当理解,第一方向可称为侧向。还应当理解,第二方向可称为纵向。还应当理解,第三方向可称为横向。

[0023] 在本发明公开的示例性实施例中,第一导电类型和第二导电类型可分别指p-型和n-型或分别指n-型和p-型。应当理解,本文所描述的示例性系统可含有包含一个或多个第一导电类型的层和第二导电类型的层的区域。这些层又可包含第一导电类型的区和第二导电类型的区。各个层可为基本上平坦的,并且以侧向A和纵向L两者延伸。例如,每个层可具有基本上平坦的上表面和下表面,所述表面由沿着横向T延伸的厚度分开。层内的各个区可具有与该层相同或相似的厚度,并且沿着相应层的基本上平坦的上表面和下表面的全部或部分延伸。

[0024] 在本公开的示例性实施例中,第一导电类型和第二导电类型可分别指p-型和n-型或分别指n-型和p-型。

[0025] 图1A至图1J示出屏蔽超结垂直JFET的示例性实施例。图1J示出具有构建在N+衬底100之上的一个或多个缓冲层101的示例性最终器件结构。应当理解,缓冲区101的缓冲层还可称为N-缓冲层或简称为缓冲层。所述一个或多个缓冲层101可被4度偏切(针对4H-SiC)。沿着横向T,缓冲层101之后依次是电荷平衡超结区域189、屏蔽区域112和JFET区域178。

[0026] 超结区段189可包括一个或多个N外延层102和107。N外延层102可设置在缓冲区101的一个或多个缓冲层上,其后依次是层107的区域189、层107的区域112和/或层107的区域178中的一者或多者。应当理解,N外延区的N外延层还可称为外延层或N_{epi}层。电荷平衡超结区域189可包括沿着纵向L以交替模式设置的掺杂n-柱108和p-柱109。N-柱108和n-柱109可在层102和107之一者或多者中分别从各个n-区104和p-区105形成。应当理解,电荷平衡超结区域189还可称为超结电荷平衡区、电荷平衡超结层或超结区。应当理解,n-柱108还可称为n-区108。应当理解,p-柱109还可称为p-区109。

[0027] 屏蔽区域112可包括一个或多个层,其中每个层可包括沿着纵向L以交替模式设置的p-屏蔽区112a和n-屏蔽区114。在一个实施例中,各个p-柱109之一者或多者的第一组可与相应的p-屏蔽区112a完全或部分地对准,而n-柱108之一者或多者的第二组可与单个n-屏蔽区114完全或部分地对准。应当理解,屏蔽区域112还可称为埋置屏蔽或屏蔽区域112的屏蔽层。

[0028] JFET区域178可包括沿着纵向L以交替模式设置的p-柱118和119以及n-柱117。JFET区域178可包括一个或多个层。P-柱118、119和n-柱117可在包括JFET区域178的层之一者或多者中分别从各个n-区和p-区形成。p-屏蔽区112a可由p-链路区113a连接到JFET区域的p-柱119,该p-柱119将p-屏蔽区域112电连接到沿着横向T设置在JFET区域178上方的源电极126。p-柱119可处于源极电位下,并且可因此与栅极p-柱118隔离。JFET区域178的p-柱118、119和n-柱117还可分别通过在JFET区域178的层中注入n型区和p型区来形成。应当理解,JFET区域178还可称为JFET区、顶表面JFET区域或JFET沟道区。另外,可以理解,包括超结区域189和屏蔽区域112、p-链路区域113以及JFET区域178的层中的以上n-型注入物和p-型注入物可位于屏蔽超结垂直JFET的活动区域116内。活动区域116可被理解为沿着纵向L和侧向A延伸的区域,包括超结区域189和屏蔽区域112、链路区域113和JFET区域178的层中的n-型注入物和p-型注入物位于其中。活动区域116可由终端区域115围绕。应当理解,活动区域116还可称为活动单元区域116。

[0029] 图1A示出示例性起始晶片。起始晶片可包括重掺杂n+衬底100,在4H-SiC中其可被偏切以改进后续外延生长,之后是用于减少epi缺陷的缓冲层101的N-缓冲层。应当理解,epi还可称为外延。如果需要,N_{epi}层102借助均匀或分级的n-型掺杂进行生长。这些层可支持小部分的器件反向阻断电压并且用以使得最终器件在雪崩击穿方面更稳健,同时改进内置屏蔽-漏极二极管的反向恢复。将注入第一超结区的epi层102的顶端部分可以(例如)轻掺杂,类似于下一个epi层107。应当理解,下一个epi层107还可称为下一个外延层107。

[0030] 图1B示出在超结区域189中注入n-区104。在晶片上生成蚀刻对准标记之后,可施加光致抗蚀剂掩模103,如图1B所示,并且可注入超结区域189的第一层中的第一n-区104。例如,可在层102或107之一者中注入n-区104的第一层。在一个示例性实施例中,将光致抗

蚀剂掩模103对准到生成的蚀刻对准标记,然后执行n-区104的注入。在注入之后,移除光致抗蚀剂掩模103材料。注入的n-区104中每一者可为基本上平坦的,并且沿着纵向L和侧向A延伸,其中宽度沿着纵向延伸而厚度沿着第三方向延伸。连续的n-区104可沿着纵向L以一定距离彼此间隔开。应当理解,n-区104还可称为注入的n-区。

[0031] 图1C示出在超结区域189中注入p-区105。如图1C所示,施加另一个光致抗蚀剂掩模106,使其对准到蚀刻对准标记并且如图所示沿着纵向L与先前的掩模错开,以将p-区105注入到超结区域189的这个第一超结层中。例如,可在层102或107之一者中注入p-区105的第一层。根据图1C所描绘的实施例,p-区105被注入到第一超结层中连续的n-区104之间的空间中。p-区105可为基本上平坦的,并且沿着纵向L和侧向A延伸,其中宽度沿着纵向延伸而厚度沿着第三方向延伸。然后移除光致抗蚀剂掩模106。

[0032] 下一个任务是对注入物进行退火处理以制备用于外延层生长的表面,这可使用诸如通过基本上烧尽所有溶剂来使晶片表面上的光致抗蚀剂膜石墨化、形成碳覆盖层等技术来完成。然后可在诸如1300C至2000C的温度下使注入物活化,以实现充分活化而不使SiC表面过度降解。例如,还可使用激光退火来实现类似结果。可在高温下执行注入以实现更好的最终活化。图1B和图1C中所示的掩模可用可耐受诸如在600C至1200C范围内的温度的图案氧化物或金属来替换。

[0033] n-柱104和p-柱105的注入电荷可被设计为彼此大致平衡以及获得活化电荷。活化电荷可在例如 $3e^{12}cm^{-2}$ 至 $2e^{13}cm^{-2}$ 的范围内。活化电荷可在足够的操作范围内实现所需的导通电阻降低。用于超结区域189的层的本底epi层的掺杂可以(例如)比n-柱104的注入后掺杂水平轻至少5倍或更低,从而不会显著影响n-柱104中的净电荷。

[0034] 图1D示出用于生长轻掺杂的下一个外延层107的示例性方法。可将先前的示例性方法中的注入物放置在顶表面的足够下方。根据处理具有小开口的厚掩模的技术能力,这可通过选择诸如在大于100KeV至几个MeV的值范围内的注入能量等来执行。在epi生长之前,可能有必要蚀刻顶表面的一部分以在轻掺杂的下一个epi层107中实现良好的结晶质量。在这个步骤期间,来自注入区的n-掺杂剂和p-掺杂剂的损耗可减到最小,并且n-掺杂剂和p-掺杂剂的注入轮廓可以匹配,使得各自的损耗量相等,从而保持电荷平衡。

[0035] 图1E示出形成超结区域189的另一个超结层的示例性方法。图1E示出一个示例性实施例,其中采用类似于上方图1B和1C中所示的方法,在轻掺杂的下一个外延层107中注入后续的p-区105和n-区104。如图1E中进一步示出,可再次施加相同的n-柱和p-柱掩模,以形成沿横向位于外延层102上方的超结区域189的下一个超结层。超结区域189中的连续层中的n-区104和p-区105可沿着横向T彼此完全或部分地对准,并且开始形成彼此电荷平衡的邻接n-柱108和邻接p-柱109。该工艺可重复几次以从多个层107形成超结区域189,所述多个层107含有在横向上对准以形成n-柱108和p-柱109的p-区105和n-区104。例如,n-柱108和p-柱109可通过对准到超结区域189中每个层的相同蚀刻对准部件来彼此对准。应当理解,n-柱还可称为n-区。应当理解,p-柱还可称为p-区。由于击穿电压随超结区域189的总高度成比例变化,所以针对电压较高的器件可采用更多数目的层,而针对电压较低的器件可采用更少数目的层。超结n-柱108和p-柱109的较密间距会使得每单位面积的导电沟道更多,从而导致导通电阻更低。这还可导致耐受n-柱108和p-柱109的电荷不平衡的操作范围更小。为了实现雪崩稳定性,可能有必要对n-柱108和p-柱109的掺杂进行分级,其中p-柱在

顶部的掺杂水平稍高,或者n-柱在底部附近的掺杂水平较高。这种有意为之的轻微电荷不平衡可塑造电场轮廓,以使得器件击穿随着雪崩击穿中的电流密度而增加,从而使器件稳定,并且还增加器件对工艺变化引起的电荷变化的耐受性。在示例性实施例中,柱108和109的间距可指沿着纵向L的连续n-柱108或连续p-柱109之间的距离中的至少一者。

[0036] 由于n-柱108和p-柱109电荷需要高精度,可使用双重注入方法。用于将外延掺杂精确地控制为(例如)超过5%的方法可使得能够使用epi层本底作为n-柱掺杂,并且只注入p-区。该方法还可包括将p-注入增加到足够高的值以便反掺杂n-注入物并且将材料转变为具有恰当净p-电荷的p-型。

[0037] 图1F示出沿着横向T在超结区域189之上形成屏蔽区域112中的屏蔽层。如图1F所示,在构建超结区域189之后,可形成屏蔽区域112的一个或多个屏蔽层。如图1F所示,可在超结区之上生长轻掺杂层110,并且通过(例如)掩模进行注入以生成p-屏蔽区112a,并且再次通过另一个掩模进行注入以在p-屏蔽区112a之间生成n-屏蔽区114。应当理解,n-屏蔽区114还可称为n-注入物114,并且p-屏蔽区112a可称为p-注入物112a。可运用掩模形成、掺杂剂活化和外延再生长等方法,并且可对超结区域189中使用的相同蚀刻对准标记执行对准。可在若干层之后重新蚀刻对准标记,使得它们足够清晰以便光刻工具能够感应到。因此,应当理解,每个p-屏蔽区112a可沿着纵向L与相应的p-柱109完全或部分地对准,并且每个n-屏蔽区114可沿着纵向L与相应的n-柱108完全或部分地对准。在图1F所描绘的实施例中,每个p-屏蔽区112a与相应的p-柱109完全对准,并且每个n-屏蔽区114与相应的n-柱108完全对准。因此,应当理解,p-屏蔽区112a和n-屏蔽区114具有与超结区域178中的相关柱相同的间距。在另一个实施例中,屏蔽区112的一个或多个屏蔽层可沿着横向T连续设置以形成屏蔽区域112。

[0038] 屏蔽区域112的屏蔽层不需要电荷平衡。p-屏蔽区112a可比p-区109更重地掺杂以降低屏蔽区112的电阻。n-区114的掺杂还可被设计以将反向偏压下的夹断电压调节为(例如)在30V至200V的范围内的所需值。

[0039] 如图1F中进一步示出,链路区域113可沿着横向T在屏蔽区域112之上形成。链路区域113可包括一个或多个链路层。例如,链路区域113的链路层可在设置于屏蔽区域112的屏蔽层上方的后续轻掺杂epi层111中形成。用于该层的p-柱掩模在大部分活动区域116中阻断p-注入,并且在选定位置允许p-注入,在所述选定位置中屏蔽区域112将被连接到源极(如结合后续图示所描述),该源极被描绘为p-链路区113a。例如,如图1F所示,依据终端设计,还可允许p-注入物进入终端区115中。在epi层111中的p-注入区113a之间生成n-注入区113b可使用活动区域中一个或多个不同大小的一个或多个开口来执行,并且可使用与n-屏蔽区114和超结电荷平衡区189不同的掺杂水平。例如,如图1F所描绘,尽管掩模在大部分活动区域116中阻断了被阻止的p-链路区113a,但大部分活动区域被n-注入区113b占据。例如,链路区域113中的单个n-注入区域113b可设置在屏蔽区域112的两个或更多个p-屏蔽区112a和n-屏蔽区114上方。例如,在图1F中,链路区域113中的单个n-注入区域113b可设置在屏蔽区域112的九个p-屏蔽区112a和n-屏蔽区114上方。

[0040] Epi层111可被重掺杂以协助电流从JFET区域178中的JFET沟道扩散到超结电荷平衡区189,尤其是在表面JFET沟道被设置为正交于次表面屏蔽超结区域189的设计中。因此,如图1F所描绘,只要n-区113b被耗尽,器件阻断电压就不会因该层的重掺杂而降低。该层中

的电荷还可确保在JFET区域178的栅极与连接到源极的屏蔽区域112之间避免“穿通”。

[0041] 图1G示出如何使用epi生长、p-掩蔽注入和n-掩蔽注入以及活化序列来在JFET区域178中形成JFET沟道的示例性方法。图1G示出用于JFET栅极和沟道区的生长和注入序列的示例性方法。各个p-栅极注入物118可包括在JFET区178的连续层中注入并且沿着横向T与另一个完全或部分地对准的p区。各个n-沟道注入物117可包括在JFET区178的连续层中注入并且沿着横向T与另一个完全或部分地对准的n区。p-栅极注入物118可被明显更重地掺杂,并且n-沟道注入物117可针对JFET的目标夹断电压而设计。通过掩蔽注入获得的准确电荷控制可允许将JFET夹断电压精确控制在例如针对常关器件在+1V至+2V的范围内以及针对SiC常开器件在-3V至-20V的范围内。通过使沿着纵向L延伸的具有重掺杂小宽度的p-区118和n-区117变窄,可促进沟道电阻最小化。密集的间距使得每单位面积堆积更多沟道,从而可降低有效沟道电阻。在示例性实施例中,形成栅极柱的相同注入物还形成从屏蔽区域112的屏蔽层或链路区域113的链路层到源电极126的连接,即p-链路柱119。该p-柱119通过布局与栅极p-柱隔离并且短接到源电极126。在示例性实施例中,柱117和118的间距可指沿着纵向L的连续n-柱117或连续p-柱118之间的距离中的至少一者。例如,如图1G所描绘,JFET区域178内的n-区117和p-区118的间距可比超结区域189的间距短。

[0042] 图1H示出用于形成要在其中形成栅极触点和源极触点的重掺杂表面区的一种方法。图1H示出表面注入物形成触点的示例性方法。掩蔽n+注入120之后是掩蔽p+注入121。针对栅极触点区域的p+注入未在图1H中示出,但其可在侧向上与n+触点错开。栅极和屏蔽拾取使用掩蔽p+注入121,而源极区使用单独掩蔽的n+注入120。应当理解,p+注入121还可称为p+触点注入。应当理解,n+注入120还可称为n+触点注入。这些注入物可被一起活化,并且在实施过程中,n+区和p+区的布局可以交错形成平面以增大栅极-源极击穿电压。p+区还可在若干垂直SiC蚀刻之后形成,以在n+源极与p+栅极之间形成一定的偏移,从而得到较高的栅极-源极击穿。

[0043] 相邻的n+源极区和p+栅极区在JFET区域的上方形成栅极-源极PN结,其中各个n+源极触点区形成在每个JFET n-型沟道的顶部上。n-型源极触点区与JFET n-型沟道区之间的界面与原始晶片表面基本上平行,同时JFET n-型沟道与相邻的p-型栅极区之间的PN界面是基本上垂直的,从而形成在JFET n-型沟道中具有基本上垂直的电子电流流动的本质基本上垂直的JFET n-型沟道。如此处图1H的示例中可看出的,器件在p-型栅极周围不具有横向的JFET沟道部分,因此可以从n-型源极触点区通过整个JFET n-型沟道区到达以下的链路区域绘制垂直于起始晶片表面的笔直连续电子流动路径。

[0044] 图1I示出使电介质沉积并且图案化的示例性方法。图1I示出用于p-栅极区、p-链路区和n-源极区的硅化的氧化物沉积图案化。图1I还示出背侧金属的沉积和触点的形成。开口接触活动区域中每个地方的源极n+区、通常在栅极垫和栅极总线位置处的栅极拾取区域的p+栅极开口,以及屏蔽接触位置中的屏蔽拾取p+-区。如图1I所示,可看到屏蔽和源极触点122,但未看到栅极触点,因为它们通常处于活动区域116外围沿着与纵向L正交的侧向A错开的单独位置。可对诸如镍(Ni)等触点金属124进行沉积并且在例如600C至750C的温度下进行退火以形成欧姆触点。可通过一些方法,诸如对在(例如)900C至1100C范围内的温度下退火的硅化物区进行湿法蚀刻等,从氧化物区移除诸如Ni等过量材料,以降低接触电阻。为了进一步改进p+区的接触电阻,可以(例如)运用一种包含两个步骤的技术,即首先在较

高温下对源极触点进行退火,然后在较低温度下对使用相同或不同金属的栅极触点进行退火。可使用相同退火方法同时形成背侧欧姆触点123,这可通过在退火之前采用研磨或蚀刻方法从晶片背侧移除电介质、沉积AL-Ni或类似的背垫金属来完成。应当理解,背侧欧姆触点123还可称为触点硅化物123。

[0045] 图1J示出沉积正面和背面厚覆盖金属的示例性方法。图1J示出示例性覆盖金属的正侧图案。图1J还进一步示出BCB或聚酸亚胺图案和背侧覆盖金属。正面和背面厚覆盖金属可提供可焊性背侧表面和可引线接合或可焊性顶表面。顶表面金属126被图案化以将栅极区与源极区126分开。有可能隔离屏蔽拾取区(例如,p-柱119),其可被呈现为单独的电极。然后可使用诸如BCB 128(如图1J中所示)等技术来钝化顶表面,以覆盖终端区域115和栅极与源极之间的区。另外在图1J中,漏极金属125(例如,漏极电极)在背侧欧姆触点123上方形成。

[0046] 如图1J中进一步示出,对各种区掺杂水平的选择可以不同的设计决策为依据。N外延区102的N_{epi}层可被设计为单个层或者分级或阶形轮廓,越靠近超结区域189的超结层,N_{epi}层越轻。例如,至少N外延区102的N_{epi}层的最顶部区和层107的掺杂水平(称为“N3”)可以(例如)比超结区域189的n-区104和n-柱108的掺杂水平(称为“N2”)轻5至1000倍。这允许n-电荷完全由注入控制。超结区的掺杂被选择为使得超结区域189的p-区105和p-柱109的掺杂(称为“N1”)与n-区104和n-柱108的掺杂水平N2保持电荷平衡,从而使得两侧在反向偏压下耗尽并且支持击中断态电压。在屏蔽区域112的屏蔽层中,p-区112a可具有某一掺杂水平(称为“N4”)以使得p-区112a的掺杂水平N4大于掺杂水平N1。屏蔽区可不被设计为耗尽其本身,而是使得n-区114在目标电压下耗尽,该目标电压可不同于超结区耗尽时所处的电压。因而,屏蔽区域112的屏蔽层中的n-区114的掺杂(称为“N5”)将不同于超结区域189的超结层中的掺杂水平N2 104、108。如果掺杂水平N5被选择为允许其在足够低的电压下“夹断”,则可使链路层中的n-区域113b的掺杂(称为“N7”)较重而没有击穿损失。掺杂水平N5 114可被设计为在例如100V下耗尽。掺杂水平N4 112a和N5 114区的宽度在与相关掺杂组合时形成电荷平衡区域189。可选择较高的掺杂水平N7 113b,例如高于掺杂水平N2 104、108,以降低电流扩散电阻并且防止栅极与屏蔽p-区之间的“穿通”。链路区113a的p-区113a的p-掺杂(称为“N6”)可不同于屏蔽p-区112a的掺杂水平N4,并且可被调整以增加或降低屏蔽至源极电阻。链路区域113的p-掺杂水平N6 113a可大于掺杂水平N1。链路p-区113a的p-掺杂N6可等于屏蔽区域112的屏蔽层的掺杂水平N4 112a。栅极区118的掺杂水平(称为“N8”)可同样不同于超结p-区105和柱109的掺杂水平N1或屏蔽p-区112a的掺杂水平N4。栅极区118的掺杂水平N8可大于超结p-区105和p-柱109的掺杂N1,并且等于p-区113a的p-掺杂的掺杂水平N6和p-区112a的掺杂N4。形成沟道的n-区117的掺杂N9具有沿着纵向L延伸的宽度和基于常开或常关行为及目标“夹断”电压来设计的掺杂水平,并且因此将不同于其他n-区掺杂,例如掺杂水平N2、N5和N7,如图1J所示。形成沟道堆叠的各个层可具有不同的掺杂水平以生成分级或阶形轮廓。

[0047] 这种JFET形成方法可采用或不采用任何深沟槽蚀刻,并且可主要是掩蔽注入、epi生长和活化步骤等的汇集,之后是诸如电介质沉积、触点形成、金属图案化和钝化等方法。其可易于运用到硅或III-V晶片处理纵列。由于晶片表面在大多数epi再生步骤中保持平坦,因此可用细线光刻形成密集图案以实现出色性能。

[0048] 如图1J所示,屏蔽区域112的p-区112a可通过一些电阻(包括屏蔽区域112的p-区112a、链路区域113的p-区113a和p-柱119的电阻)在位置127处电连接到源极金属126。应当理解,将屏蔽区域112在位置127处连接到源极金属126的区还可称为屏蔽短接到源极所在的位置。该电阻看起来与超结层和屏蔽层的漏极-源极电容串联。因此,其可用以(例如)在器件关断期间过快的情况下缓冲器件的关断速度。设计者可通过工艺和布局来调整该电阻以实现所需效果。过量电阻可致使屏蔽区开始跟踪漏极电位,然后器件可具有较高的有效 C_{gd} ,而这可能是不可取的。该电阻还可看起来与漏极-源极P-N二极管串联。这在二极管需要传导电流时可能是不利的。在许多应用中,优选使用单独的反平行JBS二极管。在此情况下,该电阻实际上有助于使JFET中的双极电流最小化,并且允许电流完全换向到JBS二极管而不需要添加任何电路元件。

[0049] 一旦区114被耗尽,屏蔽区域112可保护JFET区域178的顶表面以防电场随着漏极电压升高而进一步增大。这使得有可能减小JFET区域178的JFET沟道的长度而不损失阻断能力。较短的沟道(例如)可进一步降低器件电阻和输入电容。在示例性实施例中,尽管超结区189可被设计为在漏极-源极电压 V_{DS} 的值(例如,200V)下完全耗尽,n-区114可被设计为在 V_{DS} 的值(例如,100V)下耗尽,并且JFET区178的JFET沟道可被设计为在栅极-源极电压 V_{GS} 的值(例如,小于1.5V,对于常关器件)下夹断。例如,在100V漏极偏压以上,表面JFET沟道电场可不随施加的漏极偏压而增加很多,从而可形成相比非屏蔽JFET而言沟道电阻降低的密集短沟道器件。

[0050] 图1A至图1J中所示的器件结构和工艺可用于在不需要超结区域189的情况下通过省略含有超结区域189的层并且使用轻掺杂epi区支持击穿来形成屏蔽JFET。这种类型的器件可因JFET区域178的短屏蔽JFET沟道的沟道电阻降低、栅极-漏极电容 C_{gd} 更低和内置PN二极管而受益,但可具有传统JFET的漂移区电阻。

[0051] 对于不太关注频率的负载切换应用,可不需要屏蔽层和链路层,并且超结p-柱可直接连接到栅极p-柱。超结区在超结p和n柱耗尽所处的电压以上为上部JFET区提供屏蔽。这可允许沟道长度有一定减小而不妨碍阻断性能。器件可具有低导通电阻,但承受高 C_{gd} ,并且可因此在可耐受较低切换速度时以这种形式应用,并且可不需要内置PN反平行二极管。

[0052] 有可能针对超结区域189、屏蔽区域112和JFET区178使用多种蜂窝布局,并且可混合几种不同的布局类型以实现目标性能。图1A至图1J示出条形布局,其中超结区域189的超结层在活动区域中使用条形柱,其与具有相同间距的屏蔽区域112的条形屏蔽层对接。在超结区域189的超结层上方,示出具有较小间距的较密集的JFET区域178。可在例如与下方超结区域189的屏蔽层和超结层正交的方向上(诸如,沿着与纵向L正交的侧向A)布置JFET区域178。在使用条形时,可将屏蔽层布置为与超结区域189的超结层正交。或者,可对屏蔽区域112的屏蔽层使用正方形网格布局,而对超结区域189的超结层使用条形或正方形设计。可使用闭孔正方形、六边形、圆形几何形状等界定超结区189和屏蔽区112,并且将这与用于上方JFET的任何条形、正方形、六边形、圆形蜂窝布局等相结合。

[0053] 图1J示出可运用于器件的边缘终端的技术。诸如与超结器件终端相关的技术,例如逐渐改变相邻的柱之间的电荷平衡以允许浮动的p区和n区有效地耗尽,可运用于器件的边缘终端。还可仅使用超结区域189的超结层或使用超结区域189的超结层和屏蔽区域112的屏蔽层来形成完全埋置终端,这可帮助降低晶粒表面处的电场峰值并且改进可靠性。该

终端可(例如)使用同心环的p-柱和n-柱来布置,其中电荷平衡渐进变化以确保终端区域内所有浮动的-p柱恰当耗尽。终端柱的宽度可被设计为使得在器件支持高反向电压时,电位逐渐分布到活动区域116与处于漏极电位下的终端区域115的最右边缘(如图中所描绘)之间的柱,从而避免可降低器件击穿电压的高电场区。可在活动单元与终端对接的活动区域116的边缘处加以注意,以避免失去电荷平衡并且承受低击穿的区。这些技术可涉及某种布局,以确保(例如)在终端中的第一p-柱环之前的条形末端处打破规则活动单元模式的每个子区中的局部电荷平衡。

[0054] 图2A至图2J示出屏蔽超结垂直沟槽JFET的示例性实施例。图2K中所示的示例性结构得到如图1J中的相似类型的屏蔽超结JFET结构,其中屏蔽连接到源极电位226。然而,与图1J相反,图2K的JFET沟道211可(例如)在蚀刻沟槽217之间形成。栅极沟槽217a和屏蔽拾取沟槽217b具有不同深度,每一者分别包含侧壁栅极p-注入物218a和屏蔽拾取p-注入物218b。应当理解,连接到源极电位226的屏蔽还可称为屏蔽拾取区。应当理解,JFET沟道区域211还可称为沟道区。

[0055] 如图2A中所示,工艺开始于如图1A中所示的实施例中的相同起始晶片结构。首先以一个或多个缓冲层201然后以epi层202覆盖N+衬底200。N外延区202的最顶端部分被非常轻地掺杂,并在其中执行超结n-注入和p-注入。图2B至图2E遵循图1B至图1E所示的工艺,以构造具有交替的电荷平衡n-柱208和p-柱209的超结区域289。

[0056] 图2B示出通过诸如光致抗蚀剂掩模203等注入掩模进行的n-区204的第一注入。该方法得到注入的n-区204。这类似于结合图1B示出和描述的示例性工艺。

[0057] 图2C示出通过诸如光致抗蚀剂掩模206等注入掩模进行的p-区205的第一注入。该方法得到注入的p-区205。这类似于结合图1C示出和描述的示例性工艺。

[0058] 图2D示出下一个epi层207的生长。这类似于结合图1D示出和描述的示例性工艺。

[0059] 图2E示出n-区204和p-区205的下一对掩蔽注入。该方法得到注入的p-柱209和注入的n-柱208。这类似于结合图1B示出和描述的示例性工艺。

[0060] 图2E示出包含p-注入物区210a和n-注入物区210b的屏蔽区域210的一个或多个屏蔽层的形成。形成屏蔽区域210的屏蔽层类似于结合图1F示出和描述的形成屏蔽区112的屏蔽层的示例性工艺。

[0061] 图2F进一步示出一种示例性方法,其中在形成具有p-注入区210a和n-注入区210b的屏蔽层210之后,较厚的沟道n-epi层在屏蔽区域210的屏蔽层之上沿着横向T生长211,并且以重掺杂的n+源极接触层212覆盖。应当理解,p-注入区210a还可称为屏蔽p-注入层。应当理解,n-注入区210b还可称为屏蔽n-注入层。应当理解,沟道n-epi层211还可称为沟道epi层。应当理解,n+源极接触层212还可称为n+接触表面层、n+盖、n+或n+接触层。沟道epi层211可具有均匀或变化掺杂的轮廓,其中在靠近屏蔽层210的底部附近掺杂加重。n+表面接触层212可具有(例如)在0.25 μ 至2 μ 的值范围内的厚度。

[0062] 图2G示出一种示例性方法,其中施加掩模并且从屏蔽接触区域215和从终端区域214蚀刻N+源极接触层212,从而仅在活动单元区域213中留下n+源极接触层212。活动区域213是最终形成JFET活动沟道所在之处,而终端区域214可不具有活动JFET沟道,而是具有在活动区域与晶粒边缘之间逐渐扩散漏极电位从而防止低击穿电压的浮动柱。区215是最后将向屏蔽层形成触点的所在之处。活动单元区域213与屏蔽接触区域215之间形成的偏移

可使得单个沟槽蚀刻步骤能够稍后产生不同深度的沟槽,以分别形成屏蔽拾取和JFET栅极或沟道,如下文所描述。

[0063] 图2H示出一种示例性方法,其中在活动区域213上对硬掩模216进行图案化。硬掩模216可由诸如具有Ni覆盖层的氧化物等材料构成。接下来,使用(例如)适用于SiC的ICP等离子工具等,蚀刻一个或多个栅极沟槽217a和一个或多个屏蔽拾取沟槽217b。应当理解,栅极沟槽217a和屏蔽拾取沟槽217b可统称为沟槽217。沟槽217的蚀刻深度可被设计为穿透n+覆盖层212并且进入活动单元区域213中的沟道epi层211,但远离沟道epi层211下方的屏蔽层210。由于终端区域214和屏蔽接触区域215先前被蚀刻到某一深度以移除n+覆盖层212这一事实,屏蔽拾取沟槽217b的有效沟槽深度可比栅极沟槽217a的深度深出n+覆盖层212的厚度。应当理解,沿着纵向L在连续沟槽之间可以有台面,如图2H所描绘。

[0064] 图2I示出应用光致抗蚀剂掩模219的一种示例性方法,其中首先垂直地注入然后使用倾斜离子束注入p-型掺杂剂(例如,铝)以为沟槽加衬,从而生成U形p-区:(1)沟槽217a中的栅极p-注入物218a和(2)沟槽217b中的屏蔽拾取p-注入物218b,其符合相应沟槽217的轮廓。应当理解,光致抗蚀剂掩模219还可称为光致抗蚀剂。垂直和倾斜离子注入形成栅极区218a、屏蔽拾取p-注入物218b和终端区域214中的防护环。应当理解,栅极区还可称为栅极p-注入物。屏蔽拾取p-注入物218b连接较深沟槽217b区域215中的屏蔽区域210的p-区210a。该屏蔽拾取p-注入物218b可通过布局与栅极沟槽隔离。

[0065] 如此处在图2I的示例中的平面布置可看出的,相邻的n+源极区和p+栅极区在JFET区域的上方形成栅极-源极PN结,其中各个n+源极触点区形成在JFET n-型沟道的顶部上。n-型源极触点区与JFET n-型沟道区之间的界面与原始晶片表面基本上平行,同时JFET n-型沟道与相邻的p-型栅极区之间的PN结界面是基本上垂直的,在JFET n-型沟道中具有基本上垂直的电子电流流动。器件在p-型栅极周围不具有横向的JFET沟道部分,因此可以从n-型源极触点区通过整个JFET n-型沟道区到达以下的链路区域绘制垂直于起始晶片表面的笔直连续电子流动路径。

[0066] 或者,可使用两个单独的掩模来生成进入沟槽217中的注入物,其中一个掩模对终端和屏蔽拾取区进行较深的垂直注入,但不在活动区域栅极沟槽中注入,另一个掩模用以实现较浅的注入以为活动区域栅极沟槽加衬。借助这些技术,可在JFET栅极的底部与屏蔽区域210的p-区210a的顶部之间维持足够的空间。这个区的“穿通”电压必须超过器件所需要的栅极-源极最大操作电压。在使用均匀沟道层的情况下,可通过在沟槽217底部处的栅极p-区218a下方执行掩蔽n-型注入来强化“穿通”电压。一旦进行了所有注入,就可剥去硬掩模216层,并且使用诸如上述石墨化和退火技术等来活化注入物。

[0067] 图2J示出形成氧化物间隔层的示例性方法。如图2J所示,掩蔽氧化物技术可在终端上方保留氧化物。可施加第二掩模以从屏蔽拾取沟槽剥去间隔层氧化物。如图2J所示,在使用掩模保护终端区域的情况下,使用诸如RIE等技术各向异性地回蚀氧化物223,使得间隔层222形成于活动单元区域213中。应当理解,氧化物223还可称为终端氧化物223。应当理解,间隔层还可称为侧壁间隔层。氧化物223可留在终端区域214中。可施加另一个光致抗蚀剂掩模来保护所有氧化物,但允许从屏蔽接触沟槽217b选择性地对其进行湿法蚀刻。应当理解,屏蔽接触沟槽217b可位于屏蔽接触区域215b中。一旦剥去抗蚀剂,就可用诸如Al-Ni、Ni等材料来沉积触点硅化金属。该工艺将使得能够向栅极区和源极区形成触点。RTA处理

(例如)生成硅化物,其中金属接触碳化硅表面。可从氧化物表面湿法蚀刻去掉过量金属,并且可使用后续的较高温度退火来降低针对栅极区和源极区的欧姆接触电阻,从而在用于栅极触点221和源极触点220的区中留下硅化物并且将屏蔽触点连接到源极215。应当理解,源极触点220还可称为源极台面接触区。通过研磨或蚀刻去掉前面步骤留下的电介质,可制备背侧表面以供背垫金属沉积(例如,漏极覆盖层的形成),背垫金属的沉积和退火与顶侧第二触点的退火一起完成,以产生针对漏极的欧姆触点,如图1J所示。

[0068] 图2K示出应用诸如BPSG(硼磷硅玻璃)或BCB(苯并环丁烯)等平面化电介质的示例性方法。图2K示出示例性沟槽填充和平面化以及顶部覆盖层金属沉积和掩蔽蚀刻。可通过CMP(化学机械抛光)进行电介质回蚀或平面化,以暴露源极台面接触区220的顶部。然后使用掩模来蚀刻通孔以连接到栅极垫和栅极总线区域中的栅极接触区221。最后,可在正面和背面沉积覆盖层金属并且在正面对其进行图案化,以分开栅极区和源极区,从而完成器件。图2K还示出平面化电介质层224和源极225。应当理解,源极还可称为源电极。应当理解,电介质层224还可称为平面化电介质224。源极225通过屏蔽接触区域215连接到屏蔽层210。

[0069] 如图2K中进一步示出,对各种区掺杂水平的选择可以不同的设计决策为依据。N_{epi}层202和207可被设计为单个层或者分级或阶形轮廓,越靠近超结区域289的超结层,N_{epi}层越轻。层202的顶端部分和整个层207可被非常轻地掺杂(该掺杂水平称为“N23”),例如比超结n-区204和n-柱208的掺杂(称为“N22”)轻5至1000倍。这允许n-电荷完全由注入控制。超结区289的层的掺杂被选择为使得p-区205和柱209的掺杂水平(称为“N21”)与N22掺杂的n-区204和柱208保持电荷平衡,从而使得两侧在反向偏压下耗尽并且支持击中断态电压。在屏蔽层210中,p-区210a可具有掺杂水平(称为“N24”)以使得掺杂水平N24大于掺杂水平N21。屏蔽区域210的n-区210b可具有掺杂水平(称为“N25”)。屏蔽区域210可不被设计为耗尽其本身,而是使得屏蔽区域210的n-区域210b在目标电压下耗尽,该目标电压可不同于超结区289耗尽时所处的电压。因而,屏蔽层210中的n-区域210b的掺杂N25将不同于超结区域289的超结层中的n-区204和柱208的N22。如果区掺杂N25 210b被选择为允许屏蔽区210在足够低的电压下“夹断”,则可使沟道层的掺杂(称为“N27”)较重而没有击穿损失。掺杂N25 210b可被设计为在例如100V的值下耗尽。可选择较高的掺杂水平N27,例如大于掺杂水平N22,以降低电流扩散电阻并且防止栅极与屏蔽p-区之间的“穿通”。p-注入物218a和218b的p-掺杂(称为“N26”)可不同于掺杂水平N24,并且可被调整以增加或降低屏蔽至源极电阻。p-掺杂N26可大于掺杂水平N21。p-掺杂N26可等于掺杂水平N24。形成沟道堆叠的各个层可具有不同的掺杂水平以生成分级或阶形轮廓。

[0070] 图3示出关于针对图2A至图2K所描述的器件安排布局的示例性方法。图3示出针对条形设计的屏蔽JFET的示例性布局。如图3所示,源极台面303(例如,栅极沟槽302的任一侧的台面)在活动区域中与栅极沟槽302交替。栅极沟槽302终止于较宽的区,即栅极垫沟槽301,栅极垫在此处最终形成。围绕栅极沟槽302所有侧的是具有屏蔽拾取沟槽304的较窄台面区307。p-防护环结构305可被形成为与屏蔽拾取沟槽304同心。应当理解,p-防护环结构还可称为防护环。源极金属可在必要时围绕栅极垫301延伸以在所有四侧连接到屏蔽拾取沟槽304。图3还可示出示例性晶粒边缘306。在一个实施例中:(1)沟槽217b可为屏蔽拾取沟槽304的例子;(2)沟槽217a可连接到栅极垫310,并且可为栅极沟槽302的例子;(3)沟槽217b可界定台面,这些台面可为源极台面303的例子;并且(4)相邻的沟槽217a和217b可形

成台面,该台面为窄台面307的例子。应当理解,图2A至图2K示出器件沿着横向T和纵向L的横截面视图,而图3描绘器件沿着纵向L和侧向A的平面视图。

[0071] 图4示出JFET的示例性布局示意图。如图4所示,源极n-柱403在活动区域中与栅极p-柱402交替。栅极柱终止于较宽的区,即栅极垫区401,栅极垫在此处最终形成。围绕栅极柱所有侧的是具有屏蔽拾取p-柱404的较窄n-柱区407。屏蔽拾取通过n-柱与p-防护环结构405分开,该防护环结构被形成为与屏蔽拾取p-柱同心。源极金属可在必要时围绕栅极垫延伸以在所有四侧连接到屏蔽拾取柱。图4还可示出示例性晶粒边缘406。在一个实施例中,(1) p-柱118可为栅极p-柱402的例子;(2) n-柱117可为n-柱403的例子,并且可连接到栅极垫401;(3) p-柱119可为p-屏蔽拾取404的例子;并且(4) 位于p-柱119与p-柱118之间的n-柱117可为n-柱407的例子。

[0072] 根据以上说明和所有附图,屏蔽超结JFET的实施例及其制作方法的实施例可包括:超结电荷平衡区域(189),该超结电荷平衡区域(189)包括第一导电类型的注入区(n-型注入物柱108)和第二导电类型的注入区(p-型注入物柱109)。JFET还可包括:埋置屏蔽(112),其沿着第一方向设置在超结电荷平衡区域(189)上方,该埋置屏蔽(112)区域包括第一导电类型的区(n-注入物112a)和第二导电类型的区(p-注入物112b);链路区域(113),该链路区域(113)沿着第一方向设置在超结电荷平衡区域(189)和埋置屏蔽(112)上方,该链路区域(113)包括第一导电类型的区(n-沟道注入物113a)和第二导电类型的区(p-栅极注入物113b);JFET区域(178),该JFET区域沿着第一方向设置在超结电荷平衡区域(189)和埋置屏蔽(112)上方,该JFET区域包括第一导电类型的区(n-型柱117)和第二导电类型的区(p-柱118和119);源电极(126),该源电极(126)沿着第一方向设置在超结电荷平衡区、埋置屏蔽(112)和JFET区域(178)上方;以及电链路,其包括:(1) 链路区域(113)的至少一个第二导电类型的区(p-型113a),其电连接到埋置屏蔽(112)的至少一个第二导电类型的区(p-注入物112a)并且沿着第一方向与埋置屏蔽(112)的至少一个第二导电类型的区(p-注入物112a)至少部分地对准;(2) JFET区域(178)的至少一个第二导电类型的区(p-栅极注入物119),其电连接到链路区域(113)的至少一个第二导电类型的区(p-型注入物112a)和源电极(126),该JFET区域(178)的至少一个第二导电类型的区(p-栅极注入物119)沿着第一方向与链路区域(113)的至少一个第二导电类型的区(p-型注入物113a)至少部分地对准,其中电链路将源电极(126)电连接到埋置屏蔽(112)以便使埋置屏蔽(112)保持在源电极(126)电位下。

[0073] JFET及其制作方法的实施例还可包括多个第一导电类型的平面层,所述多个第一导电类型的平面层中的每一个:(1) 以垂直于第一方向的第二方向和垂直于第一和第二方向的第三方向延伸,(2) 具有以第一方向延伸的厚度,并且(3) 所述多个层具有各自的第一导电类型的原始掺杂浓度(N3)。超结电荷平衡区域可包括多个平面层中的第一组层,该第一组层包括一个或多个层,该第一组层包括沿着第二方向彼此相邻并且以交替模式设置的第一导电类型的第一组注入区(n-注入物108)和第二导电类型的第一组注入区(p-注入物109),该第一组注入区的第一导电类型(n-型)的注入区具有第一掺杂浓度(N2),并且该第一组注入区的第二导电类型(p-型)的注入区具有第二掺杂浓度(N1),第一掺杂浓度和第二掺杂浓度在超结电荷平衡区域中造成电荷平衡;埋置屏蔽(112)可包括多个平面层中的第二组层,该第二组层包括一个或多个层,该第二组层包括沿着第二方向彼此相邻并且以交

替模式设置的第一导电类型的第二组注入区 (112a) 和第二导电类型的第二组注入区 (112b), 该第二组注入区的第一导电类型的注入区 (112a) 具有第三掺杂浓度 (N5), 并且该第二组注入区的第二导电类型的注入区 (112b) 具有第四掺杂浓度 (N4)。第一组第二导电类型的注入区 (109) 和第二组第二导电类型的注入区 (112b) 可沿着第一方向彼此至少部分地对准。链路区域 (113) 可包括多个平面层中的第三组层, 该第三组层包括一个或多个层, 该第三组层包括沿着第二方向彼此相邻并且以交替模式设置的第一导电类型的第三组注入区 (113a) 和第二导电类型的第三组注入区 (113b), 该第三组注入区的第一导电类型的注入区 (113a) 具有第五掺杂浓度 (N7), 并且该第三组注入区的第二导电类型的注入区 (113b) 具有第六掺杂浓度 (N6)。JFET 区域可包括多个平面层中的第四组层, 该第四组层包括一个或多个层, 该第四组层包括沿着第二方向彼此相邻并且以交替模式设置的第一导电类型的第四组注入区 (117) 和第二导电类型的第四组注入区 (118 和 119), 该第四组注入区的第一导电类型的注入区 (117) 具有第七掺杂浓度 (N9), 并且第四组注入区的第二导电类型的注入区 (118 和 119) 具有第八掺杂浓度 (N8)。

[0074] 在 JFET 及其制作方法的实施例中, 第一掺杂浓度 (N2) 和第七掺杂浓度 (N9) 大于原始掺杂浓度 (N3); 第一掺杂浓度 (N2) 不同于第七掺杂浓度 (N9); 第四掺杂浓度 (N4)、第六掺杂浓度 (N6) 和第八掺杂浓度 (N8) 大于第二掺杂浓度 (N1); 并且第四掺杂浓度 (N4)、第六掺杂浓度 (N6) 和第八掺杂浓度 (N8) 彼此不同。

[0075] 在 JFET 的实施例和制作该 JFET 的实施例中, 第一掺杂浓度 (N2) 和第七掺杂浓度 (N9) 大于原始掺杂浓度 (N3); 第一掺杂浓度 (N2) 等于第七掺杂浓度 (N9); 第四掺杂浓度 (N4)、第六掺杂浓度 (N6) 和第八掺杂浓度 (N8) 大于第二掺杂浓度 (N1); 并且第四掺杂浓度 (N4)、第六掺杂浓度 (N6) 和第八掺杂浓度 (N8) 彼此相等。

[0076] 在 JFET 的实施例及制作该 JFET 的实施例中, 电链路 (113) 的至少一个第二导电类型的区 (119) 被 JFET 区域 (178) 的第一导电类型的第一区 (117 和 407) 与 JFET 区域 (178) 的第二导电类型的第二区 (118) 分开, 第一导电类型的第一区 (117 和 407) 沿着第二方向和第三方向围绕 JFET 区域 (178) 的第二导电类型的第二区 (118)。

[0077] 在 JFET 及其制作方法的实施例中, 超结电荷平衡区域中的第一导电类型的连续区域 (108) 沿着第二方向间隔开, 并且被 (1) 第二导电类型的单个区域 (109) 和 (2) 第一间距分开; 并且 JFET 区域中的第一导电类型的连续区域 (117) 沿着第二方向间隔开, 并且被 (1) 第二导电类型的单个区域 (118) 和 (2) 第二间距分开。第一间距与第二间距不同。

[0078] 在本发明及其制作方法的实施例中, 超结电荷平衡区域中的第一导电类型的连续区域 (108) 沿着垂直于第一方向的第四方向彼此间隔开; 并且 JFET 区域中的第一导电类型的连续区域 (117) 沿着第五方向彼此间隔开。第四方向垂直于第五方向和第一方向。

[0079] 在 JFET 及其制作方法的实施例中, JFET 区域在第一电压夹断, 超结电荷平衡区域在第二电压夹断, 并且第一电压小于第二电压。

[0080] 根据以上说明和所有附图, 开槽屏蔽超结 JFET 的实施例及其制作方法的实施例可包括: 超结电荷平衡区域 (289), 该超结电荷平衡区域包括第一导电类型的注入区 (204 和 208) 和第二导电类型的注入区 (205 和 209); 埋置屏蔽 (210), 其沿着第一方向设置在超结电荷平衡区域 (289) 上方, 埋置屏蔽 (210) 包括第一导电类型的区 (210b) 和第二导电类型的区 (210a); 沟道区域 (211), 该沟道区域沿着第一方向设置在超结电荷平衡区域 (289) 和埋置

屏蔽210的上方,并且该沟道区域包括:(1)至少一个第一导电类型的沟道层,该沟道层具有沿着第一方向部分地延伸穿过该沟道层的至少第一沟槽(217b)和第二沟槽(217a),其中第一沟槽相比第二沟槽沿着第一方向延伸得更远;(2)第二导电类型的第一区(218b),其沿着第一方向设置在沟道层中第一沟槽与埋置屏蔽(210)之间并且沿着第一方向与第一沟槽至少部分地对准;以及(3)第二导电类型的第二区(218a),其沿着第一方向设置在沟道层中第二沟槽与埋置屏蔽(210)之间并且沿着第一方向与第二沟槽至少部分地对准;源电极225,该源电极225沿着第一方向设置在超结电荷平衡区、埋置屏蔽和沟道区域211上方;以及电链路(215),其包括:(1)第二导电类型的第一区(218b),其电连接到埋置屏蔽(210)的至少一个第二导电类型的区(210a)并且沿着第一方向与埋置屏蔽(210)的至少一个第二导电类型的区(210a)至少部分地对准;以及(2)导电桥227,该导电桥至少部分地设置在第一沟槽中并且在第二导电类型的第一区(218b)与源电极(225)之间延伸,电链路将源电极(225)电连接到埋置屏蔽(210),以便使埋置屏蔽(210)保持在源电极(225)电位。

[0081] 在开槽和屏蔽超结JFET及其制作方法的实施例中,包括第一导电类型的多个平面层,并且第一导电类型的多个平面层中的每一个(1)在垂直于第一方向的第二方向以及垂直于第一方向和第二方向的第三方向上延伸,(2)具有在第一方向上延伸的厚度,并且(3)这多个层具有第一导电类型的相应原始掺杂浓度(N23)。超结电荷平衡区域(289)包括多个平面层中的第一组层,第一组层包括一个或多个层,并且第一组层包括第一组沿着第二方向彼此相邻并且以交替模式设置的第一导电类型的注入区(204和208)和第二导电类型的注入区(205和209),其中第一组注入区的第一导电类型的注入区(204和208)具有第一掺杂浓度(N22),并且第一组注入区的第二导电类型的注入区(205和209)具有第二掺杂浓度(N21),而且第一掺杂浓度和第二掺杂浓度导致超结电荷平衡区中的电荷平衡。埋置屏蔽210包括多个平面层中的第二组层,第二组层包括一个或多个层,并且第二组层包括第二组沿着第二方向彼此相邻并且以交替模式设置的第一导电类型的注入区(210b)和第二导电类型的注入区(210a),第二组注入区的第一导电类型的注入区(210b)具有第三掺杂浓度(N25),并且第二组注入区的第二导电类型的注入区(210a)具有第四掺杂浓度(N24);其中第一组和第二组的第二导电类型的注入区沿着第一方向对准。沟道区域包括第三组层,第三组层包括具有第五掺杂浓度(N27)的第一导电类型的至少一个沟道层(217b),第三组注入区的第二导电类型的第一注入区和第二注入区(217a)具有第六掺杂浓度(N26)。

[0082] 在开槽和屏蔽超结JFET及其制作方法的实施例中,第一掺杂浓度(N22)和第六掺杂浓度(N26)大于原始掺杂浓度(N23),第一掺杂浓度(N22)与第六掺杂浓度(N26)不同;第四掺杂浓度(N24)和第六掺杂浓度(N26)大于第二掺杂浓度(N21);第四掺杂浓度(N24)和第六掺杂浓度(N26)彼此不同。

[0083] 在开槽和屏蔽超结JFET及其制作方法的实施例中,第一掺杂浓度(N22)和第六掺杂浓度(N26)大于原始掺杂浓度(N23),第一掺杂浓度(N22)与第六掺杂浓度(N26)不同;第四掺杂浓度(N24)和第六掺杂浓度(N26)大于第二掺杂浓度(N21);第四掺杂浓度(N24)和第六掺杂浓度(N26)彼此相等。

[0084] 在开槽屏蔽超结JFET及其制作方法的实施例中,超结沟槽JFET还包括:将沟道区域(211)的第二导电类型的第一区(218b)与沟道区域(211)的第二导电类型的第二区(218a)分开的台面,该台面沿着第二方向和第三方向围绕沟道区域(211)的第二导电类型

的第二区 (218a)。

[0085] 在开槽屏蔽超结JFET及其制作方法的实施例中,沿着第二方向的超结电荷平衡区域中的第一导电类型的连续区域 (204和209) 并且被 (1) 第二导电类型的单个区域 (205和209) 和 (2) 第一间距分开;沿着第二方向的沟道区域的第二沟槽和第三沟槽被 (1) 单个台面和 (2) 第二间距分开,并且第一间距与第二间距不同。

[0086] 在开槽屏蔽超结JFET及其制作方法的实施例中,超结电荷平衡区域中的第一导电类型的连续区域 (204和209) 沿着第四方向彼此间隔开;沟道区域的第一沟槽和第二沟槽 (217b和217a) 沿着第五方向彼此间隔开;第四方向垂直于第五方向和第四方向。

[0087] 在开槽屏蔽超结JFET及其制作方法的实施例中,沟道区域在第一电压夹断,超结电荷平衡区域在第二电压夹断,并且第一电压小于第二电压。

[0088] 根据以上说明和所有附图,屏蔽JFET的实施例及其制作方法的实施例可包括:埋置屏蔽 (112),该埋置屏蔽 (112) 区域包括第一导电类型的区 (n-注入物112a) 和第二导电类型的区 (p-注入物112b);链路区域 (113),该链路区域 (113) 沿着第一方向设置在埋置屏蔽 (112) 上方,该链路区域 (113) 包括第一导电类型的区 (n-沟道注入物113a) 和第二导电类型的区 (p-栅极注入物113b);JFET区域 (178),该JFET区域沿着第一方向设置在埋置屏蔽112上方,该JFET区域包括第一导电类型的区 (n-型柱117) 和第二导电类型的区 (p-柱118和119);源电极 (126),该源电极 (126) 沿着第一方向设置在埋置屏蔽112和JFET区域 (178) 上方;以及电链路,其包括 (1) 链路区域 (113) 的至少一个第二导电类型的区 (p-型113a),其电连接到埋置屏蔽 (112) 的至少一个第二导电类型的区 (p-注入物112a) 并且沿着第一方向与埋置屏蔽 (112) 的至少一个第二导电类型的区 (p-注入物112a) 至少部分地对准;以及 (2) JFET区域 (178) 的至少一个第二导电类型的区 (p-栅极注入物119),其电连接到链路区域 (113) 的至少一个第二导电类型的区 (p-型注入物112a) 和源电极 (126),JFET区域 (178) 的至少一个第二导电类型的区 (p-栅极注入物119) 沿着第一方向与链路区域 (113) 的至少一个第二导电类型的区 (p-型注入物113a) 至少部分地对准,该电链路将源电极 (126) 电连接到埋置屏蔽 (112) 以便将埋置屏蔽 (112) 保持在源电极 (126) 电位。

[0089] 屏蔽JFET及其制作方法的实施例可包括:第一导电类型的多个平面层,第一导电类型的多个平面层中的每一个 (1) 在垂直于第一方向的第二方向以及垂直于第一方向和第二方向的第三方向上延伸,(2) 具有在第一方向上延伸的厚度,并且 (3) 这多个层具有第一导电类型的相应原始掺杂浓度 (N3);埋置屏蔽112包括多个平面层中的第二组层,第二组层包括一个或多个层,第二组层包括第二组沿着第二方向彼此相邻并且以交替模式设置的第一导电类型的第二注入区 (112a) 和第二导电类型的第二注入区 (112b),第二组注入区的第一导电类型的注入区 (112a) 具有第三掺杂浓度 (N5) 并且第二组注入区的第二导电类型的注入区 (112b) 具有第四掺杂浓度 (N4);第一组的第二导电类型的注入区 (109) 和第二组的第二导电类型的注入区 (112b) 沿着第一方向彼此至少部分地对准;链路区域 (113) 包括多个平面层中的第三组层,第三组层包括一个或多个层,第三组层包括第三组沿着第二方向彼此相邻并且以交替模式设置的第一导电类型的注入区 (113a) 和第二导电类型的注入区 (113b),第三组注入区的第一导电类型的注入区 (113a) 具有第五掺杂浓度 (N7),并且第三组注入区的第二导电类型的注入区 (113b) 具有第六掺杂浓度 (N6);并且JFET区域包括多个平面层中的第四组层,第四组层包括一个或多个层,第四组层包括第四组沿着第二方向彼

此相邻并且以交替模式设置的第一导电类型的注入区 (117) 和第二导电类型的注入区 (118 和 119), 第四组注入区的第一导电类型的注入区 (117) 具有第七掺杂浓度 (N9), 并且第四组注入区的第二导电类型的注入区 (118 和 119) 具有第八掺杂浓度 (N8)。

[0090] 根据以上说明和所有附图, 开槽屏蔽 JFET 的实施例及其制作方法的实施例可包括: 埋置屏蔽 (210), 该埋置屏蔽 (210) 包括第一导电类型的区 (210b) 和第二导电类型的区 (210a); 沟道区域 (211), 该沟道区域沿着第一方向设置在埋置屏蔽 210 上方, 该沟道区域包括: (1) 第一导电类型的至少一个沟道层, 其具有沿着第一方向部分地延伸穿过其的至少第一沟槽 (217b) 和第二沟槽 (217a), 其中第一沟槽相比第二沟槽沿着第一方向延伸得更远; (2) 第二导电类型的第一区 (218b), 其沿着第一方向设置在沟道层中第一沟槽与埋置屏蔽 (210) 之间并且沿着第一方向与第一沟槽至少部分地对准; 以及 (3) 第二导电类型的第二区 (218a), 其沿着第一方向设置在沟道层中第二沟槽与埋置屏蔽 (210) 之间并且沿着第一方向与第二沟槽至少部分地对准; 源电极 225, 该源电极 225 沿着第一方向设置在埋置屏蔽和沟道区域 211 上方; 以及电链路 (215), 其包括: (1) 第二导电类型的第一区 (218b), 其电连接到埋置屏蔽 (210) 的至少一个第二导电类型的区 (210a) 并且沿着第一方向与埋置屏蔽 (210) 的至少一个第二导电类型的区 (210a) 至少部分地对准; 以及 (2) 导电桥 227, 其至少部分地设置在第一沟槽中, 该导电桥在第二导电类型的第一区 (218b) 与源电极 (225) 之间延伸, 该电链路将源电极 (225) 电连接到埋置屏蔽 (210), 以便将埋置屏蔽 (210) 保持在源电极 (225) 电位。

[0091] 开槽屏蔽 JFET 及其制作方法的实施例还包括: 第一导电类型的多个平面层, 第一导电类型的多个平面层中的每一个 (1) 在垂直于第一方向的第二方向以及垂直于第一方向和第二方向的第三方向上延伸, (2) 具有在第一方向上延伸的厚度, 并且 (3) 这多个层具有第一导电类型的相应原始掺杂浓度 (N23); 其中埋置屏蔽 210 包括多个平面层中的第二组层, 第二组层包括一个或多个层, 第二组层包括第二组沿着第二方向彼此相邻并且以交替模式设置的第一导电类型的注入区 (210b) 和第二导电类型的注入区 (210a), 第二组注入区的第一导电类型的注入区 (210b) 具有第三掺杂浓度 (N25), 并且第二组注入区的第二导电类型的注入区 (210a) 具有第四掺杂浓度 (N24); 其中第一组的第二导电类型的注入区和第二组的第二导电类型的注入区沿着第一方向对准; 并且其中沟道区域包括第三组层, 第三组层包括具有第五掺杂浓度 (N27) 的第一导电类型的至少一个沟道层 (217b), 第三组注入区的第二导电类型的第一注入区和第二注入区 (217a) 具有第六掺杂浓度 (N26)。

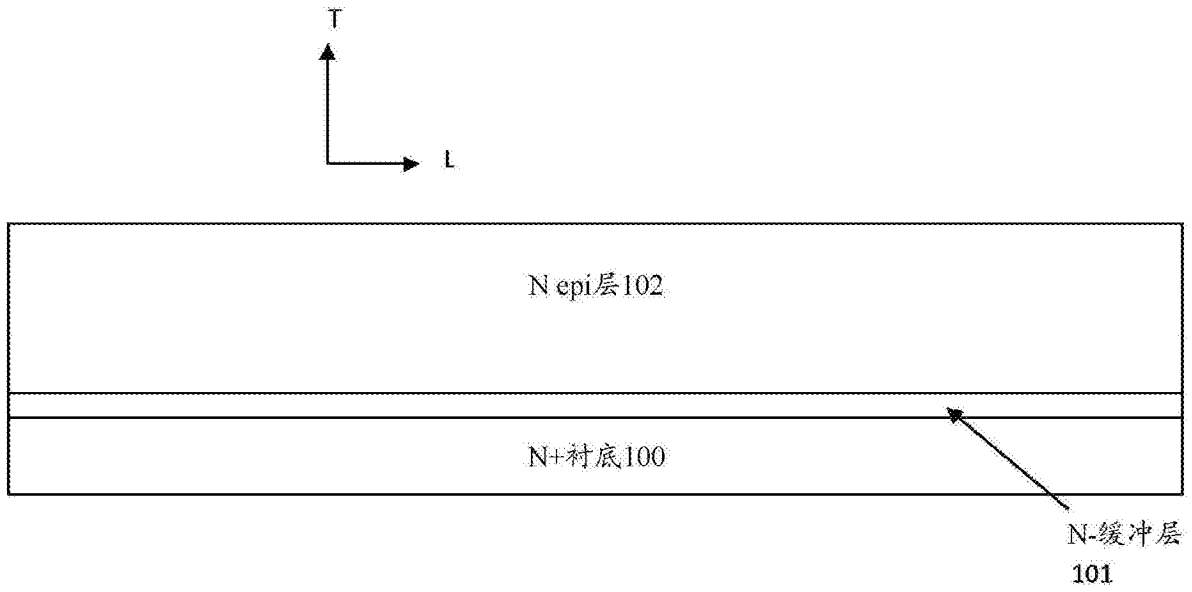


图1A起始晶片

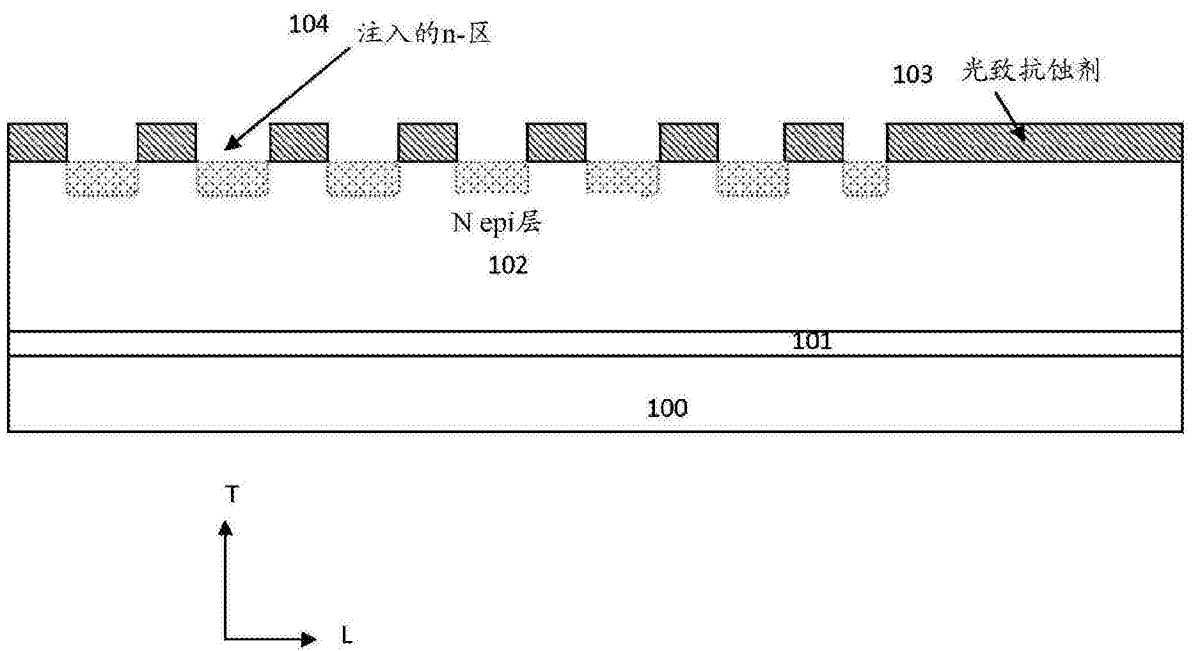


图1B通过注入掩模进行的第一p-注入

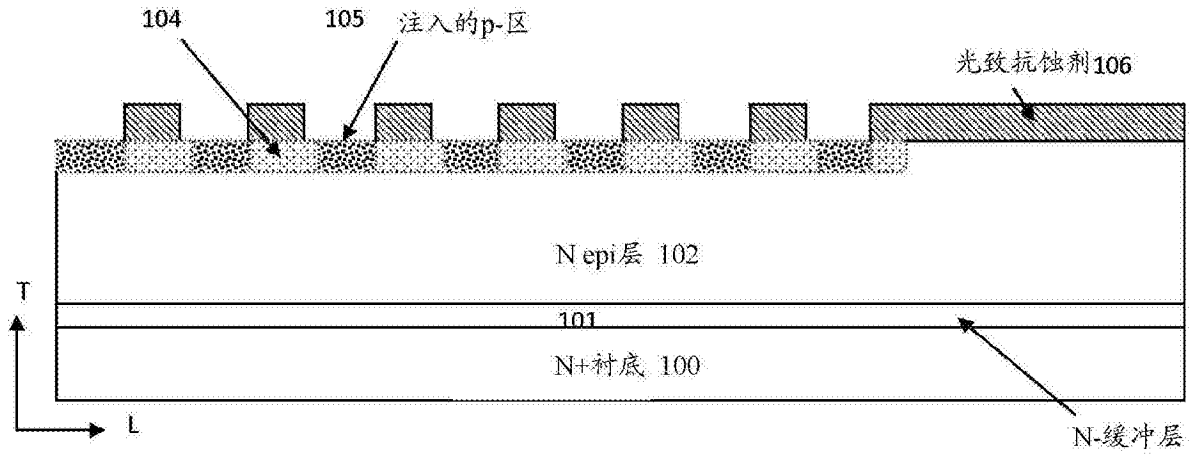


图1C:通过注入掩模进行的第一n-注入

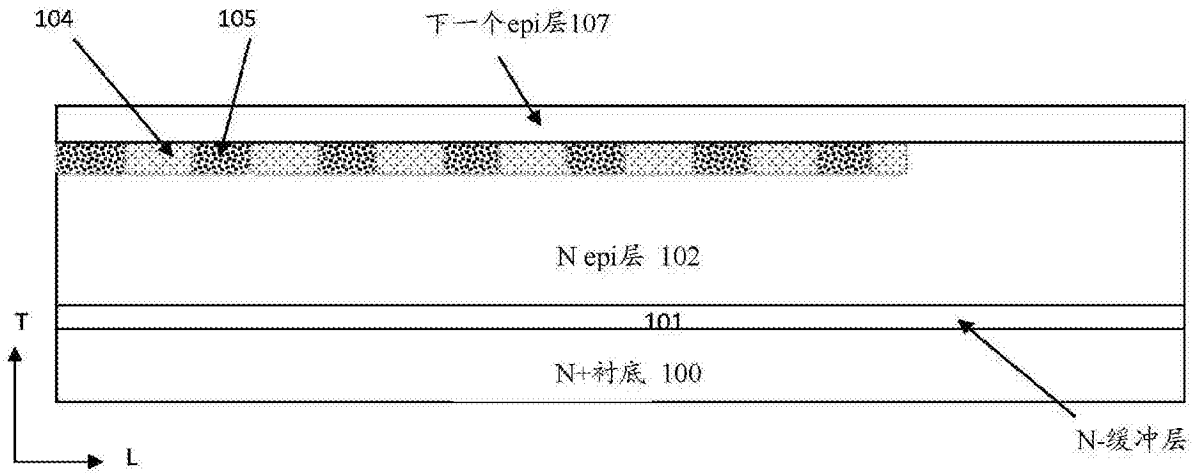


图1D.生长epi层

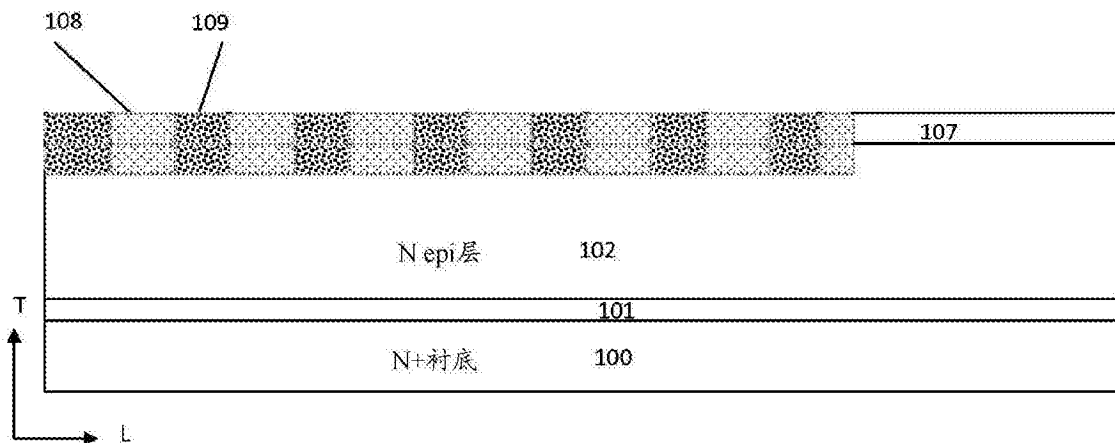


图1E.下一对n注入物和p注入物

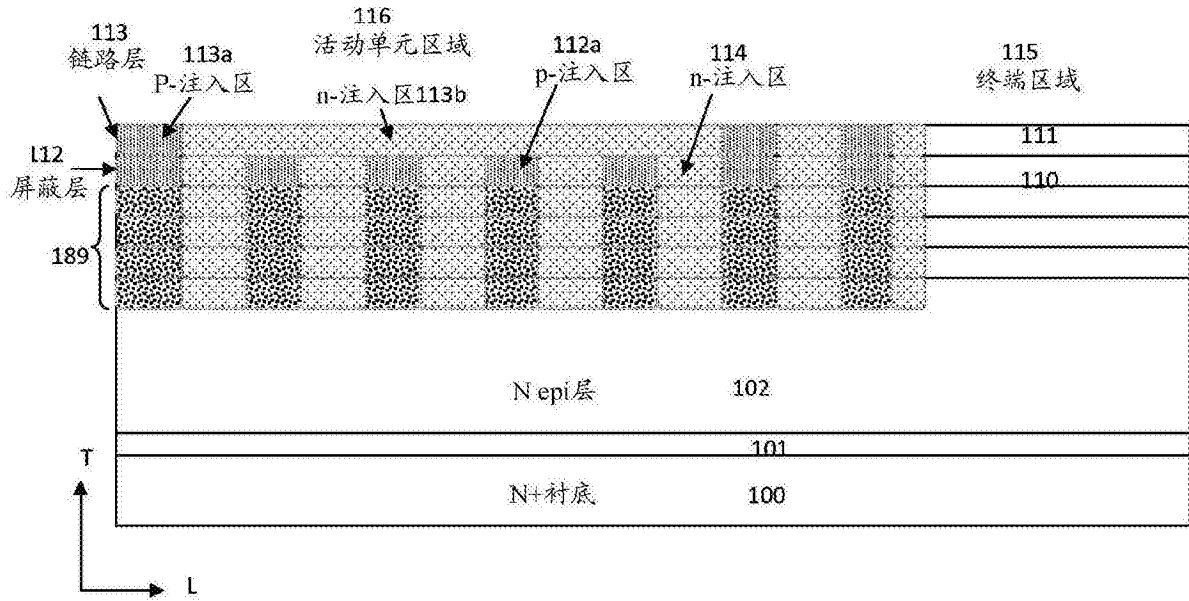


图1F. 在超结层之后, 生长并注入屏蔽层, 接着形成将屏蔽p-区连接到源极的链路层

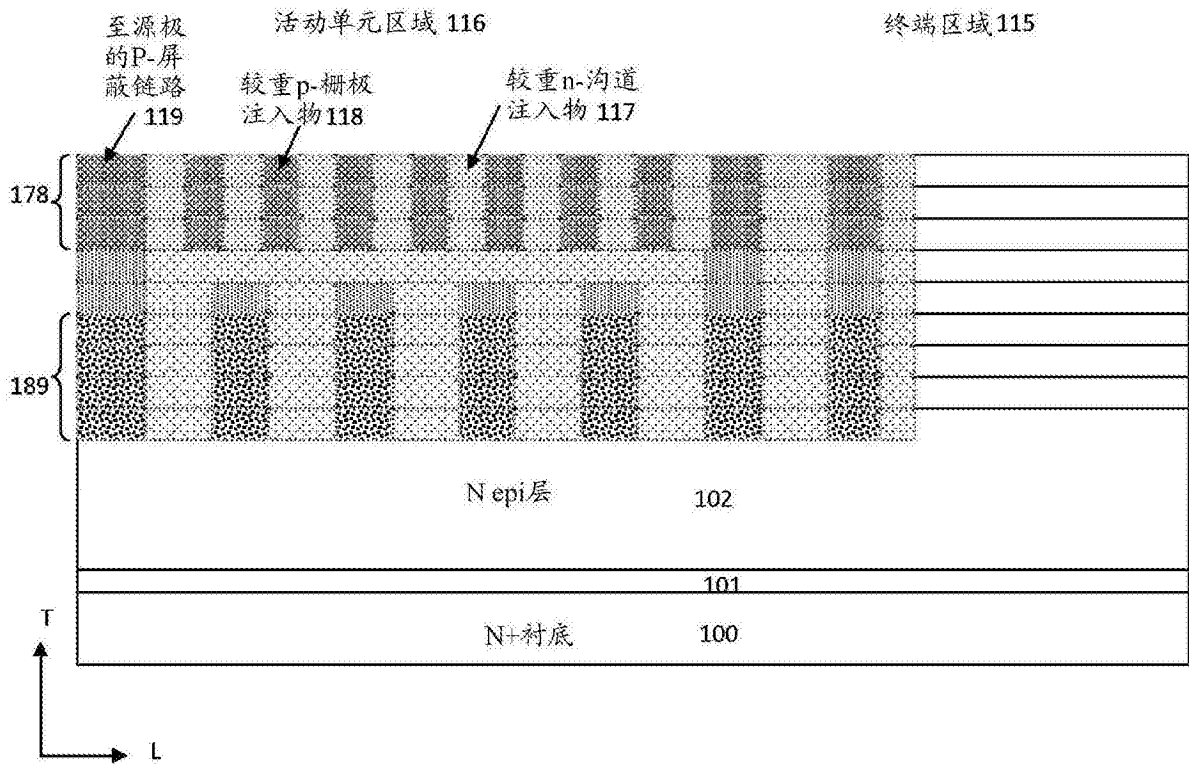


图1G. 用于JFET栅极和沟道区的生长和注入序列。

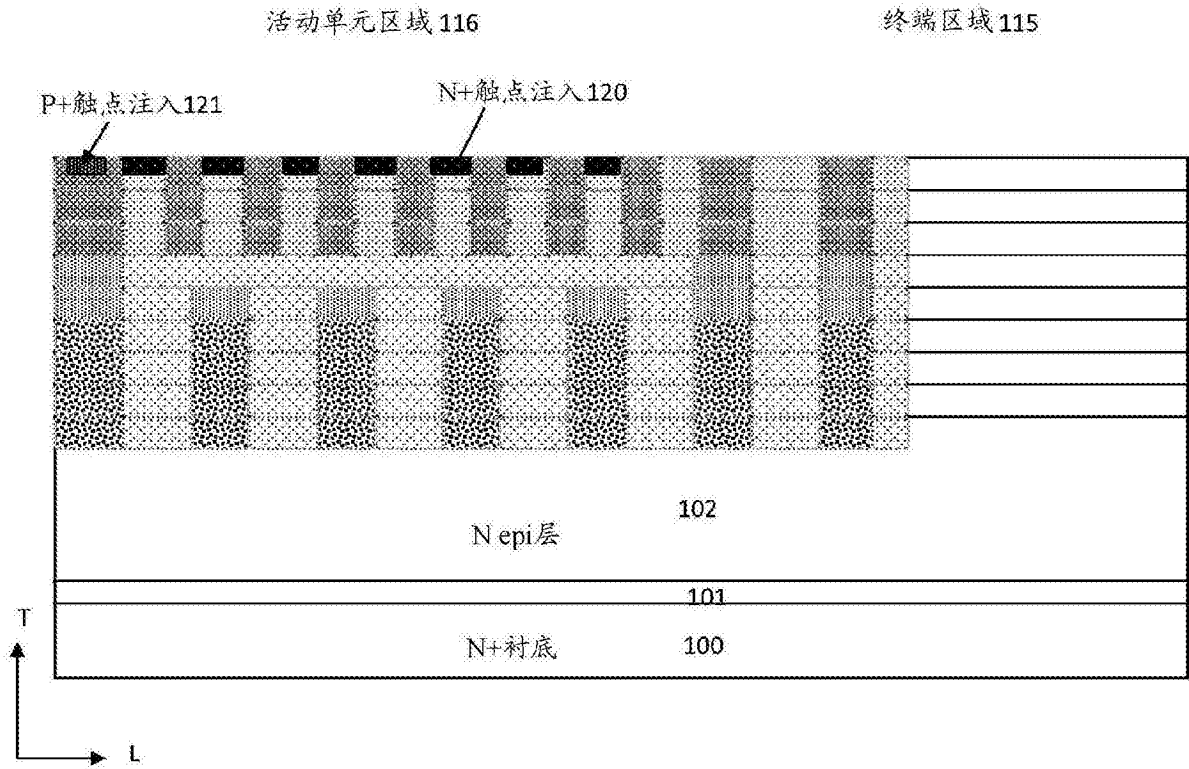


图1H. 用于形成触点的表面注入物。掩蔽n+注入之后是掩蔽p+注入。未示出对栅极接触区域的p+注入-其可在z方向上与n+触点错开。

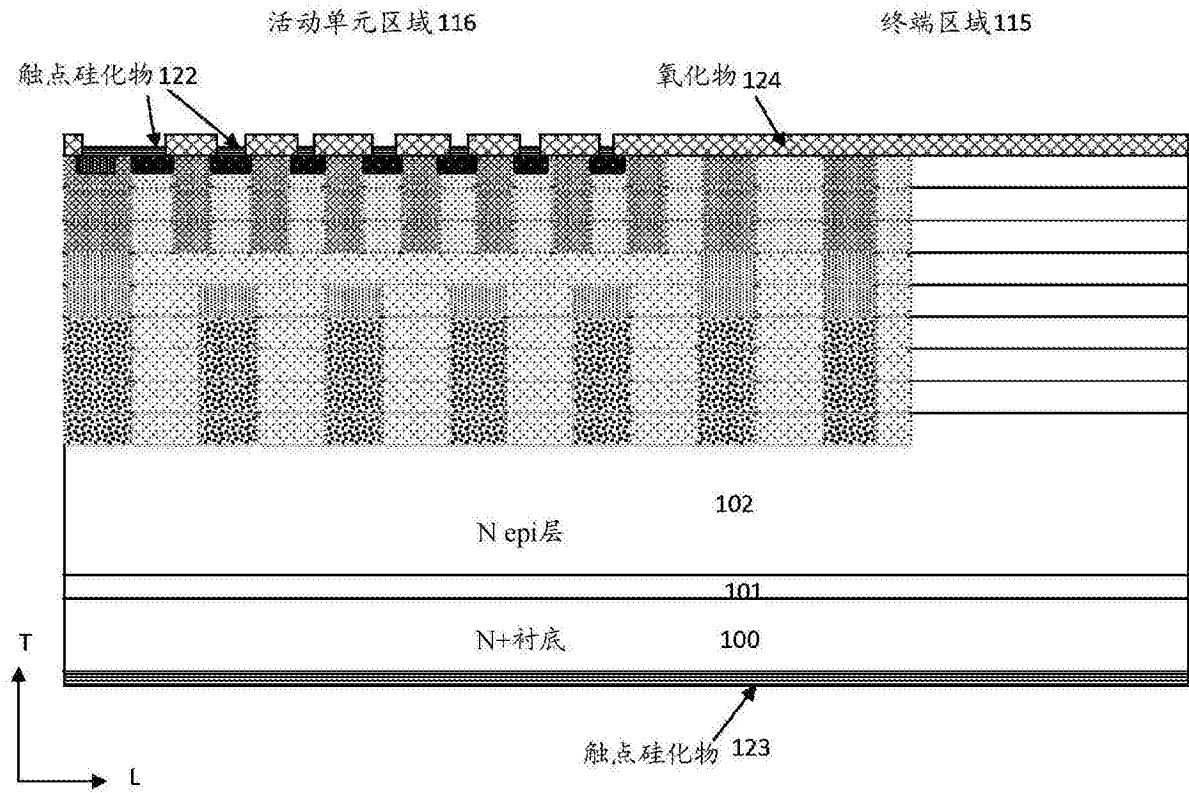


图11. 用于p-栅极区、p-链路区和n-源极区的硅化的氧化物沉积图案化。背侧金属沉积和触点形成。

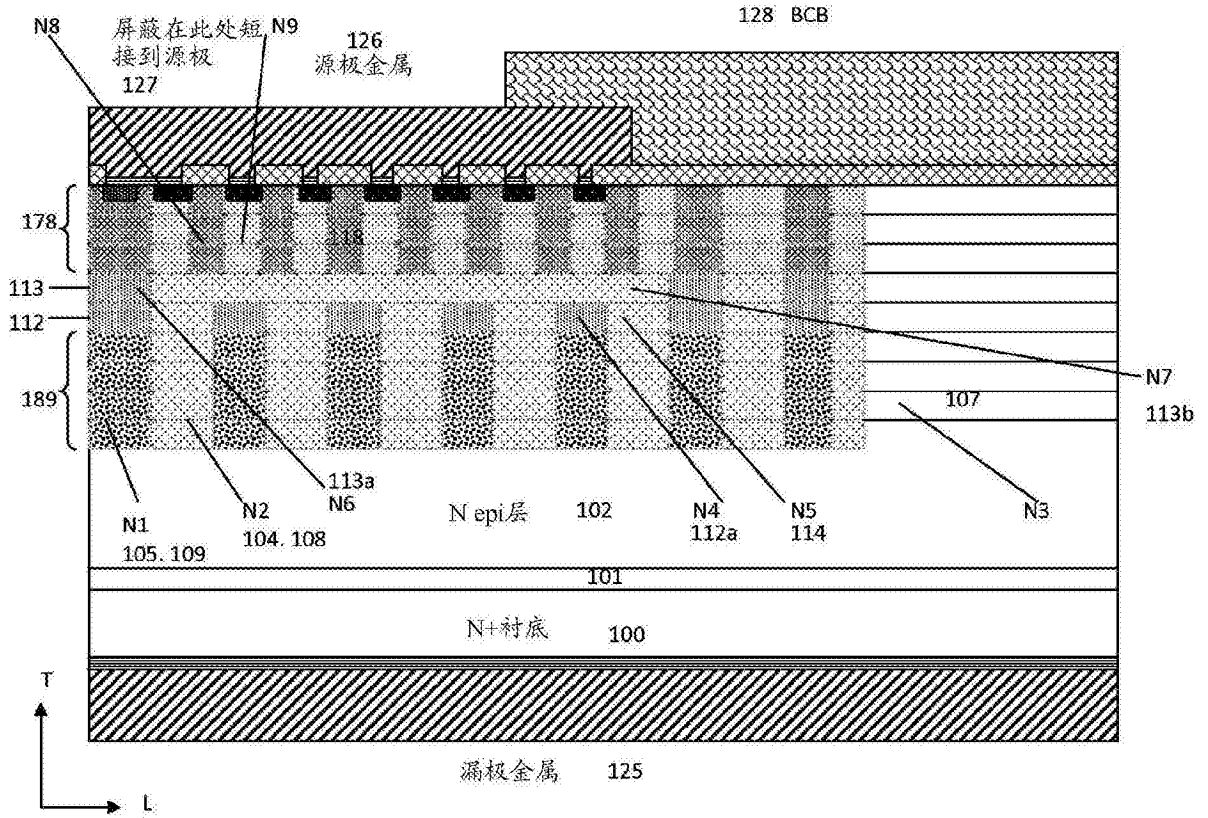


图1J. 正面BCB或聚酸亚胺图案。背侧覆盖金属。

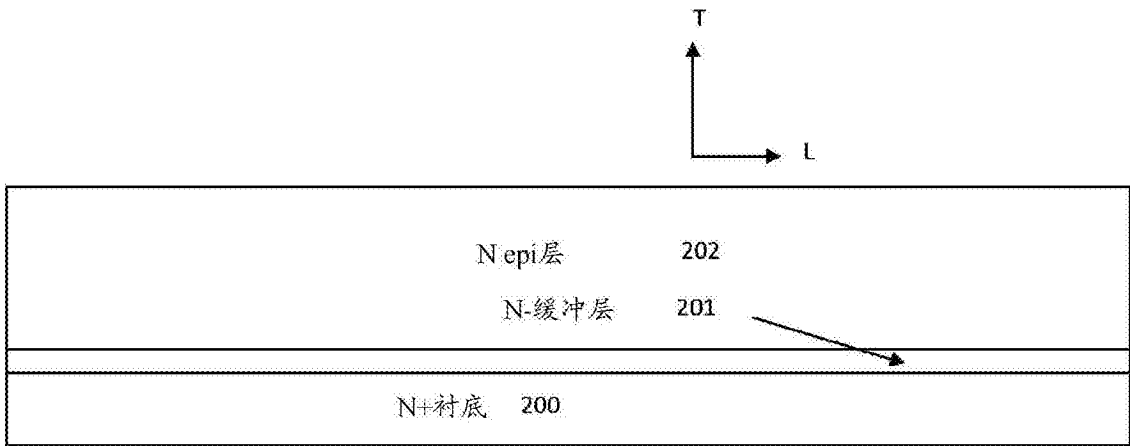


图2A. 起始晶片

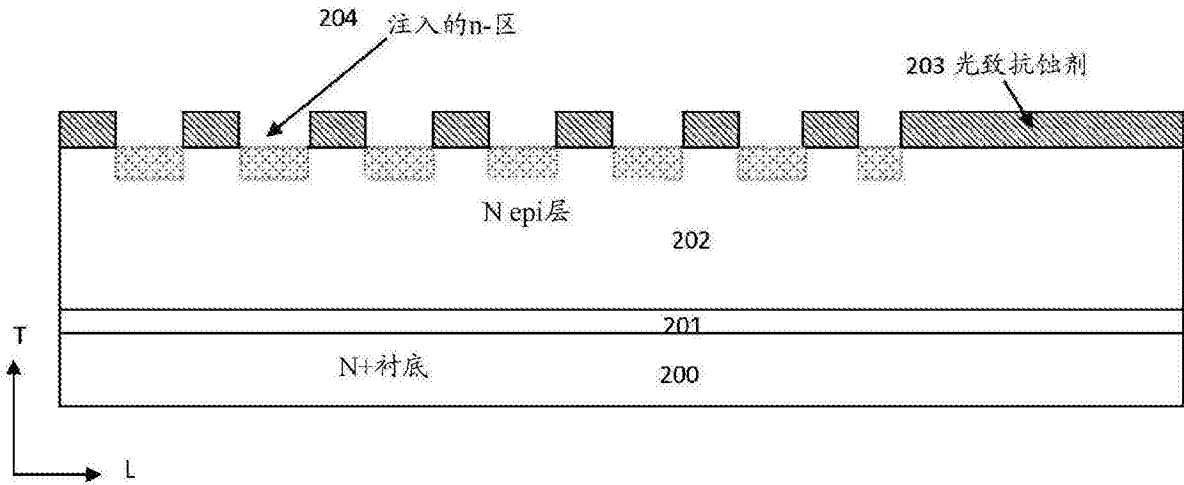


图2B. 通过掩模进行的第一p-注入

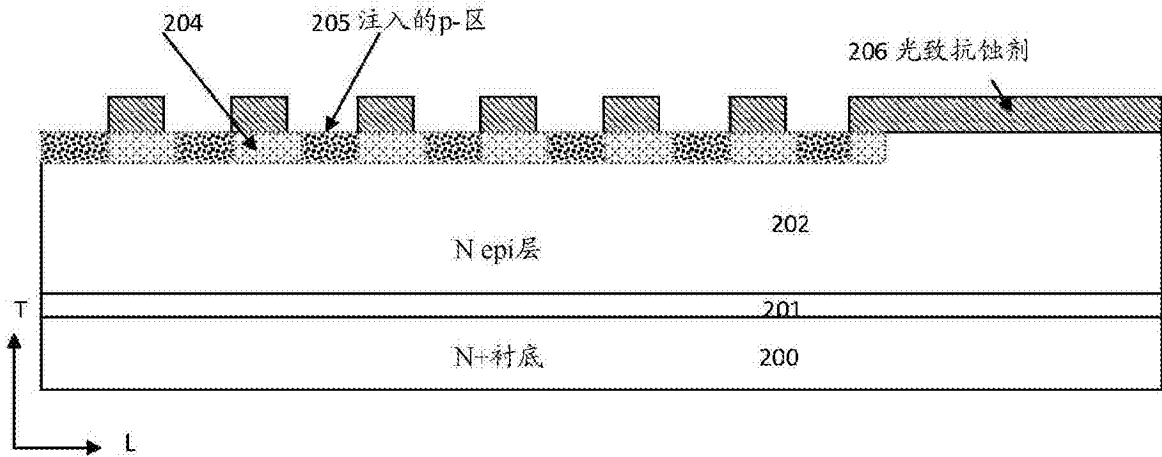


图2C. 通过注入掩模进行的第一n-注入

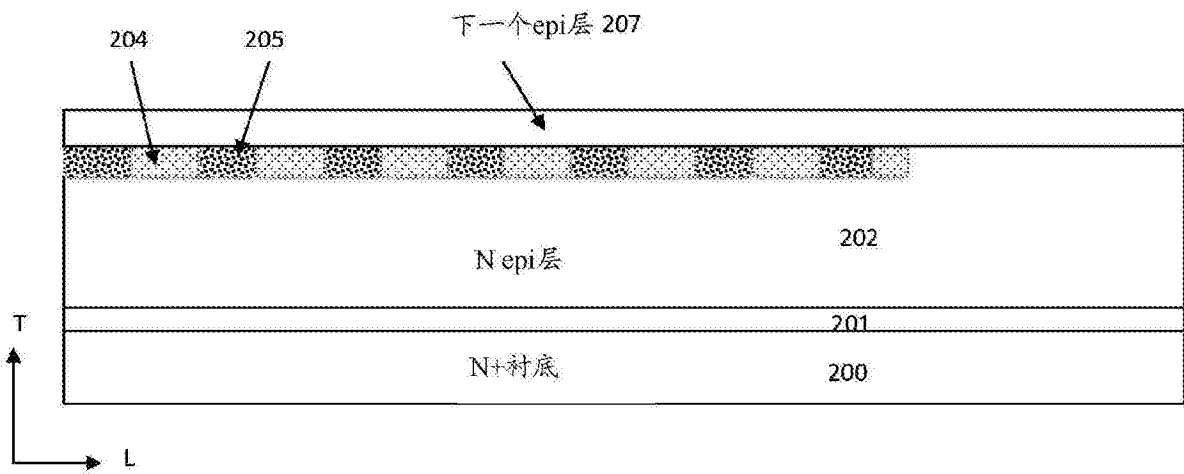


图2D. 生长epi层

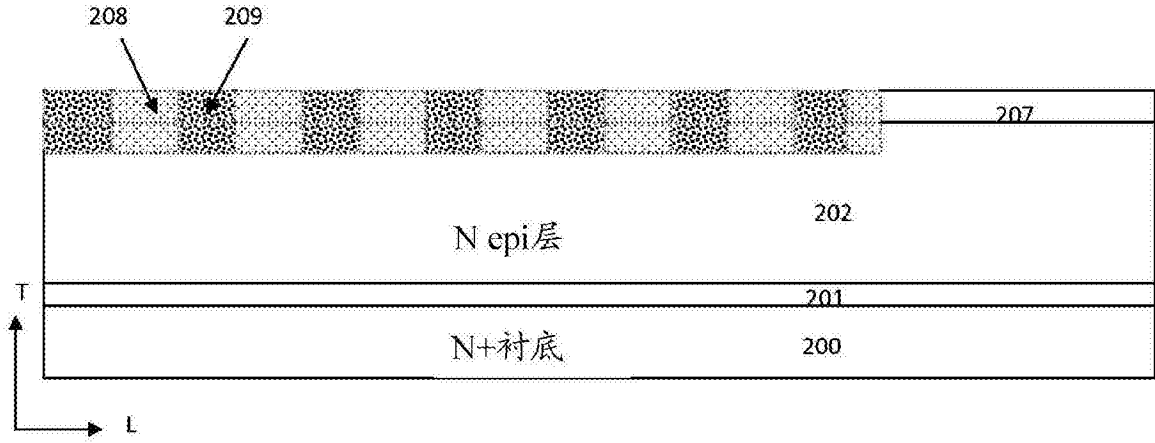


图2E. 下一对掩蔽n注入物和p注入物

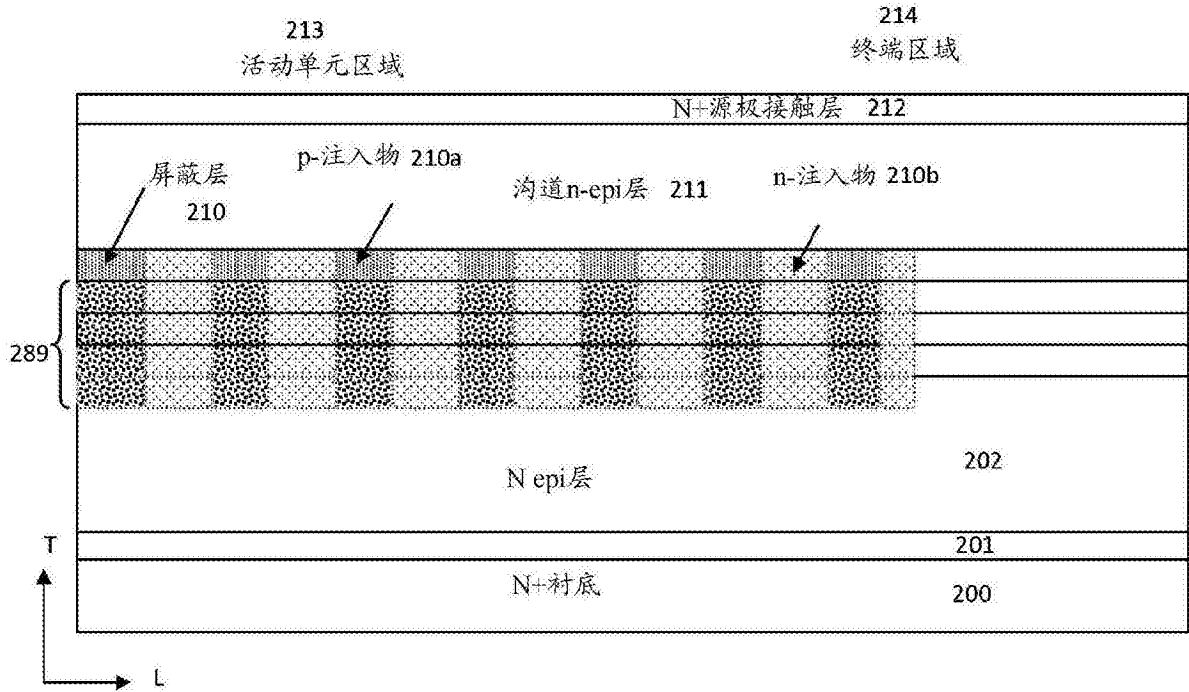


图2F: 在超结层之后, 生长并注入屏蔽层, 接着生长epi区, 以形成沟道区。

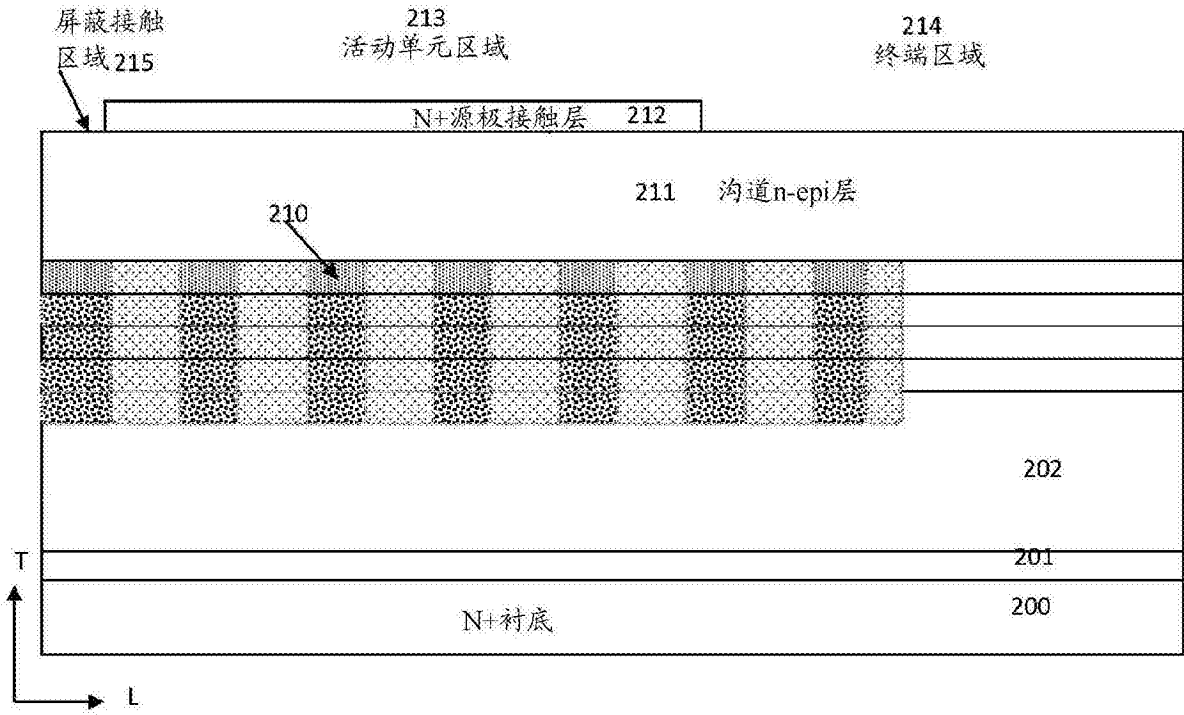


图2G. 通过掩模和蚀刻从终端区域移除N+。还在将形成屏蔽接触沟槽的区域中移除N+。

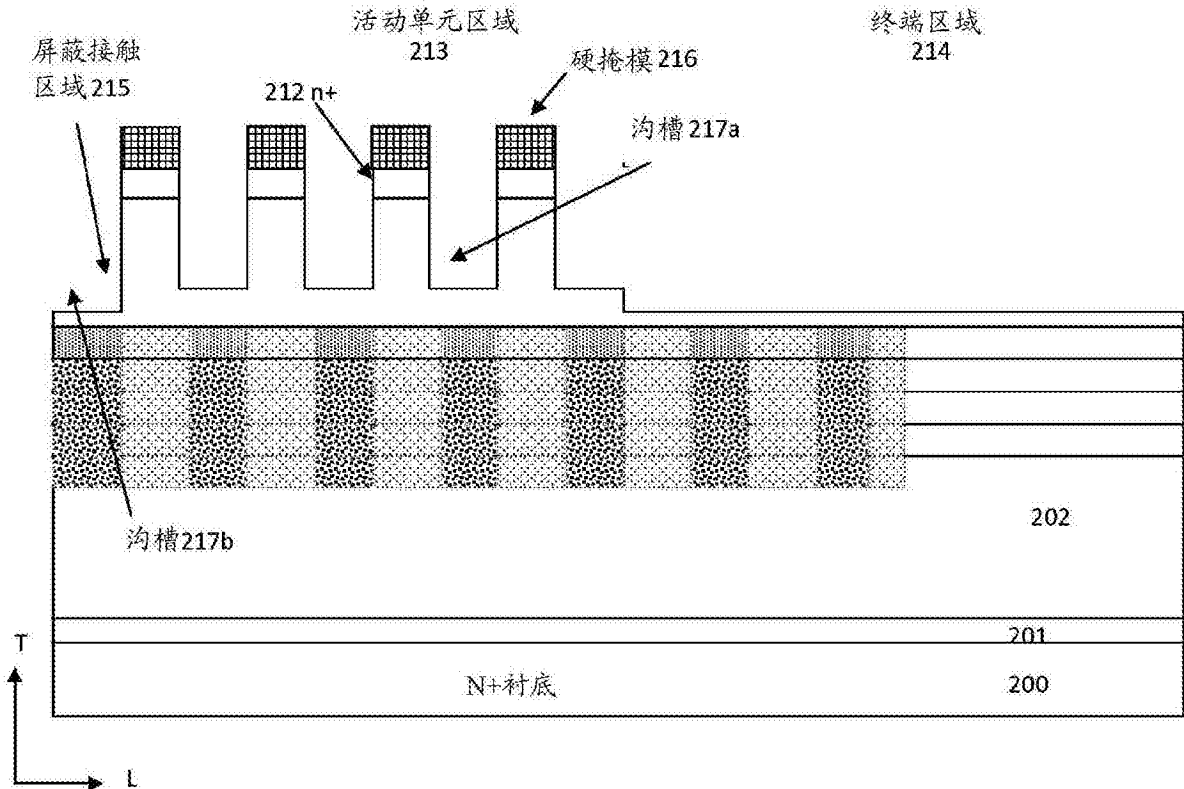


图2H. 硬掩模沉积 (例如, 氧化物上的Ni) 和沟槽蚀刻。起初蚀刻去掉了N+的区域中的沟槽蚀刻得较深。因此可基于注入物轻松接近屏蔽层。

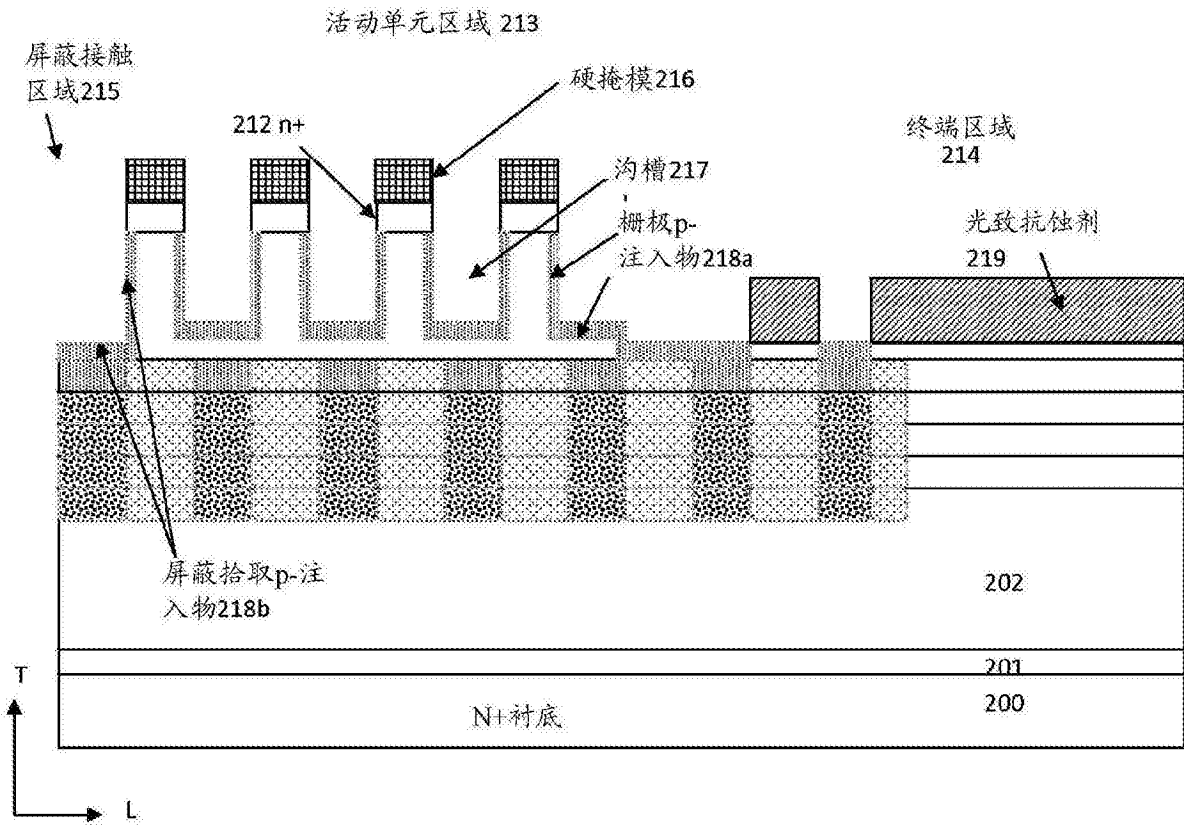


图2I. 垂直的p+注入和倾斜的p+注入, 在终端区域上方掩蔽, 形成防护环。较深的屏蔽拾取沟槽便于注入物连接到埋置屏蔽, 同时也有助于在屏蔽与栅极沟槽的底部之间留出足够的空间。

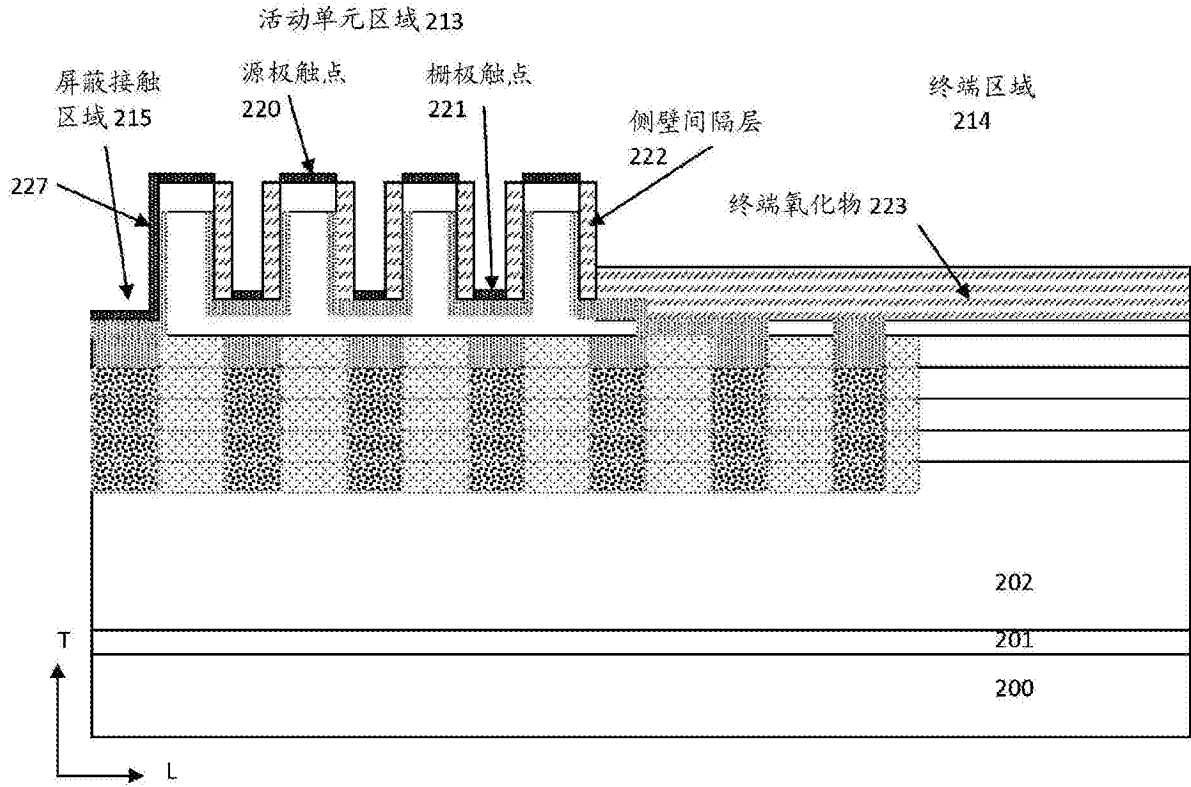


图2J. 形成氧化物间隔层。掩蔽氧化物技术将氧化物维持在终端上方。施加第二掩模，从屏蔽拾取沟槽剥去间隔层氧化物。之后是向栅极区和源极区形成Ni触点

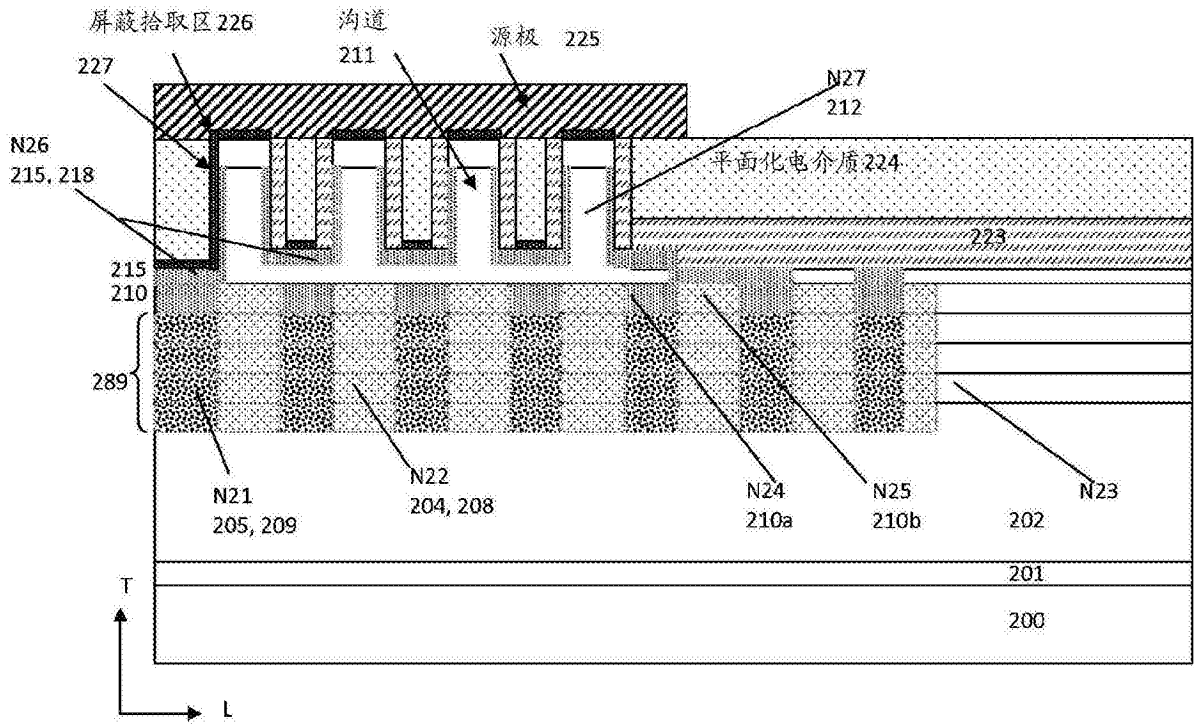


图2K. 顶部覆盖金属沉积和掩蔽蚀刻。

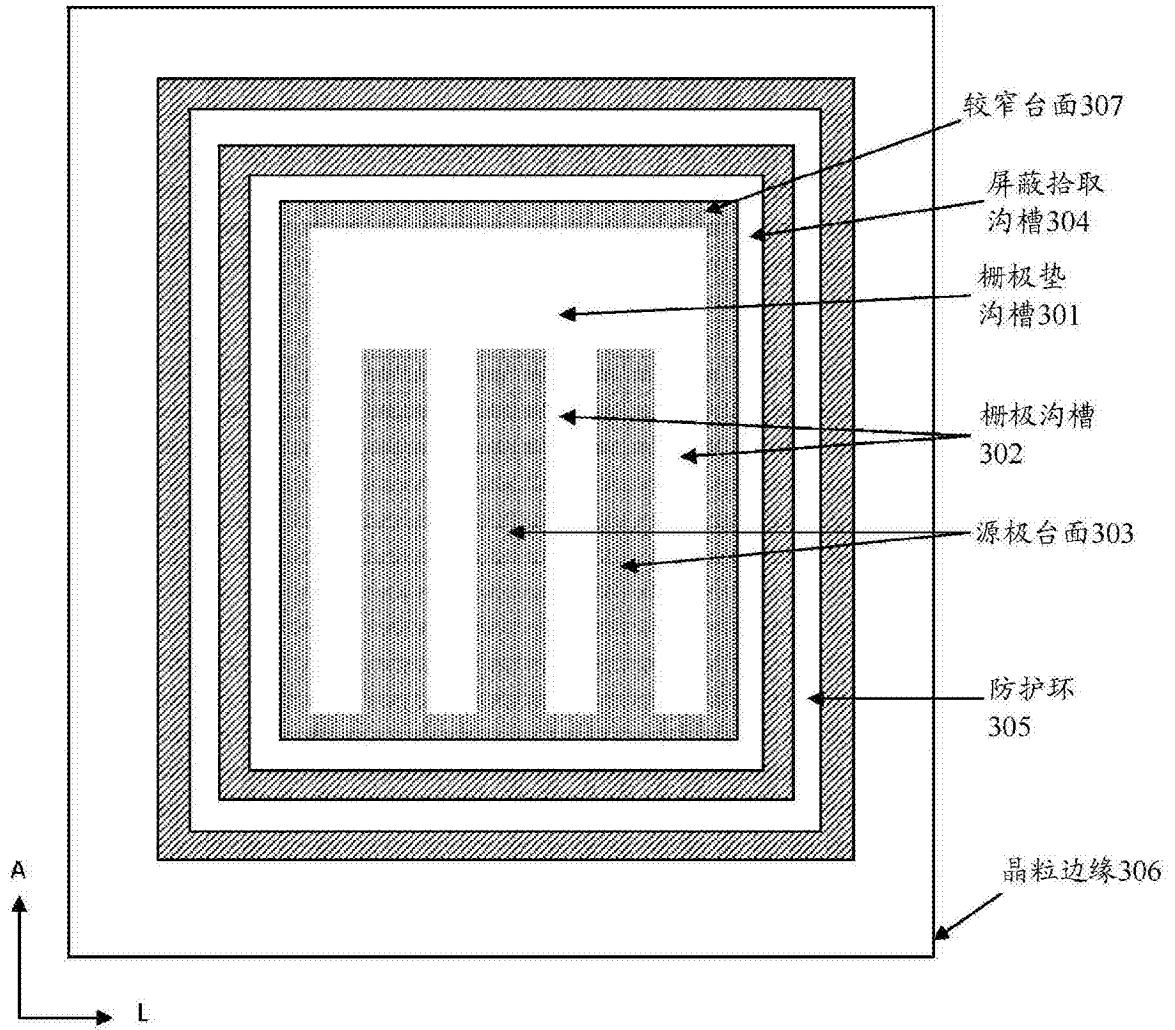


图3:针对条形设计的屏蔽JFET的布局

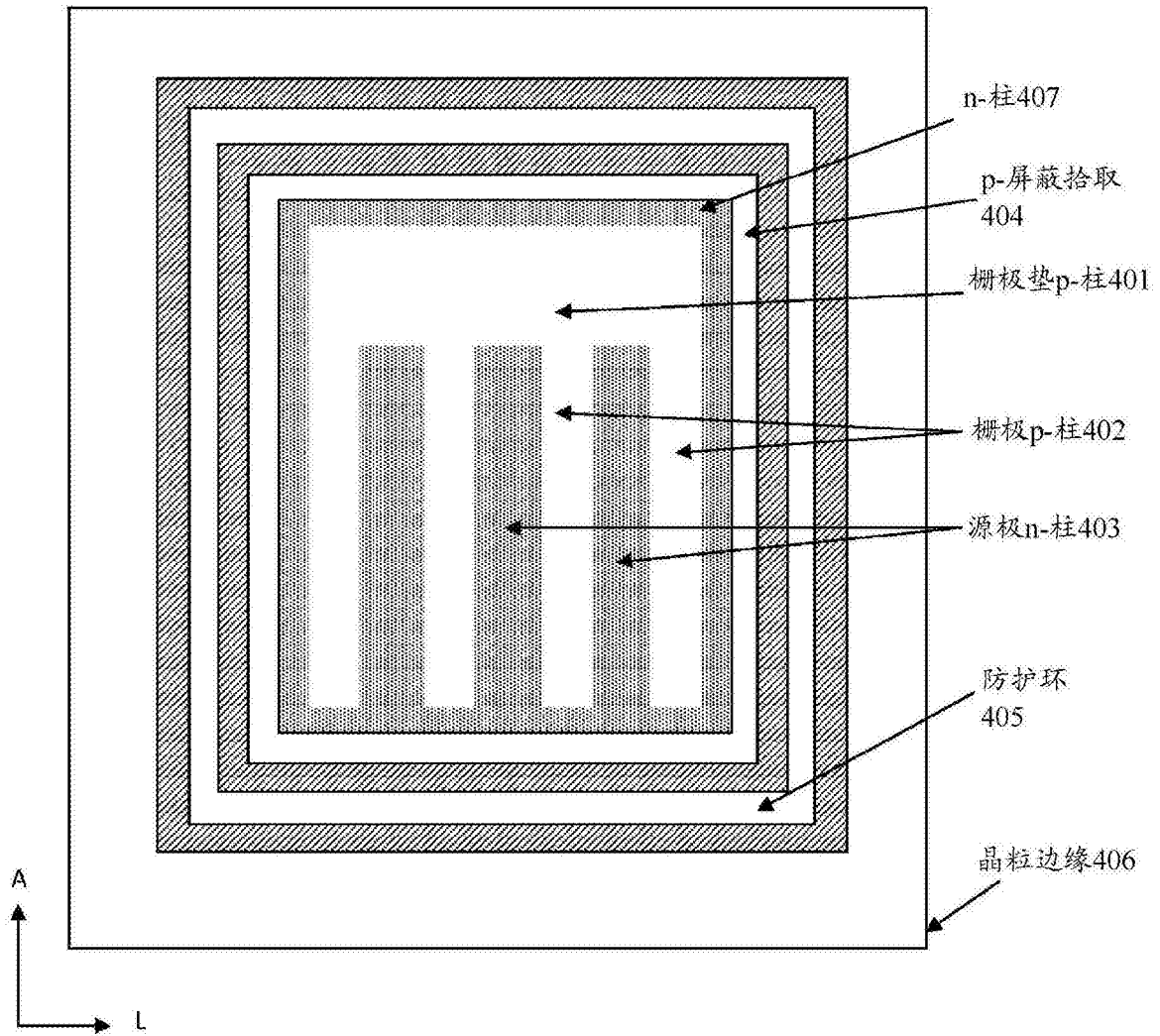


图4:图1J的器件的示意性布局。