



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년12월10일

(11) 등록번호 10-1466454

(24) 등록일자 2014년11월21일

(51) 국제특허분류(Int. Cl.)

G11C 16/34 (2006.01) G11C 16/16 (2006.01)

(21) 출원번호 10-2012-7005864(분할)

(22) 출원일자(국제) 2007년03월26일

심사청구일자 2012년03월05일

(85) 번역문제출일자 2012년03월05일

(65) 공개번호 10-2012-0043065

(43) 공개일자 2012년05월03일

(62) 원출원 특허 10-2008-7026506

원출원일자(국제) 2007년03월26일

심사청구일자 2012년03월05일

(86) 국제출원번호 PCT/CA2007/000478

(87) 국제공개번호 WO 2007/109883

국제공개일자 2007년10월04일

(30) 우선권주장

11/715,838 2007년03월08일 미국(US)

(뒷면에 계속)

(56) 선행기술조사문헌

JP2005078721 A

US20050018489 A1

US20070266298 A1

전체 청구항 수 : 총 12 항

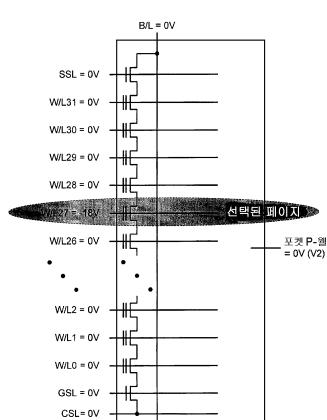
심사관 : 한선경

(54) 발명의 명칭 페이지 소거를 갖는 비휘발성 반도체 메모리

(57) 요 약

비휘발성 메모리에서는, 전체 미만의 블록이 하나 이상의 페이지로서 소거될 수 있다. 선택 전압이 패스 트랜지스터를 통해 복수의 선택된 워드라인의 각각에 인가되고, 비선택 전압이 패스 트랜지스터를 통해 선택된 블록의 복수의 선택되지 않은 워드라인의 각각에 인가된다. 기판 전압이 선택된 블록의 기판에 인가된다. 공통 선택 전압이 각 선택된 워드라인에 인가될 수 있고, 공통 비선택 전압이 각 선택되지 않은 워드라인에 인가될 수도 있다. 선택 및 비선택 전압은 선택 블록의 워드라인 중 어느 것에 인가될 수 있다. 페이지 소거 검증 동작이 복수의 소거된 페이지 및 복수의 소거되지 않은 페이지를 갖는 블록에 적용될 수 있다.

대 표 도 - 도19



(30) 우선권주장

60/786,897 2006년03월29일 미국(US)

60/843,593 2006년09월11일 미국(US)

특허청구의 범위

청구항 1

메모리 셀들의 m 개의 페이지들을 각각 갖는 n 개의 블록들을 갖는 비휘발성 메모리 어레이의 페이지들의 소거를 검증하는 방법으로서, n 및 m 의 각각은 1보다 큰 양의 정수이고, 각 블록은 기판 상에 복수의 메모리 셀의 복수의 열들 및 상기 복수의 열들을 가로지르는 m 개의 워드라인을 가지며, 각 워드라인은 상기 메모리 셀들의 m 개의 페이지들의 각각에 동작 가능하게 접속되고, 상기 방법은:

n 개의 블록들 중 적어도 하나를 선택하는 단계;

선택된 블록 내에서 m 개의 페이지들 중 어느 하나 또는 복수의 페이지들을 선택하는 단계;

선택된 상기 m 개의 페이지들 중 어느 하나 또는 복수의 페이지들에 대응하는 하나 또는 복수의 워드라인에 선택 검증 전압을 인가하는 단계;

m 개의 페이지들 중 선택되지 않은 하나 또는 복수의 페이지들에 대응하는 하나 또는 복수의 워드라인에 비선택 검증 전압을 인가하는 단계; 및

선택된 상기 m 개의 페이지들 중 어느 하나 또는 복수의 페이지들에 대응하는 하나 또는 복수의 워드라인의 메모리 셀의 소거를 검증하기 위해 상기 복수의 열들 각각의 상태를 감지하는 단계를 포함하는, 페이지의 소거를 검증하는 방법.

청구항 2

청구항 1에 있어서,

선택 검증 전압을 인가하는 단계는 상기 선택된 페이지에 대응하는 워드라인의 각각에 OV를 인가하는 단계를 포함하는, 페이지의 소거를 검증하는 방법.

청구항 3

청구항 1 또는 청구항 2에 있어서,

비선택 검증 전압을 인가하는 단계는 상기 선택되지 않은 페이지에 대응하는 워드라인의 각각에 판독 전압을 인가하는 단계를 포함하는, 페이지의 소거를 검증하는 방법.

청구항 4

청구항 1 또는 청구항 2에 있어서,

상기 열들의 각각에 공통 소스 라인 전압을 인가하는 단계; 및

선택된 워드라인들의 수에 의존하는 복수의 전압 레벨로부터 상기 공통 소스 라인 전압의 레벨을 선택하는 단계를 더 포함하는, 페이지의 소거를 검증하는 방법.

청구항 5

청구항 4에 있어서,

상기 복수의 전압 레벨의 개수는 $m-1$ 미만인, 페이지의 소거를 검증하는 방법.

청구항 6

복수의 블록을 갖는 메모리 어레이를 포함하는 비휘발성 메모리로서, 각 블록은:

메모리 셀의 m 개의 페이지들 - m 은 1 보다 큰 양의 정수 -

기판 상의 메모리 셀의 복수의 열들, 및

상기 복수의 열들을 가로지르는 m 개의 워드라인들을 포함하고, 상기 m 개의 워드라인들의 각각은 상기 m 개의 페

이지들의 각각에 동작 가능하게 접속되며,
상기 복수의 블록 중 적어도 하나는 선택 가능하고,
상기 메모리는:

선택된 블록 내의 소거된 페이지의 워드라인에 선택 검증 전압, 및 상기 선택된 블록 내의 소거되지 않은 페이지의 워드라인에 비선택 검증 전압을 인가하는 전압 어플라이어; 및
상기 복수의 열들의 상태를 감지하는 센서를 더 포함하는, 비휘발성 메모리.

청구항 7

청구항 6에 있어서,
상기 복수의 열들의 각각은 공통 소스 라인 전압에 접속 가능하고, 상기 공통 소스 라인 전압의 레벨은 복수의 소거된 페이지의 수에 의존하는 복수의 전압 레벨 중 하나로부터 선택 가능한, 비휘발성 메모리.

청구항 8

청구항 7에 있어서,
상기 공통 소스 라인 전압의 레벨(r)은 상기 복수의 소거된 페이지의 수가 1인 경우 $r = 0.3$ 내지 $0.5V$ 의 범위내가 되도록 선택되는, 비휘발성 메모리.

청구항 9

청구항 8에 있어서,
상기 공통 소스 라인 전압의 선택된 레벨은 각 추가의 소거된 페이지에 대해 r/m 만큼 감소되거나;
상기 공통 소스 라인 전압의 선택된 레벨은 상기 복수의 소거된 페이지의 수가 증가함에 따라 감소되는, 비휘발성 메모리.

청구항 10

청구항 6에 있어서,
상기 복수의 열들 각각은 종단 전압에 접속되고, 상기 종단 전압의 레벨은 선택된 워드라인의 수에 의존하는 복수의 전압 레벨 중 하나로부터 선택되는, 비휘발성 메모리.

청구항 11

청구항 6에 있어서,
상기 전압 어플라이어는 어드레스 명령에 응답하여 상기 선택 검증 전압 및 상기 비선택 검증 전압을 제공하는 전압 제공 회로를 포함하는, 비휘발성 메모리.

청구항 12

청구항 11에 있어서,
상기 전압 제공 회로는 상기 어드레스 명령에 응답하여 논리 조건을 래치시키는 래치 회로를 포함하거나;
상기 전압 어플라이어는 소거된 페이지의 워드라인에 상기 선택 검증 전압을 패스하기 위한 패스 트랜지스터를 더 포함하는, 비휘발성 메모리.

명세서

기술분야

[0001] 이 출원은 2006년 3월 29일에 출원된 미국 가출원 제60/786,897호, 2006년 9월 11일에 출원된 미국 가출원 제60/843,593호 및 2007년 3월 8일에 출원된 미국 특허 출원 제11/715,838호의 이점을 청구한다. 상기 출원의 전체 개시내용은 참고로 본 명세서에 통합되어 있다.

배경기술

- [0002] 디지털 카메라, 휴대용 개인 디지털 단말, 휴대용 오디오/비디오 플레이어 및 이동 단말과 같은 이동식 전자 장치는 대용량 저장 메모리, 바람직하게는, 더 증가하는 용량 및 속도 성능을 갖는 비휘발성 메모리를 계속적으로 필요로 한다. 예를 들어, 현재 시판되고 있는 오디오 플레이어는 오디오/비디오 데이터를 저장하기 위한 256Mbytes 내지 40 Gigabytes 사이의 메모리를 가질 수 있다. 플래시 메모리 및 하드-디스크 드라이브와 같은 비휘발성 메모리는 전력이 없이 데이터가 유지되기 때문에, 선호된다.
- [0003] 현재, 고밀도를 갖는 하드 디스크 드라이브는 40 내지 500 Gigabytes를 저장할 수 있지만, 부피가 크다. 그러나, 고체 드라이브로도 알려진 플래시 메모리는 그 고밀도, 비휘발성 및 하드 디스크 드라이브에 비해 작은 사이즈로 인해 인기가 있다. 플래시 메모리 기술은 EEPROM 및 EEPROM 기술에 의거한다. 용어 "플래시"는 다수의 메모리 셀이 EEPROM과 구별되는 것으로서 한번에 소거될 수 있기 때문에 선택되었으며, 각 바이트가 개별적으로 소거되었다. 당업자는 플래시 메모리가 그 더욱 컴팩트한 메모리 어레이 구성으로 인해, 주어진 면적당 더 높은 밀도를 갖는 NAND 플래시를 갖는, NOR, NAND 또는 다른 플래시로서 구성될 수 있음을 이해할 것이다. 더욱 논의할 목적으로, 플래시 메모리에 대한 참조들은 어떤 유형의 플래시 메모리인 것으로 이해되어야 한다.
- [0004] NAND 플래시 메모리의 셀 어레이 구조는 n개의 소거 가능한 블록으로 이루어진다. 각 블록은 n개의 소거 가능한 블록으로 이루어지는 일례의 NAND 플래시 메모리의 셀 어레이 구조를 나타내는 m개의 프로그램 가능한 페이지로 세분화된다. 이 예에서, n=2048이다. 각 블록은 도 1 내지 도 3에 도시된 바와 같이 m개의 프로그램 가능한 페이지로 세분화되며, 여기에서 m=64이다.
- [0005] 각 페이지는 도 3에 도시된 바와 같이 (j+k)바이트(x8b)로 이루어진다. 이 예에서는, j=2048 및 k=64이다. 페이지들은 별개의 k-바이트 영역(예비 필드)을 갖는 j-바이트 데이터 저장 영역(데이터 필드)으로 더욱 분할된다. k-바이트 영역은 일반적으로 에러 관리 기능을 위해 사용된다.
- [0006] · 1 페이지 = (j+k) 바이트.
- [0007] · 1 블록 = m 페이지 = (j+k) 바이트*m.
- [0008] · 총 메모리 어레이 사이즈 = n 블록 = (j+k) 바이트*m*n.
- [0009] 종래의 NAND 플래시 장치에서는, 판독 및 프로그램 동작이 페이지 베이스로 실행되는 한편, 소거 동작은 블록 베이스로 실행된다. 모든 동작은 명령들에 의해 구동된다(전체 내용이 본 명세서에 통합되어 있는 삼성의 2Gb NAND 플래시 사양: ds_k9f2gxxu0m_rev10을 참조하라).
- [0010] 내부 메모리 어레이는 페이지 베이스로 액세스된다. 판독 동작은 READ 명령을 기록한 후에 개시하여 장치로의 공통 I/O 핀(I/O 0 내지 I/O 7)을 통한 어드레스가 이어진다. 선택된 페이지 내의 2,112 바이트의 데이터가 도 4에 도시된 tR(플래시 어레이로부터 페이지 레지스터로의 데이터 전송 시간) 미만으로 페이지 레지스터로 감지되어 전송된다. 2,112 바이트의 데이터가 셀 어레이 내의 선택된 페이지로부터 데이터 레지스터로 감지되어 전송되면, 데이터 레지스터 내의 데이터는 예전대, 8 비트 또는 16 비트 사이클로 장치로부터 순차적으로 판독될 수 있다.
- [0011] 종래의 메모리 어레이는 페이지 베이스로 프로그램된다. 프로그램 동작을 위해, 2,112 바이트의 어드레스 및 입력 데이터가 이어지는 PROGRAM 명령이 공통 I/O 핀(I/O 0 내지 I/O 7)을 통해 장치에 발행된다. 2,112 바이트의 데이터가 입력 데이터 로딩 사이클 동안 데이터 레지스터에 전송되어, 최종적으로 도 5에 도시된 바와 같이 tPROG(페이지 프로그램 시간) 미만에 셀 어레이의 선택된 페이지에 프로그램된다.
- [0012] 메모리 어레이는 블록 베이스로 소거된다. 블록 소거 동작을 위해, 블록 어드레스가 이어지는 BLOCK ERASE 명령이 공통 I/O 핀(I/O 0 내지 I/O 7)을 통해 장치에 발행된다. 128Kbytes의 데이터가 도 6에 도시된 바와 같이 tBERS(블록 소거 시간) 미만에 소거된다. 상세한 장치 동작에 대해서는 NAND 플래시 사양(삼성의 2Gb NAND: ds_k9f2gxxu0m_rev10)을 참조하라.
- [0013] NAND 셀 열은 일반적으로 도 7에 도시된 바와 같이 직렬로 접속되는 1열 셀렉터 트랜지스터(71), i 메모리 셀(72) 및 하나의 접지 선택 트랜지스터(73)로 이루어진다. 열당 셀의 수(i)는 처리 기술에 의해 예전대, 열당 8 셀 또는 열당 16 셀 또는 열당 32 셀로 변경될 수 있다. 열당 32 메모리 셀이 현재의 90nm 및 70nm 기술에서 일반적이다. 이하, '32'가 도 7에 도시된 바와 같이 i에 대해 사용된다.
- [0014] 메모리 셀 게이트는 워드라인 0 내지 31(W/L 0 내지 W/L 31)에 대응한다. 열 선택 트랜지스터의 게이트는 열

선택 라인(SSL)에 접속되는 한편, 열 선택 트랜지스터의 드레인은 비트라인(B/L)에 접속된다. 접지 선택 트랜지스터의 게이트는 접지 선택 라인(GSL)에 접속되는 한편, 접지 선택 트랜지스터의 소스는 공통 소스 라인(CS L)에 접속된다. 각 워드라인은 페이지에 대응하고, 각 열은 블록에 대응한다.

[0015] 도 8 및 도 9는 NAND 셀 열당 32 셀을 갖는 블록의 물리적인 구성을 도시한다. 도 8에 도시된 바와 같이, 한 블록 내에는 $(j+k)*8$ NAND 열이 존재한다. 따라서, 단위 블록은 총 $(j+k)*8*32$ 셀을 갖는다. 각 워드라인은 단위 페이지로서 정의된다. 도 9는 n 블록을 도시한다.

[0016] 일반적으로, 플래시 메모리 셀은 파울러-노다임(F-N: Fowler-Nordheim) 터널링 또는 열 전자 주입 중 어느 하나에 의해 프로그래밍 및 소거된다. NAND 플래시 메모리에서, 소거 및 프로그램의 양자는 F-N 터널링에 의해 관리된다. 아래의 소거 및 프로그램 동작은 NAND 플래시 메모리에 의거한다.

[0017] 소거 동작 중에, 셀의 상부 폴리(top poly)(즉, 상부 게이트)는 V_{ss} (접지)로 바이어스되는 한편, 셀의 기판은 소거 전압 V_{ers} (예컨대, 대략 20V, 소스 및 드레인은 P-기판으로부터 $n+$ 소스/드레인으로의 접합-순방향-바이어스로 인해 자동으로 V_{ers} 로 바이어스된다)로 바이어스된다. 이 소거 바이어스 조건에 의해, 부동 폴리(floating poly)(즉, 부동 게이트)에 트랩된 전자(전하)가 도 10A에 도시된 바와 같이 터널 산화물을 통해 기판으로 방출된다. 소거된 셀의 셀 V_{th} 는 도 10B에 도시된 바와 같이 음의 값이다. 바꿔 말하면, 소거된 셀은 (통상적으로 0V의 게이트 바이어스에 의해 턴-온하는) 온-트랜지스터이다.

[0018] 반대로, 프로그램 동작 중에, 셀의 상부 폴리(top poly)(즉, 상부 게이트)는 프로그램 전압 V_{pgm} (예컨대, 대략 18V)로 바이어스되는 한편, 셀의 기판, 소스 및 드레인은 V_{ss} (접지)로 바이어스된다. 이 프로그램 바이어스 조건에 의해, 기판 내의 전자(전하)가 도 11A에 도시된 바와 같이 터널 산화물을 통해 기판으로 주입된다. 프로그램된 셀의 셀 V_{th} 는 도 11B에 도시된 바와 같이 양의 값이다. 바꿔 말하면, 프로그램된 셀은 (통상적으로 0V의 게이트 바이어스에 의해 턴-오프하는) 오프-트랜지스터이다.

[0019] 따라서, NAND 플래시는 양방향(즉, 대칭형) F-N 터널링 메커니즘에 의해 소거 및 프로그램된다.

[0020] 하나의 공지된 소거 스킴(scheme)은 도 12 및 도 13에 도시된다. 도 12는 소거 동작 중의 바이어스 조건을 도시한다. p-웰 기판이 소거 전압 V_{ers} 로 바이어스되는 한편, 선택된 블록 내의 비트라인 및 공통 소스 라인(CSL)은 SSL 및 GSL 트랜지스터의 S/D 다이오드를 통해 $V_{ers}-0.6V$ 에 클램프(clamped)된다. 동시에, 선택된 블록 내의 모든 워드라인은 0V로 바이어스되는 한편, 열 선택 라인(SSL) 및 접지 선택 라인(GSL)은 소거 전압 V_{ers} 로 바이어스된다. 따라서, 선택된 블록 내의 전체 셀이 상술한 바와 같은 F-N 터널링에 의해 소거된다.

[0021] 블록 베이스의 소거 동작으로 인해, 동일한 p-웰 기판을 갖는 선택되지 않은 블록 내의 메모리 셀의 소거가 방지되어야 한다(즉, 소거 금지). 도 13은 선택되지 않은 블록에 대한 소거 금지 스ქ임을 도시한다:

[0022] · 선택된 블록 내의 모든 워드라인은 0V로 바이어스된다.

[0023] · 선택되지 않은 블록 내의 모든 워드라인은 기판으로부터의 V_{ers} 에 의해 전계를 보상하기 위해 V_{ers} 로 바이어스된다.

[0024] 표 1은 소거 동작 중에 종래 기술 1에 의해 선택된 블록과 선택되지 않은 블록에 대한 바이어스 조건을 도시한다.

[0025]

표 1. 소거 중의 바이어스 조건 - 종래 기술 1

	선택된 블록	선택되지 않은 블록
비트라인들 (B/L)	Vers- 0.6V로 클램프됨	Vers- 0.6V로 클램프됨
열 선택 라인 (SSL)	Vers	Vers
워드라인들 (W/L0 ~ W/L31)	0V	Vers
접지 선택 라인 (GSL)	Vers	Vers
공통 소스 라인 (CSL)	Vers- 0.6V로 클램프됨	Vers- 0.6V로 클램프됨
기판 (포켓 P-웰)	Vers	Vers

[0026]

[0027]

이 소거 금지 스킴을 이용하면, 선택되지 않은 블록 내의 모든 워드라인을 소거 전압 Vers로 충전하는 데 매우 긴 총 소거 시간을 필요로 한다. 동시에, 선택되지 않은 블록 내의 전체 워드라인을 충전 및 방전하기 때문에, 전력 소비가 매우 높다. 또한, 메모리 밀도가 증가함에 따라, 소거 시간이 매우 길어지고, 소거 동작 중의 전력 소비가 매우 높아진다.

[0028]

상기 방법에서의 문제점을 해결하기 위해, 셀프-부스팅(self-boosting) 소거 금지 스킴(미국 특허 #5,473,563호)이 제안되어 있고 NAND 플래시 메모리에 널리 사용되고 있다.

[0029]

선택된 블록에 대해서, 소거 바이어스 조건은 SSL 및 GSL이 도 14에 도시된 바와 같이, Vers로 바이어스되는 대신에 부동으로 되는 것을 제외하고, 상기와 실질적으로 동일하다.

[0030]

선택되지 않은 블록 내의 메모리 셀의 소거를 방지하기 위해, 선택되지 않은 블록 내의 모든 워드라인이 도 15에 도시된 바와 같이 소거 동작 중에 부동한다. 따라서, 선택되지 않은 블록 내의 부동하는 워드라인은 소거 전압 Vers를 기판에 인가할 때 선택되지 않은 블록 내의 기판과 워드라인 사이의 용량성 결합에 의해 거의 소거 전압 Vers로 부스트된다. (부동하는 워드라인은 셀 어레이의 기판이 Vers로 될 때 Vers의 약 90%로 부스트되지만, 부동하는 워드라인 상의 부스트된 전압 레벨은 기판과 워드라인 사이의 결합비에 의해 결정된다.) 선택되지 않은 블록 내의 워드라인 상의 부스트된 전압은 기판과 워드라인 사이의 전계를 감소시키며, 그 결과, 선택되지 않은 블록 내의 메모리 셀의 소거가 방지된다.

[0031]

- 선택된 블록 내의 모든 워드라인이 0V로 바이어스된다.

[0032]

- 선택되지 않은 블록 내의 모든 워드라인이 부동으로 된다.

[0033]

표 2는 이 방법에 의한 소거 중의 바이어스 조건을 도시한다. 선택되지 않은 블록 내의 전체 워드라인이 Vers로 바이어스될 필요가 없기 때문에, 선택되지 않은 블록 내의 워드라인에 소거 전압 Vers를 인가할 필요가 없어, 소거 중에 전력 소비를 감소시키고 소거 시간을 감소시킨다.

[0034]

표 2. 소거 중의 바이어스 조건 - 종래 기술 2

	선택된 블록	선택되지 않은 블록
비트라인들 (B/L)	Vers- 0.6V로 클램프됨	Vers- 0.6V로 클램프됨
열 선택 라인 (SSL)	Vers의 대략 90%로 부스트됨	Vers의 대략 90%로 부스트됨

[0035]

워드라인들 (W/L0 ~ W/L31)	0V	Vers의 대략 90%로 부스트됨
접지 선택 라인 (GSL)	Vers의 대략 90%로 부스트됨	Vers의 대략 90%로 부스트됨
공통 소스 라인 (CSL)	Vers- 0.6V로 클램프됨	Vers- 0.6V로 클램프됨
기판 (포켓 P- 웨л)	Vers	Vers

[0036]

[0037] 셀의 기판이 소건 전압 Vers로 바이어스되고 선택된 블록 내의 셀의 소스/드레인/기판이 전기적으로 접속되기 때문에, 소거 동작은 블록 베이스로 발생해야 한다. 바꿔 말하면, 최소 소거 가능한 어레이 크기가 블록이다.

[0038]

상술한 플래시 메모리에는 세 가지 제한이 가해진다. 먼저, 비트는 목표 메모리 어레이를 소거한 후에만 프로그램될 수 있다. 둘째로, 각 셀은 제한된 수의 소거를 유지할 수만 있고, 그 후에 데이터를 더 이상 신뢰할 수 있게 저장할 수 없다. 바꿔 말하면, 셀에 대한 소거 및 프로그램 사이클의 수에 제한이 있다(즉, 내구성, 일반적으로 10,000~100,000 사이클). 셋째로, 최소 소거 가능한 어레이 크기는 최소 프로그램 가능한 어레이 크기보다 매우 더 크다. 이들 제한으로 인해, 복잡한 데이터 구조 및 알고리즘이 플래시 메모리를 효율적으로 사용하는 데 필요하다. (예컨대, 미국 특허 5,937,425호, 6,732,221호 및 6,594,183호를 참조하라.)

[0039]

페이지 베이스의 메모리 셀의 소거는 미국 특허 5,995,417호 및 특허 출원 US 2006/0050594호에 제안되어 있다.

발명의 내용

해결하려는 과제

[0040]

본 발명의 목적은 종래 기술의 문제점을 고려하여, 향상된 페이지 소거를 갖는 비휘발성 메모리 장치를 제공하는 것이다.

과제의 해결 수단

[0041]

여기에는 특별한 애플리케이션 NAND 플래시 메모리를 갖는 비휘발성 메모리에서 새로운 페이지 베이스의 소거 방법의 기술적인 상세사항이 여기에 제공된다. 페이지 베이스의 소거 방법은 NAND 플래시 메모리를 사용하여 설명되지만, 당업자에 의해서 다른 플래시 메모리 장치에 더욱 일반적으로 적용될 수도 있다.

[0042]

NAND 플래시 메모리와 같은 비휘발성 메모리 어레이는 기판 상의 복수의 메모리 셀의 열, 메모리 셀들의 페이지들까지 상기 열들을 가로지르는 워드라인들 및 각 워드라인에 전압을 인가하는 패스 트랜지스터를 갖는다. 페이지를 소거하는 방법에서, 선택된 블록 내의 각 패스 트랜지스터는 예컨대, 블록 디코더를 통해 작동된다. 워드라인 디코더는 선택된 블록의 복수의 선택된 워드라인의 각각에서 선택 전압이 패스 트랜지스터에, 그리고 선택된 블록의 복수의 선택되지 않은 워드라인의 각각에서 비선택 전압이 패스 트랜지스터에 인가되게 할 수 있다. 기판 전압은 선택된 블록의 기판에 인가된다. 상기 기판 전압과 각 선택된 워드라인의 결과적인 전압 사이의 전압차가 상기 선택된 워드라인의 메모리 셀들의 상기 페이지를 소거시키고, 상기 기판 전압과 각 선택되지 않은 워드라인의 결과적인 전압 사이의 전압차는 상기 선택되지 않은 워드라인의 메모리 셀들의 상기 페이지를 소거하는 것 미만이다.

[0043]

특정 실시예에서, 공통 선택 전압이 각 선택된 워드라인에 인가되고, 공통 비선택 전압이 각 선택되지 않은 워드라인에 인가된다. 선택 전압 및 비선택 전압이 선택된 블록의 워드라인들 중 어느 하나에 인가될 수 있다.

[0044]

선택된 블록의 워드라인들 중 어느 하나에 선택 및 비선택 전압의 인가에 의해, 선택된 워드라인이 적어도 하나의 선택되지 않은 워드라인에 의해 분리될 수 있고, 선택되지 않은 워드라인이 적어도 하나의 선택된 워드라인에 의해 분리될 수 있다. 워드라인의 부스팅이 의존하는, 선택되지 않은 라인들에 인접한 선택된 라인들에 의해, 그 부스팅을 초래하는 용량성 결합이 감소될 수 있다. 그 결과, 비선택 전압으로부터 인가되는 더 높은 초기 전압이 바람직하다. 2개의 선택된 메모리 셀에 인접한 선택되지 않은 메모리 셀이 소거되지 않는 것을 보증하기 위해, 비선택 전압이 선택 전압에 보다는 인가된 기판 전압에 더 가까운 것이 바람직하다.

[0045] 일 실시예에서, 각 선택된 워드라인의 상기 결과적인 전압은 상기 선택 전압과 실질적으로 동일하고, 각 선택되지 않은 워드라인의 상기 결과적인 전압은 상기 비선택 전압으로부터 상기 기판 전압을 향해 결합되는 부동 전압이다. 선택된 블록의 각 패스 트랜지스터에 인가되는 공통 게이트 신호는 값 V2를 갖고, 상기 비선택 전압은 V2 보다 크며, 상기 선택되지 않은 워드라인은 V2-Vtn으로 끼리차지(precharge)된다. V2는 실질적으로 상기 인가된 기판 전압 미만이지만, 바람직하게는, 상기 인가된 기판 전압의 적어도 50%이다. 그 자체로, 선택된 블록 내의 비선택 전압이 선택되지 않은 블록 내의 패스 트랜지스터에 일반적으로 인가되는 전압보다 더 크다.

[0046] 다른 실시예에서는, 각 선택된 워드라인의 상기 결과적인 전압은 상기 선택 전압과 실질적으로 동일하고, 각 선택되지 않은 워드라인의 상기 결과적인 전압은 상기 비선택 전압과 실질적으로 동일하다. 예를 들어, 선택 전압은 약 0V일 수 있고, 비선택 전압은 인가된 기판 전압과 대략 동일할 수 있다.

[0047] 소거 검증 동작에서, 선택 검증 전압이 선택된 블록 내의 복수의 소거된 페이지의 각 워드라인에 인가될 수 있고, 비선택 검증 전압이 선택된 블록 내의 복수의 소거되지 않은 페이지의 각 워드라인에 인가될 수 있다. 각 열은 종단 전압, 특히 소스 전압에 접속된다. 종단 전압의 레벨은 선택된 워드 라인들의 수에 의존하는 복수의 전압 레벨 중 하나에서 선택될 수 있다.

[0048] 이상은, 다른 도면들에 걸쳐 같은 참조 문자가 동일한 부분을 나타내는 첨부한 도면에 도시된 바와 같이, 본 발명의 예시적인 실시예의 아래의 더욱 특별한 설명으로부터 명백해진다. 도면은 본 발명의 실시예들을 예시할 때 배치하는 대신에 반드시 확대, 강조할 필요는 없다.

도면의 간단한 설명

[0049] 도 1은 NAND 플래시 셀 어레이 구성을 도시하는 도면이다.

도 2는 NAND 플래시 블록 구성을 도시하는 도면이다.

도 3은 NAND 플래시 페이지 구성을 도시하는 도면이다.

도 4는 NAND 플래시에서의 페이지 베이스의 관독 동작을 도시하는 도면이다.

도 5는 NAND 플래시에서의 페이지 베이스의 프로그램 동작을 도시하는 도면이다.

도 6은 NAND 플래시에서의 페이지 베이스의 소거 동작을 도시하는 도면이다.

도 7은 32개의 셀을 갖는 NAND 셀 열을 도시하는 도면이다.

도 8은 NAND 플래시에서의 블록 및 페이지 정의를 도시하는 도면이다.

도 9는 NAND 플래시에서의 다수의 블록을 도시하는 도면이다.

도 10a는 파울러-노다임(F-N) 터널링에 의한 소거 동작을 도시하는 도면이다.

도 10b는 파울러-노다임(F-N) 터널링에 의한 소거 동작을 도시하는 도면이다.

도 11a는 파울러-노다임(F-N) 터널링에 의한 프로그램 동작을 도시하는 도면이다.

도 11b는 파울러-노다임(F-N) 터널링에 의한 프로그램 동작을 도시하는 도면이다.

도 12는 소거 중에 선택된 블록에 대한 바이어스 조건 - 종래 기술 1을 도시하는 도면이다.

도 13은 블록 소거 및 정적 소거 금지 스킴 - 종래 기술 1을 도시하는 도면이다.

도 14는 소거 중에 선택된 블록에 대한 바이어스 조건 - 종래 기술 2를 도시하는 도면이다.

도 15는 블록 소거 및 셀프-부스팅 소거 금지 스ქ - 종래 기술 2를 도시하는 도면이다.

도 16은 페이지 또는 페이지의 일부를 변경하기 위한 블록 복사 프로세스를 도시하는 도면이다.

도 17은 소거 중에 선택된 블록에 대한 바이어스 조건 - 페이지 소거 스ქ 1을 도시하는 도면이다.

도 18은 페이지 소거 및 소거 금지 - 페이지 소거 스ქ 1을 도시하는 도면이다.

도 19는 페이지 소거 바이어스 조건 - 페이지 소거 스ქ 2A를 도시하는 도면이다.

도 20은 페이지 소거 및 소거 금지 - 페이지 소거 스ქ 2A를 도시하는 도면이다.

도 21은 페이지 소거 바이어스 조건 - 페이지 소거 스kip 2B를 도시하는 도면이다.

도 22는 페이지 소거 및 소거 금지 - 페이지 소거 스kip 2B를 도시하는 도면이다.

도 23은 다수의 페이지 소거 - 페이지 소거 스kip 1을 도시하는 도면이다.

도 24는 다수의 페이지 소거 - 페이지 소거 스kip 2A를 도시하는 도면이다.

도 25는 다수의 페이지 소거 - 페이지 소거 스kip 2B를 도시하는 도면이다.

도 26은 블록 소거 - 페이지 소거 스kip 2A를 도시하는 도면이다.

도 27은 블록 소거 - 페이지 소거 스kip 2B를 도시하는 도면이다.

도 28은 소스 바이어스 없는 페이지 소거 검증을 도시하는 도면이다.

도 29는 소스 바이어스 있는 페이지 소거 검증을 도시하는 도면이다.

도 30은 블록 소거 검증을 도시하는 도면이다.

도 31은 페이지 소거 흐름 - 단일 소거 및 소거 검증 사이클을 도시하는 도면이다.

도 32는 페이지 소거 흐름 - 다수의 소거 및 소거 검증 사이클을 도시하는 도면이다.

도 33은 NAND 플래시 코어의 간략화된 블록도이다.

도 34는 페이지 소거 스kip 1의 블록 디코더 개략도이다.

도 35는 페이지 소거 스kip 2A 및 2B의 블록 디코더 개략도이다.

도 36은 페이지 버퍼 및 칼럼 셀렉터 - 예를 도시하는 도면이다.

도 37은 페이지 소거/다수의 페이지 소거 타이밍 - 페이지 소거 스kip 1을 도시하는 도면이다.

도 38은 페이지 소거/다수의 페이지 소거 타이밍 - 페이지 소거 스kip 2A를 도시하는 도면이다.

도 39는 페이지 소거/다수의 페이지 소거 타이밍 - 페이지 소거 스kip 2B를 도시하는 도면이다.

도 40은 블록 소거 타이밍 - 페이지 소거 스kip 2A를 도시하는 도면이다.

도 41은 블록 소거 타이밍 - 페이지 소거 스kip 2B를 도시하는 도면이다.

도 42는 소스 바이어스를 갖는 페이지 소거 스kip 1에 대한 페이지 소거 검증 타이밍을 도시하는 도면이다.

도 43은 페이지 소거 스kip 1에 대한 블록 소거 검증 타이밍을 도시하는 도면이다.

도 44는 페이지 소거 스kip 2A 및 2B에 대한 페이지 소거 검증 타이밍을 도시하는 도면이다.

도 45는 페이지 소거 스kip 2A 및 2B에 대한 블록 소거 검증 타이밍을 도시하는 도면이다.

도 46은 소거 중에 선택된 블록에 대한 바이어스 조건 - 페이지 소거 스kip 3을 도시하는 도면이다.

도 47은 소거 중에 선택된 블록에 대한 바이어스 조건 - 페이지 소거 스kip 3을 도시하는 도면이다.

도 48은 페이지 소거 및 소거 금지 - 페이지 소거 스kip 3을 도시하는 도면이다.

도 49는 다수의 페이지 소거 및 소거 금지 - 페이지 소거 스kip 3을 도시하는 도면이다.

도 50은 페이지 소거 스kip 3 중의 기생 용량을 도시하는 도면이다.

도 51은 페이지 소거/다수의 페이지 소거 타이밍 - 페이지 소거 스kip 3을 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0050]

본 발명의 예시적인 실시예를 아래에 설명한다.

[0051]

여기에서 인용된 모든 특허, 공개된 출원 및 참조문헌의 개시내용은 참고로 전체적으로 통합되어 있다.

[0052]

플래시 메모리 특허, NAND 플래시 장치에서, 판독 및 프로그램 동작은 페이지 베이스로 실행되는 한편, 소거 동작은 블록 베이스로 실행된다. 일반적으로, 페이지 크기는 512 바이트, 2048 바이트 또는 4096 바이트인 한편,

블록 크기는 16 페이지, 32 페이지, 또는 64 페이지이다. 따라서, 최소 소거 가능한 블록 크기는 페이지 크기보다 적어도 16배 더 크다. 또한, 이러한 최소 크기의 소거 가능한 블록(즉, 단위 소거 블록)은 칩 크기가 증가함에 따라 더 커진다.

[0053] 프로그램/판독과 소거 사이의 어레이 크기 불일치는 플래시 파일 시스템에서의 시스템 성능 저하 및 장치 신뢰도(즉, 장치 수명)의 2개의 중요한 문제점을 도입한다.

[0054] 하드 디스크(HDD)와 달리, 플래시 메모리 장치 내의 메모리 셀은 입력 데이터에 의해 프로그램되기 전에 소거되어야 한다. 데이터 기록 동작은 시스템 내의 CPU나 플래시 제어기가 프로그램 명령을 발행하면 즉시 실행되어야 한다. 따라서, 프로그램 전 소거는 전체 시스템 성능을 저하시킨다. 이 문제점을 극복하기 위해, 플래시 제어기는 일반적으로 미리 비어 있는 소거된 블록을 준비한다(즉, 소거-유닛 교정(reclamation)). 이 교정은 백그라운드 시에(CPU가 유휴 상태일 때) 또는 프리 스페이스(free space)의 크기가 소정의 임계값 아래로 떨어질 때 요구 시에 중 어느 하나에 발생할 수 있다.

[0055] 플래시 제어기가 페이지의 작은 부분에 조차 데이터 기입 또는 데이터 변경을 요구할 때, 일반적으로 변경될 페이지를 포함하는 블록은 소거-유닛 교정에 의해 교정된 프리(비어 있는) 블록 중 하나에 재기록될 것이다. 이 경우에, 원래의 블록 내에 원래의 데이터를 포함하는 유효 페이지가 도 16에 도시된 바와 같이 선택된 프리 블록에 복사되어야 한다. 변경된 페이지가 판독, 변경되어 새로운 블록에 복사된 후에, 한 페이지에 변경된 데이터와 함께 페이지의 나머지에 원래의 데이터를 갖는 새로운 블록이 플래시 제어기 내의 가상 매핑 시스템에 의해 유효 블록 어드레스에 리매핑된다. (가상 매핑 시스템은 플래시 제어기에 의해 액세스되는 논리 어드레스와 플래시 메모리 내의 물리 어드레스 사이의 어드레스 해석 시스템이다.) 원래의 블록은 현재 사용하지 않고, 소거-유닛 교정 프로세스에 의해 프리 블록으로 교정될 것이다. (플래시 메모리의 데이터 구조 및 알고리즘에 대해, 참고로 전체적으로 여기에 통합되어 있는, 2005년 6월의 Eran Gal, Sivan Toledo의 "Algorithms and Data Structures for Flash Memories," ACM Computing Surveys, Vol. 37, No. 2, pp. 138~163을 참조하라.) 상술한 블록 복사 동작으로 인한 성능 저하를 최소화하기 위해, 일반적으로 NAND 플래시 장치는 플래시 장치와 플래시 제어기 사이의 외부 트랜잭션(transaction) 없이 페이지 복사 기능을 지원한다. 그럼에도 불구하고, 프로그램/판독 및 소거 동작 사이의 어레이 크기 불일치가 큰 시스템 오버헤드 및 복잡성을 도입한다.

[0056] 플래시 메모리 셀은 파울러-노다임 터널링이나 열 전자 주입(hot electron injection) 중 어느 하나에 의해 프로그래밍 및 소거된다. 프로그램 또는 소거 동작 동안, 부동 게이트를 둘러싸는 유전체를 통해 부동 게이트로부터 또는 부동 게이트로 전하가 전송된다. 이러한 빈번한 전하 전송이 부동 게이트와 유전체에서 전자가 트랩되게 하여, 셀의 프로그램 및 소거 특성을 저하시킨다. 후속하는 셀들은 증가한 수의 소거-프로그램 사이클에 의한 이러한 전자 트래핑으로 인해 점진적으로 더 높은 프로그램 전압 및 소거 전압을 필요로 하며, 그 결과, 셀 상의 소거-프로그램 사이클의 수가 제한된다. 일반적으로, 소거-프로그램 사이클의 최대수(즉, 셀 내구성)는 10,000과 100,000 사이이다.

[0057] 제한된 수의 소거-프로그램 사이클(내구력)은 플래시 장치의 수명을 제한한다. 가능한 한 긴 수명을 갖는 것이 바람직하며, 이것은 플래시 장치로의 액세스의 패턴에 의존한다. 단일 셀 또는 소수의 셀들로의 반복적이고 빈번한 재기록은 고장의 징후를 빨리 초래하고, 장치의 유용한 수명을 빨리 종료시킨다.

[0058] 또한, 다수의 플래시 장치를 갖는 플래시 메모리 시스템에서는, 플래시 메모리 시스템 내의 장치들 간에 명백히 불균일한 사용이 있으면, 하나의 장치는 수명이 다하는 반면, 나머지 장치들은 그들의 수명이 상당히 남는다. 하나의 장치가 수명이 다할 때, 전체 메모리 시스템이 교체되어야 할 수 있고, 이것은 플래시 메모리 시스템의 수명을 크게 감소시킨다.

[0059] 재기록이 장치의 모든 셀에 균일하게 분배될 수 있으면, 각 셀은 자신이 허용 가능한 최대수의 소거에 근접하게 경험할 것이며, 그래서 고장의 징후가 가능한 많이 지연될 것이므로, 장치의 수명을 최대화시킨다. 장치의 모든 셀 전반에 걸쳐 균일한 사용에 의해 장치 수명을 연장하기 위해, 다수의 소거 횟수 평준화(wear-leveling) 기술 및 알고리즘이 플래시 메모리 시스템에 제안되어 실현되어 왔다.

[0060] 앞 단락에서 설명한 판독/프로그램 및 소거 사이의 어레이 크기 불일치로 인한 블록 복사 동작은, 블록의 페이지 내의 영향을 받지 않는 데이터가 변경된 데이터로 새로운 블록에 재기록(복사)되어야 하기 때문에 불필요한 재기록을 도입한다. 따라서, 최소 소거 가능한 어레이 크기가 블록(즉, 블록 베이스의 소거) 대신에 페이지(즉, 페이지 베이스의 소거)이면, 재기록될 페이지만 소거될 필요가 있으므로, 장치 수명을 극적으로 연장시킬 수 있다. 또한, 블록 복사 동작의 수는 페이지 베이스의 소거에 의해 크게 감소될 것이다.

[0061] NAND 플래시 메모리 내의 각 NAND 셀 열은, 셀 기판이 장치의 NAND 셀 열 전반체 걸쳐 공통이더라도, 독립적으로 제어될 수 있다. 소거 동작 동안 블록 내의 모든 워드라인이 일반적인 NAND 플래시 장치에서의 동일한 전압 조건으로 바이어스된다. 이것이, 최소 소거 가능한 어레이 크기가 NAND 플래시 메모리 내에서 한 블록인 이유이다.

[0062] 페이지 베이스로 플래시 메모리 셀을 소거하기 위해, NAND 셀 열의 페이지에 대응하는 각 워드라인은 별개로 및 독립적으로 제어되어야 한다.

페이지 소거 스킴 1

[0064] 표 3 및 도 17은 페이지 소거 스킴 1에 따르는 페이지 소거 중의 바이어스 조건(예컨대, 워드라인 27의 소거)을 도시한다. 페이지 소거 스킴 1을 이용하면, 선택되지 않은 워드라인이 선택되지 않은 페이지(들)이 소거되는 것을 방지하기 위한 전압 예컨대, Vers로 바이어스되는 한편, 선택된 워드라인(들)은 선택된 페이지(들)을 소거하기 위한 다른 전압 예컨대, 0V로 바이어스된다.

[0065] 도 17에 도시된 바와 같이, 선택된 블록 내에서,

- 선택된 블록 내의 선택된 워드라인(들)이 소거를 위해 0V로 바이어스되고,

- 선택된 블록 내의 선택되지 않은 워드라인(들)은 소거 금지를 위해 Vers로 바이어스된다.

[0068] 선택되지 않은 블록 내의 메모리 셀의 소거를 방지하기 위해, 선택되지 않은 블록 내의 모든 워드라인들이 종래 기술 2와 동일하게, 소거 동작 중에 부동하는 한편, 표 3에 도시된 바이어스 조건이 도 18에 도시된 바와 같이 선택된 블록에 적용된다. 따라서, 선택되지 않은 블록 내의 부동하는 워드라인은 소거 전압(Vers)을 기판에 인가하고 있을 때 선택되지 않은 블록 내의 워드라인과 기판 사이의 용량성 결합에 의해 거의 소거 전압(Vers)으로 부스트된다. (셀 어레이의 기판이 Vers로 진행할 때 워드라인은 약 90%로 부스트되지만, 부동하는 워드라인의 부스트된 전압 레벨은 기판과 워드라인 사이의 결합비에 의해 결정된다.) 선택되지 않은 블록 내의 워드라인 상에서의 부스트된 전압은 기판과 워드라인 사이의 전계를 감소시키며, 그 결과, 선택되지 않은 블록 내의 메모리 셀의 소거가 방지된다.

- 선택되지 않은 블록 내의 모든 워드라인은 부동한다.

표 3. 페이지 소거 중의 바이어스 조건 - 페이지 소거 스킴 1

	선택된 블록	선택되지 않은 블록
비트라인들(B/L)	Vers- 0.6V로 클램프됨	Vers- 0.6V로 클램프됨
열 선택 라인 (SSL)	Vers의 대략 90%로 부스트됨	Vers의 대략 90%로 부스트됨
선택된 워드라인	0V	Vers의 대략 90%로 부스트됨
선택되지 않은 워드라인	Vers	Vers의 대략 90%로 부스트됨
접지 선택 라인 (GSL)	Vers의 대략 90%로 부스트됨	Vers의 대략 90%로 부스트됨
공통 소스 라인 (CSL)	Vers- 0.6V로 클램프됨	Vers- 0.6V로 클램프됨
기판 (포켓 P- 월)	Vers	Vers

[0071]

페이지 소거 스킴 2A 및 2B

[0073] 페이지 소거 스킴 2A 및 2B에 대한 바이어스 조건은 아래와 같다:

- 셀 게이트(워드라인)이 음의 전압-V1(제1 레벨 전압)으로 바이어스된다.

- [0075] · 셀 기판이 제2 레벨 전압으로 바이어스된다.
- [0076] · 셀 게이트와 기판 사이의 전계가 셀의 터널 산화물을 통해 F-N 터널링을 초래하기 위한 요건을 충족해야 한다.
- [0077] · 셀의 부동 폴리(즉, 부동 게이트) 내에 트랩된 전자(전하)가 터널 산화물을 기판에 방출된다.
- [0078] · 0V의 셀 게이트 전압을 갖는 제2 레벨 전압의 최대는 선택되지 않은 이웃하는 페이지 상에 셀 소거 방해(예컨대, 시프트하는 임계 전압 또는 소프트-소거)를 도입하지 않아야 한다.
- [0079] · -V1 및 제2 레벨 전압이 프로세스 기술 및 셀 특성에 따라 변화될 수 있다.
- [0080] 도 19는 소거 동작 중에 선택된 블록 내의 선택된 페이지(이 예에서는 워드라인 27)에 대해 페이지 소거 스킴 2A를 갖는 전압 바이어스 조건을 도시한다. 선택된 워드라인 27(페이지)은 음의 전압 -18V(-V1)인 한편, 선택되지 않은 워드라인은 0V로 바이어스된다. 셀 어레이의 기판은 0V(V2=0V)로 바이어스된다. 또한, 전압은, 도 21 및 22와 표 5와 관련하여 아래에 설명하는 프로세스 기술 및 셀 특성에 따라 변화될 수 있다. 새로운 소거 조건에 의해, 선택된 페이지 내의 모든 셀들이 소거되는 한편, 선택되지 않은 페이지의 모든 셀은 셀 게이트와 기판 사이의 전계의 효과적이지 못한 크기로 인해 소거되지 않는다.
- [0081] 표 4와 도 20은 선택된 블록과 선택되지 않은 블록에 대한 바이어스 조건을 도시한다. 선택되지 않은 블록의 모든 워드라인은 소거 중에 부동하고, 따라서 기판이 0V로 바이어스되기 때문에 모든 워드라인의 전위는 0V로 유지되며, 선택되지 않은 블록의 모든 워드라인은 소거를 위해 부동하기 전에 0V로 방전된다.

표 4. 소거 중의 바이어스 조건 - 페이지 소거 스킴 2A

	선택된 블록	선택되지 않은 블록
비트라인들 (B/L)	0V	0V
열 선택 라인 (SSL)	0V	0V에서 부동
선택된 워드라인들	-18V (-V1)	0V에서 부동
선택되지 않은 워드라인들	0V	0V에서 부동
접지 선택 라인 (GSL)	0V	0V에서 부동
공통 소스 라인 (CSL)	0V	0V
기판 (P- 웰 또는 포켓 P- 웰)	0V	0V

- [0083]
- [0084] 도 21은 소거 동작 중에 선택된 블록 내의 선택된 페이지(이 예에서는 워드라인 27)에 대한 페이지 소거 스킴 2B를 갖는 전압 바이어스 조건을 도시한다. 선택된 워드라인 27(페이지)은 음의 전압 -13V(-V1)로 바이어스되는 한편, 선택되지 않은 워드라인은 0V로 바이어스된다. 셀 어레이의 기판은 5V로 바이어스된다. 셀의 기판과 게이트 사이의 총 전계는 제1 예의 것과 동일하다. 기판으로의 전압은 동일한 NAND 셀 열에서의 선택되지 않은 워드라인(페이지) 상의 셀에 소거 방해(즉, 소프트-소거)를 도입하지 않도록 결정되어야 한다.
- [0085] 표 5 및 도 22는 선택된 블록 및 선택되지 않은 블록에 대한 바이어스 조건을 도시한다. 선택되지 않은 블록의 모든 워드라인은 소거 동작 중에는 부동하고, 선택되지 않은 블록의 모든 워드라인은 기판에 전압을 인가하고 있을 때 선택되지 않은 블록 내의 워드라인과 기판 사이의 용량성 결합에 의해 거의 기판 전압으로 부스트된다. (부스트된 전압은 기판 전압의 약 90%이지만, 부동하는 워드라인 상에서의 부스트된 전압 레벨은 워드라인과 기판 사이의 결합비에 의해 결정된다.) 선택되지 않은 블록 내의 워드라인 상의 부스트된 전압은 워드라인과 기판 사이의 전계를 감소시키며, 그 결과, 선택되지 않은 메모리 셀의 소거가 방지된다.

[0086]

표 5. 소거 중의 바이어스 조건 - 페이지 소거 스킴 2B

	선택된 블록	선택되지 않은 블록
비트라인들(B/L)	기판-0.6V로 클램프됨	기판-0.6V로 클램프됨
열 선택 라인 (SSL)	기판의 대략 90%로 부스트됨	기판의 대략 90%로 부스트됨
선택된 워드라인들	-13V (-V1)	기판의 대략 90%로 부스트됨
선택되지 않은 워드라인들	0V	기판의 대략 90%로 부스트됨
접지 선택 라인 (GSL)	기판의 대략 90%로 부스트됨	기판의 대략 90%로 부스트됨
공통 소스 라인 (CSL)	기판-0.6V로 클램프됨	기판-0.6V로 클램프됨
기판 (포켓 P- 웨л)	5V 기판	5V 기판

[0087]

[0088] 다수 페이지 소거 및 블록 소거

[0089]

새로운 페이지 소거 개념에 의해, 선택된 블록 내의 다수의 페이지(워드라인)가 소거될 수 있다. 실제로, 워드라인 전압의 선택적인 제어에 의해, 선택된 블록의 어느 하나 이상의 페이지가 소거될 수 있다. 또한, 선택된 블록의 전체 페이지가 또한 소거될 수 있으며, 이것이 기본적으로 블록 소거이다.

[0090]

도 23은 페이지 소거 스킴 1의 바이어스 조건을 사용하여 동시에 소거되는 선택된 블록 내의 3개의 페이지(워드라인 1, 27, 29)를 도시한다.

[0091]

도 24는 페이지 소거 스킴 2A의 바이어스 조건을 사용하여 동시에 소거되는 선택된 블록 내의 3개의 페이지(워드라인 1, 27, 29)를 도시한다.

[0092]

도 25는 페이지 소거 스킴 2B의 바이어스 조건을 사용하여 동시에 소거되는 선택된 블록 내의 3개의 페이지(워드라인 1, 27, 29)를 도시한다.

[0093]

도 26은 블록 소거인 페이지 소거 스킴 2A의 바이어스 조건을 사용하여 동시에 소거되는 선택된 블록 내의 모든 페이지를 도시한다.

[0094]

도 27은 블록 소거인 페이지 소거 스kim 2B의 바이어스 조건을 사용하여 동시에 소거되는 선택된 블록 내의 모든 페이지를 도시한다.

[0095]

소거 검증

[0096]

선택된 블록 내의 단일 페이지 또는 다수의 페이지 또는 모든 페이지를 소거한 후에, 소거된 셀이 판독되기에 적절한 임계 전압 마진을 갖는 것을 보증하도록 소거 검증이 실행되어야 한다. 이 소거 검증은 아래에 설명되는 페이지 버퍼에 의해 실행된다. 도 28, 도 29, 도 30, 및 표 6은 페이지 소거 검증 및 블록 소거 검증 중의 전압 바이어스 조건을 도시한다. 다수 페이지 검증을 위해, 각 선택된 페이지는 아마도 소거 후에 연속적으로(순차적으로) 검증되지만, 바람직한 방법에서는, 모두 한번에 검증된다. 표 6에서의 전압 수들(numbers)(즉, Vread, Versvf, Vcslevf 및 Vbersvf)은 프로세스 기술 및 셀 특성에 따라 변화될 수 있다.

[0097]

도 28은 소스 바이어스 없는 단일 페이지 소거 검증을 도시하고, 도 29는 CSL로부터의 소스 바이어스를 갖는 단일 페이지 소거 검증을 도시한다. 도 30은 블록 소거 검증을 도시한다.

[0098]

표 6. 소거 검증 중의 바이어스 조건

	소스 바이어스로 페이지 소거 검증	소스 바이어스 없이 페이지 소거 검증	블록 소거 검증
비트라인들(B/L)	프리차지 및 감지됨	프리차지 및 감지됨	프리차지 및 감지됨
열 선택 라인 (SSL)	Vread (4 ~ 5V)	Vread (4 ~ 5V)	Vread (4 ~ 5V)
선택된 워드라인들	0V 또는 Vers _{VF}	Versvf (~ -1.5V)	0V 또는 Vbersvf
선택되지 않은 워드라인들	Vread (4 ~ 5V)	Vread (4 ~ 5V)	N/A
겹지 선택 라인 (GSL)	Vread (4 ~ 5V)	Vread (4 ~ 5V)	Vread (4 ~ 5V)
공통 소스 라인 (CSL)	Vcslevf (~ 0.4V)	0V	0V
기판 (포켓 P- 웨일)	0V	0V	0V

[0099]

[0100]

표 6의 최종 칼럼은 모든 워드라인이 선택되는 블록 소거 검증을 도시한다. 그들 조건은 종래의 블록 소거 검증과 비교될 수 있다. 0 볼트, 또는 덜 관용적인 검증에 있어서는, -1.5V와 같은 마이너스 전압이 각 워드라인에 인가된다. 도 10B를 참조함으로써 알 수 있는 바와 같이, 적절하게 소거된 메모리 셀은 워드라인에 인가된 0 볼트로 통전할 것이다. 그러나, 메모리 셀이 완전히 소거되지 않은 경우, 메모리 셀은 덜 또는 전혀 통전하지 않는다. 블록 소거 검증 시에, 완전히 통전하는 데 실패한 메모리 셀 중 어느 하나가 완전히 소거하는 데 실패한 것으로서 감지될 수 있는 비트라인 상에 더 높은 전압을 결과로서 생성한다.

[0101]

그 페이지만이 소거된 단일 선택된 페이지에 의한 소거 검증의 경우에는, 열의 다른 메모리 셀의 각각이 온 상태나 오프 상태 중 어느 하나에 있을 수 있다. 그것을 설명하기 위해, 예컨대, 4~5V의 고전압이 각각의 선택되지 않은 셀의 워드라인에 인가된다. 그 전압은 셀이 도 11B에 도시된 바와 같이 오프 상태로 프로그램되었을 때에도 임계 전압보다 더 높다. 따라서, 셀은 그것이 오프 상태로 프로그램된 경우에도 통전할 것이고, 모든 선택되지 않은 메모리 셀이 통전할 것이다. 선택된 워드라인을 0 볼트로 설정하면 바로 선택된 워드라인을 검증할 수 있게 된다.

[0102]

열 내의 모든 선택되지 않은 셀의 높은 통전에 의해, 검증 동작 중에 일반적인 것보다 비트 라인 상에서 더 낮은 전압이 기대된다. 선택되지 않은 메모리 셀의 그 증가된 통전을 오프셋하기 위해, 표 6의 두 번째 칼럼에서의 -1.5V와 같은 음의 전압이 선택된 워드라인에 인가될 수 있거나, 표 6의 칼럼 1에 도시된 0.4V와 같은 0 볼트보다 더 큰 전압이 공통 소스 라인에 인가될 수 있다. 그 결과, 검증을 위해, 선택된 메모리 셀은 선택되지 않은 셀의 더 높은 컨터런스를 오프셋하도록 검증을 위해 더욱 도전성이어야 한다.

[0103]

일반적으로 음의 전압보다는 양의 바이어스 전압을 생성하는 것이 바람직하므로, 양의 공통 소스 바이어스에 의한 페이지 소거 검증이 일반적으로 바람직하다. 공통 소스 라인의 적절한 전압은 예를 들면, 단일 페이지에 대해 0.3V~0.5V의 범위로 될 수 있다. 전체 블록 미만의 다수의 페이지 소거 검증을 위해서는, 더 낮은 전압이 적절하다. 예를 들면, 전체 블록 소거 검증을 위한 0V 공통 소스 전압 및 1 페이지 검증을 위한 0.5V에 의해, 첫 번째 페이지와 동시에 검증되는 각각의 부가적인 페이지에 대해 0.5/32의 증분만큼 0.5V로부터 소스 전압을 감소시키는 것이 적절할 수 있다. 그러한 소스 전압의 미세 제어는 불필요하다. 그러나, 0.5V의 소스 전압은 예를 들면, 한번에 0 내지 8의 선택된 워드라인의 검증에 사용될 수 있고, 0.4V는 9 내지 16의 선택 워드라인의 검증에 사용될 수 있으며, 0.3V는 17~24 워드라인용으로, 그리고 0V는 25~32 워드라인용으로 사용될 수 있다.

[0104] **페이지 소거 흐름**

프로그램 동작과 달리, 일반적으로 소거 동작은, 단일 소거 및 소거 겹중 사이클 후에 셀의 임계 전압이 목표값으로 정확하게 분배되므로, 다수의 소거 및 소거 겹중 사이클을 필요로 하지 않는다. 그러나, 다수의 소거 및 소거 겹중 사이클이 또한 소거된 셀의 목표 임계 전압을 보증하기 위해 적용될 수도 있다.

도 31은 단일 소거 및 소거 겹중 사이클을 사용하는 페이지 소거 흐름을 도시하는 한편, 도 32는 다수의 소거 및 소거 겹중 사이클을 사용하는 페이지 소거 흐름을 도시한다. 다수의 소거 및 소거 겹중 사이클 방법을 위한 소거 및 소거 겹중 사이클의 최대수는 미리 정해지고, 프로세스 방법 및 셀 특성에 따라 변화된다. 이 페이지 소거 알고리즘(흐름)은 플래시 메모리 장치에서의 페이지 소거 명령을 발행한 후에 자동으로 실행된다.

도 31의 311에서, 전체 블록을 포함하여 전체 블록까지 하나 이상의 선택된 페이지가 소거된다. 312에서, 그 하나 이상의 페이지가 소거되었는지 검증된다. 313으로부터, 메모리가 검증을 패스하면, 상태 레지스터가 314에서 패스로 업데이트되고, 그렇지 않으면, 상태 레지스터가 315에서 실패로 업데이트된다.

이와 달리, 도 32에 도시된 바와 같이, 값 ERS_loop가 320에서 1로 설정된다. 313에서 패스하지 못한 경우에, ERS_loop 값은 321에서 최대값과 비교된다. 최대값이 도달되지 못한 경우, 322에서 그 값이 증가되어, 소거 및 검증 절차가 반복된다. 루프의 최대수에 도달되었으면, 315에서 레지스터에 실패가 나타난다.

이와 달리, 다수의 페이지 소거 후에, 각 선택된 페이지가 개별적으로 검증될 수도 있다. 개별 페이지의 순차적인 검증에 의해, 다수의 페이지 소거가 어느 한 페이지의 실패 후에 반복될 수 있거나, 실패한 페이지만 다시 소거될 수도 있다.

[0110] **회로 실시의 예**

도 33은 NAND 플래시 코어의 간략화된 블록도를 도시한다. NAND 셀 어레이(331)는 종래의 NAND 플래시처럼 n개의 블록(332)을 포함한다. 페이지 버퍼 회로(333)가 판독, 프로그램 검증 및 소거 검증 중에 셀 데이터를 잡지하여 래치(latch)한다. 또한, 페이지 버퍼 회로는 입력 데이터를 일시적으로 보유하고, 프로그램 동작 중에 입력 데이터에 따라 비트라인의 전압을 결정한다. NAND 셀 어레이로부터의 모든 $(j+k)*8$ 비트라인이 페이지 버퍼 회로에 접속된다. 각 NAND 셀 블록에 대응하는 블록 디코더(334)는 신호를 SSL(열 선택 라인), 워드라인 0(WL0) 내지 31(WL31) 및 GSL(접지 선택 라인)로서 제공한다. 블록 디코더는 로우 프리디코더(335)로부터의 로우 프리디코드된 어드레스 신호 Xp/Xq/Xr/Xt와, 공통 워드라인 디코더(336)로부터의 열 선택 신호 SS, 접지 선택 신호 GS 및 공통 열 디코드 신호 S0 내지 S31에 의해 구동된다. 기판 전압이 차지 펌프(337)로부터 PP-웰에 인가된다.

이 문서에서는, 입력 및 출력 회로, 제어 회로, 로우 및 칼럼 프리디코더 회로, 내부 고전압 발생기에 대해, 이들이 다수의 공개된 논문 및 특허에 잘 설명되어 있으므로, 설명하지 않는다. 참고로 전체적인 내용이 통합되어 있는 참조 문헌 Kang-Deog Suh 등의 1995년 4월의 "A 3.3 V 32 Mb NAND Flash Memory with Incremental Step Pulse Programming Scheme," IEEE J Solid-State Circuits, vol. 30, no. 11, pp.1149-1156, Jin-Ki Kim 등의, 1997년 4월의 "A 120-mm 64-Mb NAND Flash Memory Achieving 180 ns/Byte Effective Program Speed," IEEE J Solid-State Circuits, vol. 32, no. 5, pp. 670-680, Ken Takeuchi 등의, 2006년 2월의 "A 56nm CMOS 99mm² 8Gb Multi-level NAND Flash Memory with 10MB/s Program Throughput," ISSCC Dig. Tech. Paper, pp. 144-145, 및 June Lee 등의, 2003년 11월의 "A 90-nm CMOS 1.8-V 2-Gb NAND Flash Memory for Mass Storage Applications," IEEE J Solid- State Circuits, vol. 38, no. 11, pp. 1934-1942를 참조하라.

도 9의 종래의 플래시 장치에서와 같이, NAND 셀 어레이는 n개의 블록으로 이루어지고, 각 블록은 32(m)개의 소거 가능한 및 프로그램 가능한 페이지(즉, 워드라인)으로 세분화된다. NAND 셀 어레이 내에는 $(j+k)*8$ 개의 비트라인이 존재한다. 블록의 수 n, 페이지의 수 m 및 $(j+k)*8$ 의 수는 변화될 수 있다는 점에 주의하라.

도 34는 본 발명에 대해 특히, 페이지 소거 스킵 1에 대해 가능한 예 중의 하나인 블록 디코더의 회로 개략도를 도시한다. 블록 디코더에 대한 회로 실시의 다수의 변형이 존재하는 것에 주의하라. 블록 디코더의 총 수는 n이다.

열 선택 라인 SSL, 워드라인 WL0 내지 WL31 및 접지 선택 라인 GSL은 블록 디코더의 출력 신호 BD_out에 의해 공통으로 제어되는 패스 트랜지스터 TSS, TS0 내지 TS31 및 TGS를 통해 SS, S0 내지 S31 및 GS의 공통 신호에 의해 구동된다.

로컬 차지 펌프(341)는 프로그램 전압(Vpgm), 패스 전압(Vpass), 판독 전압(Vread7), 및 소거 전압(Vers)을 제

공하기 위한 고전압 스위칭 회로이다. 그 펌프는 인핸스먼트(enhancement) NMOS 트랜지스터(ENH), 디플리션(depletion) NMOS 트랜지스터(DEP), 네이티브(native) NMOS 트랜지스터(NAT) 및 2-입력 NAND 게이트(G1)로 이루어진다. 블록 디코더의 출력 신호 BD_out은 블록 디코더 래치 출력 BDLCH_out이 Vdd이고, HVenb가 0V이며, OSC가 발진될 때 Vhv로 상승한다(주의: 로컬 차지 펌프는 잘 알려진 회로 기술이다).

[0117] BDLCH_out은 블록 디코드 리셋 트랜지스터로의 RST_BD가 높을(실제로 단필스) 때 0V로 리셋되고, 블록 디코드 인에이블 트랜지스터로의 LCHBD 입력이 NAND 게이트(G2)로의 Xp, Xq, Xr 및 Xt의 유효 로우 프리디코드된 어드레스 신호에 의해 높을(실제로 단필스) 때 래치된다. BDLCH_out은 인버터(I1 및 I2)에 의해 래치된다.

[0118] 도 35는 페이지 소거 스킴 2A 및 2B용의 블록 디코더의 회로 개략도를 도시한다. 블록 디코더에 대한 회로 실시의 다수의 변형이 존재하는 것에 주의하라. 블록 디코더의 총 수는 n이다.

[0119] 열 선택 라인 SSL, 워드라인 WLO 내지 WL31 및 접지 선택 라인 GSL은 블록 디코더의 출력 신호 BD_out에 의해 공통으로 제어되는 패스 트랜지스터 TSS, TS0 내지 TS31 및 TGS를 통해 SS, S0 내지 S31 및 GS의 공통 신호에 의해 구동된다. 패스 트랜지스터 TSS, TS0 내지 TS31 및 TGS의 기판은 음의 고전압 Vnhv에 의해 제어된다.

[0120] 고전압 레벨 시프터(351)는 양의 고전압 Vhv 및 음의 고전압 Vnhv를 제공하기 위한 고전압 스위칭 회로이다. 레벨 시프터 회로는 교차 결합되는 p-채널 트랜지스터(Q1 및 Q2)와 n-채널 풀 다운 장치(Q3 및 Q4)를 포함한다. Q3으로의 입력 및 I3이 높을 때, BD_out은 Vhv가 Q1을 통해 인가되고 있을 때 높아지고, 낮아질 때 Bd_out은 Q4를 통해 Vnhv로 낮아진다.

[0121] BD_out은 RST_BD가 높을(실제로 단필스) 때 0V로 리셋되고, LCHBD가 게이트(G2)로의 Xp, Xq, Xr 및 Xt의 유효 로우 프리디코드된 어드레스 신호에 의해 높을(실제로 단필스) 때 인버터(I1 및 I2)에 의해 래치된다.

[0122] 표 7은 다양한 동작 모드에 대한 Vhv 및 Vnhv의 일례를 도시한다. 모든 전압 수들은 변경될 수 있다.

표 7. Vhv 및 Vnhv 조건 - 페이지 소거 스킴 2A 및 2B

	VHV	VNHV
판독	~ 7V (Vread7)	0V
프로그램	~ 18V	0V
프로그램 검증	~ 7V (Vread7)	0V
소거	VDD	~-18V OR -13V
소거 검증	~ 7V (Vread7)	~-1.5V OR 0V

[0124]

[0125] 페이지 버퍼 및 칼럼 셀렉터 회로는 도 36에 도시된 바와 같이, 종래의 NAND 플래시에서와 동일하다. 또한 도 36에 도시된 페이지 버퍼 및 칼럼 셀렉터 회로는 이 발명에 대한 가능한 예들 중 하나이다.

[0126]

하나의 페이지 버퍼는 하나의 비트라인에 대응한다. 그러나, 페이지 버퍼는 어레이 밀도가 증가할 때 다수의 비트라인에 의해 공유될 수 있다(그 전체 내용이 참고로 통합되어 있는 참조문헌 June Lee 등의, 2003년 11월의 "A 90-nm CMOS 1.8-V 2-Gb NAND Flash Memory for Mass Storage Applications," IEEE J Solid-State Circuits, vol. 38, no. 11, pp. 1934-1942를 참조하라.)

[0127]

도 36의 페이지 버퍼 및 칼럼 셀렉터 회로는 판독, 프로그램 검증 및 소거 검증 동작에 사용된다. 소거 검증 동작에서, 래치는 노드 B를 높게 래치하도록 LCHDA에 의해 리셋된다. 비트라인 BL은 Vcc로 프리차지된다. 모든 선택된 메모리 셀이 적절히 소거되면, 메모리 셀의 열은 소거 검증 동작 중에 통전할 것이므로, 비트라인 및 노드 PBS0를 낮게 한다. 비트라인 분리 트랜지스터는 오프로 유지한다. 약 0.5V 미만의 PBS0에 의해, 래치 아래의 감지 트랜지스터가 턴 온하지 않아, 노드 B가 높은 상태로 유지된다. B 노드 상의 고전압은 패스/실패 p-채널 감지 트랜지스터를 오프로 유지한다. 그 결과, 그 감지 트랜지스터는 초기에 접지된 라인 PASSb를 충전하지 않는다. 모든 열이 적절히 소거되면, 라인 PASSb가 낮은 상태로 유지되고, "패스"가 그 라인으로부터 감지 된다.

[0128]

반면에, 어떤 열이 완전히 소거되지 않았다면, 노드 PBS0 상의 전압은 LCHDB가 어써트되고(asserted) 있을 때 감지 트랜지스터를 턴 온시키기에 충분히 높게 유지된다. 그 결과, 노드 B가 낮아진다. 선택된 블록 내의 페이지 버퍼들 중 어느 하나 상에서 노드 B가 낮으면, 패스/실패 감지 트랜지스터는 턴 온하여 PASSb를 높은 레벨

로 상승시킨다. 그 높은 레벨은 "실패"를 나타내도록 감지된다.

[0129] 동작 시에:

[0130] · W/L0 내지 W/L31이 NAND 셀 열 내의 32개의 워드라인이다. SSL은 열 선택 라인이고 GSL은 접지 선택 라인이다. CSL은 공통 소스 라인이고 DL/DLb는 차이를 나타내는 데이터라인이다.

[0131] · CSL은 판독 동작 중에 OV로 바이어스되는 한편, CSL은 프로그램 중에 Vdd로 바이어스된다.

[0132] · YAh 및 YBi는 각각 칼럼 선택 신호의 제1 레벨 및 칼럼 선택 신호의 제2 레벨이다.

[0133] · 비트라인(BL)은 DCB가 높을 때 OV로 방전된다.

[0134] · PBSO는 페이지 버퍼의 감지 노드이다.

[0135] · PREBLb는 비트라인을 프리차지하기 위한 인에이블 신호이다.

[0136] · LCHDA 및 LCHDB는 PBSO 노드가 비트라인을 감지한 후 차이를 나타내는 충분한 전압을 가질 때, 데이터 래치 제어 신호이다. 또한, LCHDA 및 LCHDB는 페이지 버퍼 내에서 감지된 데이터의 극성(즉, 노드 A 및 노드 B)을 제어한다. 판독 및 프로그램 검증 중의 페이지 버퍼 상의 노드 A 및 B는 PBSO를 감지할 때 소거 검증 및 복사 를 위한 판독 중의 노드 A 및 B와 반대이다.

[0137] · 페이지 버퍼 내의 래치는 비트라인 프리차지 트랜지스터에 의해 높은(Vdd) PBSO 노드와 함께 LCHDA 또는 LCHDB 중 어느 하나에 의해 리셋된다.

[0138] · ISOPBb는 비트라인으로부터 페이지 버퍼를 분리하기 위한 BL 분리 트랜지스터로의 제어 신호이다.

[0139] · PASSb는 프로그램 완료를 검출하기 위한 공통 감지 노드이다. 입력 데이터가 프로그램을 사용하는 내부 프로그램 알고리즘에 의해 셀에 성공적으로 기록되고 프로그램이 검증할 때, 모든 페이지 버퍼 내의 노드 B가 Vdd로 된다. 따라서, PASSb가 OV로 되어 감지 증폭기에 의해 감지된다. 유사하게, 모든 페이지 버퍼 내의 노드 B는 소거 중에 선택된 블록 내의 모든 열들이 성공적으로 소거되었는지를 검증하는 Vdd로 된다. 판독 사이클 중에, PASSb는 사용되지 않고, PASSb 상에서 감지 증폭기는 디스에이블된다.

소거 동작

[0141] 도 37은 페이지 소거 스킵 1에 의한 페이지 소거 또는 다수의 페이지 소거의 코어 타이밍을 도시한다.

[0142] 기본적으로, 소거 동작은 도 37에 도시된 소거 설정(t1 내지 t2), 소거(t2 내지 t3) 및 소거 복구(t3 내지 t4) 와 같은 3개의 서브-기간으로 이루어진다.

소거 설정(t1 내지 t2):

[0144] · 블록 디코더는 RST_BD 펄스에 의해 리셋되고, 블록 디코더 내의 래치의 BDLCH_out은 OV로 된다.

[0145] · 블록 디코더의 래치 인에이블 신호 LCHBD는 로우 프리디코드된 신호 Xp/Xq/Xr/Xt가 유효이면 펄스화된다.

[0146] · 래치의 BDLCH_out은 로우 프리디코드된 신호 Xp/Xq/Xr/Xt가 일치할 때(Vhv가 소거 중에 Vers로 설정될 때) Vdd로 설정된다.

[0147] · 블록 디코더의 출력 신호 BD_out은 HVneb가 OV이고 OSC가 발진될 때 로컬 차지 펌프에 의해 (Vers+Vth)로 상승한다.

[0148] · 선택되지 않은 블록의 BD_out은 OV로 설정된다. 그 결과, 선택되지 않은 블록 내의 모든 워드라인들 SSL, GSL, CSL이 부동한다.

소거(t2 내지 t3):

[0150] · 이 기간 동안, 셀 기판(포켓 p-웰)이 Vers로 상승한다.

[0151] · 단일 페이지 소거를 위해 선택된 워드라인 또는 다수의 페이지 소거를 위해 선택된 워드라인들이 OV로 바이어스되는 한편, 선택되지 않은 워드라인들은 패스 트랜지스터 TS0 내지 TS31을 통해 S0 내지 S31의 공통 신호에 의해 Vers로 구동된다.

- [0152] * 열 선택 라인 SSL, 접지 선택 라인 GSL 및 공통 선택 라인 CSL이 부동한다. SSL 및 GSL은 셀 기판이 Vers로 진행할 때 기판과 SSL/GSL 사이의 용량성 결합에 의해 Vers의 거의 90%까지 부스트된다. CSL은 기판(PP-웰)으로부터 소스(n+)로의 접합 순방향 바이어스로 인해 Vers로 된다.
- [0153] · 이 기간 동안, 선택된 페이지(페이지들) 상의 모든 셀들이 소거된다. 선택된 블록 내의 선택되지 않은 워드라인들 내의 메모리 셀들의 소거는 0 전계(즉, 워드라인 = Vers & 셀 기판 = Vers)에 의해 방지된다.
- [0154] · 선택되지 않은 블록들 내의 모든 패스 트랜지스터 TS0 내지 TS31은 선택되지 않은 블록 디코더의 출력 BD_out에 의해 턴 오프된다. 그래서, 선택되지 않은 블록들 내의 모든 워드라인이 부동하여, 셀 기판과 워드라인 사이의 용량성 분리에 의해 거의 90%까지 부스트된다.
- [0155] 소거 복구(t3 내지 t4):
- [0156] · 이 기간 동안, 셀 기판, 선택되지 않은 선택된 워드라인 SSL, GSL 및 CSL 상의 모든 고전압이 초기 상태(0V)로 방전된다.
- [0157] 도 38은 페이지 소거 스킴 2A에 의한 페이지 소거 또는 다수의 페이지 소거의 코어 타이밍을 도시한다.
- [0158] 소거 설정(t1 내지 t2):
- [0159] · 블록 디코더는 RST_BD 펄스에 의해 리셋되고, 블록 디코더의 BD_out은 0V로 된다.
- [0160] · 블록 디코더의 래치 인에이블 신호 LCHBD는 로우 프리디코드된 신호 Xp/Xq/Xr/Xt가 유효이면 펄스화된다.
- [0161] · 블록 디코더의 BD_out은 로우 프리디코드된 신호 Xp/Xq/Xr/Xt가 일치할 때(Vhv가 소거 중에 Vdd로 설정될 때) Vdd로 설정된다.
- [0162] · 선택되지 않은 블록의 BD_out은 Vnhv로 설정된다.
- [0163] 소거(t2 내지 t3):
- [0164] · 패스 트랜지스터 TS, TS0 내지 TS31 및 TG의 기판이 음의 전압 -V1(-18V)를 패스하기 위해 Vnhv에 의해 -V1(-18V)로 바이어스된다.
- [0165] · 이 기간 동안, 단일 페이지 소거를 위해 선택된 워드라인 또는 다수의 페이지 소거를 위해 선택된 워드라인들은 -V1(-18V)로 구동되는 한편, 선택되지 않은 워드라인들은 패스 트랜지스터 TS0 내지 TS31을 통해 S0 내지 S31의 공통 신호에 의해 0V로 바이어스된다.
- [0166] · 열 선택 라인 SSL 및 접지 선택 라인 GSL이 0V로 바이어스된다.
- [0167] · 선택되지 않은 블록 내의 패스 트랜지스터 TS0 내지 TS31의 게이트가 소거 설정 기간 동안 Vnhv로 바이어스되고, 이 기간 동안 Vnhv는 -V1(-18)로 된다. 따라서, 패스 트랜지스터 TS0 내지 TS31이 턴 오프되고 선택되지 않은 블록들 내의 모든 워드라인들이 부동한다.
- [0168] · 이 기간 동안, 선택된 페이지(또는 페이지들) 상의 모든 셀들이 소거된다.
- [0169] 소거 복구(t3 내지 t4):
- [0170] · 이 기간 동안, 선택된 워드라인 및 패스 트랜지스터의 기판 상의 음의 전압이 초기 상태(0V)로 복귀한다.
- [0171] 도 39는 -13V의 -V1 및 5V의 V2를 갖는 페이지 소거 스킴 2B를 사용하는 페이지 소거 또는 다수의 페이지 소거의 코어 타이밍을 도시한다.
- [0172] 소거 설정(t1 내지 t2):
- [0173] · 블록 디코더는 RST_BD 펄스에 의해 리셋되고, 블록 디코더의 BD_out은 0V로 된다.
- [0174] · 블록 디코더의 래치 인에이블 신호 LCHBD는 로우 프리디코드된 신호 Xp/Xq/Xr/Xt가 유효이면 펄스화된다.
- [0175] · 블록 디코더의 BD_out은 로우 프리디코드된 신호 Xp/Xq/Xr/Xt가 일치할 때(Vhv가 소거 중에 Vdd로 설정될 때) Vdd로 설정된다.
- [0176] · 선택되지 않은 블록의 BD_out은 Vnhv로 설정된다.
- [0177] 소거(t2 내지 t3):

- [0178] · 패스 트랜지스터 TS, TS0 내지 TS31 및 TG의 기판이 음의 전압 $-V1(-13V)$ 를 패스하기 위해 Vnhv에 의해 $-V1(-13V)$ 로 바이어스된다.
- [0179] · 셀 어레이의 기판은 V2(5V)로 바이어스된다.
- [0180] · 이 기간 동안, 단일 페이지 소거를 위해 선택된 워드라인 또는 다수의 페이지 소거를 위해 선택된 워드라인들은 $-V1(-13V)$ 로 구동되는 한편, 선택되지 않은 워드라인들은 패스 트랜지스터 TS0 내지 TS31을 통해 S0 내지 S31의 공통 신호에 의해 0V로 바이어스된다.
- [0181] · 열 선택 라인 SSL 및 접지 선택 라인 GSL은 부동하여, 셀 어레이의 기판으로부터의 용량성 결합으로 인해 V2(5V)의 90%로 부스트된다.
- [0182] · 공통 소스 라인 CSL 및 비트라인들은 셀 어레이의 기판으로부터의 순방향 접합 바이어스로 인해 V2(5V)이다.
- [0183] · 선택되지 않은 블록 내의 패스 트랜지스터 TS0 내지 TS31의 게이트가 소거 설정 기간 동안 바이어스되고, 이 기간 동안 Vnhv는 $-V1(-13)$ 로 된다. 따라서, 패스 트랜지스터 TS0 내지 TS31이 턴 오프되고 선택되지 않은 블록들의 모든 워드라인들이 부동한다.
- [0184] · 이 기간 동안, 선택된 페이지(또는 페이지들) 상의 모든 셀들이 소거된다.
- [0185] **소거 복구(t3 내지 t4):**
- [0186] · 이 기간 동안, 선택된 워드라인 및 패스 트랜지스터의 기판 상의 음의 전압이 초기 상태(0V)로 복귀한다.
- [0187] · 셀 어레이, SSL, GSL, CSL의 기판 상의 전압이 초기 상태(0V)로 복귀한다.
- [0188] 페이지 소거 스킵 1을 사용한 블록 소거의 코어 타이밍은 참고로 그 전체 내용이 여기에 통합되어 있는 종래의 특허 5,472,563호의 것과 동일하다.
- [0189] 도 40은 $-13V$ 의 $-V1$ 및 $5V$ 의 $V2$ 를 갖는 페이지 소거 스킵 2B를 사용하는 페이지 소거 또는 다수의 페이지 소거의 코어 타이밍을 도시한다.
- [0190] **소거 설정(t1 내지 t2):**
- [0191] * · 블록 디코더는 RST_BD 펄스에 의해 리셋되고, 블록 디코더의 BD_out은 0V로 된다.
- [0192] · 블록 디코더의 래치 인에이블 신호 LCHBD는 로우 프리디코드된 신호 Xp/Xq/Xr/Xt가 유효이면 펄스화된다.
- [0193] · 블록 디코더의 BD_out은 로우 프리디코드된 신호 Xp/Xq/Xr/Xt가 일치할 때(Vhv가 소거 중에 Vdd로 설정될 때) Vdd로 설정된다.
- [0194] · 선택되지 않은 블록의 BD_out은 Vnhv로 설정된다.
- [0195] **소거(t2 내지 t3):**
- [0196] · 패스 트랜지스터 TS, TS0 내지 TS31 및 TG의 기판이 음의 전압 $-V1(-18V)$ 를 패스하기 위해 Vnhv에 의해 $-V1(-18V)$ 로 바이어스된다.
- [0197] · 이 기간 동안, 선택된 블록 내의 모든 워드라인은 패스 트랜지스터 TS0 내지 TS31을 통해 S0 내지 S31의 공통 신호에 의해 $-V1(-18V)$ 로 구동된다.
- [0198] · 열 선택 라인 SSL 및 접지 선택 라인 GSL은 0V로 바이어스된다.
- [0199] * · 선택되지 않은 블록 내의 패스 트랜지스터 TS0 내지 TS31의 게이트가 소거 설정 기간 동안 Vnhv로 바이어스되고, 이 기간 동안 Vnhv는 $-V1(-18)$ 로 된다. 따라서, 패스 트랜지스터 TS0 내지 TS31이 턴 오프되고 선택되지 않은 블록들 내의 모든 워드라인들이 부동한다.
- [0200] · 이 기간 동안, 선택된 페이지(또는 페이지들) 상의 모든 셀들이 소거된다.
- [0201] **소거 복구(t3 내지 t4):**
- [0202] · 이 기간 동안, 선택된 블록의 모든 워드라인 및 패스 트랜지스터의 기판 상의 음의 전압이 초기 상태(0V)로

복귀한다.

[0203] 도 41은 -V1 및 5V의 V2를 갖는 페이지 소거 스킴 2B를 사용하는 블록 소거의 코어 타이밍을 도시한다.

[0204] 소거 설정(t1 내지 t2):

[0205] · 블록 디코더는 RST_BD 펄스에 의해 리셋되고, 블록 디코더의 BD_out은 0V로 된다.

[0206] · 블록 디코더의 래치 인에이블 신호 LCHBD는 로우 프리디코드된 신호 Xp/Xq/Xr/Xt가 유효이면 펄스화된다.

[0207] · 블록 디코더의 BD_out은 로우 프리디코드된 신호 Xp/Xq/Xr/Xt가 일치할 때(Vhv가 소거 중에 Vdd로 설정될 때) Vdd로 설정된다.

[0208] · 선택되지 않은 블록의 BD_out은 Vnhv로 설정된다.

[0209] 소거(t2 내지 t3):

[0210] · 패스 트랜지스터 TS, TS0 내지 TS31 및 TG의 기판이 음의 전압 -V1(-13V)를 패스하기 위해 Vwpt에 의해 -V1(-13V)로 바이어스된다.

[0211] · 셀 어레이의 기판은 V2(5V)로 바이어스된다.

[0212] · 이 기간 동안, 선택된 블록 내의 모든 워드라인은 패스 트랜지스터 TS0 내지 TS31을 통해 S0 내지 S31의 공통 신호에 의해 -V1(-13V)로 구동된다.

[0213] · 열 선택 라인 SSL 및 접지 선택 라인 GSL은 부동하여, 셀 어레이의 기판으로부터의 용량성 결합으로 인해 V2(5V)의 90%로 부스트된다.

[0214] · 공통 소스 라인 CSL은 셀 어레이의 기판으로부터의 접합 순방향 바이어스로 인해 V2(5V)이다.

[0215] · 선택되지 않은 블록 내의 패스 트랜지스터 TS0 내지 TS31의 게이트가 소거 설정 기간 동안 바이어스되고, 이 기간 동안 Vnhv는 -V1(-13)로 된다. 따라서, 패스 트랜지스터 TS0 내지 TS31이 턴 오프되고 선택되지 않은 블록들의 모든 워드라인들이 부동한다.

[0216] · 이 기간 동안, 선택된 페이지(또는 페이지들) 상의 모든 셀들이 소거된다.

[0217] 소거 복구(t3 내지 t4):

[0218] · 이 기간 동안, 선택된 블록의 모든 워드라인 및 패스 트랜지스터의 기판 상의 음의 전압이 초기 상태(0V)로 복귀한다.

[0219] · 셀 어레이, SSL, GSL, CSL의 기판 상의 전압이 초기 상태(0V)로 복귀한다.

[0220] 소거 검증 동작

[0221] 소거 검증 동작은 도 42, 도 43, 도 44 및 도 45에 도시된 소거 검증 설정(t1 내지 t2), BL 프리차지(t2 내지 t3), BL 감지(t3 내지 t4), 데이터 래치(t4 내지 t5) 및 소거 검증 복구(t5 내지 t6)와 같은 5개의 서브-기간으로 이루어진다.

[0222] 도 42는 페이지 소거 스킴 1에 대한 페이지 소거 검증의 코어 타이밍을 도시한다. 여기에서 설명하는 전압원의 전압 레벨은 가능한 예이고 변경될 수도 있다.

[0223] 페이지 소거 검증 설정(t1 내지 t2)

[0224] · 블록 디코더의 BD_out이 이전의 소거 동작 시에 Vdd로 설정된다(Vhv가 소거 검증 중에 Vdd로 설정된다).

[0225] · 선택되지 않은 블록의 BD_out은 이전의 소거 동작 시에 0V로 설정된다.

[0226] · 비트라인을 DCB 펄스에 의해 접지로 방전한다.

[0227] · 페이지 버퍼 내의 래치가 PREBLb 펄스와 함께 LCHDA 펄스에 의해 리셋된다. 이 짧은 펄스 기간 동안, PBSO 노드는 BL 프리차지 트랜지스터에 의해 Vdd이다. 노드 A 및 B는 각각 0V 및 Vdd로 리셋된다.

[0228] · PBSO 노드가 래치를 리셋한 후에, SELBL에 의해 0V로 방전된다.

[0229] BL 프리차지(t2 내지 t3)

- [0230] · 블록 디코더의 BD_out은 HVneb가 0V이고 OSC가 발진될 때 로컬 차지 펌프에 의해 Vread7(~7V)로 된다. 따라서, 선택된 블록 내의 패스 트랜지스터 TS, TS0 내지 TS31 및 TGS의 게이트가 Vread7(~7V)로 상승한다.
- [0231] · SSL, 선택되지 않은 워드라인 및 GSL은 SS, 선택되지 않은 S 및 GS에 의해 Vread(4~5V)로 충전된다.
- [0232] · 선택된 워드라인은 선택된 S에 의해 0V로 바이어스되는 한편, 선택된 블록의 CSL은 선택된 페이지의 음의 셀 Vth를 갖는 소거된 셀을 검증하기 위해 Vxsllevf(~0.4V)로 바이어스된다(즉, 음의 셀 Vth를 갖는 셀에 대한 소스 바이어스 감지 스킴).
- [0233] · 비트라인은 PREBLb가 '저(Low)'로 될 때 소정의 프리차지 레벨(~1.3V)로 프리차지된다. SELBL은 BL 선택 트랜지스터를 사용하여 비트라인 프리차지 레벨을 결정하는 Vblpre(~2.3V)로 된다.
- [0234] **BL 감지(t3 내지 t4)**
- [0235] · 비트라인들은 BL 선택 트랜지스터를 디스에이블시킴(SELBL=0V)으로써 페이지 버퍼로부터 분리되고, BL 프리차지 트랜지스터가 턴 오프된다.
- [0236] · 프리차지된 비트라인의 레벨은 셀 상태에 의거하여 나타난다. 각 비트라인은, 셀이 여전히 오프-셀이고 프리차지된 비트라인 전압을 방전할 수 없기 때문에 그 셀이 완전히 소거되지 않으면 프리차지된 전압 레벨을 유지한다. 반면에, 셀이 완전히 소거되면, 셀은 온-셀이고 이 기간 동안 프리차지된 비트라인을 방전한다.
- [0237] **데이터 래치(t4 내지 t5)**
- [0238] · 이 기간 동안, SELBL이 비트라인과 PBS0 사이에서 용량성 분리를 가능하게 하는 Vbldcp1(~1.3V)로 바이어스 된다.
- [0239] · 용량성 분리 감지 스킴에 의해, 소거된 셀(온-셀)의 비트라인에 대응하는 PBS0 노드 상의 전압이 선택된 비트라인에 비해 비교적 매우 작은 기생 용량을 갖는 감지 노드 PBS0와 비트라인 사이에서 공유하는 전하에 의해 빠르게 강하한다.
- [0240] · 비트라인이 비트라인과 PBS0 노드 사이의 용량성 분리 동작에 의해 충분한 전압 레벨을 나타내면, 데이터 래칭 동작이 LCHDB 신호를 인에이블시킴으로써 실행된다.
- [0241] · NAND 열 상의 불완전하게 소거된 셀로 인한 PBS0 노드에서의 Vdd의 전압은 페이지 버퍼 내의 감지 트랜지스터를 턴 온시킨다. 그 결과, 노드 A는 LCHDB가 인가되자마자 Vdd로부터 0V로 플립된다(노드 B는 0V로부터 Vdd로 플립된다).
- [0242] · NAND 열 상의 소거된 셀(온-셀)로 인한 PBS0 노드에서의 저전압(0.3~0.4V)은 페이지 버퍼 데이터에 영향을 주지 않는다. 따라서, 페이지 버퍼는 초기 상태를 유지한다(즉, 노드 A가 Vdd이고 노드 B가 0V이다).
- [0243] · NAND 열 상의 선택된 셀이 성공적으로 소거되면, 노드 A와 노드 B는 소거 검증 중의 BL 감지 및 래치 동작 후에 각각 0V와 Vdd이다.
- [0244] · NAND 열 상의 선택된 셀이 불완전하게 소거되면, 노드 A와 노드 B는 소거 검증 중의 BL 감지 및 래치 동작 후에 각각 Vdd와 0V이다.
- [0245] **페이지 소거 검증 복구(t5 내지 t6)**
- [0246] · 이 기간 동안, 모든 비트라인은, 페이지 버퍼 내의 모든 래치가 감지된 데이터를 유지하면서, DCB에 의해 방전된다.
- [0247] · SSL, 선택되지 않은 워드라인들, GSL 및 CSL은 이 기간 동안 0V로 방전된다. 선택된 워드라인 및 패스 트랜지스터 TSS, TS0 내지 TS31 및 TGS의 기판도 또한 소거 검증 전압 Versvf로부터 0V로 복귀한다.
- [0248] · 선택된 워드라인(페이지) 상의 모든 셀들이 성공적으로 소거되면, 모든 페이지 버퍼 내의 래치의 노드 A 및 노드 B가 각각 0V 및 Vdd로 설정된다. 따라서, PASSb 상의 모든 풀-업 PMOS 트랜지스터(패스/실패 감지 트랜지스터)가 각 PMOS 트랜지스터의 게이트가 래치의 노드 B에 접속되기 때문에 디스에이블된다. 마지막으로, PASSb가 소거 패스/실패 플래그를 생성하기 위한 검출 회로 내의 감지 증폭기에 의해 감지될 수 있다. PASSb를 감지하기 위한 감지 증폭기는 설명하지 않지만, 잘 알려진 간단한 감지 증폭기에 의해 실시될 수 있다.
- [0249] 다수의 페이지 소거 검증을 위해, 선택된 페이지들이 순차적으로 검증된다(즉, 페이지 베이스의 소거 검증).

- [0250] 도 43은 페이지 소거 스킴 1에 의한 블록 소거 검증의 코어 타이밍을 도시한다. 블록 소거 검증의 코어 신호 타이밍은 기본적으로 페이지 소거 검증의 것과 동일하다. 그러나, 차이점은:
- 선택된 블록(즉, NAND 셀 열)의 모든 셀이 도 43에 도시된 바와 같이 동시에 검증된다.
- [0251] 선택된 블록의 모든 워드라인이 소스 바이어스 없이 0V로(즉, CSL=0V) 또는 소스 바이어스로(즉, CSL=Vcslevf) 바이어스된다.
- [0252] 도 44는 페이지 소거 스킴 2A 및 2B에 대한 블록 소거 검증의 코어 타이밍을 도시한다. 여기에서 설명하는 전압원의 전압 레벨은 가능한 예이고 변경될 수 있다.
- [0253] **페이지 소거 검증 설정(t1 내지 t2)**
- 블록 디코더의 BD_out이 이전의 소거 동작 시에 Vdd로 설정된다(Vhv가 소거 검증 중에 Vdd로 설정된다).
 - 선택되지 않은 블록의 BD_out은 이전의 소거 동작 시에 Vnhv로 설정된다.
 - 비트라인을 DCB 펄스에 의해 접지로 방전한다.
- [0254] 페이지 버퍼 내의 래치가 PREBLb 펄스와 함께 LCHDA 펄스에 의해 리셋된다. 이 짧은 펄스 기간 동안, PBSO 노드는 BL 프리차지 트랜지스터에 의해 Vdd이다. 노드 A 및 B는 각각 0V 및 Vdd로 리셋된다.
- [0255] PBSO 노드가 래치를 리셋한 후에, SELBL에 의해 0V로 방전된다.
- [0256] **BL 프리차지(t2 내지 t3)**
- 이 기간 동안, Vhv는 Vread7(~7V)로 되는 한편, Vnhv는 Versvf(~-1.5V)로 된다. 따라서, 선택된 블록 내의 패스 트랜지스터 TS, TS0 내지 TS31 및 TGS의 게이트가 Vread7(~7V)로 상승한다. 또한, 패스 트랜지스터의 기판은 Vnhv에 의해 Versvf(~-1.5V)로 바이어스된다.
 - SSL, 선택되지 않은 워드라인 및 GSL은 SS, 선택되지 않은 S 및 GS에 의해 Vread(4~5V)로 충전된다.
 - 선택된 워드라인은 선택된 S에 의해 소거 검증 전압 Versvf(~-1.5V)로 바이어스된다.
- [0257] 비트라인은 PREBLb가 '저'로 될 때 소정의 프리차지 레벨로 프리차지된다. SELBL은 BL 선택 트랜지스터를 사용하여 비트라인 프리차지 레벨을 결정하는 Vblpre(~2.1V)로 된다.
- [0258] **BL 감지(t3 내지 t4)**
- 비트라인들은 BL 선택 트랜지스터를 디스에이블시킴(SELBL=0V)으로써 페이지 버퍼로부터 분리되고, BL 프리차지 트랜지스터가 턴 오프된다.
 - 프리차지된 비트라인의 레벨은 셀 상태에 의거하여 나타난다. 각 비트라인은, 셀이 여전히 오프-셀이고 프리차지된 비트라인 전압을 방전할 수 없기 때문에 그 셀이 완전히 소거되지 않으면 프리차지된 전압 레벨을 유지한다. 반면에, 셀이 완전히 소거되면, 셀은 온-셀이고 이 기간 동안 프리차지된 비트라인을 방전한다.
- [0259] **데이터 래치(t4 내지 t5)**
- 이 기간 동안, SELBL이 비트라인과 PBSO 사이에서 용량성 분리를 가능하게 하는 Vbldcp1(~1.3V)로 바이어스 된다.
 - 용량성 분리 감지 스킴에 의해, 소거된 셀(온-셀)의 비트라인에 대응하는 PBSO 노드 상의 전압이 선택된 비트라인에 비해 비교적 매우 작은 기생 용량을 갖는 감지 노드 PBSO와 비트라인 사이에서 공유하는 전하에 의해 빠르게 강하한다.
 - 비트라인이 비트라인과 PBSO 노드 사이의 용량성 분리 동작에 의해 충분한 전압 레벨을 나타내면, 데이터 래칭 동작이 LCHDB 신호를 인에이블시킴으로써 실행된다.
- [0260] NAND 열 상의 불완전하게 소거된 셀로 인한 PBSO 노드에서의 Vdd의 전압은 페이지 버퍼 내의 감지 트랜지스터를 턴 온시킨다. 그 결과, 노드 A는 LCHDB가 인가되자마자 Vdd로부터 0V로 플립된다(노드 B는 0V로부터 Vdd로 플립된다).
- [0261] NAND 열 상의 소거된 셀(온-셀)로 인한 PBSO 노드에서의 저전압(0.3~0.4V)은 페이지 버퍼 데이터에 영향을 주지 않는다. 따라서, 페이지 버퍼는 초기 상태를 유지한다(즉, 노드 A가 Vdd이고 노드 B가 0V이다).

- [0274] · NAND 열 상의 선택된 셀이 성공적으로 소거되면, 노드 A와 노드 B는 소거 검증 중의 BL 감지 및 래치 동작 후에 각각 0V와 Vdd이다.
- [0275] · NAND 열 상의 선택된 셀이 불완전하게 소거되면, 노드 A와 노드 B는 소거 검증 중의 BL 감지 및 래치 동작 후에 각각 Vdd와 0V이다.
- [0276] **페이지 소거 검증 복귀(t5 내지 t6)**
- [0277] · 이 기간 동안, 모든 비트라인은, 페이지 베퍼 내의 모든 래치가 감지된 데이터를 유지하면서, DCB에 의해 방전된다.
- [0278] · SSL, 선택되지 않은 워드라인들, GSL 및 CSL은 이 기간 동안 0V로 방전된다. 선택된 워드라인 및 패스 트랜지스터 TSS, TS0 내지 TS31 및 TGS의 기판도 또한 소거 검증 전압 Vbersvf로부터 0V로 복귀한다.
- [0279] · 선택된 워드라인(페이지) 상의 모든 셀들이 성공적으로 소거되면, 모든 페이지 베퍼 내의 래치의 노드 A 및 노드 B가 각각 0V 및 Vdd로 설정된다. 따라서, PASSb 상의 모든 풀-업 PMOS 트랜지스터(패스/실패 감지 트랜지스터)가 각 PMOS 트랜지스터의 게이트가 래치의 노드 B에 접속되기 때문에 디스에이블된다. 마지막으로, PASSb가 소거 패스/실패 플래그를 생성하기 위한 검출 회로 내의 감지 증폭기에 의해 감지될 수 있다. PASSb를 감지하기 위한 감지 증폭기는 설명하지 않지만, 잘 알려진 간단한 감지 증폭기에 의해 실시될 수 있다.
- [0280] 다수의 페이지 소거 검증을 위해, 선택된 페이지들이 순차적으로 검증된다(즉, 페이지 베이스의 소거 검증).
- [0281] 도 45는 블록 소거 검증의 코어 타이밍을 도시한다. 블록 소거 검증의 코어 신호 타이밍은 기본적으로 페이지 소거 검증의 것과 동일하다. 그러나, 차이점은:
- [0282] · 선택된 블록(즉, NAND 셀 열)의 모든 셀이 도 45에 도시된 바와 같이 동시에 검증된다.
- [0283] · 소거 검증 전압 Vbersvf가 소거된 셀 상의 임계 전압의 적절한 마진을 보증하도록 0V 또는 음의 전압일 수 있다.
- [0284] · 소거 검증 전압 Vbersvf가 음의 전압이면, 패스 트랜지스터 TSS, TS0 내지 TS31 및 TGS의 기판이 페이지 소거 검증의 조건과 유사한, Vnhv에 의해 Vbersvf로 바이어스될 것이다.
- [0285] **페이지 소거 스킵 3**
- [0286] 표 8과 도 46 및 47은 페이지 소거 스킵 3에 따른 페이지 소거 중의 바이어스 조건을 도시한다. 페이지 소거 스킵 3에 의해, 선택되지 않은 워드라인들이 선택되지 않은 페이지(들)가 소거되는 것을 방지하기 위해 거의 소거 전압 Vers(셀 어레이의 기판이 Vers가 될 때 Vers의 $\alpha\%$, α =기판과 워드라인 사이의 결합비)로 부스트되는 한편, 선택된 워드라인(들)은 선택된 페이지(들)를 소거하기 위한 다른 전압 예컨대, 0V로 바이어스된다.
- [0287] 도 46 및 47에 도시된 바와 같이, 선택된 블록 내에서,
- [0288] · 선택된 블록 내의 선택된 워드라인(들)은 소거를 위해 0V로 바이어스된다.
- [0289] · 선택된 블록 내의 선택되지 않은 워드라인(들)은 소거 금지를 위해 Vers의 $\alpha\%$ 로 프리차지되어 부스트된다(부동하는 워드라인 상의 부스트된 전압 레벨은 기판과 워드라인 사이의 결합비 α 에 의해 결정된다, $\alpha \sim 90\%$).
- [0290] 선택되지 않은 블록 내의 메모리 셀의 소거를 방지하기 위해, 선택되지 않은 블록 내의 모든 워드라인은 소거 동작 중에 부동하며, 그것은 특히 5,473,563호의 종래 기술과 같다. 따라서, 선택되지 않은 블록 내의 부동하는 워드라인은 소거 전압 Vers가 기판에 인가될 때 선택되지 않은 블록 내의 워드라인과 기판 사이의 용량성 결합에 의해 거의 소거 전압 Vers로 부스트된다. (워드라인들은 셀 어레이의 기판이 Vers로 될 때 Vers의 $\alpha\%$ 로 부스트되지만, 부동하는 워드라인 상의 부스트된 전압 레벨은 기판과 워드라인 사이의 결합비에 의해 결정된다.) 선택되지 않은 블록 내의 워드라인 상의 부스트된 전압은 기판과 워드라인 사이의 전계를 감소시키며, 그 결과, 선택되지 않은 블록 내의 메모리 셀의 소거가 방지된다.
- [0291] · 선택되지 않은 블록 내의 모든 워드라인이 부동한다.

[0292] 표 8. 페이지/멀티페이지 소거 중의 바이어스 조건 - 페이지 소거 스킴 3

	선택된 블록	선택되지 않은 블록
비트라인들 (B/L)	Vers- 0.6V로 클램프됨	Vers- 0.6V로 클램프됨
열 선택 라인 (SSL)	Vers의 대략 90%로 부스트됨	Vers의 대략 90%로 부스트됨
선택된 워드라인(들)	0V	Vers의 대략 90%로 부스트됨
선택되지 않은 워드라인	Vers	Vers의 대략 90%로 부스트됨
접지 선택 라인 (GSL)	Vers의 대략 90%로 부스트됨	Vers의 대략 90%로 부스트됨
공통 소스 라인 (CSL)	Vers- 0.6V로 클램프됨	Vers- 0.6V로 클램프됨
기판 (포켓 P-웰)	Vers	Vers

[0293]

[0294] 도 48 및 49는 선택되지 않은 블록, 및 선택된 블록 내의 선택된 페이지와 선택되지 않은 페이지에 대한 페이지 소거 조건을 도시한다.

[0295] · 열 선택 라인 SSL, 워드라인 WL0 내지 WL31 및 접지 선택 라인 GSL이 블록 프리-디코더의 출력 신호 BD_out에 의해 공통으로 제어되는 패스 트랜지스터 TSS, TS0 내지 TS31 및 TGS를 통해 SS, S0 내지 S31 및 GS의 공통 신호에 의해 구동된다.

[0296] · SS, S0 내지 S31 및 GS의 공통 신호는 전체 블록의 패스 트랜지스터 TSS, TS0 내지 TS31 및 TGS의 드레인에 접속된다.

[0297] · 공통 소스 라인 CSL은 전체 블록을 가로질러 접속된다.

[0298] · 선택된 페이지에 대응하는 선택된 공통 신호 S(이 예에서는 S27)은 0V로 바이어스되는 한편, 선택되지 않은 공통 신호를 S(S0~S26 및 S28~S31), SS 및 GS는 V1로 바이어스된다. 공통 소스 라인 CSL은 부동한다.

[0299] · 모든 패스 트랜지스터 TSS, TS0 내지 TS31 및 TGS의 게이트에 접속되는 선택되지 않은 블록 프리-디코더의 선택되지 않은 출력 신호 BD_out n-1은 0V이다. 따라서, 선택되지 않은 블록 내의 열 선택 라인 SSL, 워드라인 WL0 내지 WL31 및 접지 선택 라인 GSL이 초기에 부동하여, 셀 기판(포켓 p-웰)이 Vers로 상승할 때 셀 기판과 워드라인 사이의 용량성 결합에 의해 소거 전압 Vers의 거의 90%(α)까지 부스트된다. 선택되지 않은 블록 내의 모든 워드라인 상의 이 부스트된 전압이 셀 소거를 방지한다.

[0300] · 모든 패스 트랜지스터 TSS, TS0 내지 TS31 및 TGS의 게이트에 접속되는 선택된 블록 프리-디코더의 출력 신호 BD_out은 V2이다. 따라서, 선택된 워드라인(이 예에서는 W/L27)은, 선택된 페이지 상의 셀을 소거하는 패스 트랜지스터 TS27을 통해 공통 신호 S27에 의해 구동되는 0V로 바이어스된다.

[0301] · 선택된 블록 내의 선택되지 않은 워드라인(W/L0~W/L26 및 W/L28~W/L31)은 초기에 패스 트랜지스터 TS0~TS26 및 TS28~TS31을 통해 공통 신호 S0~S26 및 S28~S31에 의해 V2-Vtn(Vtn: 패스 트랜지스터 TS0 내지 TS31의 임계 전압)으로 바이어스된다(즉, 패스 트랜지스터 드레인=V1, 게이트=V2, 소스=V2-Vtn 및 V1≥V2). 그 후에, 선택되지 않은 워드라인이, 셀 기판(포켓 p-웰)이 Vers로 상승할 때 셀 기판과 워드라인 사이의 용량성 결합에 의해 부스트된다. 선택되지 않은 워드라인(즉, 패스 트랜지스터의 소스)가 부스트될 때, 패스 트랜지스터(TS0~TS26 및 TS28~TS31)가 패스 트랜지스터 상의 바이어스 조건: Vers(부스트된 전압)의 드레인=V1, 게이트=V2, 및 소스=(α)로 인해 완전히 차단(shut off)된다. 따라서, 선택되지 않은 블록 내의 선택되지 않은 워드라인 상의 부스트된 고전압이 소거 중에 유지되어 셀 소거를 방지한다.

- [0302] · V1은 패스 트랜지스터를 통해 부스트된 전압의 누설을 방지하고, 워드라인이 부스트할 수 있게 하기 위해 V2 이상이어야 한다.
- [0303] V1 및 V2를 선택할 때, 용량성 결합 계수 α 가 개별 워드라인 선택에 의존하는 것이 실현되어야 한다. 반면에, 선택되지 않은 블록에서는, α 는 각 워드라인에서 대략 90%이고, α 는 선택된 워드라인에 인접하게 감소될 수 있다. 결합은 회로 특성에 의존하지만, 도 50에 도시된 바와 같이 α 를 50%까지 감소시킬 수도 있다. 감소된 결합이 주어지면, 워드라인의 초기 전압은 워드라인의 소거를 방지하는 레벨로 부동하는 것을 보증하기 위해 더 높아져야 한다.
- [0304] 부동을 가능하게 하기 위해, 패스 트랜지스터 내의 드레인에 인가되는 V1은 게이트에 인가되는 V2보다 더 커야 한다. 따라서:
- [0305] $V1 \geq V2$,
- [0306] $V_{\text{res}} \geq V2 > V_{\text{cc}}$
- [0307] $V_{\text{boosted}} = (V2 - V_{\text{tn}}) + \alpha * (V_{\text{res}} - (V2 - V_{\text{tn}}))$.
- [0308] V2가 V_{cc} 와 동일하기만 했다면, 워드라인 WL28(선택된 페이지에 인접함) 및 워드라인 WL27(선택된 페이지로부터 멀어짐)의 아래의 부스트된 전압은 결과를 생성할 수 있다:
- [0309] $V_{\text{tn}} = 0.8V$, $V_{\text{cc}} = 2.5V$, $V_{\text{res}} = 20V$ 및 $V2 = V_{\text{cc}} = 2.5V$ 이면
- [0310] $WL28(\text{부스트된 전압}) = (V2 - V_{\text{tn}}) + \alpha * (V_{\text{res}} - (V2 - V_{\text{tn}})) =$
- [0311] $(2.5V - 0.8V) + 0.5 * (20V - 1.7V) = 10.85V$
- [0312] $WL27(\text{부스트된 전압}) = (V2 - V_{\text{tn}}) + \alpha * (V_{\text{res}} - (V2 - V_{\text{tn}})) =$
- [0313] $(2.5V - 0.8V) + 0.9 * (20V - 1.7V) = 18.17V$
- [0314] WL27은 V_{res} 에 가깝게 부스트되고, 따라서 불의의 소거를 방지하는 것을 알 수 있다. 그러나, 워드라인 WL28은 워드라인과 기판 전압 V_{res} 사이에 >9볼트 차를 초래하는 <11볼트로만 상승된다. 그 결과, WL28의 불의의 소거가 있음직하다. 소거를 안전하게 방지하기 위해, 워드라인은 적어도 약 70% V_{res} 또는 이 예에서는 14볼트로 되어야 한다.
- [0315] 게이트 전압 V2를 상승시키고 그에 따라 드레인 전압 V1을 상승시킴으로써, 워드라인 상의 초기 전압이 더 높으며, 따라서 부스트된 전압이 α 의 감소에도 불구하고 더 높다. 10볼트의 더 높은 전압 V2에 의해, 이 예에서는 아래의 결과를 생성한다:
- [0316] $V_{\text{tn}} = 0.8V$, $V_{\text{cc}} = 2.5V$, $V_{\text{res}} = 20V$ 및 $V2 = 10V$ 이면
- [0317] $WL28(\text{부스트된 전압}) = (V2 - V_{\text{tn}}) + \alpha * (V_{\text{res}} - (V2 - V_{\text{tn}})) =$
- [0318] $(10V - 0.8V) + 0.5 * (20V - 9.2V) = 14.6V$
- [0319] $WL27(\text{부스트된 전압}) = (V2 - V_{\text{tn}}) + \alpha * (V_{\text{res}} - (V2 - V_{\text{tn}})) =$
- [0320] $(10V - 0.8V) + 0.9 * (20V - 9.2V) = 18.92V$
- [0321] 이 경우에, 인접한 워드라인 WL28 상의 부스트된 전압은 14.6V에서 충분히 높다. α 의 감소된 값 및 워드라인과 기판 사이의 허용 가능한 전압차는 변화하며, 따라서 V2의 허용 가능한 레벨을 변화시킨다. 그러나, 일반적으로, V2는 적어도 약 50% V_{res} 이어야 한다. 더욱 일반적으로는, V2 및 그에 따라 V1이 선택된 워드라인의 패스 트랜지스터에 인가되는 선택 전압에 보다는 기판 전압에 더 가까워야 한다.
- [0322] 도 49는 페이지 소거 스킵 3의 바이어스 조건을 사용하여 동시에 선택된 블록내의 다수의 페이지들(워드라인들 1, 27, 29)이 소거되는 것을 도시한다.
- [0323] 앞서 설명한 도 34는 $V1 > V2$ 이면서 페이지 소거 스킵 3에 대한 가능한 예 중 하나인 블록 디코더의 회로 개략도

를 도시한다.

[0324] BDLCH_out은 RST_BD가 높을 때(실제로 단펄스일 때) 0V로 리셋되고, Xp, Xq, Xr 및 Xt의 유효 로우 프리디코드된 어드레스 신호에 의해 LCHBD가 높을 때(실제로 단펄스일 때) 래치된다.

[0325] 블록 프리-디코더의 최종 출력 신호 BD_out은 모든 패스 트랜지스터 TSS, TS0 내지 TS31 및 TGS의 게이트에 공통으로 접속된다. 열 선택 라인 SSL, 워드라인 WL0 내지 WL31 및 접지 선택 라인 GSL은 블록 프리-디코더의 출력 신호 BD_out에 의해 공통으로 제어되는 패스 트랜지스터를 통해 SS, SO 내지 S31 및 GS의 공통 신호에 의해 구동된다.

[0326] 로컬 차지 펌프는 블록 디코더의 출력 신호 BD_out에 V2를 제공하기 위한 고전압 스위칭 수단이다. 그 펌프는 인핸스먼트 NMOS 트랜지스터, 디플리션 NMOS 트랜지스터(DEP), 네이티브 NMOS 트랜지스터(NAT) 및 2-입력 NAND 게이트로 이루어진다. 블록 디코더의 출력 신호 BD_out은 블록 디코더 래치 출력 BDLCH_out이 Vdd이고, HVenb가 0V이며, OSC가 발진될 때, Vhv(=V2)로 상승한다.

[0327] 도 51은 페이지 소거 스Kim 3에 의한 페이지 소거 또는 다수의 페이지 소거의 코어 태이밍을 도시한다.

[0328] 기본적으로, 소거 동작은 도 51에 도시된 소거 설정(t1 내지 t2), 소거(t2 내지 t3) 및 소거 복구(t3 내지 t4)와 같은 3개의 서브-기간으로 이루어진다.

소거 설정(t1 내지 t2):

[0330] · 블록 디코더 래치는 RST_BD 펄스에 의해 리셋되고, 블록 디코더 내의 래치의 BDLCH_out은 0V로 된다.

[0331] · 블록 디코더의 래치 인에이블 신호 LCHBD는 로우 프리디코드된 신호 Xp/Xq/Xr/Xt가 유효이면 펄스화된다.

[0332] · 래치의 BDLCH_out은 로우 프리디코드된 신호 Xp/Xq/Xr/Xt가 일치할 때(즉, 선택될 때) Vdd로 설정된다.

[0333] · 블록 프리-디코더의 출력 신호 BD_out은 V2이다.

[0334] · 선택된 페이지에 대응하는 선택된 공통 신호 S는 0V로 설정되는 한편, 선택되지 않은 공통 신호들 S, SS 및 GS는 V1로 설정된다. 공통 소스 라인 CSL은 부동한다.

[0335] · 선택되지 않은 블록의 BD_out은 0V로 설정된다. 그 결과, 선택되지 않은 블록 내의 모든 워드라인들 SSL, GSL, CSL이 부동한다.

[0336] · 선택된 블록의 BD_out은 V2로 설정되고, 모든 패스 트랜지스터 SST, TS0 내지 TS31, GST는 턴 온된다. 따라서, 선택된 워드라인(들)은 0V로 바이어스되는 한편 선택되지 않은 워드라인 SSL, GSL은 V2-Vtn(Vtn: 패스 트랜지스터의 임계 전압)으로 프리차지된다.

소거(t2 내지 t3):

[0338] · 이 기간 동안, 셀 기판(포켓 p-웰)이 소거 전압 Vers로 상승한다.

[0339] · 선택된 블록 내에서 단일 페이지 소거를 위해 선택된 워드라인 또는 다수의 페이지 소거를 위해 선택된 워드라인들이 0V로 바이어스된다.

[0340] · 선택된 블록 내의 열 선택 라인 SSL, 접지 선택 라인 GSL 및 공통 선택 라인 CSL이 초기에 V2-Vtn으로 프리차지된 후, SSL 및 GSL은 셀 기판이 Vers로 될 때 SSL/GSL 및 기판과 워드라인 사이의 용량성 결합에 의해 Vers의 α %까지 부스트된다(부동하는 워드라인 상의 부스트된 전압 레벨은 기판과 워드라인 사이의 결합비(α)에 의해 결정된다).

[0341] · CLS 및 모든 비트라인(BLS)은 기판(PP-웰)으로부터 소스(n+)로의 접합 순방향 바이어스로 인해 Vers로 된다.

[0342] · 이 기간 동안, 선택된 페이지(페이지들) 상의 모든 셀들이 소거된다. 선택된 블록 내의 선택되지 않은 워드라인들 내의 메모리 셀들의 소거는 부스트된 워드라인 전압에 의해 방지된다.

[0343] · 선택되지 않은 블록들 내의 모든 워드라인들 SSL, GSL, CSL은 셀 기판이 Vers로 될 때 SSL/GSL 및 기판과 워드라인 사이의 용량성 결합에 의해 Vers의 α %까지 부스트된다.

[0344] · 선택되지 않은 워드라인들(즉, 패스 트랜지스터들의 드레인)이 부스트될 때(즉, 패스 트랜지스터의 소스>V2-Vtn), 패스 트랜지스터들(TS0~TS26 및 TS28~TS31)은 패스 트랜지스터들 상의 바이어스 조건으로 인해 완전히

차단된다: 드래인=V1 \geq V2, 게이트=V2, 및 소스= α Vers(부스트된 전압). 따라서, 선택되지 않은 블록들 내의 선택되지 않은 워드라인 상의 부스트된 고전압이 소거 중에 유지되어, 셀 소거를 방지한다.

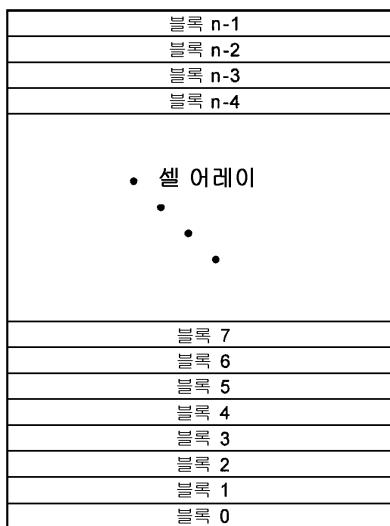
[0345] 소거 복구(t3 내지 t4):

[0346] · 이 기간 동안, 셀 기판, 선택되지 않은 선택된 워드라인 SSL, GSL 및 CSL 상의 모든 고전압이 초기 상태(0V)로 방전된다.

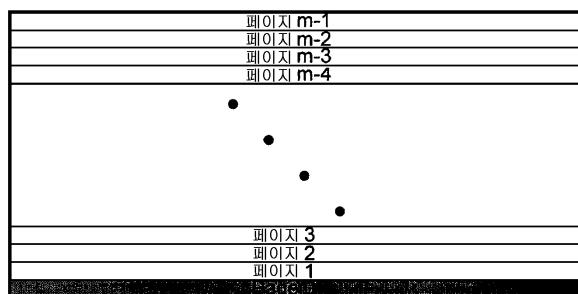
[0347] 본 발명은 특히 그 예시적인 실시예를 참조하여 도시 및 설명되었지만, 당업자라면 첨부된 청구항들에 포함되는 발명의 범위로부터 벗어남 없이 형태 및 세부사항의 다양한 변경이 이루어질 수 있음을 이해할 것이다.

도면

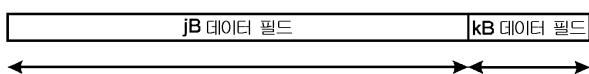
도면1



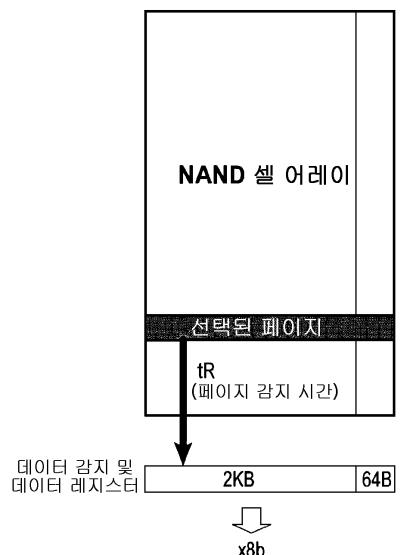
도면2



도면3



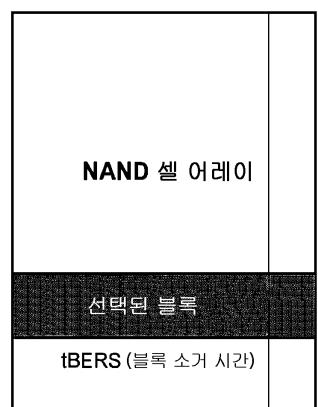
도면4



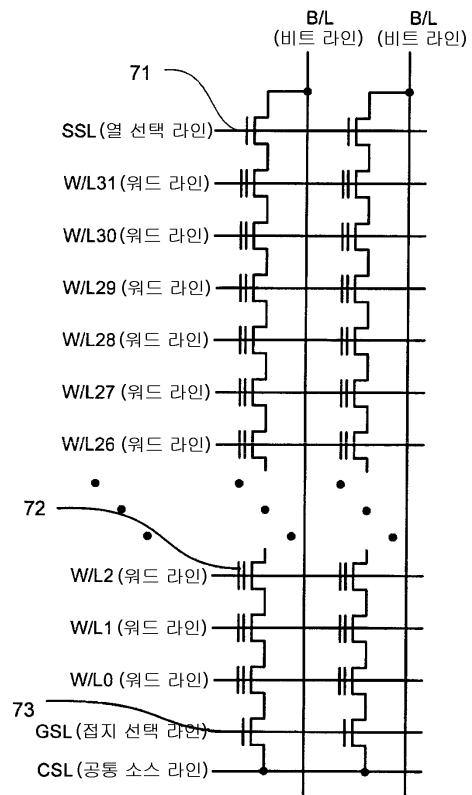
도면5



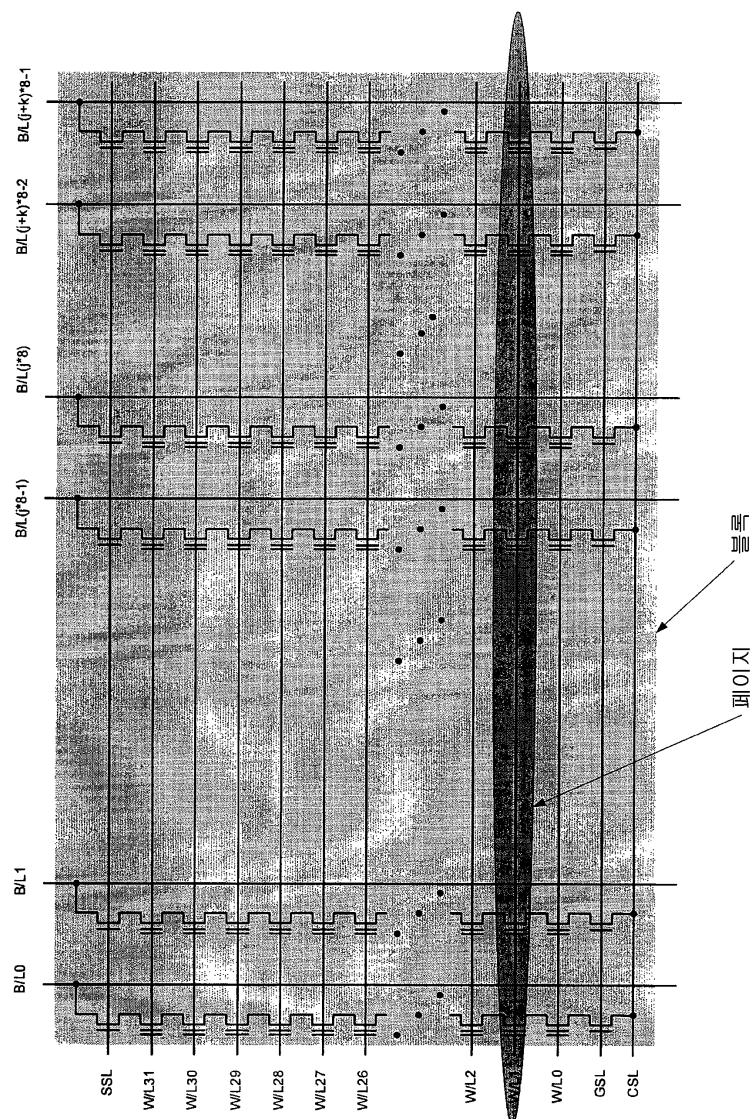
도면6



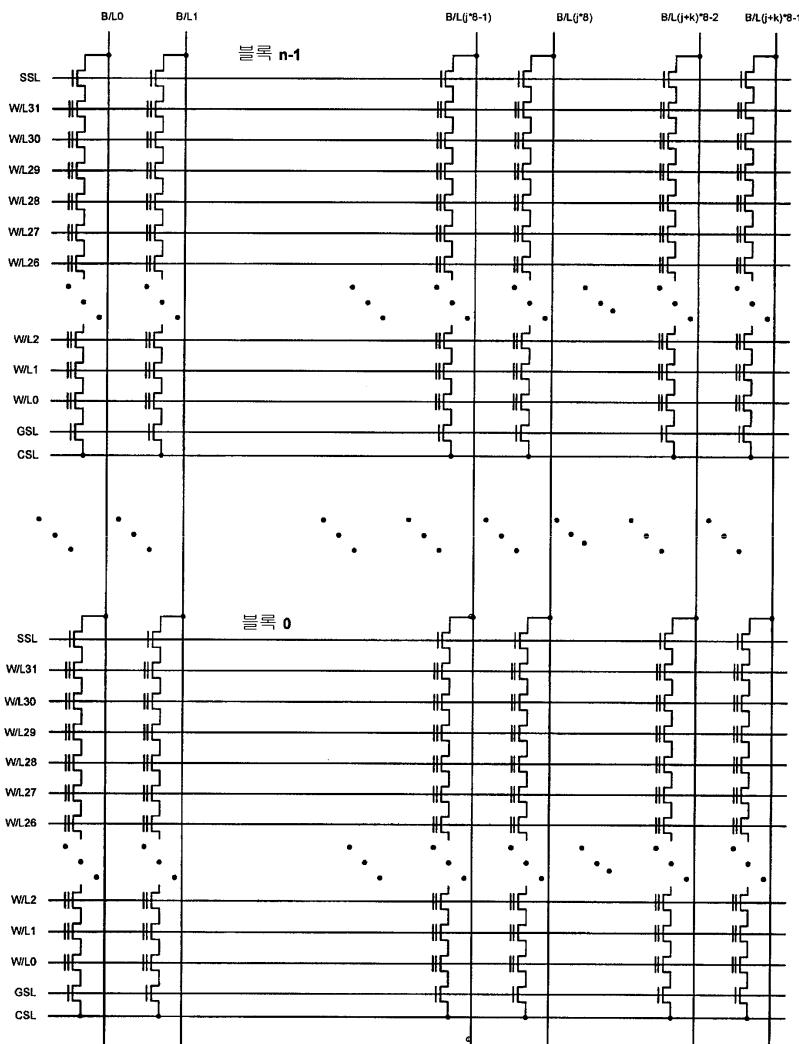
도면7



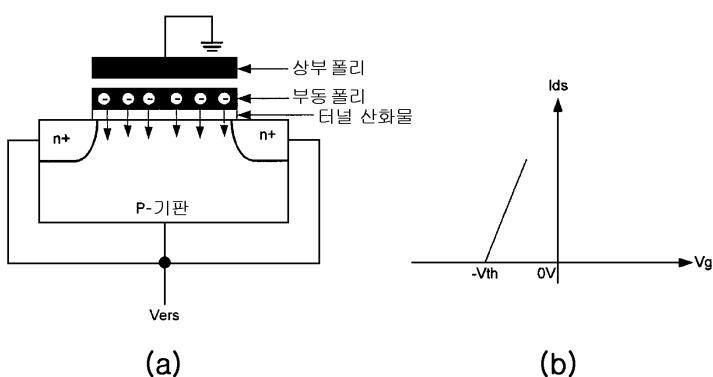
도면8



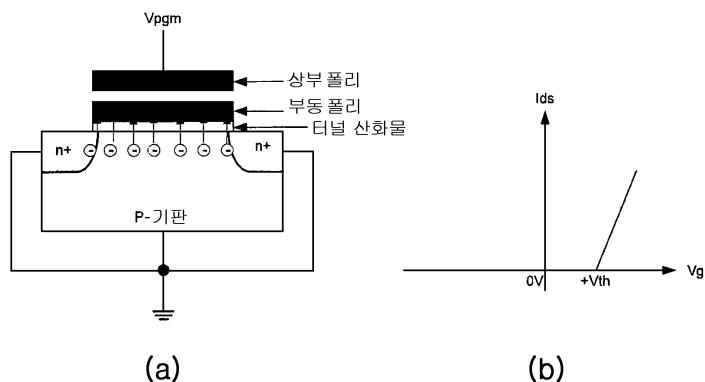
도면9



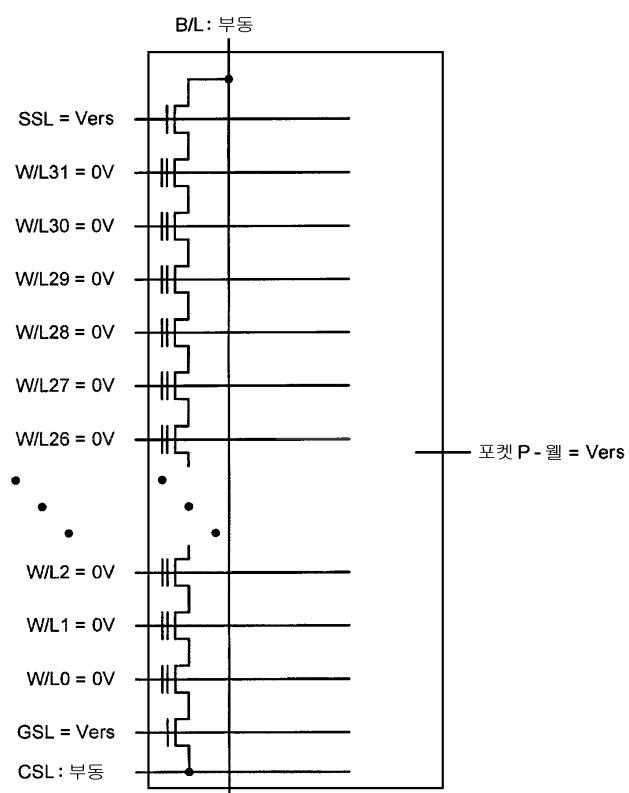
도면10



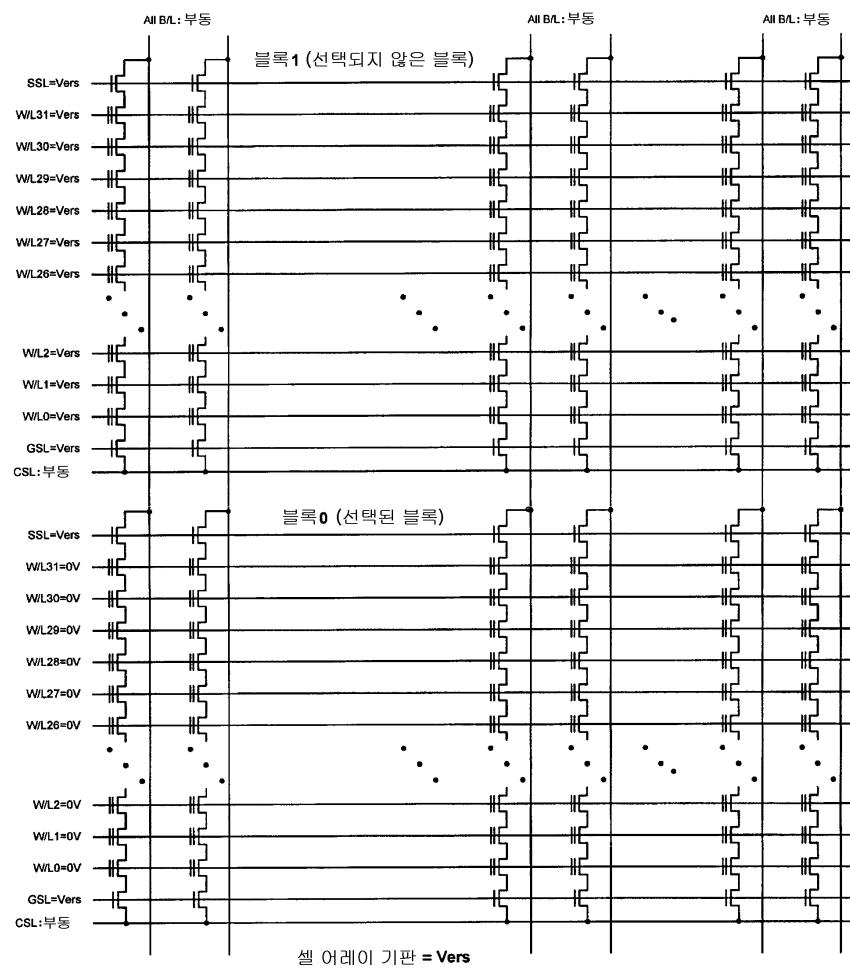
도면11



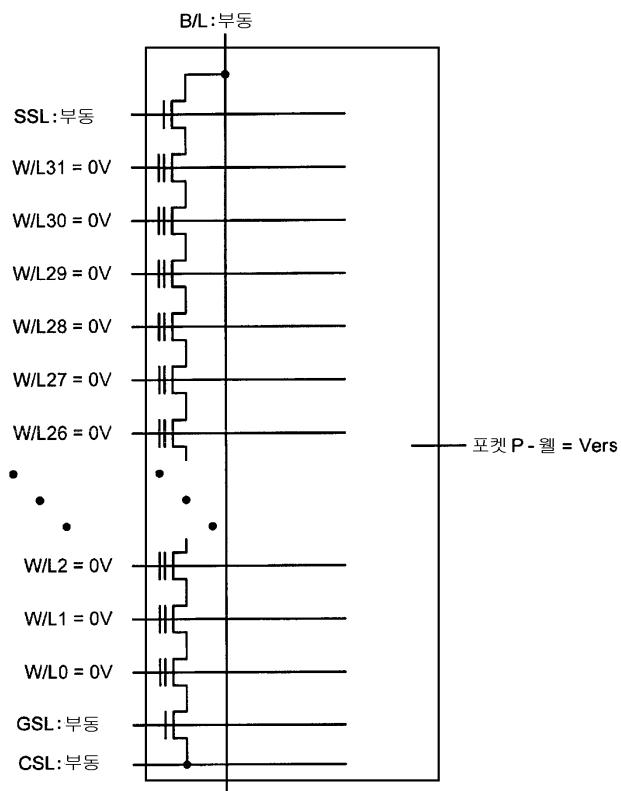
도면12



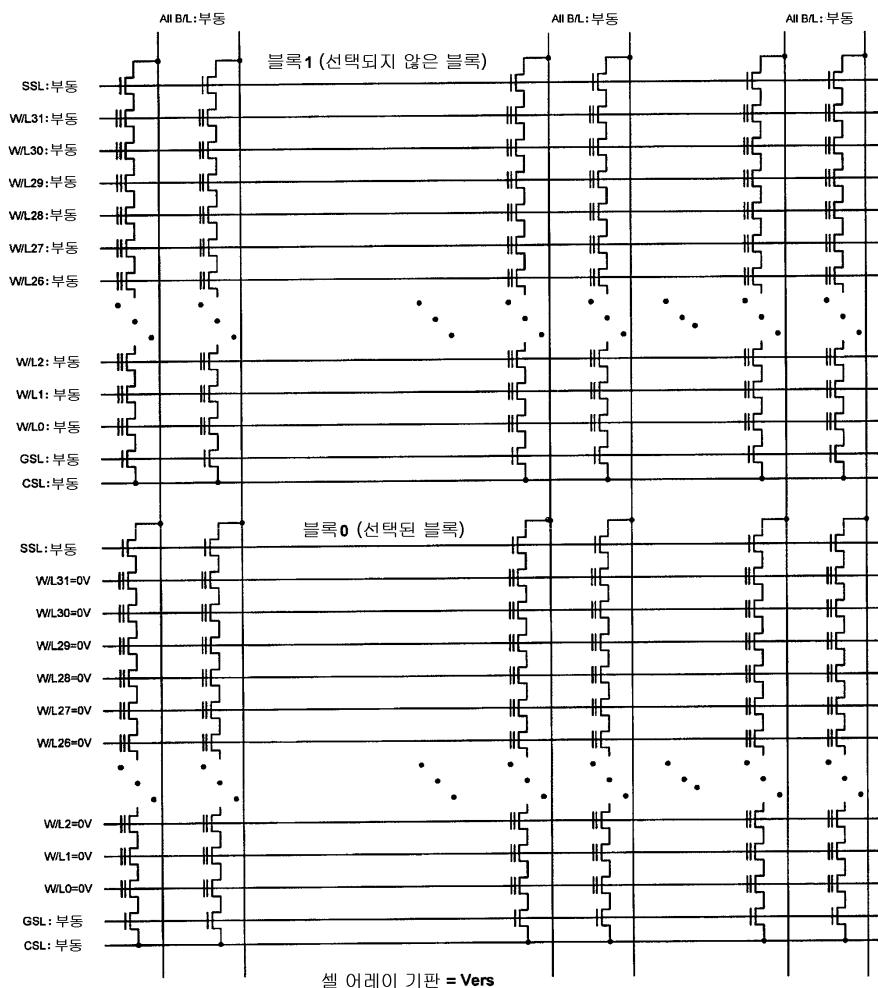
도면13



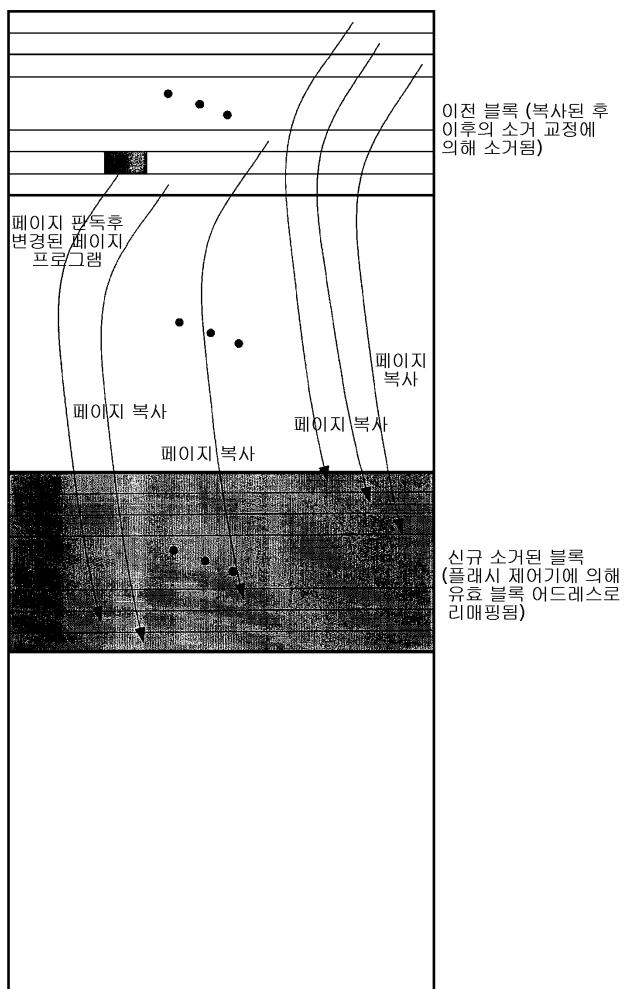
도면14



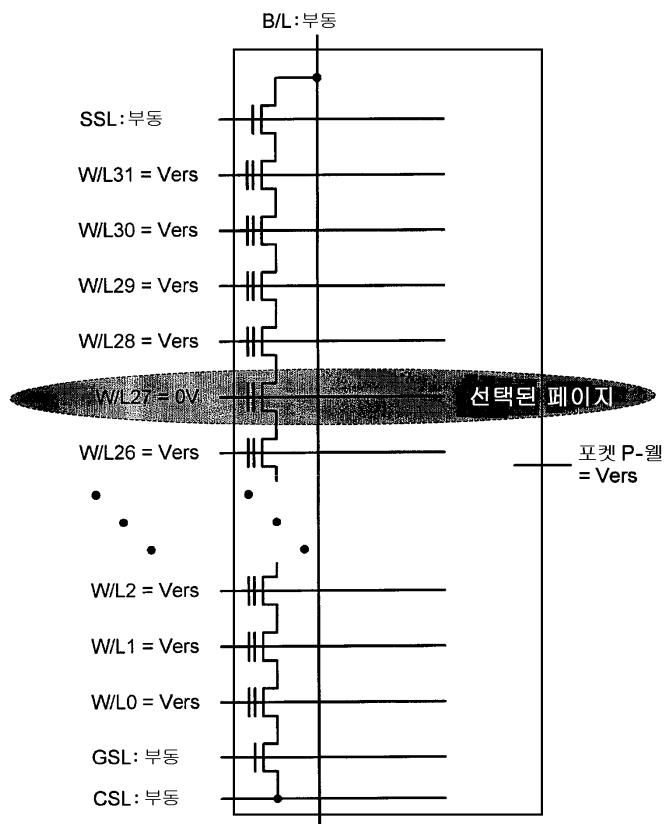
도면15



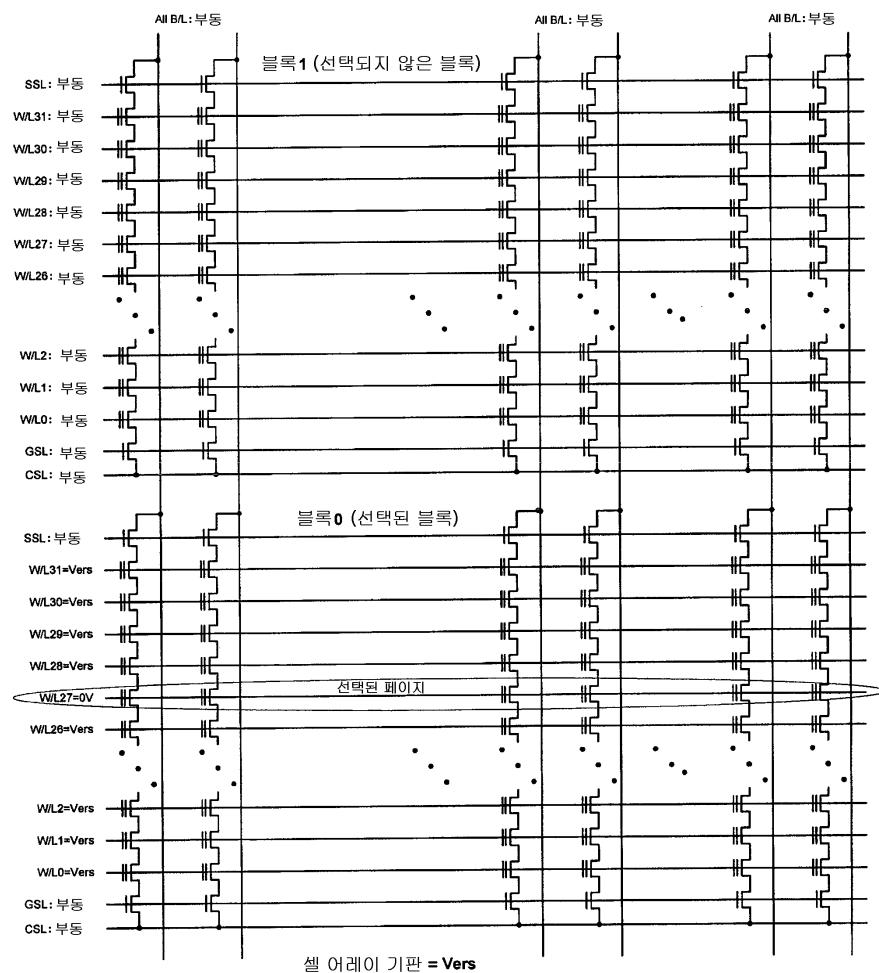
도면16



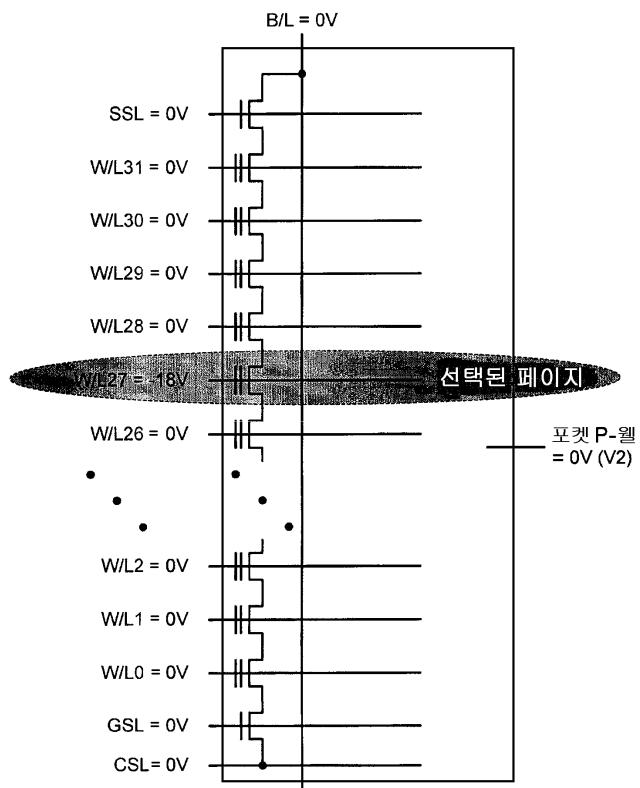
도면17



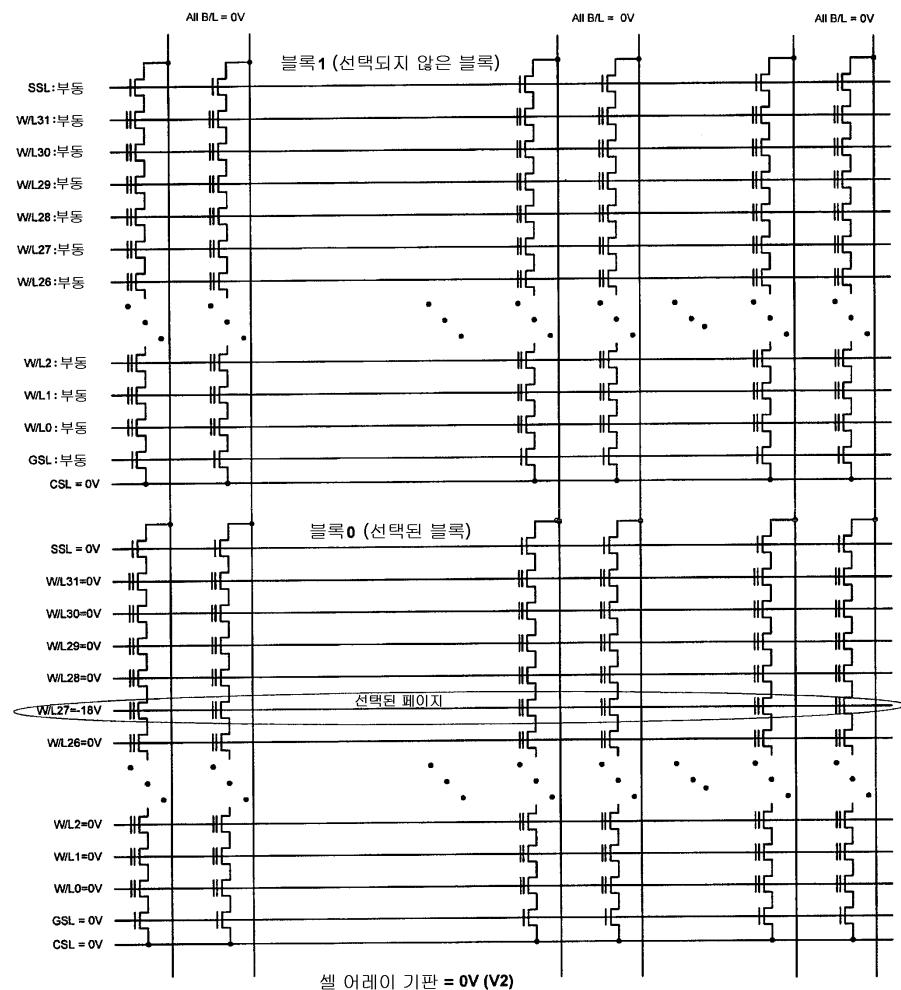
도면18



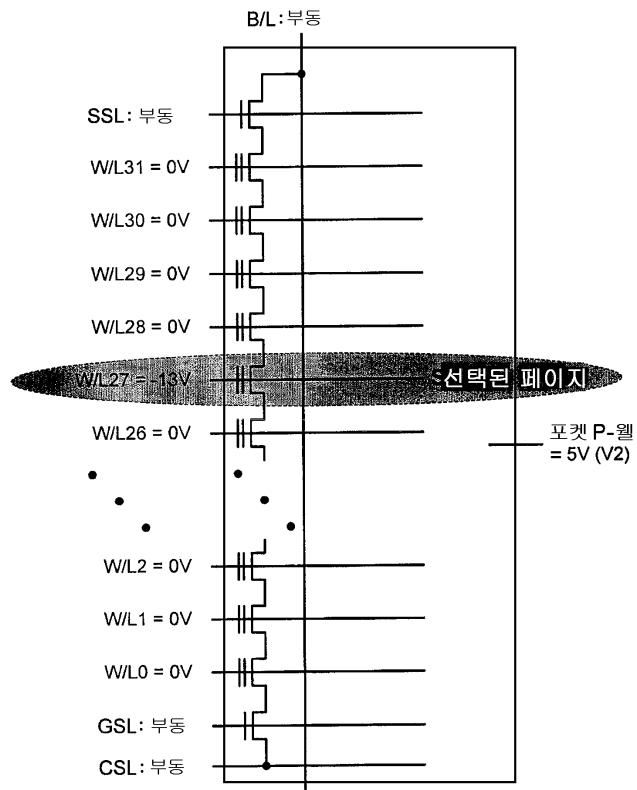
도면19



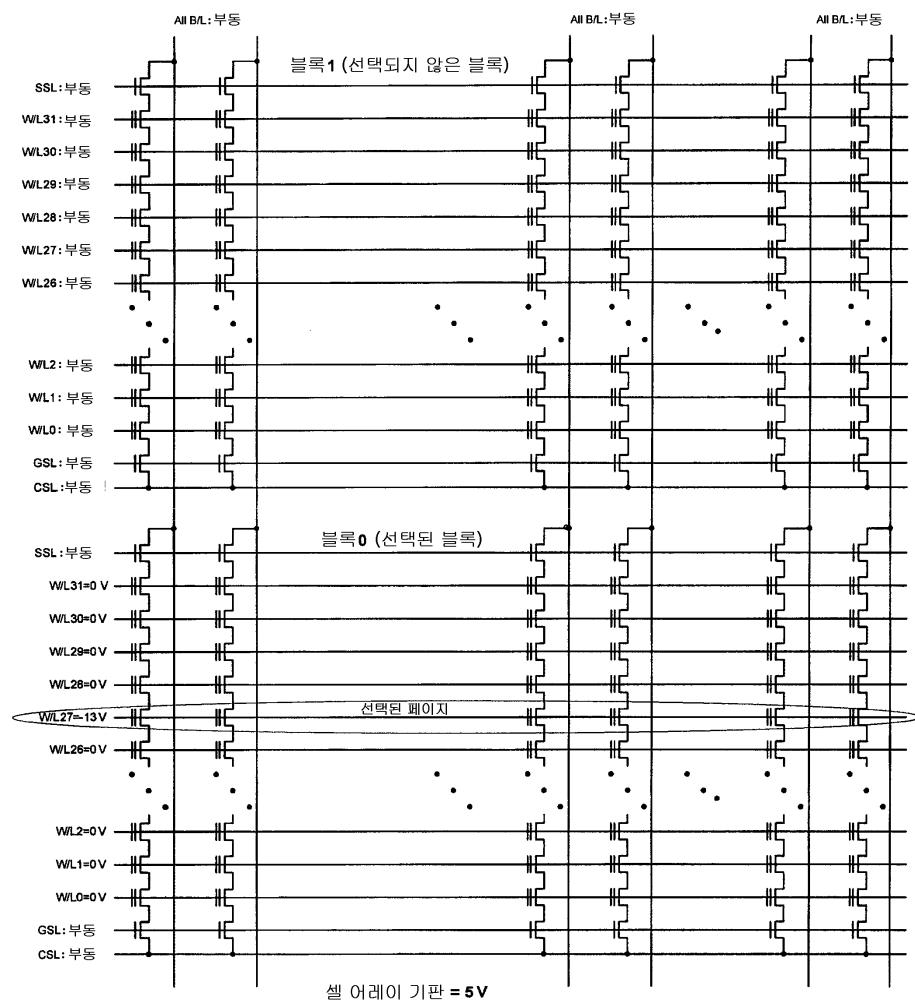
도면20



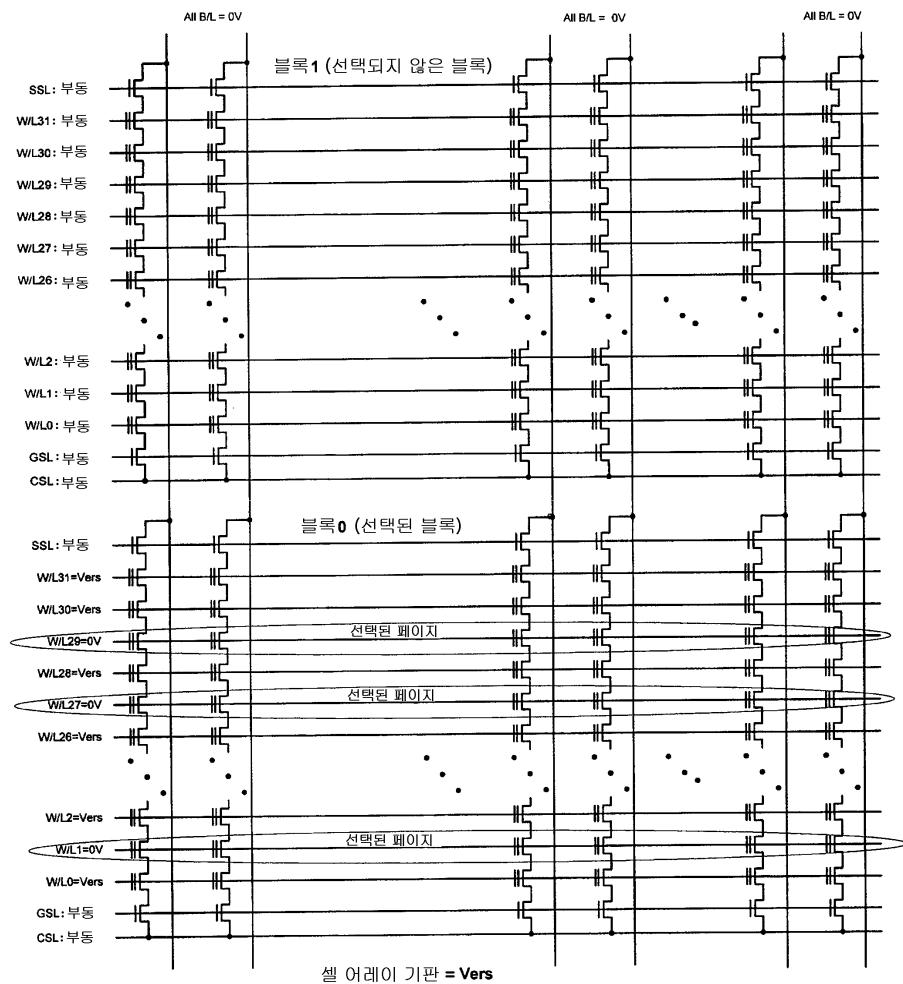
도면21



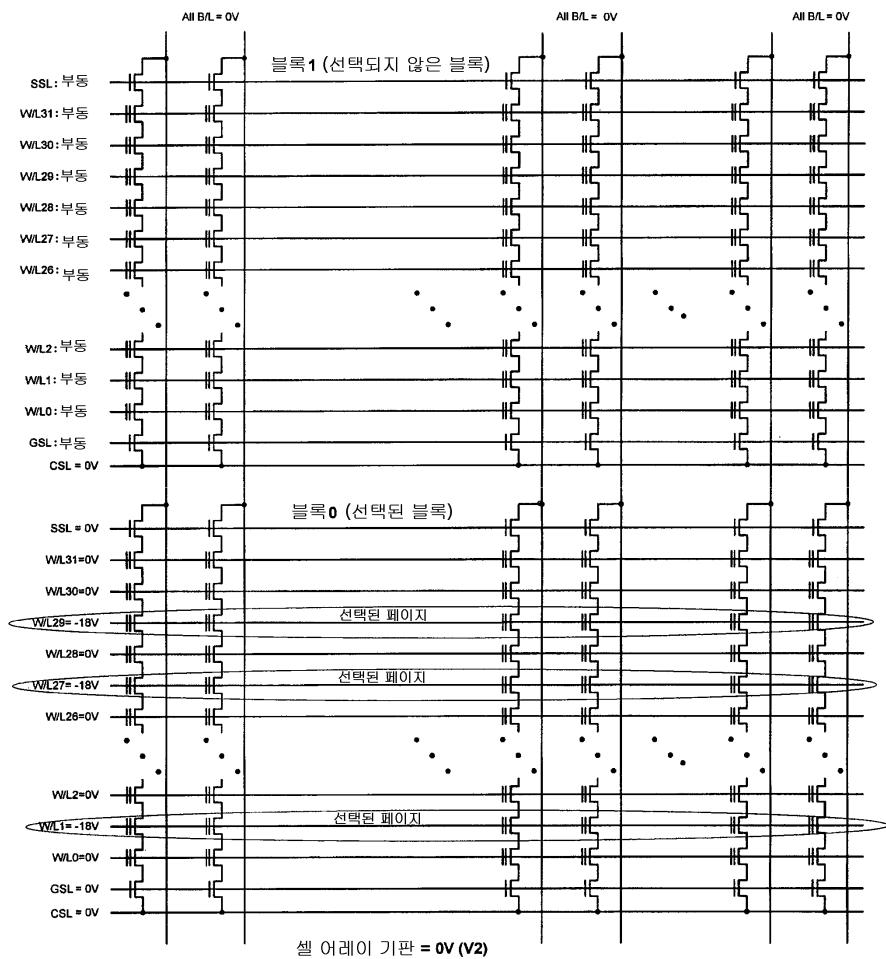
도면22



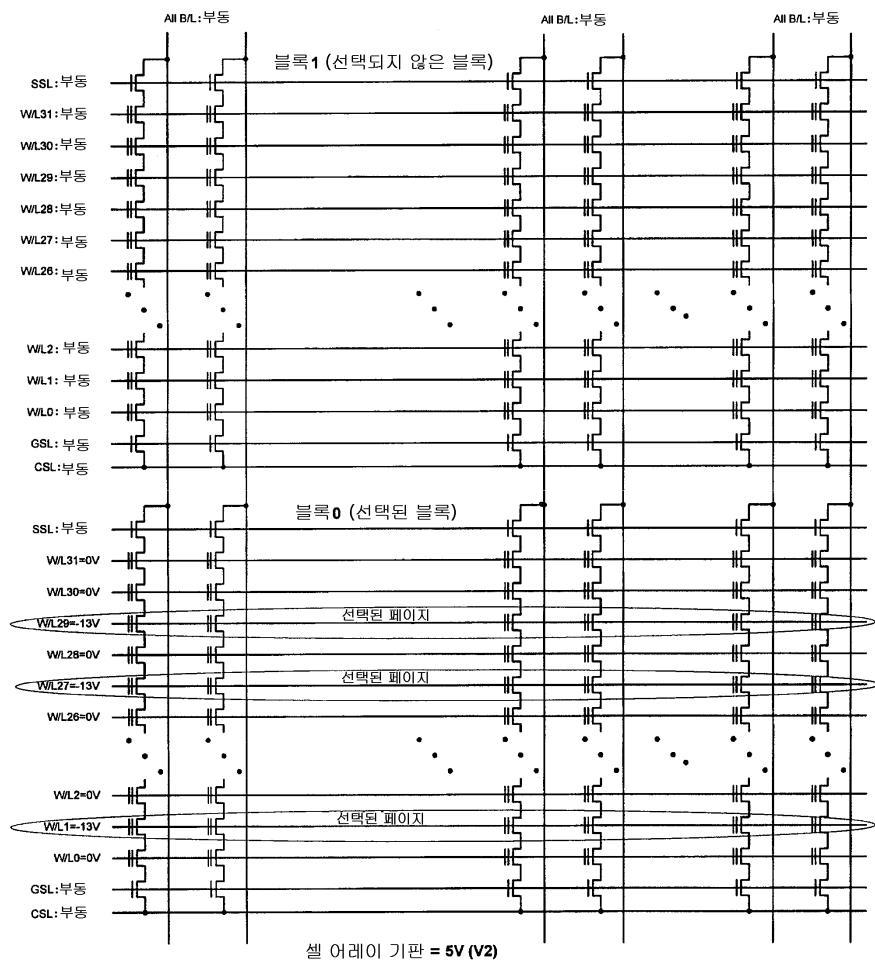
도면23



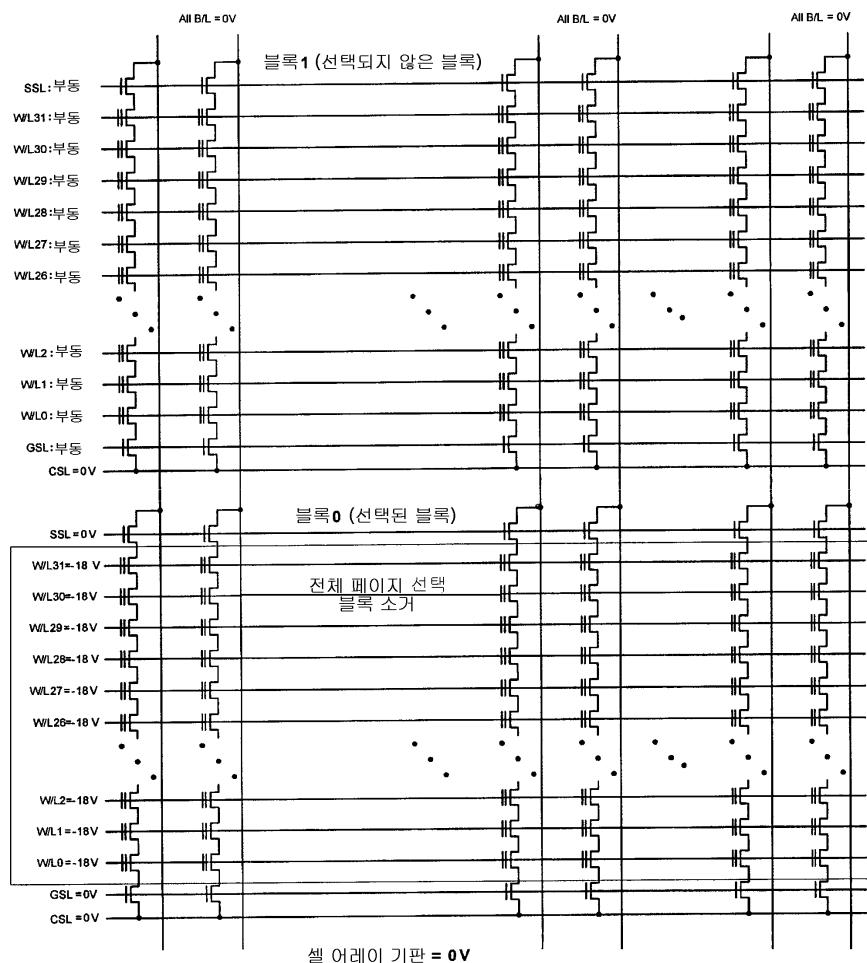
도면24



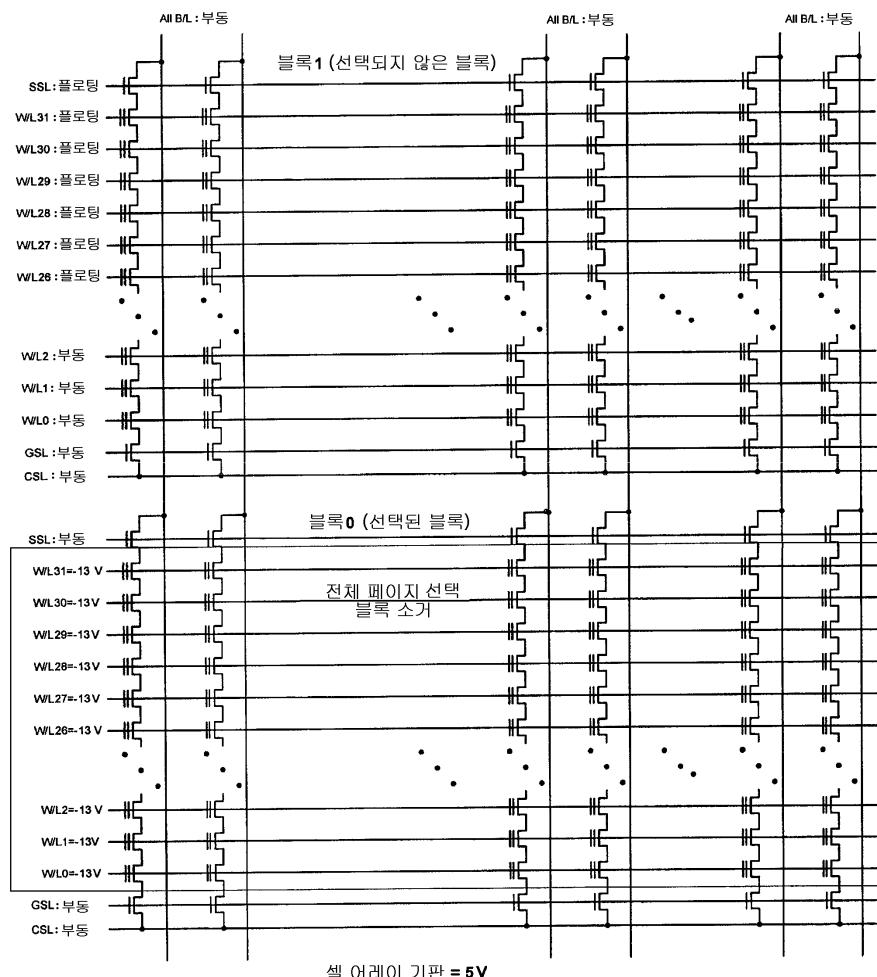
도면25



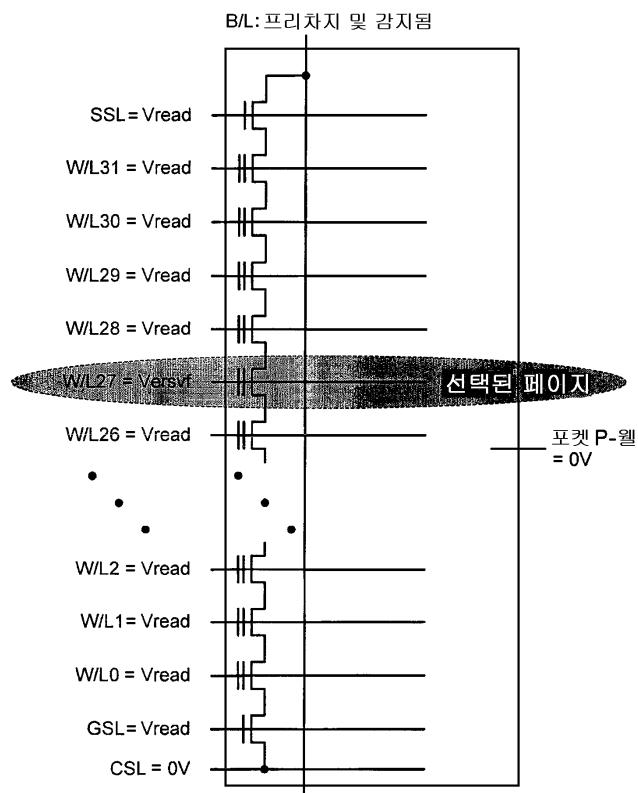
도면26



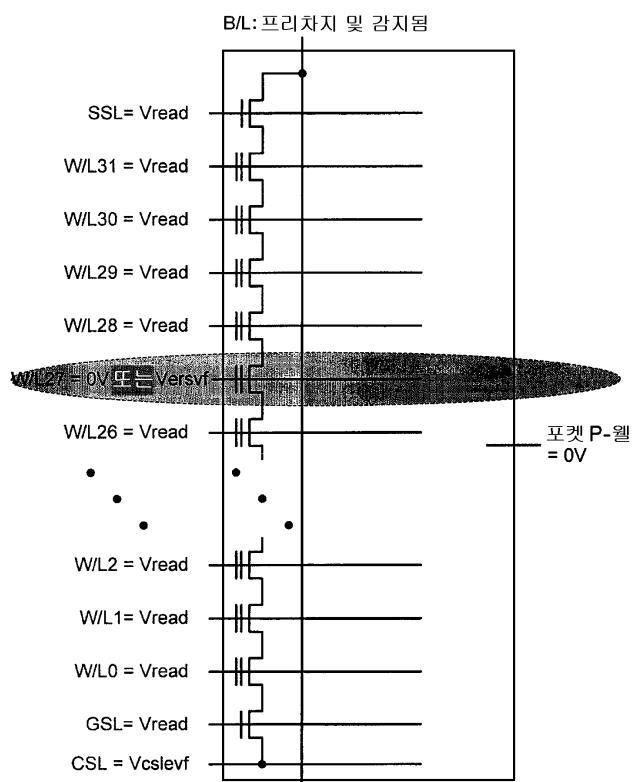
도면27



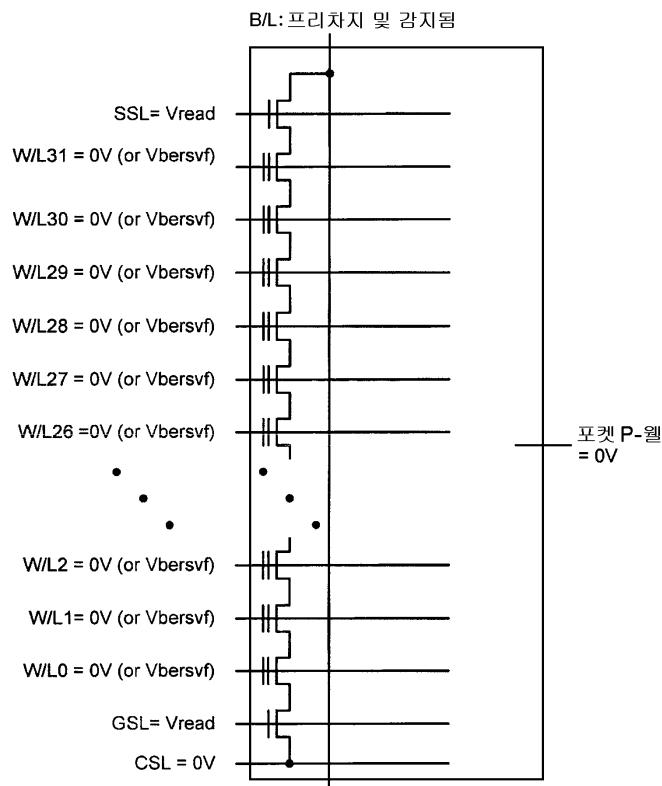
도면28



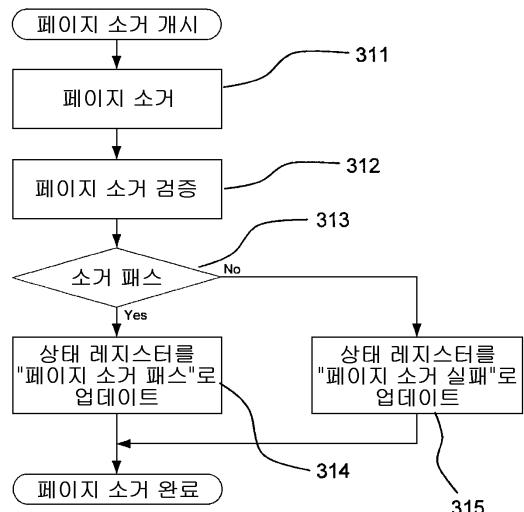
도면29



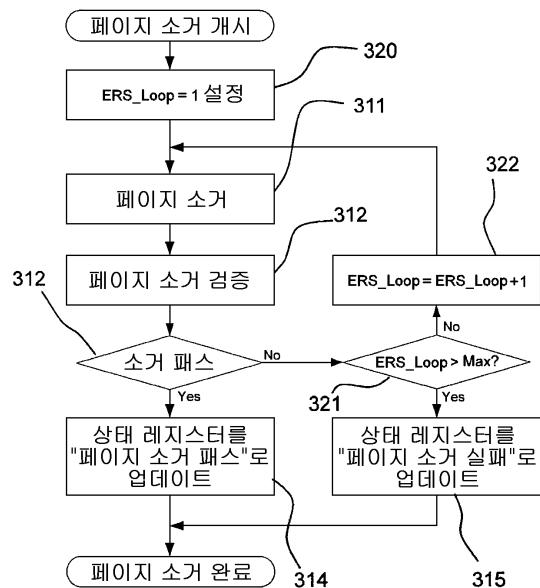
도면30



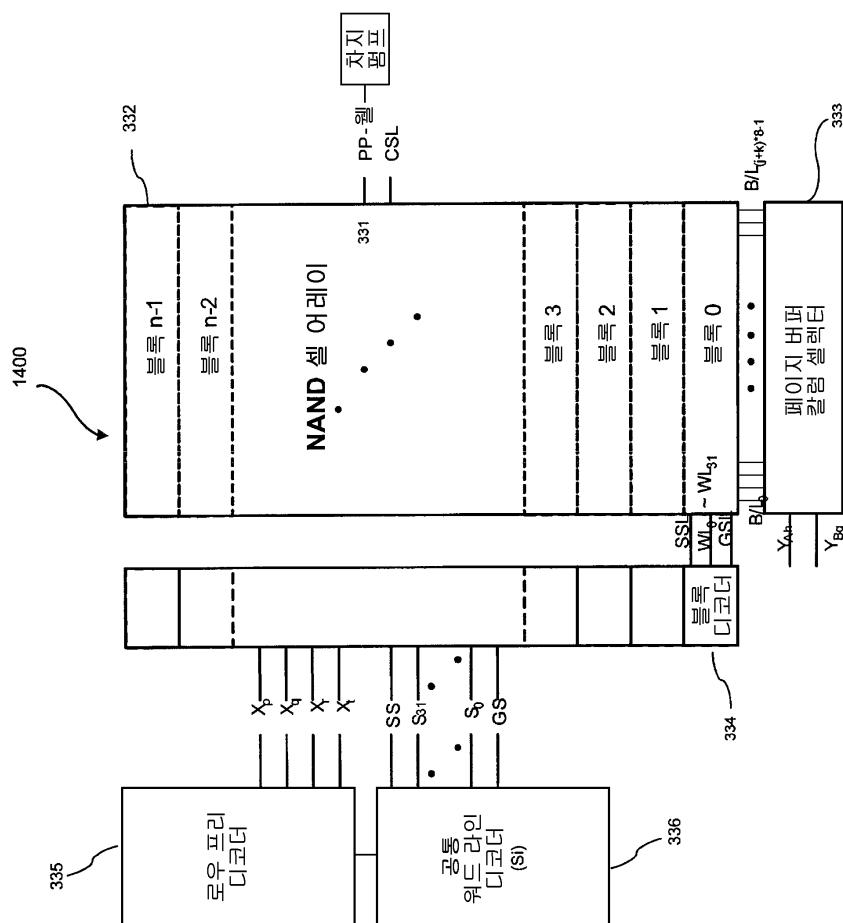
도면31



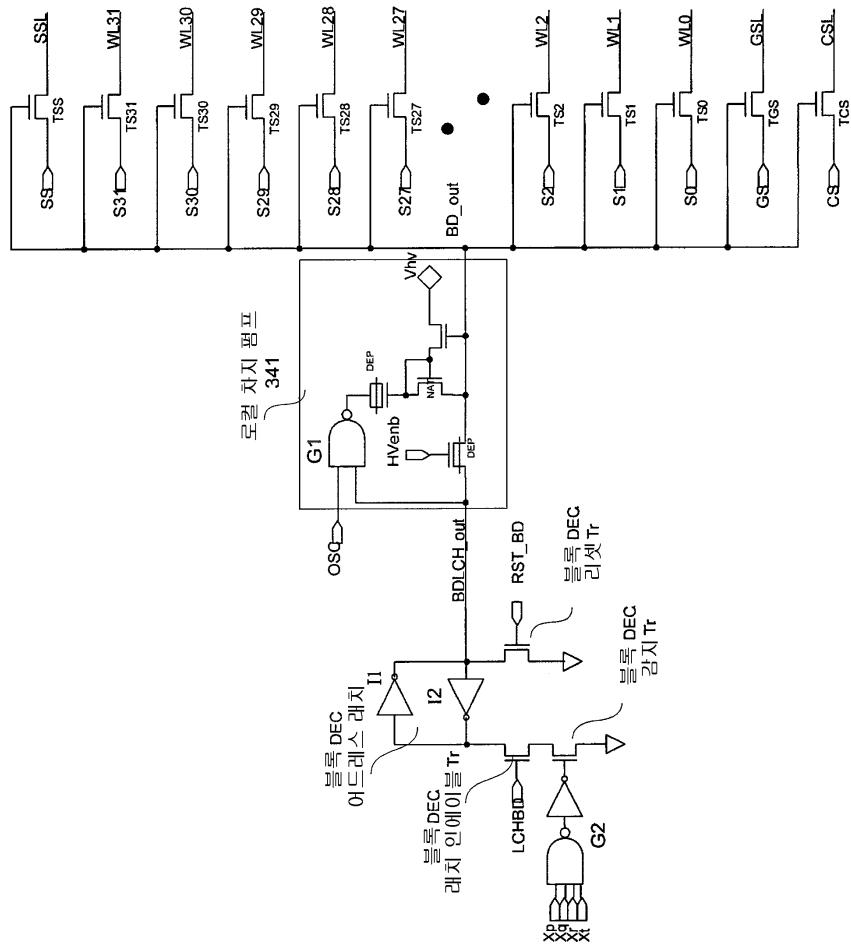
도면32



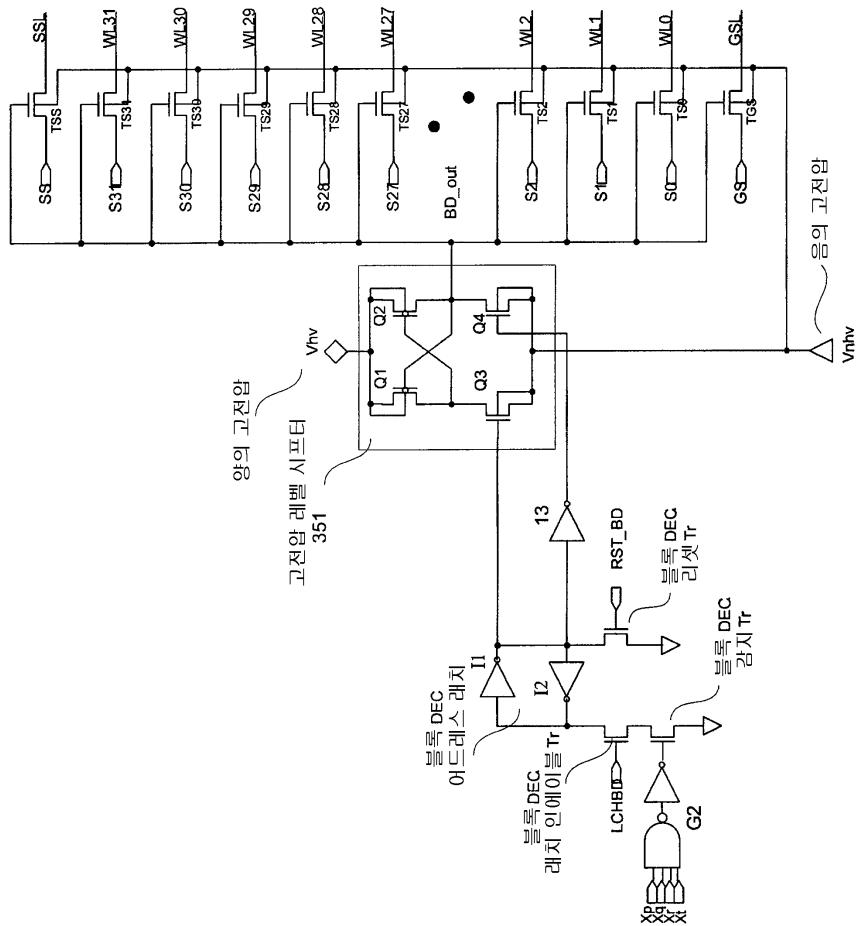
도면33



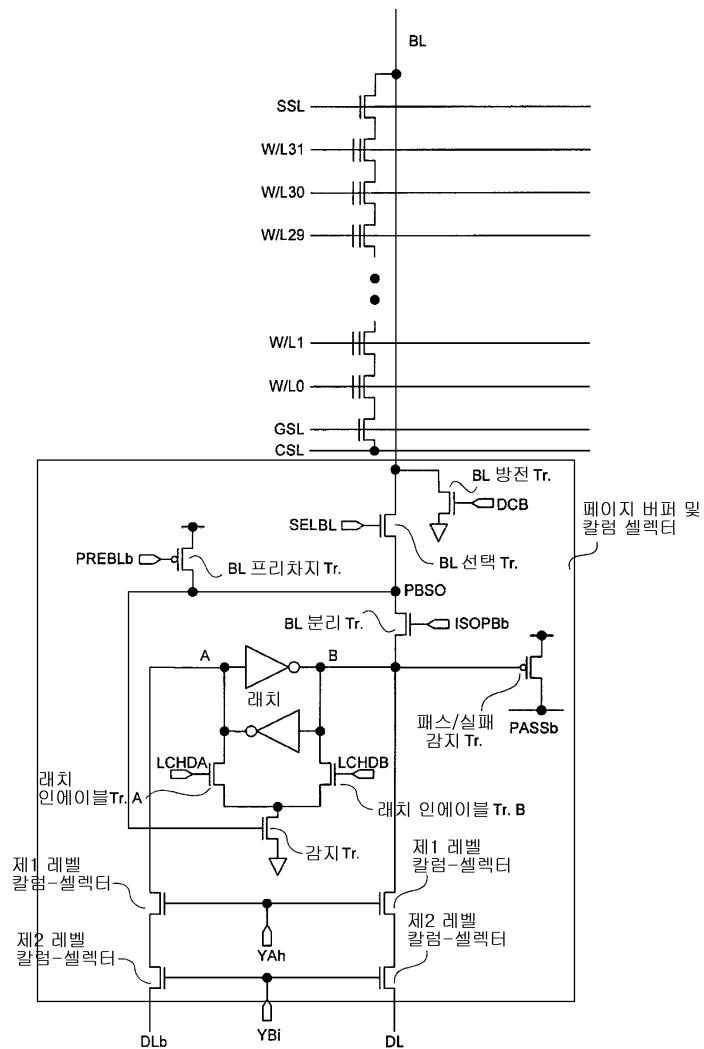
도면34



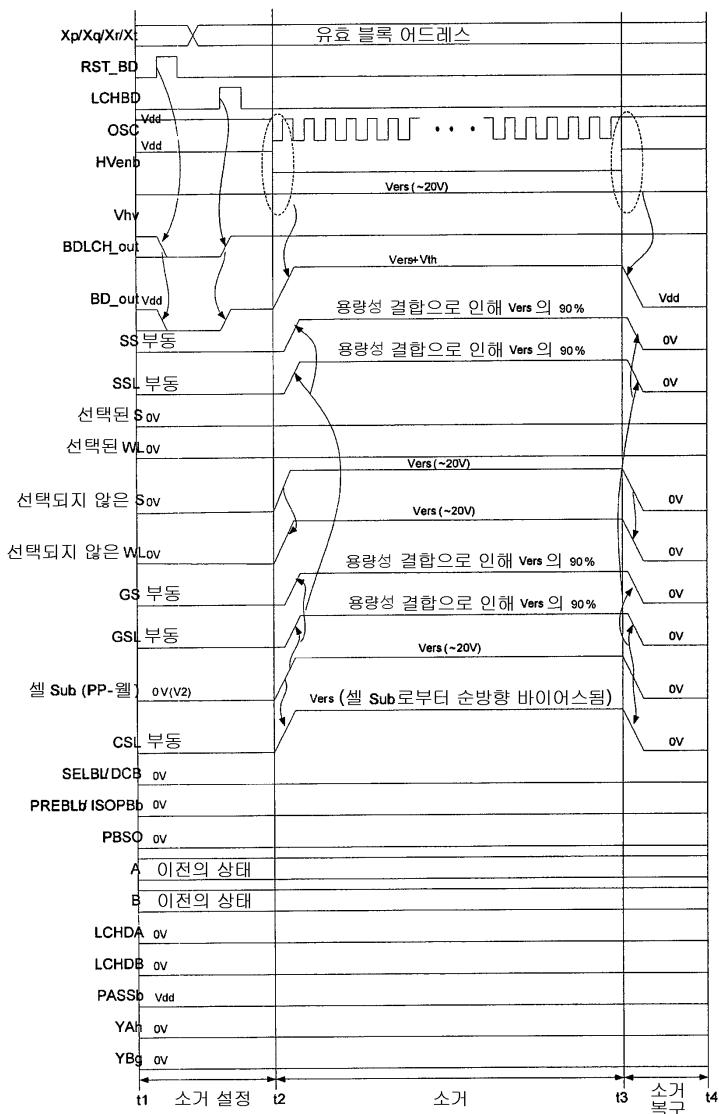
도면35



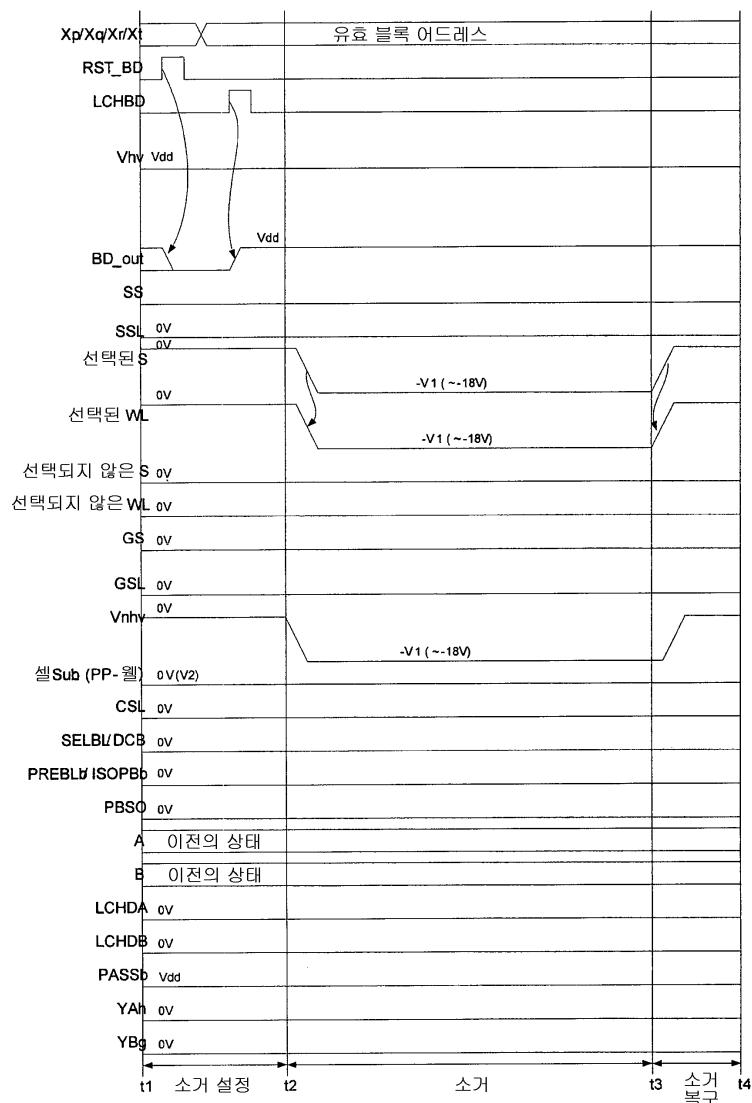
도면36



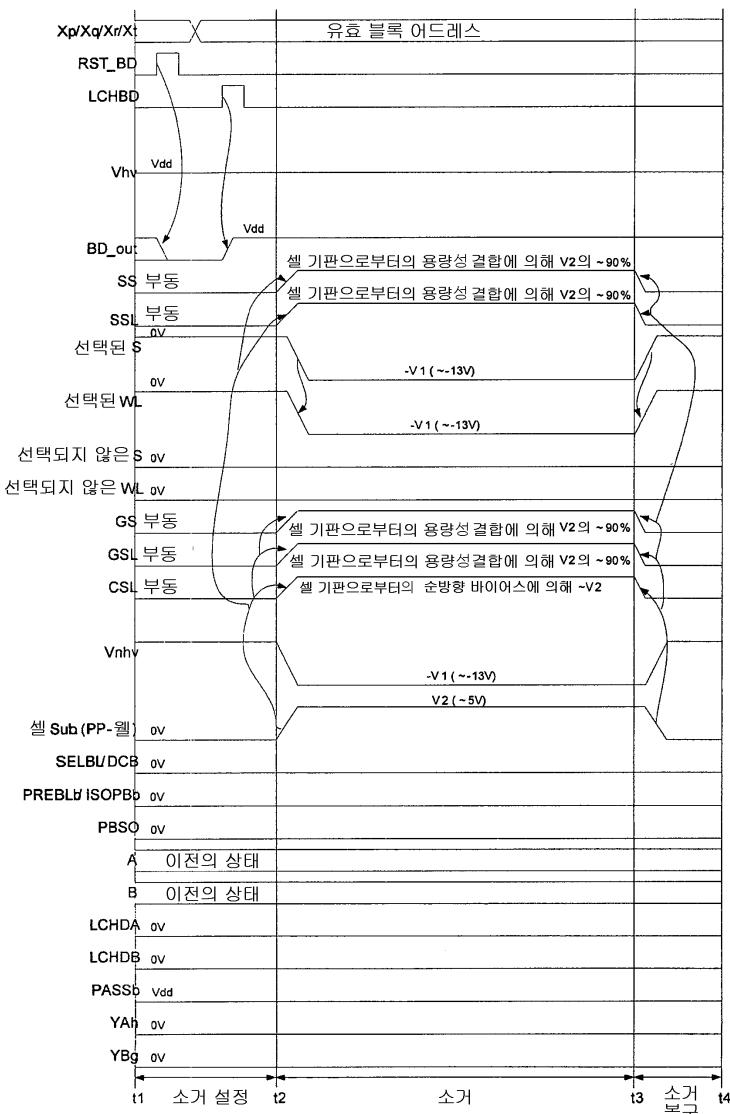
도면37



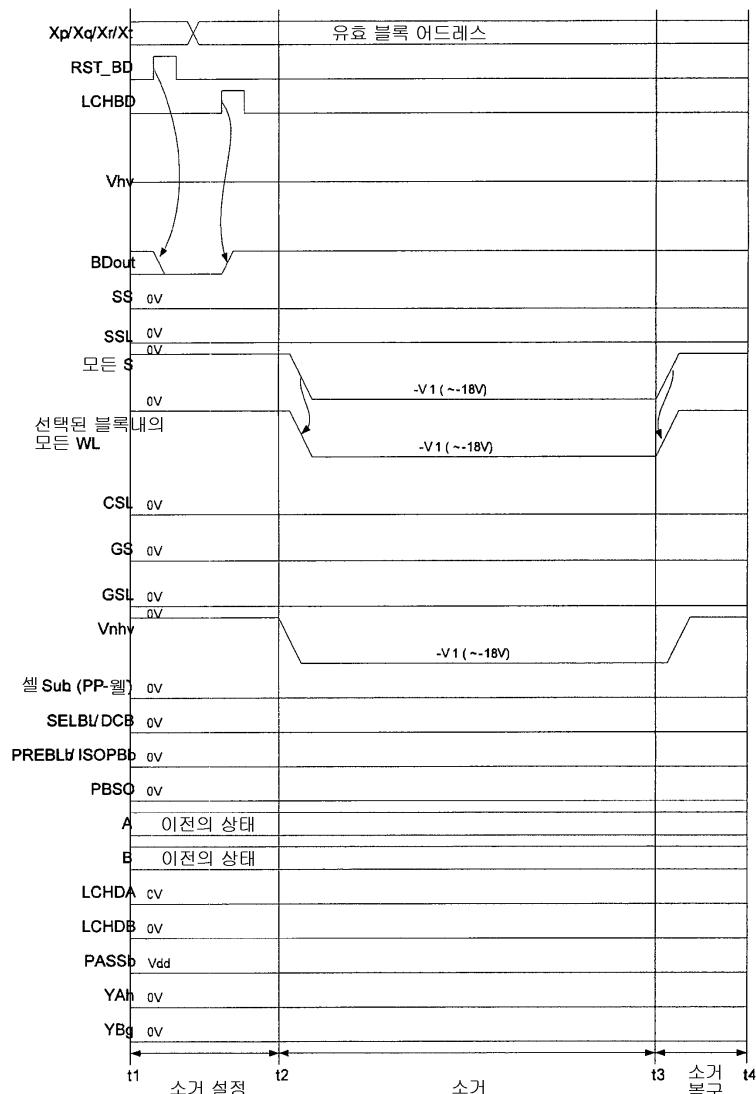
도면38



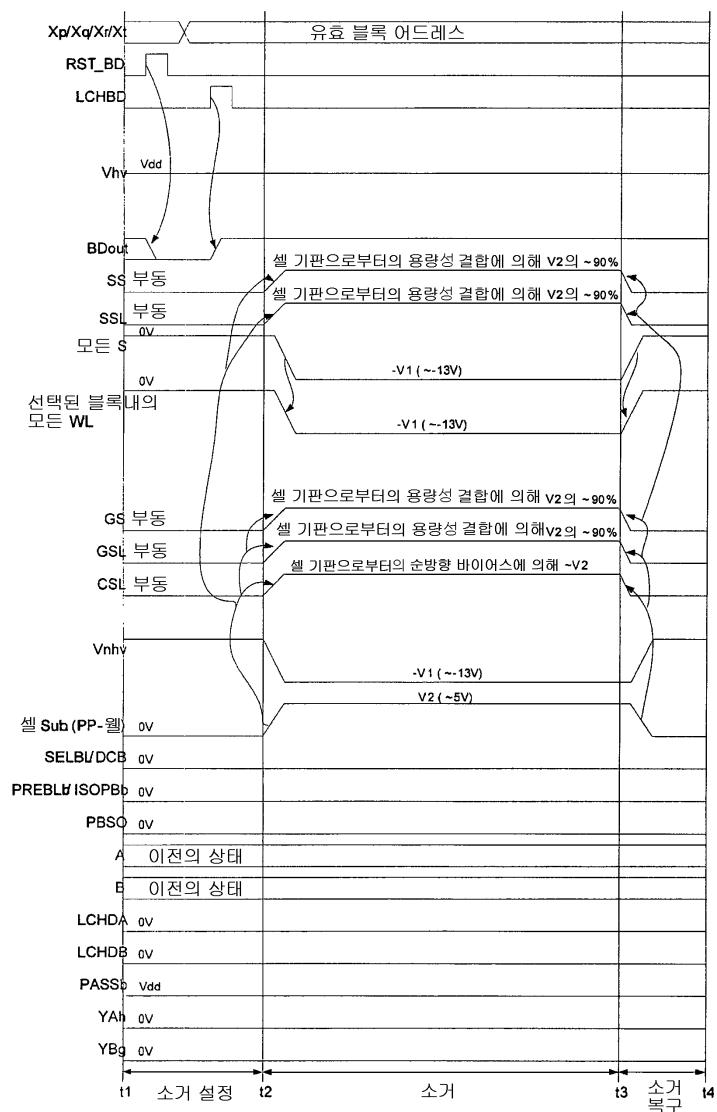
도면39



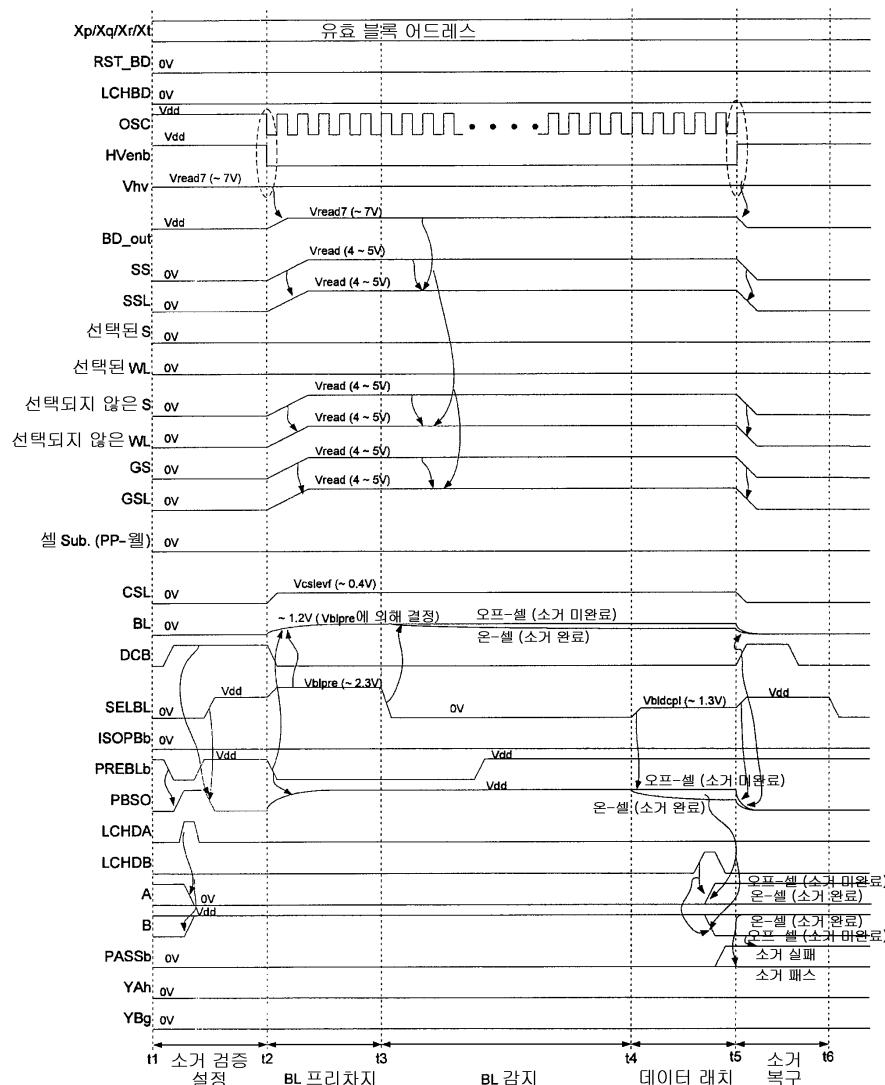
도면40



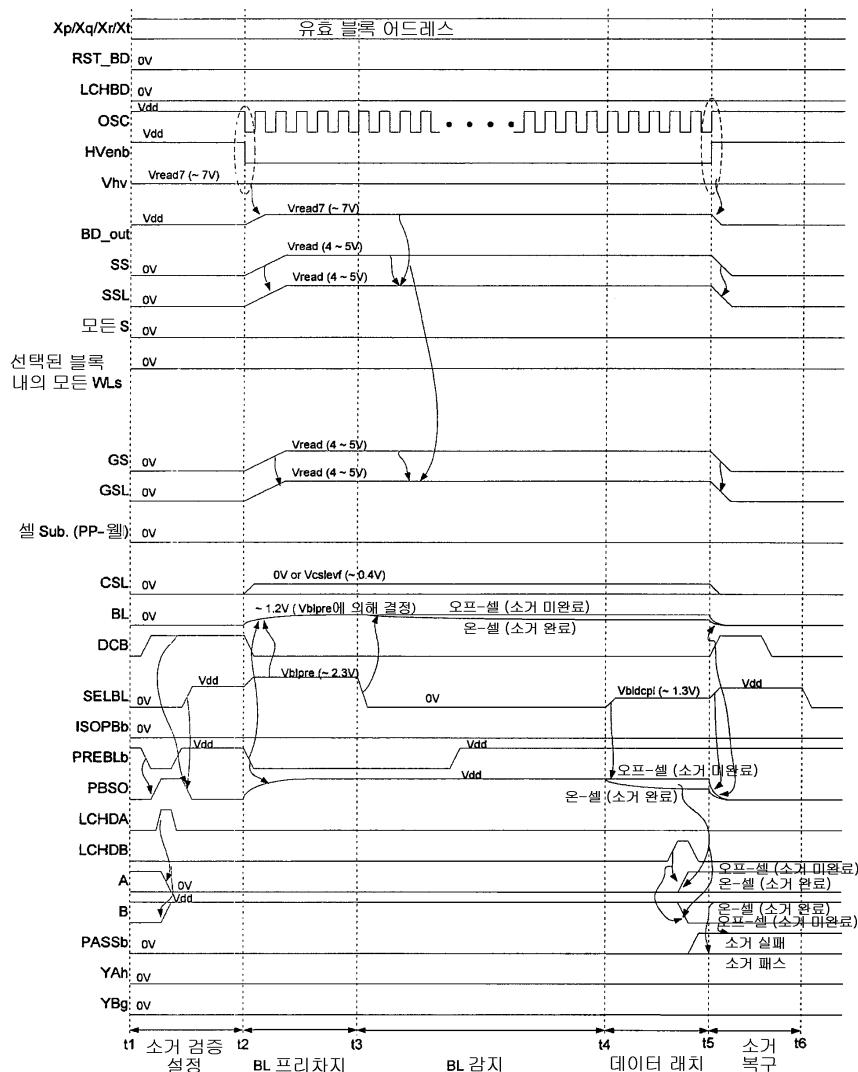
도면41



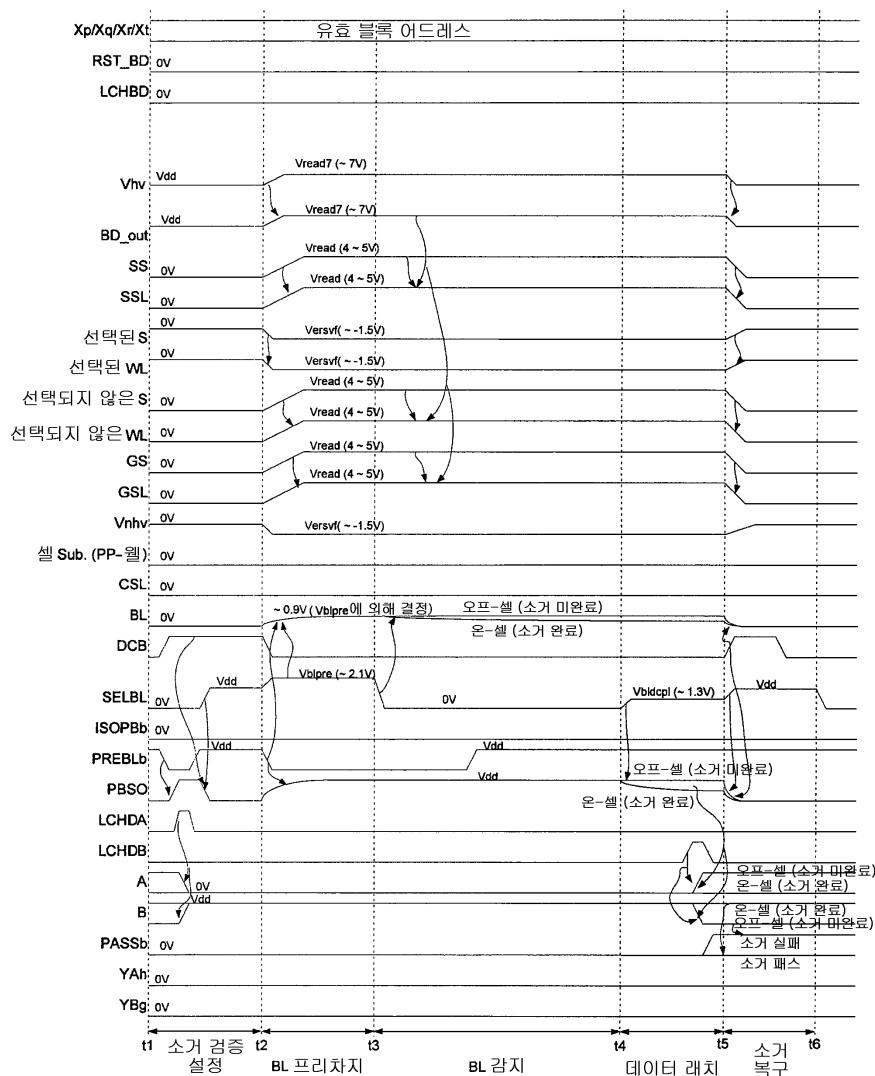
도면42



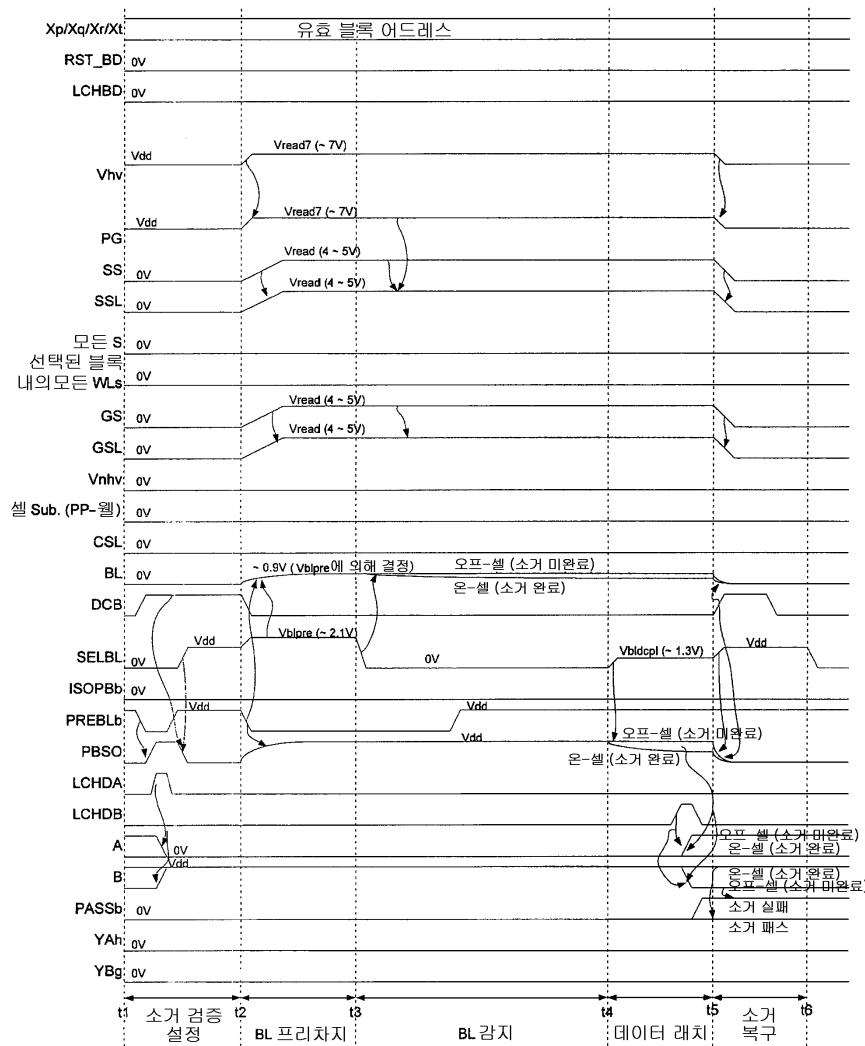
도면43



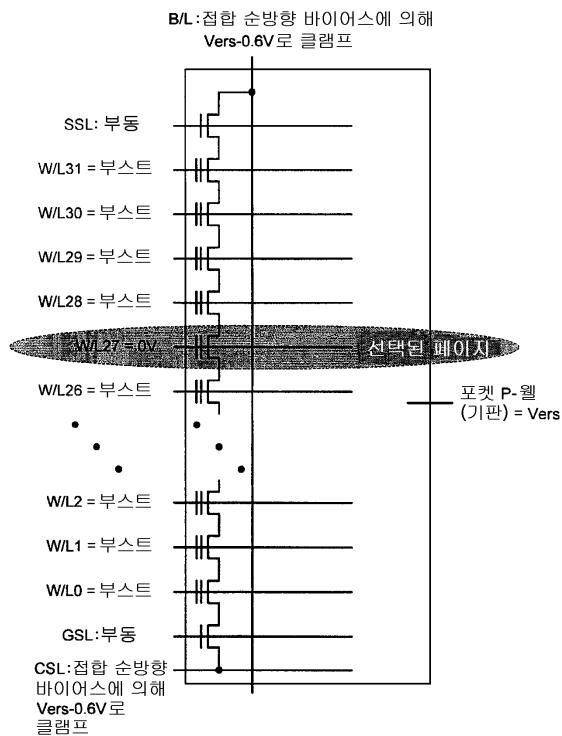
도면44



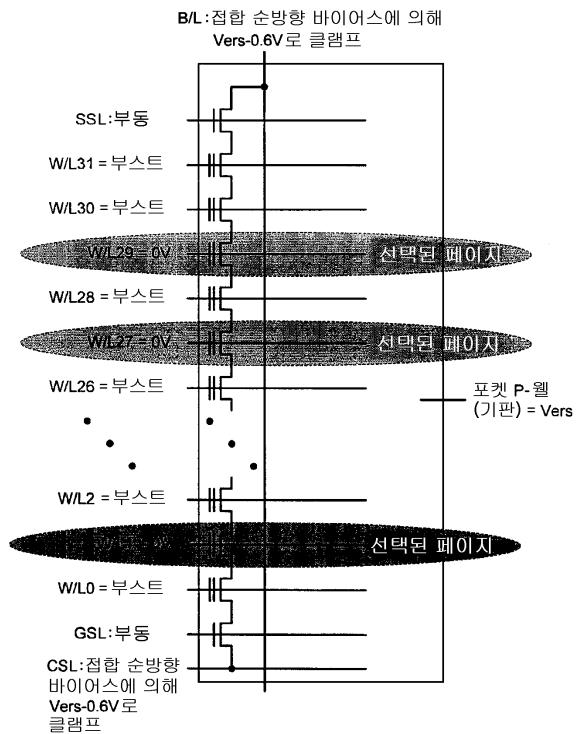
도면45



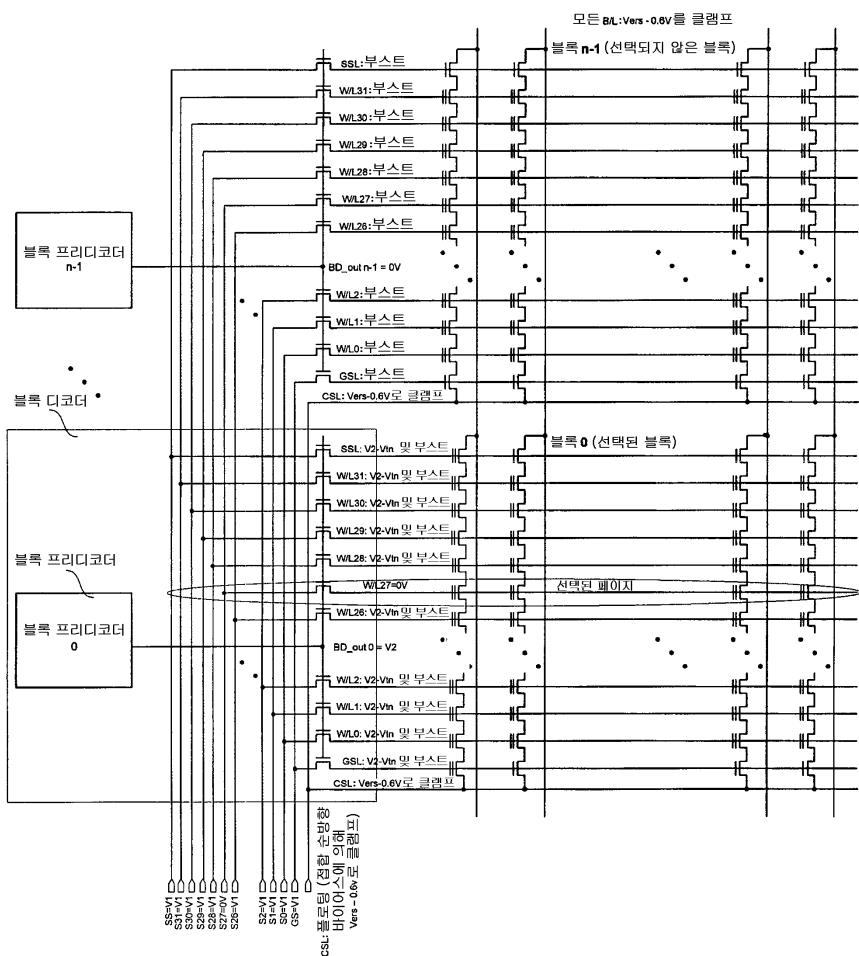
도면46



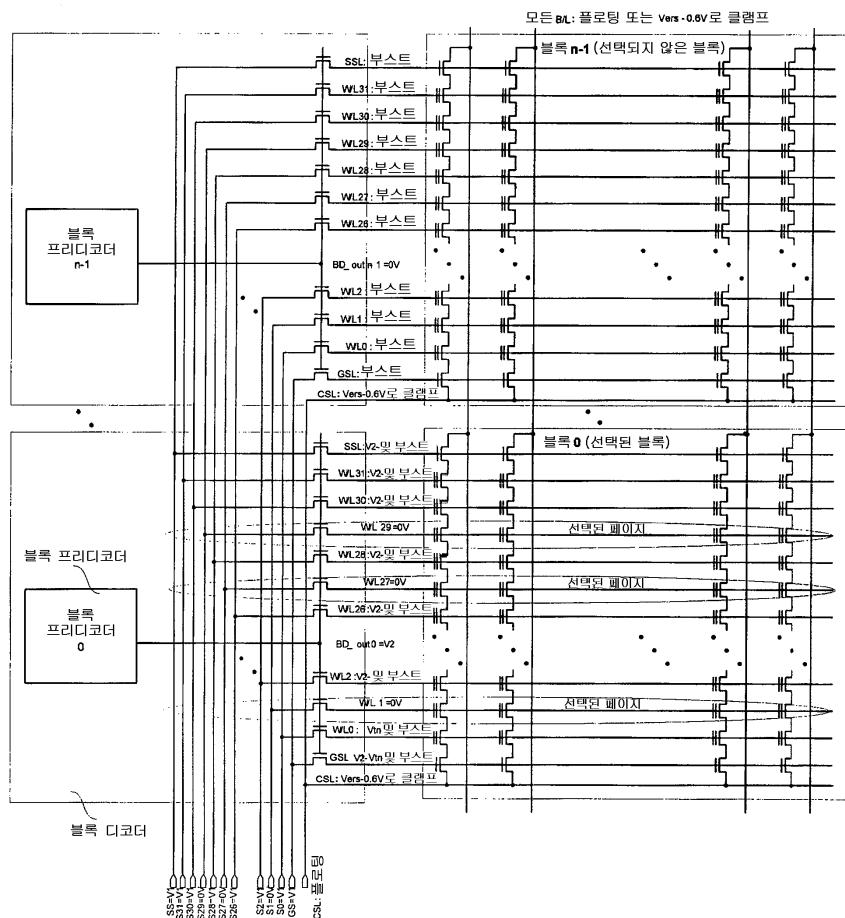
도면47



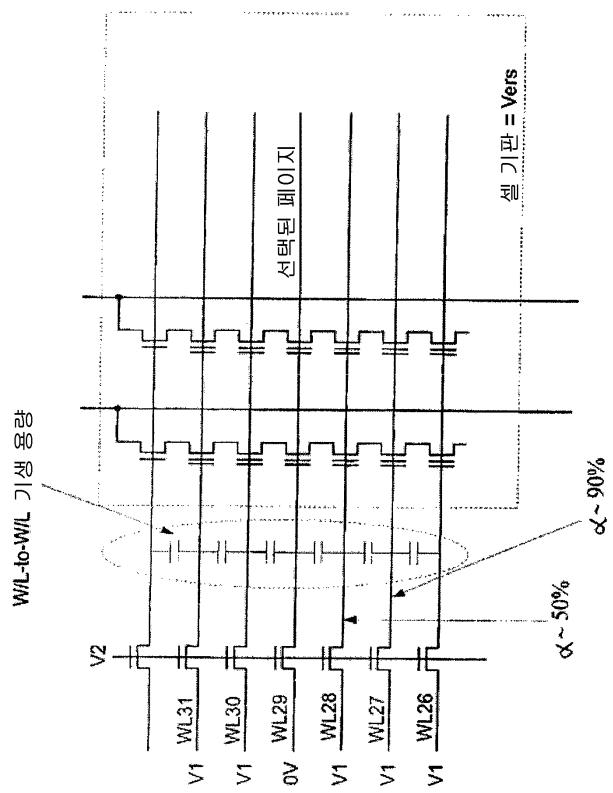
도면48



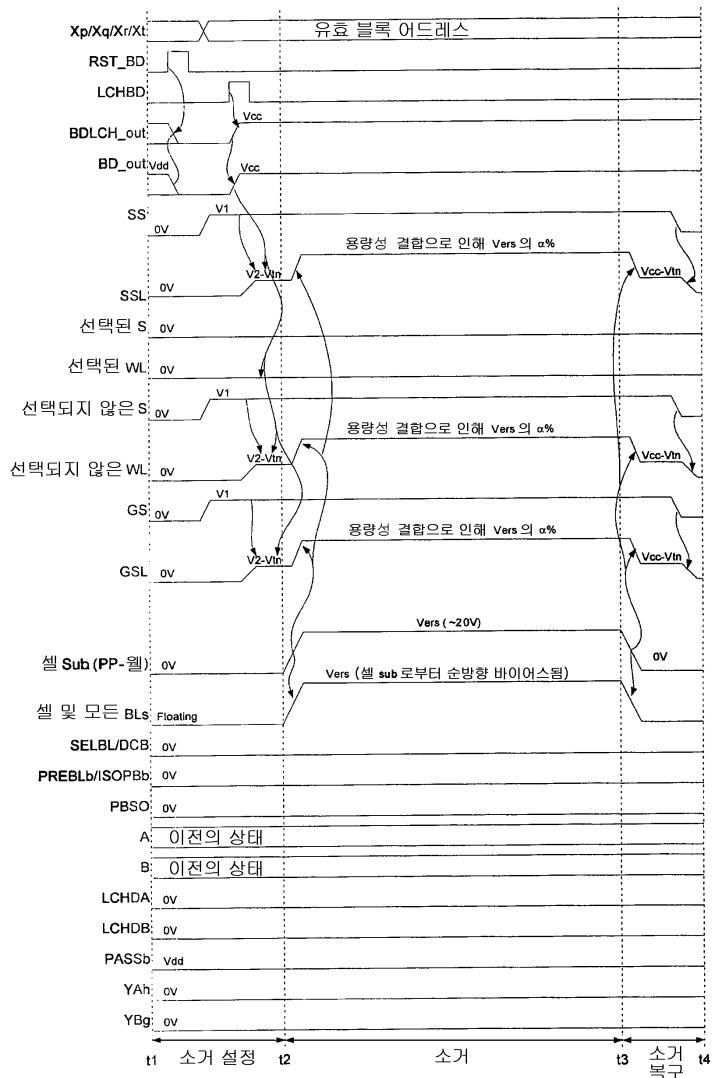
도면49



도면50



도면51



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 7

【변경전】

상기 복수의 소거된 페이지의 수에 의존하는

【변경후】

복수의 소거된 페이지의 수에 의존하는