

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年6月16日(16.06.2022)



(10) 国際公開番号

WO 2022/123697 A1

- (51) 国際特許分類:
H02M 7/48 (2007.01)
- (21) 国際出願番号: PCT/JP2020/045900
- (22) 国際出願日: 2020年12月9日(09.12.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 梶山 拓也 (KAJIYAMA, Takuya); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 藤井 俊行 (FUJII, Toshiyuki); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株

式会社内 Tokyo (JP). 藤原 修平 (FUJIWARA, Shuhei); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 田島 和順 (TAHATA, Kazuyori); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

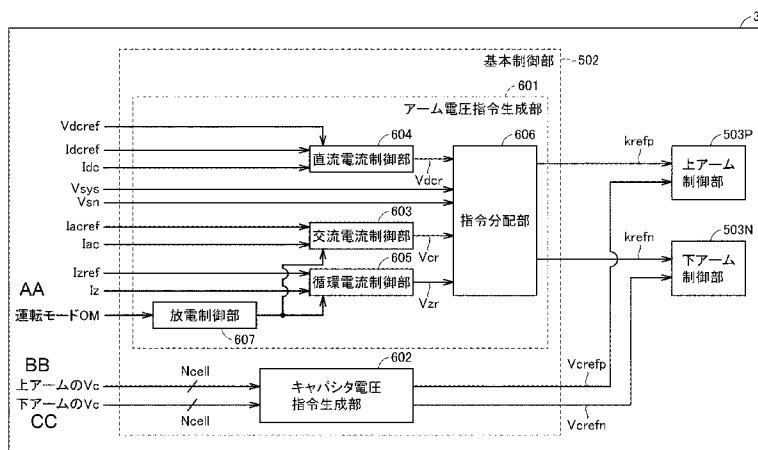
(74) 代理人:特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島三丁目2番4号 中之島フェスティバルタワー・ウエスト Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: POWER CONVERSION DEVICE

(54) 発明の名称: 電力変換装置

[図6]



- 502 Basic control unit
- 503P Upper arm control unit
- 503N Lower arm control unit
- 601 Arm voltage command generation unit
- 602 Capacitor voltage command generation unit
- 603 AC current control unit
- 604 DC current control unit
- 605 Circulating current control unit
- 606 Command distribution unit
- 607 Discharge control unit
- AA Operation mode OM
- BB Vc of upper arm
- CC Vc of lower arm

(57) Abstract: This power conversion device (1) comprises a power converter (2) that includes a plurality of arms (5, 6) each having a plurality of converter cells (7) cascade-connected to each other. A control device (3) includes: an AC current control unit (603) for controlling AC current (Iac) flowing between the power converter (2) and an AC circuit (12); and a circulating current control unit (604) for controlling circulating current (Iz) flowing between the arms of the power converter (2). The AC current control unit (603) more decreases the effective value or amplitude value of the AC current (Iac) in discharge operation mode of discharging the voltages of the electricity storage elements (32) of the converter cells (7) than in normal operation mode. The circulating current control unit (605) more increases the effective value or amplitude value of the circulating current (Iz) in the discharge operation mode than in the normal operation mode.



MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

(57) 要約：電力変換装置 (1) は、互いにカスケード接続された複数の変換器セル (7) を有するアーム (5, 6) を複数含む電力変換器 (2) を備える。制御装置 (3) は、電力変換器 (2) と交流回路 (12) との間を流れる交流電流 (I_{ac}) を制御する交流電流制御部 (603) と、電力変換器 (2) のアーム間を流れる循環電流 (I_z) を制御する循環電流制御部 (604) とを含む。交流電流制御部 (603) は、変換器セル (7) の蓄電素子 (32) の電圧を放電させる放電運転モードの場合に、通常運転モードの場合よりも交流電流 (I_{ac}) の実効値または振幅値を減少させる。循環電流制御部 (605) は、放電運転モードの場合に、通常運転モードの場合よりも循環電流 (I_z) の実効値または振幅値を増加させる。

明 細 書

発明の名称：電力変換装置

技術分野

[0001] 本開示は、電力変換装置に関する。

背景技術

[0002] 複数の単位変換器（以下、変換器セルとも称する）をカスケードに接続して構成するモジュラーマルチレベル変換器（MMC：Modular Multilevel Converter）が知られている。MMCは、カスケードに接続する変換器セルの数を増加させることによって、容易に高電圧への対応ができることから送配電系統に広く適用されている。たとえば、大容量のSTATCOM（Static synchronous Compensator）および高圧直流送電（HVDC送電）用の交直電力変換装置などとして用いられる。なお、STATCOMは、自励式SVC（Static Var Compensator：静止形無効電力補償装置）とも称する。

[0003] MMCを構成する各変換器セルは、複数のスイッチ（以下、スイッチング素子とも称する）と、蓄電要素（以下、キャパシタとも称する）とを備える。変換器セルの構成には、ハーフブリッジ回路（以下、チョッパ回路とも称する）またはフルブリッジ回路などのバリエーションがある。

[0004] MMCでは、蓄電要素の充電電圧が規定値よりも増加したとき、もしくは、MMCの運転を停止するときなどに、変換器セルごとに分散配置された蓄電要素を速やかに放電することが求められる。

[0005] たとえば、特開2018-093637号公報（特許文献1）は、変換器セルの内部において各スイッチング素子と並列に抵抗素子を設けることを開示する。キャパシタから出力される放電エネルギーを消費するために、直列接続された正極側スイッチング素子と負極側スイッチング素子のうち一方がオン状態に他方がオフ状態に制御される。

先行技術文献

特許文献

[0006] 特許文献1：特開2018-093637号公報

発明の概要

発明が解決しようとする課題

[0007] 上記の特開2018-093637号公報（特許文献1）に記載のMMCでは、変換器セルごとに物理的に抵抗素子を設けることになるので、電力変換装置の大型化およびコストの増大が懸念される。

[0008] 本開示は、上記の背景を考慮してなされたものであって、ある局面における目的は、物理的な放電機構の追加を最小限に抑えて、各変換器セルに設けられたキャパシタの放電を短時間で実現する電力変換装置を提供することである。

課題を解決するための手段

[0009] 一局面による電力変換装置は、互いにカスケード接続された複数の変換器セルを有するアームを複数含む電力変換器と、電力変換器を制御する制御装置とを備える。複数のアームの各々は、交流回路の対応する相と電気的に接続される。複数の変換器セルの各々は、一对の入出力端子と、複数のスイッチング素子と、複数のスイッチング素子を介して入出力端子と電気的に接続される蓄電素子とを含む。制御装置は、電力変換器と交流回路との間を流れる交流電流を制御する交流電流制御部と、電力変換器のアーム間を流れる循環電流を制御する循環電流制御部とを含む。循環電流制御部は、第1の運転モードにおいて、異なるアーム間での蓄電素子の電圧の不均衡を解消するように、循環電流を制御する。循環電流制御部は、第2の運転モードにおいて、第1の運転モードの場合よりも循環電流の実効値または振幅値を増加させることにより、電力変換器を構成する各変換器セルの蓄電素子の電圧を低下させる。交流電流制御部は、第2の運転モードにおいて、第1の運転モードの場合よりも交流電流の実効値または振幅値を減少させる。

発明の効果

[0010] 上記の局面の電力変換装置によれば、第2の運転モードの場合に第1の運

転モードの場合よりも、交流電流の実効値または振幅値を減少させ、かつ循環電流の実効値または振幅値を増加させるので、各変換器セルに設けられたキャパシタの放電を短時間で実現できる。

図面の簡単な説明

- [0011] [図1]実施の形態1の電力変換装置の概略構成図である。
- [図2]電力変換器を構成する変換器セルの構成例を示す回路図である。
- [図3]制御装置のハードウェア構成例を示すブロック図である。
- [図4]図1に示された制御装置の内部構成を説明する機能ブロック図である。
- [図5]図4の循環電流指令値生成部の詳細な構成例を示すブロック図である。
- [図6]図4の各基本制御部のさらに詳細な構成を示す図である。
- [図7]アーム制御部の構成例を説明するブロック図である。
- [図8]通常運転モードから放電運転モードへの切り替えタイミングを説明するためのフローチャートである。
- [図9]放電運転モードにおける図6の循環電流制御部、放電制御部、および交流電流制御部の動作を説明するためのフローチャートである。
- [図10] IGBTまたはMOSFETのSOAの一例を概念的に示す図である。
- [図11]実施の形態2の電力変換装置において、放電運転モードにおける循環電流制御部、放電制御部、および交流電流制御部の動作を説明するためのフローチャートである。
- [図12]図7に示された個別セル制御部の構成例を示すブロック図である。
- [図13]図12に示されたゲート信号生成部によるPWM変調制御を説明するための概念的な波形図である。
- [図14]実施の形態3の電力変換器におけるキャリア周波数の設定について説明するためのフローチャートである。
- [図15]実施の形態4の電力変換装置において、電力変換器を構成する変換器セルの構成例を示す回路図である。
- [図16]実施の形態4の電力変換装置において、個別セル制御部の構成例を示

すブロック図である。

[図17]実施の形態4の電力変換器におけるゲート抵抗の設定について説明するためのフローチャートである。

[図18]実施の形態5の電力変換装置における電力変換装置の概略構成図である。

[図19]実施の形態5の電力変換装置における制御装置の内部構成を説明する機能ブロック図である。

[図20]充電抵抗制御部の動作を説明するフローチャートである。

発明を実施するための形態

[0012] 以下、各実施の形態について図面を参照して詳しく説明する。なお、同一または相当する部分には同一の参照符号を付して、その説明を繰り返さない場合がある。

[0013] 実施の形態1.

[電力変換装置の全体構成]

図1は、実施の形態1の電力変換装置の概略構成図である。図1を参照して、電力変換装置1は、互いに直列接続された複数の変換器セルを含むモジュラーマルチレベル変換器(MMC)によって構成されている。なお、「変換器セル」は、「サブモジュール」、「SM」、または「単位変換器」とも呼ばれる。電力変換装置1は、直流回路14と交流回路12との間で電力変換を行なう。電力変換装置1は、電力変換器2と、制御装置3とを含む。

[0014] 電力変換器2は、正極直流端子(すなわち、高電位側直流端子)Npと、負極直流端子(すなわち、低電位側直流端子)Nnとの間に互いに並列に接続された複数のレグ回路4u, 4v, 4w(総称する場合または任意のものを示す場合、レグ回路4と記載する)を含む。

[0015] レグ回路4は、交流を構成する複数相の各々に設けられる。レグ回路4は、交流回路12と直流回路14との間に接続され、両回路間で電力変換を行なう。図1には、交流回路12が3相交流系統の場合が示され、U相、V相、W相にそれぞれ対応して3個のレグ回路4u, 4v, 4wが設けられてい

る。

- [0016] レグ回路4 u, 4 v, 4 wにそれぞれ設けられた交流入力端子N u, N v, N wは、変圧器1 3を介して交流回路1 2に接続される。変圧器1 3と交流回路1 2との間に交流遮断器1 9が設けられる。交流回路1 2は、たとえば、交流電源などを含む交流電力系統である。図1では、図解を容易にするために、交流入力端子N v, N wと変圧器1 3との接続は図示していない。また、三相交流線路を1本の伝送路で表示している。
- [0017] 各レグ回路4に共通に接続された高電位側直流端子N pおよび低電位側直流端子N nは、直流回路1 4に接続される。高電位側直流端子N pと直流回路1 4との間に直流遮断器2 3 Aが設けられ、低電位側直流端子N nと直流回路1 4との間に直流遮断器2 3 Bが設けられる。直流回路1 4は、たとえば、直流送電網などを含む直流電力系統または他の電力変換装置の直流端子である。後者の場合、2台の電力変換装置を連結することによって定格周波数などが異なる交流電力系統間を接続するためのB T B (Back To Back) システムが構成される。
- [0018] 図1の変圧器1 3を用いる代わりに、連系リアクトルを介して交流回路1 2に接続する構成としてもよい。さらに、交流入力端子N u, N v, N wに代えてレグ回路4 u, 4 v, 4 wにそれぞれ一次巻線を設け、この一次巻線と磁気結合する二次巻線を介してレグ回路4 u, 4 v, 4 wが変圧器1 3または連系リアクトルに交流的に接続するようにしてもよい。この場合、一次巻線を下記のリアクトル8 A, 8 Bとしてもよい。すなわち、レグ回路4は、交流入力端子N u, N v, N wまたは上記の一次巻線など、各レグ回路4 u, 4 v, 4 wに設けられた接続部を介して電氣的に（すなわち直流的または交流的に）交流回路1 2と接続される。
- [0019] レグ回路4 uは、高電位側直流端子N pから交流入力端子N uまでの上アーム5と、低電位側直流端子N nから交流入力端子N uまでの下アーム6とを含む。上アーム5と下アーム6との接続点である交流入力端子N uが変圧器1 3と接続される。高電位側直流端子N pおよび低電位側直流端子N nが

直流回路 14 に接続される。レグ回路 4 v, 4 w についても同様の構成を有するので、以下、レグ回路 4 u を代表として説明する。

[0020] 上アーム 5 は、カスケード接続された複数の変換器セル 7 と、リアクトル 8 A とを含む。複数の変換器セル 7 およびリアクトル 8 A は、直列に接続されている。同様に、下アーム 6 は、カスケード接続された複数の変換器セル 7 と、リアクトル 8 B とを含む。複数の変換器セル 7 およびリアクトル 8 B は、直列に接続されている。

[0021] 以下の説明では、上アーム 5 および下アーム 6 の各々に含まれる変換器セル 7 の個数を N_{cell} とする。但し、 $N_{cell} \geq 2$ とする。上アーム 5 および下アーム 6 の各々に含まれる個々の変換器セル 7 を区別する場合、変換器セル 7₁ ~ 7 _{N_{cell}} のように記載する。

[0022] リアクトル 8 A が挿入される位置は、レグ回路 4 u の上アーム 5 のいずれの位置であってもよく、リアクトル 8 B が挿入される位置は、レグ回路 4 u の下アーム 6 のいずれの位置であってもよい。リアクトル 8 A, 8 B はそれぞれ複数個あってもよい。各リアクトルのインダクタンス値は互いに異なってもよい。さらに、上アーム 5 のリアクトル 8 A のみ、もしくは、下アーム 6 のリアクトル 8 B のみを設けてもよい。

[0023] 電力変換装置 1 は、さらに、制御に使用される電気量（電流、電圧など）を計測する各検出器として、交流電圧検出器 10 と、交流電流検出器 16 と、直流電圧検出器 11 A, 11 B と、各レグ回路 4 に設けられたアーム電流検出器 9 A, 9 B と、直流電流検出器 17 とを含む。これらの検出器によって検出された信号は、制御装置 3 に入力される。

[0024] なお、図 1 では図解を容易にするために、各検出器から制御装置 3 に入力される信号の信号線と、制御装置 3 および各変換器セル 7 間で入出力される信号の信号線とは、一部まとめて記載されているが、実際には検出器ごとおよび変換器セル 7 ごとに設けられている。各変換器セル 7 と制御装置 3 との間の信号線は、送信用と受信用とが別個に設けられていてもよい。信号線は、たとえば光ファイバによって構成される。

[0025] 次に、各検出器について具体的に説明する。

交流電圧検出器10は、交流回路12のU相の交流電圧 V_{sysu} 、V相の交流電圧 V_{sysv} 、および、W相の交流電圧 V_{sysw} を検出する。以下の説明では、 V_{sysu} 、 V_{sysv} 、および、 V_{sysw} を総称して V_{sys} とも記載する。電力変換器2の交流入力端子 N_u 、 N_v 、 N_w の交流電圧 V_{acu} 、 V_{acv} 、 V_{acw} は、交流電圧検出器10で検出される交流電圧 V_{sysu} 、 V_{sysv} 、 V_{sysw} から、変圧器13の変圧比およびインピーダンス降下を考慮して求めることができる。以下の説明では、交流 V_{acu} 、 V_{acv} 、および V_{acw} を総称して V_{ac} とも記載する。

[0026] 交流電流検出器16は、交流回路12のU相の交流電流 I_{sysu} 、V相の交流電流 I_{sysv} 、および、W相の交流電流 I_{sysw} を検出する。以下の説明では、 I_{sysu} 、 I_{sysv} 、および I_{sysw} を総称して I_{sys} とも記載する。また、電力変換器2から交流回路12に出力される場合の交流電流の符号を正とする。

[0027] 直流電圧検出器11Aは、直流回路14に接続された高電位側直流端子 N_p の直流電圧 V_{dcp} を検出する。直流電圧検出器11Bは、直流回路14に接続された低電位側直流端子 N_n の直流電圧 V_{dcn} を検出する。直流電圧 V_{dcp} と直流電圧 V_{dcn} との差を直流電圧 V_{dc} とする。

[0028] 直流電流検出器17は、高電位側直流端子 N_p または低電位側直流端子 N_n を流れる直流電流 I_{dc} を検出する。以下の説明では、直流回路14から高電位側直流端子 N_p に流れる場合、および低電位側直流端子 N_n から直流回路14に流れる場合の直流電流の符号を正とする。

[0029] U相用のレグ回路4uに設けられたアーム電流検出器9Aおよび9Bは、上アーム5に流れる上アーム電流 I_{pu} 、および、下アーム6に流れる下アーム電流 I_{nu} をそれぞれ検出する。V相用のレグ回路4vに設けられたアーム電流検出器9Aおよび9Bは、上アーム電流 I_{pv} および下アーム電流 I_{nv} をそれぞれ検出する。W相用のレグ回路4wに設けられたアーム電流検出器9Aおよび9Bは、上アーム電流 I_{pw} および下アーム電流 I_{nw} を

それぞれ検出する。以下の説明では、上アーム電流 I_{pu} 、 I_{pv} 、 I_{pw} を総称して上アーム電流 $I_{arm p}$ とも記載し、下アーム電流 I_{nu} 、 I_{nv} 、 I_{nw} を総称して下アーム電流 $I_{arm n}$ とも記載し、上アーム電流 $I_{arm p}$ と下アーム電流 $I_{arm n}$ とを総称して I_{arm} とも記載する。また、高電位側直流端子 N_p から低電位側直流端子 N_n に流れる場合のアーム電流の符号を正とする。

[0030] 電力変換器 2 から交流回路 1 2 に出力する U 相交流電流 I_{acu} 、V 相交流電流 I_{acv} 、および W 相交流電流 I_{acw} は、アーム電流 I_{arm} を用いて表すことができる。具体的に、各相の交流電流 I_{ac} は、

$$I_{acu} = I_{pu} - I_{nu} \quad \dots(1)$$

$$I_{acv} = I_{pv} - I_{nv} \quad \dots(2)$$

$$I_{acw} = I_{pw} - I_{nw} \quad \dots(3)$$

のように表される。以下の説明では、 I_{acu} 、 I_{acv} 、および I_{acw} を総称して、 I_{ac} とも記載する。

[0031] 上記の (1) ~ (3) 式で表される交流電流 I_{ac} は、変圧器の二次側電流（電力変換器 2 の側の電流）に相当する。交流電流 I_{ac} と、交流電流検出器 1 6 で検出される交流電流 I_{sys} とは、理想的には、変圧器 1 3 の変圧比だけ異なる。変圧器 1 3 に代えて連系リアクトルを用いる場合には、交流電流 I_{ac} と交流電流 I_{sys} とは一致する。制御装置 3 では、上式 (1) ~ (3) で計算される交流電流 I_{ac} に代えて、交流電流検出器 1 6 に計測される交流電流 I_{sys} を用いてもよい。

[0032] 直流回路 1 4 から電力変換器 2 の高電位側直流端子 N_p に流入する直流電流 I_{dc} も、アーム電流 I_{arm} を用いて表すことができる。具体的に、直流電流 I_{dc} は、

$$I_{dc} = (I_{pu} + I_{nu} + I_{pv} + I_{nv} + I_{pw} + I_{nw}) / 2 \quad \dots(4)$$

と表される。

[0033] 交流回路 1 2 および直流回路 1 4 を経路に含まずに電力変換器 2 内の閉回

路に流れる電流を循環電流と称する。U相アームに流れる循環電流 I_{zu} 、V相アームに流れる循環電流 I_{zv} 、およびW相アームに流れる循環電流 I_{zw} は、

$$I_{zu} = (I_{pu} + I_{nu}) / 2 - I_{dc} / 3 \quad \dots(5)$$

$$I_{zv} = (I_{pv} + I_{nv}) / 2 - I_{dc} / 3 \quad \dots(6)$$

$$I_{zw} = (I_{pw} + I_{nw}) / 2 - I_{dc} / 3 \quad \dots(7)$$

のように定義できる。各相の循環電流 I_{zu} 、 I_{zv} 、 I_{zw} を総称して I_z と記載する。

[0034] [変換器セルの構成例]

図2は、電力変換器を構成する変換器セルの構成例を示す回路図である。

[0035] 図2の(A)に示す変換器セル7は、ハーフブリッジ構成と呼ばれる回路構成を有する。この変換器セル7は、2つのスイッチング素子31pおよび31nを直列接続して形成した直列体と、蓄電素子32と、電圧検出器33と、入出力端子P1、P2とを備える。スイッチング素子31pおよび31nの直列体と蓄電素子32とは並列接続される。電圧検出器33は、蓄電素子32の両端間の電圧 V_c を検出する。

[0036] スwitching素子31nの両端子は、入出力端子P1、P2にそれぞれ接続される。変換器セル7は、スイッチング素子31p、31nのスイッチング動作により、蓄電素子32の電圧 V_c または零電圧を、入出力端子P1およびP2の間に出す。スイッチング素子31pがオン、かつスイッチング素子31nがオフとなったときに、変換器セル7からは、蓄電素子32の電圧 V_c が出力される。スイッチング素子31pがオフ、かつスイッチング素子31nがオンとなったときに、変換器セル7は、零電圧を出力する。

[0037] 図2の(B)に示す変換器セル7は、フルブリッジ構成と呼ばれる回路構成を有する。この変換器セル7は、2つのスイッチング素子31p1および31n1を直列接続して形成された第1の直列体と、2つスイッチング素子31p2および31n2を直列接続して形成された第2の直列体と、蓄電素子32と、電圧検出器33と、入出力端子P1、P2とを備える。第1の直

列体と、第2の直列体と、蓄電素子32とが並列接続される。電圧検出器33は、蓄電素子32の両端間の電圧 V_c を検出する。

[0038] スイッチング素子31p1およびスイッチング素子31n1の midpoint は、入出力端子P1と接続される。同様に、スイッチング素子31p2およびスイッチング素子31n2の midpoint は、入出力端子P2と接続される。変換器セル7は、スイッチング素子31p1, 31n1, 31p2, 31n2のスイッチング動作により、蓄電素子32の電圧 V_c 、 $-V_c$ 、または零電圧を、入出力端子P1およびP2の間に出力する。

[0039] 図2の(A)および(B)において、スイッチング素子31p, 31n, 31p1, 31n1, 31p2, 31n2は、たとえば、IGBT (Insulated Gate Bipolar Transistor)、GCT (Gate Commutated Turn-off) サイリスタなどの自己消弧型の半導体スイッチング素子にFWD (Freewheeling Diode) が逆並列に接続されて構成される。

[0040] 図2の(A)および(B)において、蓄電素子32には、フィルムコンデンサなどのキャパシタが主に用いられる。蓄電素子32は、以降の説明では、キャパシタと呼称することもある。以下では、蓄電素子32の電圧 V_c をキャパシタ電圧 V_c とも称する。

[0041] 図1に示されるように、変換器セル7はカスケード接続されている。図2の(A)および(B)の各々において、上アーム5に配置された変換器セル7では、入出力端子P1は、隣の変換器セル7の入出力端子P2または高電位側直流端子 N_p と接続され、入出力端子P2は、隣の変換器セル7の入出力端子P1または交流入力端子 N_u と接続される。同様に、下アーム6に配置された変換器セル7では、入出力端子P1は、隣の変換器セル7の入出力端子P2または交流入力端子 N_u と接続され、入出力端子P2は、隣の変換器セル7の入出力端子P1または低電位側直流端子 N_n と接続される。

[0042] 以降では、変換器セル7を図2の(A)に示すハーフブリッジセルの構成とし、スイッチング素子として半導体スイッチング素子、蓄電素子としてキャパシタを用いた場合を例に説明する。但し、電力変換器2を構成する変換

器セル7を図2の(B)に示すフルブリッジ構成とすることも可能である。また、上記で例示した構成以外の変換器セル、たとえば、クランプトダブルセルと呼ばれる回路構成などを適用した変換器セルを用いてもよく、スイッチング素子および蓄電素子も上記の例示に限定されるものではない。

[0043] [制御装置]

図3は、制御装置3のハードウェア構成例を示すブロック図である。図3には、コンピュータによって制御装置3を構成する例が示される。

[0044] 図3を参照して、制御装置3は、1つ以上の入力変換器70と、1つ以上のサンプルホールド(S/H)回路71と、マルチプレクサ(MUX)72と、A/D(Analog to Digital)変換器73とを含む。さらに、制御装置3は、1つ以上のCPU(Central Processing Unit)74と、RAM(Random Access Memory)75と、ROM(Read Only Memory)76とを含む。さらに、制御装置3は、1つ以上の入出力インターフェイス77と、補助記憶装置78と、上記の構成要素間を相互に接続するバス79を含む。

[0045] 入力変換器70は、入力チャンネルごとに補助変成器(図示せず)を有する。各補助変成器は、図1の各電気量検出器による検出信号を、後続する信号処理に適した電圧レベルの信号に変換する。

[0046] サンプルホールド回路71は、入力変換器70ごとに設けられる。サンプルホールド回路71は、対応の入力変換器70から受けた電気量を表す信号を規定のサンプリング周波数でサンプリングして保持する。

[0047] マルチプレクサ72は、複数のサンプルホールド回路71に保持された信号を順次選択する。A/D変換器73は、マルチプレクサ72によって選択された信号をデジタル値に変換する。なお、複数のA/D変換器73を設けることによって、複数の入力チャンネルの検出信号に対して並列的にA/D変換を実行するようにしてもよい。

[0048] CPU74は、制御装置3の全体を制御し、プログラムに従って演算処理を実行する。揮発性メモリとしてのRAM75および不揮発性メモリとしてのROM76は、CPU74の主記憶として用いられる。ROM76は、プ

プログラムおよび信号処理用の設定値などを収納する。補助記憶装置 78 は、ROM 76 に比べて大容量の不揮発性メモリであり、プログラムおよび電流量検出値のデータなどを格納する。

[0049] 入出力インターフェイス 77 は、CPU 74 および外部装置の間で通信する際のインターフェイス回路である。

[0050] なお、図 3 の例とは異なり、制御装置 3 の少なくとも一部を FPG A (Field Programmable Gate Array) および、ASIC (Application Specific Integrated Circuit) 等の回路を用いて構成することも可能である。すなわち、図 3 に記載された各機能ブロックの機能は、図 3 に例示されたコンピュータをベースに構成することもできるし、その少なくとも一部を FPG A および ASIC などの回路を用いて構成することができる。また、各機能ブロックの機能の少なくとも一部は、アナログ回路によって構成することも可能である。

[0051] 図 4 は、図 1 に示された制御装置 3 の内部構成を説明する機能ブロック図である。制御装置 3 は、その制御機能の 1 つとして、各変換器セル 7 のスイッチング素子 31p, 31n のオン、オフを制御する。

[0052] 制御装置 3 は、U 相基本制御部 502U と、U 相上アーム制御部 503UP と、U 相下アーム制御部 503UN と、V 相基本制御部 502V と、V 相上アーム制御部 503VP と、V 相下アーム制御部 503VN と、W 相基本制御部 502W と、W 相上アーム制御部 503WP と、W 相下アーム制御部 503WN と、循環電流指令値生成部 510 とを含む。

[0053] 以下の説明では、U 相基本制御部 502U、V 相基本制御部 502V、および、W 相基本制御部 502W を総称する場合または不特定のものを示す場合に、基本制御部 502 と記載する。U 相上アーム制御部 503UP、V 相上アーム制御部 503VP、および W 相上アーム制御部 503WP を総称する場合または不特定のものを示す場合に、上アーム制御部 503P と記載する。U 相下アーム制御部 503UN、V 相下アーム制御部 503VN、および W 相下アーム制御部 503WN を総称する場合または不特定のものを示す

す場合に、下アーム制御部503Nとも記載する。上アーム制御部503Pおよび下アーム制御部503Nを総称してアーム制御部503と記載する。

[0054] 基本制御部502の構成例は図6で説明し、アーム制御部503の構成例は図7で説明する。以下では、まず、循環電流指令値生成部510の構成例について説明する。循環電流指令値生成部510は、u相の循環電流指令値 I_{zrefu} 、v相の循環電流指令値 I_{zrefv} 、およびw相の循環電流指令値 I_{zrefw} を生成する。以下の説明では、各相の循環電流指令値を総称する場合または不特定相の循環電流指令値を示す場合に、循環電流指令値 I_{zref} と記載する。

[0055] 図5は、図4の循環電流指令値生成部の詳細な構成例を示すブロック図である。図5を参照して、循環電流指令値生成部510は、電圧平均値生成部511と、グループ間電圧制御部515と、減算部514とを含む。

[0056] 電圧平均値生成部511は、各変換器セル7から電圧検出器33によって検出されたキャパシタ電圧 V_c を受ける。電圧平均値生成部511は、各変換器セル7のキャパシタ電圧 V_c から、電力変換器2の全ての変換器セル7のキャパシタ32の蓄積エネルギーの平均値を示す全電圧平均値 V_{call} と、予め定められたグループ毎での変換器セル7のキャパシタ32の蓄積エネルギーの平均値であるグループ毎電圧平均値 V_{cgr} とを生成する。

[0057] たとえば、グループ毎電圧平均値 V_{cgr} は、レグ回路4u（U相）、4v（V相）、および、4w（W相）のそれぞれに含まれる複数個（ $2 \times N_{ec11}$ 個）の変換器セル7の蓄積エネルギーの平均値を示すU相電圧平均値 V_{cgu} 、V相電圧平均値 V_{cgv} 、および、W相電圧平均値 V_{cgw} を含む。あるいは、グループ毎電圧平均値 V_{cgr} は、レグ回路4（U相、V相、W相）毎の電圧平均値に代えて、あるいはこれに加えて、各レグ回路4について上アーム5および下アーム6のそれぞれについて、各アームに含まれる複数個（ N_{ec11} 個）の変換器セル7の蓄積エネルギーの平均値を示すグループ毎電圧平均値 V_{cgr} を含んでもよい。すなわち、グループ毎電圧平均値 V_{cgr} は、U相上アーム電圧平均値 V_{cgup} 、U相下アーム電圧平均

値 V_{cgun} 、V相上アーム電圧平均値 V_{cgvp} 、V相下アーム電圧平均値 V_{cgvn} 、W相上アーム電圧平均値 V_{cgwp} 、およびW相下アーム電圧平均値 V_{cgwn} を含んでもよい。

[0058] グループ間電圧制御部515は、電圧平均値生成部511によって生成された相ごとのグループ毎電圧平均値 V_{cgr} に基づいて、グループ間（各相レグ回路間またはアーム間）での蓄積エネルギーの不均衡を補償するための循環電流指令値 I_{zref} を相ごとに生成する。すなわち、グループ間電圧制御部515は、U相循環電流指令値 I_{zrefu} 、V相循環電流指令値 I_{zrefv} 、およびW相循環電流指令値 I_{zrefw} を生成する。

[0059] 具体的に、減算部514は、全電圧平均値 V_{call} からグループ毎電圧平均値 V_{cgr} を減算する。たとえば、U相循環電流指令値 I_{zrefu} を生成する場合には、減算部514には、グループ毎電圧平均値 V_{cgr} として、U相電圧平均値 V_{cgu} が入力され、さらにU相上アーム電圧平均値 V_{cgup} およびU相下アーム電圧平均値 V_{cgun} が入力されてもよい。グループ間電圧制御部515は、減算部514によって算出された、全電圧平均値 V_{call} に対するU相電圧平均値 V_{cgu} の偏差に対して演算を施すことによって、u相循環電流指令値 I_{zrefu} を生成する。もしくは、グループ間電圧制御部515は、全電圧平均値 V_{call} に対するU相電圧平均値 V_{cgu} の偏差、全電圧平均値 V_{call} に対するU相上アーム電圧平均値 V_{cgup} の偏差、および全電圧平均値 V_{call} に対するU相下アーム電圧平均値 V_{cgun} の偏差の各々に対して演算を施し、演算結果を加算することによってu相循環電流指令値 I_{zrefu} を生成する。循環電流指令値 I_{zref} は、グループ間（レグ回路間さらには相ごとのアーム間）で、変換器セル7のキャパシタ電圧 V_c のレベルを均一化して、グループ間での変換器セル7での蓄積エネルギーの不均衡を解消するための循環電流値に相当する。

[0060] たとえば、グループ間電圧制御部515は、減算部514が算出した上記偏差に対して比例演算および積分演算を行うPI制御器として構成すること

もできるし、さらに微分演算を行うPID制御器として構成することもできる。あるいは、一般的にフィードバック制御に用いられる他の制御器の構成を用いて、グループ間電圧制御部515を構成することも可能である。

[0061] 図6は、図4の各基本制御部502のさらに詳細な構成を示す図である。図6を参照して、基本制御部502は、アーム電圧指令生成部601と、キャパシタ電圧指令生成部602とを含む。

[0062] アーム電圧指令生成部601は、図1の上アーム5に含まれるNcell個の変換器セル7の電圧指令値 k_{refp} と、下アーム6に含まれるNcell個の変換器セル7の電圧指令値 k_{refn} とを生成する。アーム電圧指令生成部601は、生成した電圧指令値 k_{refp} を上アーム制御部503Pに出力し、生成した電圧指令値 k_{refn} を下アーム制御部503Nに出力する。以下の説明では、上アーム5のための電圧指令値 k_{refp} と下アーム6のための電圧指令値 k_{refn} とを総称して、電圧指令値 k_{ref} と記載する。

[0063] キャパシタ電圧指令生成部602は、上アーム5に含まれるNcell個の変換器セル7のキャパシタ32のキャパシタ電圧指令値 V_{crefp} を生成する。キャパシタ電圧指令生成部602は、さらに、下アーム6に含まれるNcell個の変換器セル7のキャパシタ32のキャパシタ電圧指令値 V_{crefn} を算出する。キャパシタ電圧指令生成部602は、生成した上アーム5のためのキャパシタ電圧指令値 V_{crefp} を上アーム制御部503Pに出力し、生成した下アーム6のためのキャパシタ電圧指令値 V_{crefn} を下アーム制御部503Nに出力する。

[0064] 上アーム5のためのキャパシタ電圧指令値 V_{crefp} は、たとえば、上アームの変換器セル7のキャパシタ32の平均電圧とし、下アーム6のためのキャパシタ電圧指令値 V_{crefn} は、たとえば、下アーム6の変換器セル7のキャパシタ32の平均電圧とする。以下の説明では、上アーム5のためのキャパシタ電圧指令値 V_{crefp} と下アーム6のためのキャパシタ電圧指令値 V_{crefn} とを総称して、キャパシタ電圧指令値 V_{cref} と記

載する。

- [0065] 図6に示すように、より詳細には、アーム電圧指令生成部601は、交流電流制御部603と、直流電流制御部604と、循環電流制御部605と、指令分配部606と、放電制御部607とを備える。
- [0066] 交流電流制御部603は、検出された交流電流 I_{ac} と設定された交流電流指令値 I_{acref} との偏差を0にするための交流制御指令値 V_{cr} を算出する。もしくは、交流電流制御部603は、検出された交流電流 I_{ac} と放電制御部607によって変更された交流電流指令値 I_{acref} との偏差を0にするための交流制御指令値 V_{cr} を算出する。たとえば、交流電流制御部603は、上記偏差に対して比例演算および積分演算を行うPI制御器として構成することもできるし、さらに微分演算を行うPID制御器として構成することもできる。あるいは、一般的にフィードバック制御に用いられる他の制御器の構成を用いて交流電流制御部603を構成することも可能である。
- [0067] 直流電流制御部604は、設定された直流電圧指令値 V_{dcref} と設定された直流電流指令値 I_{dcref} とに基づいて、検出された直流電流 I_{dc} と設定された直流電流指令値 I_{dcref} との偏差を0にするための直流制御指令値 V_{dcr} を算出する。この際、直流電圧指令値 V_{dcref} は検出された直流電圧 V_{dc} に基づいて演算されるものでもよい。
- [0068] 循環電流制御部605は、検出された循環電流 I_z を、設定された循環電流指令値 I_{zref} または放電制御部607によって変更された循環電流指令値 I_{zref} に追従制御するための、循環制御指令値 V_{zr} を算出する。循環電流指令値 I_{zref} の設定値は、たとえば、0に設定される。放電制御部607の動作については後述する。
- [0069] 指令分配部606は、交流制御指令値 V_{cr} と、循環制御指令値 V_{zr} と、直流制御指令値 V_{dcr} と、中性点電圧 V_{sn} と、交流電圧 V_{sys} とを受け、電力変換器2の交流側が変圧器13を介して交流回路12に接続されているため、中性点電圧 V_{sn} は、直流回路14の直流電源の電圧により

求めることができる。直流制御指令値 V_{dcr} は、直流出力制御により決定されても、一定値でもよい。

[0070] 指令分配部 606 は、これらの入力に基づいて、上アーム、および下アームがそれぞれ出力分担する電圧を算出する。指令分配部 606 は、算出した電圧から上アーム、下アーム内のインダクタンス成分による電圧降下分をそれぞれ差し引くことによって、上アームのアーム電圧指令値 k_{refp} 、および下アームのアーム電圧指令値 k_{refn} を決定する。

[0071] 決定された上アームのアーム電圧指令値 k_{refp} および下アームのアーム電圧指令値 k_{refn} は、交流電流 I_{ac} を交流電流指令値 I_{acref} に追従させ、循環電流 I_z を循環電流指令値 I_{zref} に追従させ、直流電圧 V_{dc} を直流電圧指令値 V_{dcref} に追従させるとともに、交流電圧 V_{sys} をフィードフォワード制御する出力電圧指令である。

[0072] 次に、放電制御部 607 の動作について説明する。放電制御部 607 には制御装置 3 の運転モードを表す信号 OM が入力される。MMC は、通常運転モード（第 1 の運転モードとも称する）において電力変換器 2 の損失を最小にするために、循環電流 I_z の実効値を、電力変換器の運転を継続するために必要な最小の値となるように制御する。

[0073] 一方、本実施の形態の MMC は、放電運転モード（第 2 の運転モードとも称する）において、循環電流 I_z の実効値を通常制御の場合よりも多くなるように制御する。電力変換器 2 の内部には抵抗成分が存在するため、循環電流 I_z を流すことにより損失が増加する。これによって、各変換器セル 7 のキャパシタ 32 の放電が促される。

[0074] 具体的に、放電制御部 607 は、運転モードが通常運転モードから放電運転モードに切り替わると、循環電流 I_z の実効値が通常よりも多くなるように循環電流指令値 I_{zref} を変更する。より具体的には、放電制御部 607 は、通常運転モードにおける循環電流指令値 I_{zref} に放電制御出力値を加算補正する。

[0075] 循環電流 I_z を意図的に流す際、電力変換器 2 が交流電力系統（交流回路

12) に連系されている場合は、系統電圧の周波数以外の周波数で循環電流 I_z を流す必要がある。電力系統から解列している場合は、循環電流はいずれの周波数用いても問題ない。なお、表皮効果による損失増加が見込まれるため、循環電流の周波数は高いほうが望ましい。

[0076] スイッチング素子 31 が安全に動作できる範囲内で循環電流 I_z の実効値をできるだけ大きくしたほうが、各変換器セル 7 のキャパシタ 32 の放電を早めることができる。スイッチング素子 31 の安全動作のためにアーム電流 I_{arm} の上限値が決まるので、循環電流 I_z の振幅値または実効値をより大きく設定するためには、交流電流指令値 I_{acref} の振幅値または実効値を通常運転モードの場合よりも小さく設定するのが望ましい。したがって、放電制御部 607 は、放電運転モードにおいて、交流電流指令値 I_{acref} の振幅値または実効値を通常運転モードの場合よりも小さく設定する。より具体的には、放電制御部 607 は、交流電流指令値 I_{acref} に放電制御出力値を減算補正する。

[0077] なお、図 6 の場合と異なり、放電制御部 607 の機能を交流電流制御部 603 および循環電流制御部 605 の各々に含ませてもよい。この場合、制御装置 3 の運転モードを表す信号 OM は、交流電流制御部 603 および循環電流制御部 605 にそれぞれ入力される。

[0078] 図 7 は、アーム制御部 503 の構成例を説明するブロック図である。図 7 を参照して、アーム制御部 503 は、 N_{cell} 個の個別セル制御部 202 を含む。

[0079] 個別セル制御部 202 は、対応する変換器セル 7 を個別に制御する。個別セル制御部 202 は、基本制御部 502 からアーム電圧指令値 k_{ref} 、アーム電流 I_{arm} 、および、キャパシタ電圧指令値 V_{cref} を受ける。

[0080] 個別セル制御部 202 は、対応する変換器セル 7 のゲート信号 g_a を生成して、対応する変換器セル 7 へ出力する。ゲート信号 g_a は、図 2 の (A) の変換器セル 7 では、スイッチング素子 31p および 31n のオンオフを制御する信号である ($n=2$)。なお、変換器セル 7 が、図 2 の (B) のフル

ブリッジ構成である場合には、スイッチング素子 31 p 1, 31 n 1, 31 p 2, 31 n 2 のそれぞれのゲート信号が生成される ($n=4$)。

[0081] 一方で、各個別セル制御部 202 は、対応する変換器セル 7 の電圧検出器 33 から、キャパシタ電圧 V_c の検出値を受信する。さらに、各変換器セル 7 の電圧検出器 33 からのキャパシタ電圧 V_c の検出値は、基本制御部 502 に入力される。

[0082] [放電運転モードにおける電力変換器 2 の制御手順]

以下、放電運転モードにおける電力変換器 2 の制御手順について、これまでの説明を総括する。

[0083] 図 8 は、通常運転モードから放電運転モードへの切り替えタイミングを説明するためのフローチャートである。初期状態において、制御装置 3 は、通常運転モードで運転中であるとする。

[0084] 図 8 のフローチャート (A) を参照して、制御装置 3 は、少なくとも 1 つのキャパシタ電圧 V_c が閾値 V_{th} を超えているとき (ステップ S100 で YES)、処理をステップ S110 に進める。ステップ S110 において、制御装置 3 は、運転モードを通常運転モードから放電運転モードへ切り替える。

[0085] 図 8 のフローチャート (B) を参照して、制御装置 3 は、電力変換器 2 の停止指令を受けた場合に (ステップ S200 で YES)、処理をステップ S210 に進める。ステップ S210 において、制御装置 3 は、運転モードを通常運転モードから放電運転モードへ切り替える。

[0086] 図 9 は、放電運転モードにおける図 6 の循環電流制御部、放電制御部、および交流電流制御部の動作を説明するためのフローチャートである。

[0087] 図 6 および図 9 を参照して、図 9 ステップ S300 において、通常運転モードの場合、交流電流制御部 603 は、検出された交流電流 I_{ac} と通常運転モードにおける交流電流指令値 $I_{ac\ ref}$ との偏差に基づいて、交流制御指令値 V_{cr} を生成する。また、循環制御指令値 V_{zr} は、検出された循環電流 I_z と、図 5 を参照して説明した通常運転モードにおける循環電流指

令値 $I_{z\text{ref}}$ との偏差に基づいて、循環制御指令値 V_{zr} を生成する。通常運転モードが継続される場合（ステップ S310 で NO）、上記のステップ S300 が繰り返される。

[0088] 通常運転モードから放電運転モードに切り替わると（ステップ S310 で YES）、制御装置 3 は、処理をステップ S320 およびステップ S330 に進める。ステップ S320 および S330 は、どちらを先に実行してもよいし、並行して実行してもよい。

[0089] ステップ S320 において、交流電流制御部 603 は、交流電流指令値 $I_{ac\text{ref}}$ の実効値または振幅値を通常運転モードの場合よりも小さく設定して、交流制御指令値 V_{cr} を計算する。

[0090] ステップ S330 において、循環電流制御部 605 は、循環電流指令値 $I_{z\text{ref}}$ の実効値または振幅値を通常運転モードの場合よりも大きく設定して、循環制御指令値 V_{zr} を計算する。もしくは、循環電流制御部 605 は、循環電流指令値 $I_{z\text{ref}}$ を変更せずに、循環電流 I_z の実効値または振幅値が通常運転モードの場合よりも大きくなるように、循環制御指令値 V_{zr} を変更してもよい。

[0091] 放電運転モードが継続される場合（ステップ S340 で NO）、上記のステップ S320 およびステップ S330 が繰り返される。制御装置 3 は、放電運転モードから通常運転モードに切り替える場合、処理をステップ S300 に戻す。

[0092] [実施の形態 1 の効果]

通常の MMC の制御では、電力変換器 2 の損失を最小限にするために、循環電流 I_z の実効値または振幅値は、電力変換器 2 の運転を継続するために必要な最小の値になるように制御される。

[0093] 実施の形態 1 の電力変換装置 1 の場合には、制御装置 3 は、運転モードが通常運転モードから放電運転モードに切り替わると、通常運転モードの場合よりも循環電流 I_z の実効値または振幅値が大きくなるように電力変換器 2 を制御する。電力変換器 2 の内部には、抵抗成分が存在するために、循環電

流 I_z を流すことにより損失が増加し、これにより各変換器セル 7 のキャパシタ 3 2 の放電を促すことができる。

[0094] 具体的に、放電制御部 6 0 7 は、放電運転モードにおいて、循環電流 I_z の実効値または振幅値が通常運転モードの場合よりも大きくなるように、循環電流指令値 $I_{z\text{ref}}$ または循環制御指令値 V_{zr} を補正する。より具体的には、放電制御部 6 0 7 は、循環電流指令値 $I_{z\text{ref}}$ に放電制御出力を加算補正する。

[0095] 循環電流 I_z を意図的に流す際、電力変換器 2 が交流電力系統（交流回路 1 2）に連系されている場合は、系統電圧の周波数以外の周波数で循環電流 I_z を流す必要がある。電力変換器 2 が交流電力系統（交流回路 1 2）から解列している場合は、循環電流 I_z の周波数はいずれの周波数用いても問題ない。なお、表皮効果による損失増加が見込まれるため、循環電流 I_z の周波数は高いほうが望ましい。

[0096] 実施の形態 2.

実施の形態 2 では、安全運転領域（SOA : Safety Operating Area）の範囲内で、できるだけ循環電流 I_z の実効値または振幅値を大きくするように、電力変換器 2 を制御する。これにより、各変換器セル 7 のキャパシタ 3 2 の放電を早めることができる。ここで、SOA とは、変換器セル 7 のスイッチング素子 3 1 として用いられている半導体素子が安全にスイッチングを行うことができる電圧と電流の範囲をいう。

[0097] なお、実施の形態 2 の電力変換装置 1 のハードウェア構成および制御装置 3 の機能的構成は実施の形態 1 の場合と同様であるので説明を繰り返さない。

[0098] [実施の形態 2 の電力変換装置における放電制御の特徴]

図 1 0 は、IGBT または MOSFET の SOA の一例を概念的に示す図である。図 1 0 の縦軸はコレクタ電流 I_c を示し、図 1 0 の横軸はコレクタエミッタ電圧 V_{ce} を示す。コレクタ電流 I_c は各アームを流れるアーム電流 I_{arm} に対応し、コレクタエミッタ電圧 V_{ce} は各変換器セル 7 のキャ

パシタ電圧 V_c に対応する。

[0099] 図10に示すように、コレクタエミッタ電圧 V_{ce} が0から V_2 までの間は、コレクタ電流 I_c の上限値は一定値 I_{max} である。コレクタエミッタ電圧 V_{ce} が V_2 から V_{max} までの間は、コレクタエミッタ電圧 V_{ce} が増加するほど許容されるコレクタ電流 I_c は小さくなる。このように、コレクタエミッタ電圧 V_{ce} に応じてコレクタ電流 I_c の上限値は変化する。

[0100] したがって、キャパシタ電圧 V_c に応じて、アーム電流 I_{arm} のピーク値がSOAの上限値に一致するように循環電流 I_z の実効値または振幅値の大きさを決定することによって、循環電流 I_z の大きさをできるだけ増やすことができる。また、アーム電流 I_{arm} は、交流電流 I_{ac} と直流電流 I_{dc} と循環電流 I_z との和によって決まるので、循環電流 I_z の振幅値または実効値をより大きく設定するためには、交流電流指令値 I_{acref} の振幅値または実効値を通常運転モードの場合よりも小さく設定するのが望ましい。

[0101] 具体的に図10の場合には、キャパシタ電圧 V_c の値 V_1 が過大であったとする。このときのアーム電流 I_{arm} の上限値は I_1 であるので、アーム電流 I_{arm} のピーク値が I_1 に一致するように、循環電流 I_z の振幅値または実効値を定める。その後、キャパシタ32の放電によりキャパシタ電圧 V_c が低下するにつれて、アーム電流 I_{arm} の上限値は増加する。したがって、キャパシタ電圧 V_c の大きさに応じて循環電流 I_z の実効値または振幅値を増やすようにする。これにより、安全にかつ高速にキャパシタ32を放電することができる。なお、キャパシタ電圧 V_c が V_2 以下の場合には、SOAの上限値は I_{max} で一定になる。したがって、循環電流制御部605は、アーム電流 I_{arm} のピーク値がSOAの上限値 I_{max} に一致するように、循環電流 I_z の実効値または振幅値を決定する。

[0102] [放電運転モードにおける電力変換器2の制御手順]

図11は、実施の形態2の電力変換装置において、放電運転モードにおける循環電流制御部、放電制御部、および交流電流制御部の動作を説明するた

めのフローチャートである。図11のフローチャートは、ステップS330がステップS330Aに変更された点で図9のフローチャートと異なる。図11のその他のステップは図9の場合と同様であるので、同一または相当するステップには同一の参照符号を付して説明を繰り返さない。

[0103] 図11のステップS330Aにおいて、循環電流制御部605は、キャパシタ電圧 V_c の低下に応じてアーム電流 I_{arm} のピーク値がSOAの上限値に等しくなるように、循環電流指令値 I_{zref} の実効値または振幅値を決定する。もしくは、循環電流制御部605は、循環電流指令値 I_{zref} を変更せずに、キャパシタ電圧 V_c の低下に応じてアーム電流 I_{arm} のピーク値がSOAの上限値に等しくなるように、循環制御指令値 V_zr を変更してもよい。

[0104] [実施の形態2の効果]

以上のとおり、実施の形態2の電力変換装置1によれば、制御装置3は、放電運転モードにおいて、SOAの範囲内でできるだけ循環電流 I_z の実効値または振幅値を大きくするように電力変換器2を制御する。これによって、各変換器セル7のスイッチング素子31を破損させることなく、最速でキャパシタ32の放電を行うことができる。

[0105] 実施の形態3.

実施の形態3の電力変換装置1では、放電運転モードにおいて、パルス幅制御におけるキャリア周波数を増大させる。これによってスイッチング素子31のスイッチング損失を増大させることができるので、キャパシタ32の放電を早めることができる。

[0106] 以下では、まず、図7の個別セル制御部202のより詳細な構成と、パルス幅制御について説明した後、実施の形態3の電力変換装置1における放電運転モードの特徴について説明する。なお、実施の形態3の電力変換装置1のハードウェア構成および制御装置3の機能的構成は実施の形態1の場合と同様であるので説明を繰り返さない。なお、実施の形態3は、実施の形態2と組み合わせることができる。

[0107] 図12は、図7に示された個別セル制御部202の構成例を示すブロック図である。

図12を参照して、個別セル制御部202は、キャリア発生器203と、個別電圧制御部205と、加算器206と、ゲート信号生成部207とを備える。

[0108] キャリア発生器203は、位相シフトPWM (Pulse Width Modulation) 制御で用いられる、ある定められた周波数（すなわち、キャリア周波数）を有するキャリア信号CSを生成する。位相シフトPWM制御とは、同一アーム（上アーム5または下アーム6）を構成する複数（ N_{cell} 個）の変換器セル7のそれぞれに対して出力されるPWM信号のタイミングを相互にずらすものである。これによって、各変換器セル7の出力電圧の合成電圧に含まれる高調波成分が削減されることが知られている。

[0109] キャリア発生器203は、基本制御部502から受信した共通の基準位相 θ_i およびキャリア周波数 f_c に基づいて、上記 N_{cell} 個の変換器セル7の間で相互に位相のずれたキャリア信号CSを生成する。

[0110] 個別電圧制御部205には、キャパシタ電圧指令値 V_{cref} と、対応する変換器セル7のキャパシタ電圧 V_c と、対応する変換器セル7が属するアームのアーム電流 I_{arm} の検出値とを受け取る。キャパシタ電圧指令値 V_{cref} は、電力変換器2の全体のキャパシタ電圧 V_c の平均値に設定されてもよいし、同一アームに含まれる N_{cell} 個の変換器セル7のキャパシタ電圧の平均値に設定されてもよい。

[0111] 個別電圧制御部205は、キャパシタ電圧指令値 V_{cref} に対するキャパシタ電圧 V_c の偏差に演算を施して、個別電圧制御のための制御出力 d_{kref} を算出する。個別電圧制御部205についても、PI制御またはPID制御等を実行する制御器によって構成することが可能である。また、上記制御器による演算値に対して、アーム電流 I_{arm} の極性に依じて、「+1」または「-1」を乗算することによって、上記偏差を解消する方向にキャパシタ32を充放電するための制御出力 d_{kref} が算出される。もしくは

、上記制御器による演算値に対して、アーム電流 I_{arm} を乗算することによって、上記偏差を解消する方向にキャパシタ 32 を充放電するための制御出力 dk_{ref} を算出してもよい。

[0112] 加算器 206 は、基本制御部 502 からのアーム電圧指令値 k_{ref} と、個別電圧制御部 205 の制御出力 dk_{ref} とを加算することによって、セル電圧指令値 k_{refc} を出力する。

[0113] ゲート信号生成部 207 は、キャリア発生器 203 からのキャリア信号 CS によって、セル電圧指令値 k_{refc} を PWM 変調することでゲート信号 ga を生成する。

[0114] 図 13 は、図 12 に示されたゲート信号生成部による PWM 変調制御を説明するための概念的な波形図である。なお、図 13 に示された信号波形は説明のために誇張したものであり、実際の信号波形をそのまま示したのではない。

[0115] 図 13 を参照して、セル電圧指令値 k_{refc} は、代表的には三角波で構成されるキャリア信号 CS と、電圧比較される。セル電圧指令値 k_{refc} の電圧が、キャリア信号 CS の電圧よりも高いときには、PWM 変調信号 S_{pwm} はハイレベル（Hレベル）に設定される。反対に、キャリア信号 CS の電圧がセル電圧指令値 k_{refc} の電圧よりも高いときには、PWM 変調信号 S_{pwm} はローレベル（Lレベル）に設定される。

[0116] たとえば、PWM 変調信号 S_{pwm} の Hレベル期間では、図 2（A）の変換器セル 7 において、スイッチング素子 31p をオンする一方で、スイッチング素子 31n をオフするようにゲート信号 ga （ $n=2$ ）が生成される。反対に、PWM 変調信号 S_{pwm} の Lレベル期間では、スイッチング素子 31n をオンする一方で、スイッチング素子 31p をオフするようにゲート信号 ga （ $n=2$ ）が生成される。

[0117] ゲート信号 ga として、変換器セル 7 のスイッチング素子 31p、31n のゲートドライバ（図示せず）に送出されることによって、変換器セル 7 のスイッチング素子 31p、31n がオンオフ制御される。

[0118] セル電圧指令値 k_{refc} は、制御出力 d_{kref} によって修正された、正弦波電圧に相当する。したがって、制御装置 3 では、当該正弦波電圧（アーム電圧指令値 k_{ref} ）の振幅（または、実効値）と、キャリア信号 C_S の振幅から、PWM 変調での変調率指令値を公知の手法によって算出することが可能である。

[0119] [放電運転モードにおける電力変換器 2 の制御手順]

図 14 は、実施の形態 3 の電力変換器におけるキャリア周波数の設定について説明するためのフローチャートである。初期状態において、制御装置 3 は通常運転モードであるとする。

[0120] 制御装置 3 は、通常運転モードから放電運転モードに切り替える場合に（ステップ S400 で YES）、処理をステップ S410 に進める。ステップ S410 において、制御装置 3 は、キャリア周波数 f_c を通常運転モードの場合よりも大きく設定する。スイッチング素子 31 の動作温度の上限値によって決まる限界周波数までキャリア周波数 f_c を大きくしたほうが、スイッチング素子 31 の損失が増大させることのできるため、キャパシタ 32 の放電を早めることができる。

[0121] 放電運転モードが維持される場合には（ステップ S410 で NO）、上記のステップ S410 が継続される。一方、放電運転モードから通常運転モードに切り替える場合には（ステップ S410 で YES）、次のステップ S430 において、制御装置 3 はキャリア周波数 f_c を元の通常運転モードの設定値に戻す。

[0122] [実施の形態 3 の効果]

以上のとおり、実施の形態 3 の電力変換装置 1 によれば、制御装置 3 は、放電運転モードにおいて、位相シフト PWM 制御におけるキャリア周波数 f_c を通常運転モードの場合より大きな値に設定する。これによって、変換器セル 7 のスイッチング素子 31 におけるスイッチング損失を増大させることのできるため、キャパシタ 32 の放電を早めることができる。

[0123] 実施の形態 4.

実施の形態4の電力変換装置1では、アクティブゲートドライブを用いることによって、放電運転モードにおけるスイッチング素子31の損失を増大させる。これによって、キャパシタ32の放電を早めることができる。以下、図面を参照して具体的に説明する。なお、実施の形態4は、実施の形態2, 3のいずれとも組み合わせることができる。

[0124] [アクティブゲートドライブの構成例]

図15は、実施の形態4の電力変換装置において、電力変換器を構成する変換器セルの構成例を示す回路図である。実施の形態4の場合には、変換器セル7は、スイッチング素子31のアクティブゲートドライブが可能なゲートドライバを備える。

[0125] 具体的に、図15の回路図(A)は、制御信号actに応じて抵抗値が可変のゲート抵抗器34p, 34nをさらに備える点で図2の回路図(A)と異なる。同様に、図15の回路図(B)は、制御信号actに応じて抵抗値が可変のゲート抵抗器34p1, 34p2, 34n1, 34n2をさらに備える点で図2の回路図(B)と異なる。図15のその他の点は図2の場合と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。

[0126] 図15において、ゲート抵抗器34p, 34nおよびゲート抵抗器34p1, 34p2, 34n1, 34n2を総称する場合または不特定のものを示す場合には、ゲート抵抗器34と記載する。図15では、ゲート抵抗器34として可変抵抗器が設けられているが、ゲート抵抗器34は、複数の抵抗器の接続を切り替えることによって抵抗値を変更するように構成されていてもよい。

[0127] 図16は、実施の形態4の電力変換装置において、個別セル制御部の構成例を示すブロック図である。図16の個別セル制御部202は、ゲートドライブ制御部208をさらに含む点で図12の個別セル制御部202と異なる。図16のその他の点は図12の場合と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。

[0128] 図15および図16を参照して、個別セル制御部202のゲートドライブ制御部208は、制御装置3の運転モードが通常運転モードから放電運転モードに切り替わった場合に、制御信号actを活性化させる。これにより、ゲートドライブ制御部208は、対応する変換器セル7のゲート抵抗値を増大させる。この結果、変換器セル7のスイッチング素子31のスイッチング時間が増大するためにスイッチング損失が増大するので、キャパシタ32の放電を早めることができる。

[0129] なお、スイッチング素子31のスイッチング損失を変更するものであれば、アクティブゲートドライブの手法はゲート抵抗を変更する方式には限定されない。たとえば、ゲート抵抗値を増大させる以外の方法でスイッチング時間を増加させてもよい。

[0130] [放電運転モードにおける電力変換器2の制御手順]

図17は、実施の形態4の電力変換器におけるゲート抵抗の設定について説明するためのフローチャートである。初期状態において、制御装置3は通常運転モードであるとする。

[0131] 制御装置3は、通常運転モードから放電運転モードに切り替える場合に（ステップS500でYES）、処理をステップS510に進める。ステップS510において、制御装置3は、各変換器セル7のスイッチング素子31に対応して設けられたゲート抵抗器34の抵抗値を通常運転モードの場合よりも大きく設定する。

[0132] 放電運転モードが維持される場合には（ステップS510でNO）、上記のステップS510が継続される。一方、放電運転モードから通常運転モードに切り替える場合には（ステップS510でYES）、次のステップS530において、制御装置3はゲート抵抗値を元の通常運転モードの設定値に戻す。

[0133] [実施の形態4の効果]

以上のとおり、実施の形態4の電力変換装置1によれば、制御装置3は、放電運転モードにおいて、アクティブゲートドライブを用いることにより、

スイッチング素子 31 の損失を通常運転モードの場合よりも増大させるように各変換器セル 7 を制御する。これにより、キャパシタ 32 の放電を早めることができる。

[0134] 実施の形態 5.

MMC では、起動時の充電電流を抑制するために、電力変換器 2 と交流系統との間に充電抵抗器を設けることが一般的である。実施の形態 5 の電力変換装置 1 では、充電抵抗器を各アームに設けることにより、放電運転モードにおいて流す循環電流 I_z による損失を増大させる。以下、図面を参照して詳しく説明する。なお、実施の形態 5 は、実施の形態 2 ~ 4 のいずれとも組み合わせることができる。

[0135] [電力変換器 2 および制御装置 3 の構成]

図 18 は、実施の形態 5 の電力変換装置 1 における電力変換装置の概略構成図である。

[0136] 図 18 の各上アーム 5 は、複数の変換器セル 7 およびリアクトル 8 A と直列に設けられた充電抵抗器 18 A と、充電抵抗器 18 A と並列に接続されたバイパススイッチ 15 A とをさらに含む点で図 2 の各上アーム 5 と異なる。同様に、図 18 の各下アーム 6 は、複数の変換器セル 7 およびリアクトル 8 B と直列に設けられた充電抵抗器 18 B と、充電抵抗器 18 B と並列に接続されたバイパススイッチ 15 B とをさらに含む点で図 2 の各下アーム 6 と異なる。

[0137] 充電抵抗器 18 A, 18 B を総称する場合または不特定のものを示す場合に充電抵抗器 18 と記載する。また、バイパススイッチ 15 A, 15 B を総称する場合または不特定のものを示す場合にバイパススイッチ 15 と記載する。図 18 のその他の点は図 1 の場合と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。

[0138] 図 19 は、実施の形態 5 の電力変換装置 1 における制御装置 3 の内部構成を説明する機能ブロック図である。図 19 の制御装置 3 は、バイパススイッチ 15 を制御するための充電抵抗制御部 504 をさらに含む点で図 4 の制御

装置3と異なる。図19のその他の点は図4の場合と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。

[0139] 充電抵抗制御部504は、通常運転モードではバイパススイッチ15を閉状態に制御する。これによって、アーム電流 I_{arm} はバイパスされるので充電抵抗器18による電力変換器2の損失増大を防止できる。充電抵抗制御部504は、放電運転モードにおいて、バイパススイッチ15を開放する。これにより、アーム電流 I_{arm} が充電抵抗器18を流れるので、電力変換器2の損失を増大させることができる。

[0140] [充電抵抗制御部の動作手順]

図20は、充電抵抗制御部の動作を説明するフローチャートである。図20のフローチャート(A)は、電力変換器2の起動時の充電抵抗制御部504の動作を示し、図20のフローチャート(B)は、放電運転モードにおける充電抵抗制御部504の動作を示す。

[0141] 図20の(A)を参照して、初期状態において電力変換器2は停止状態であるとする。制御装置3は、電力変換器2の起動指令を受けると(ステップS600でYES)、処理をステップS610に進める。ステップS610において、制御装置3の充電抵抗制御部504は、各バイパススイッチ15を開放させる。これによって、各変換器セル7のキャパシタ32の充電電流が抑制される。

[0142] 制御装置3は、電圧検出器33によって検出されるキャパシタ電圧 V_c が基準値に達すると、キャパシタ32の充電は完了したと判断する(ステップS620でYES)。この場合、次のステップS630において、制御装置3の充電抵抗制御部504は、各バイパススイッチ15を閉状態にする。

[0143] 図20の(B)を参照して、初期状態において制御装置3は通常運転モードであり、各バイパススイッチ15は閉状態であるとする。

[0144] 制御装置3は、通常運転モードから放電運転モードに切り替える場合に(ステップS700でYES)、処理をステップS710に進める。ステップS710において、制御装置3の充電抵抗制御部504は、各バイパスス

ッチ15を開放させる。これによって、アーム電流 I_{arm} が充電抵抗器18を流れて電力変換器2の損失が増大するので、キャパシタ32の放電を早めることができる。

[0145] 制御装置3は、放電運転モードから通常運転モードに切り替える場合に（ステップS720でYES）、処理をステップS730に進める。ステップS730において、制御装置3の充電抵抗制御部504は、各バイパススイッチ15を閉状態にする。

[0146] [実施の形態5の効果]

以上のとおり、実施の形態5の電力変換装置1によれば、各アームに設けられた充電抵抗器18を利用して放電運転モード時に循環電流 I_z による損失を増大させる。これによって、放電運転モードにおけるキャパシタ32の放電を早めることができる。

[0147] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。この出願の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0148] 1 電力変換装置、2 電力変換器、3 制御装置、4 レグ回路、5 上アーム、6 下アーム、7 変換器セル、8A, 8B リアクトル、9A, 9B アーム電流検出器、10 交流電圧検出器、11A, 11B 直流電圧検出器、12 交流回路、13 変圧器、14 直流回路、15 バイパススイッチ、16 交流電流検出器、17 直流電流検出器、18 充電抵抗器、19 交流遮断器、23A, 23B 直流遮断器、31 スwitchング素子、32 キャパシタ（蓄電素子）、33 電圧検出器、34 ゲート抵抗器、74 CPU、75 RAM、76 ROM、78 補助記憶装置、202 個別セル制御部、203 キャリア発生器、205 個別電圧制御部、206 加算器、207 ゲート信号生成部、208 ゲートドライブ制御部、502 基本制御部、503 アーム制御部、504 充電抵

抗制御部、601 アーム電圧指令生成部、602 キャパシタ電圧指令生成部、603 交流電流制御部、604 直流電流制御部、605 循環電流制御部、606 指令分配部、607 放電制御部、 I_{acref} 交流電流指令値、 I_{ac} 交流電流、 I_{arm} アーム電流、 I_{dc} 直流電流、 $I_{dc ref}$ 直流電流指令値、 I_z 循環電流、 $I_z ref$ 循環電流指令値、 N_n 低電位側直流端子、 N_p 高電位側直流端子、 N_u , N_v , N_w 交流入力端子、 P_1 , P_2 入出力端子、 V_{sysu} , V_{sysv} , V_{sysw} 交流電圧、 V_c キャパシタ電圧、 V_{cr} 交流制御指令値、 V_{cref} , V_{crefn} , V_{crefp} キャパシタ電圧指令値、 V_{dc} 直流電圧、 $V_{dc ref}$ 直流電圧指令値、 V_{dcr} 直流制御指令値、 V_{zr} 循環制御指令値、 f_c キャリア周波数、 g_a ゲート信号。

請求の範囲

- [請求項1] 互いにカスケード接続された複数の変換器セルを有するアームを複数含む電力変換器と、
前記電力変換器を制御する制御装置とを備え、
前記複数のアームの各々は、交流回路の対応する相と電氣的に接続され、
前記複数の変換器セルの各々は、
一対の入出力端子と、
複数のスイッチング素子と、
前記複数のスイッチング素子を介して前記入出力端子と電氣的に接続される蓄電素子とを含み、
前記制御装置は、
前記電力変換器と前記交流回路との間を流れる交流電流を制御する交流電流制御部と、
前記電力変換器の前記アーム間を流れる循環電流を制御する循環電流制御部とを含み、
前記循環電流制御部は、第1の運転モードにおいて、異なる前記アーム間での前記蓄電素子の電圧の不均衡を解消するように、前記循環電流を制御し、
前記循環電流制御部は、第2の運転モードにおいて、前記第1の運転モードの場合よりも前記循環電流の実効値または振幅値を増加させることにより、前記電力変換器を構成する各前記変換器セルの前記蓄電素子の電圧を低下させ、
前記交流電流制御部は、前記第2の運転モードにおいて、前記第1の運転モードの場合よりも前記交流電流の実効値または振幅値を減少させる、電力変換装置。
- [請求項2] 前記循環電流制御部は、前記第2の運転モードにおいて、前記蓄電素子の電圧の低下に応じて前記循環電流の実効値または振幅値を変化

させる、請求項 1 に記載の電力変換装置。

[請求項3] 前記循環電流制御部は、前記第 2 の運転モードにおいて、各前記変換器セルの各前記スイッチング素子の安全動作領域で決まる電流の上限値にアーム電流のピーク値が一致するように、前記循環電流の実効値または振幅値を変化させる、請求項 2 に記載の電力変換装置。

[請求項4] 前記制御装置は、位相シフトパルス幅変調によって各前記変換器セルの出力電圧を制御し、

前記制御装置は、前記第 2 の運転モードにおいて、前記位相シフトパルス幅変調のキャリア周波数を、前記第 1 の運転モードの場合よりも増加させる、請求項 1～3 のいずれか 1 項に記載の電力変換装置。

[請求項5] 各前記変換器セルに設けられた各前記スイッチング素子のスイッチング損失は、前記制御装置からの制御によって変化し、

前記制御装置は、前記第 2 の運転モードにおいて、各前記変換器セルに設けられた各前記スイッチング素子のスイッチング損失を、前記第 1 の運転モードの場合よりも増加させる、請求項 1～4 のいずれか 1 項に記載の電力変換装置。

[請求項6] 各前記変換器セルに設けられた各前記スイッチング素子のゲート抵抗値は、前記制御装置からの制御によって変化し、

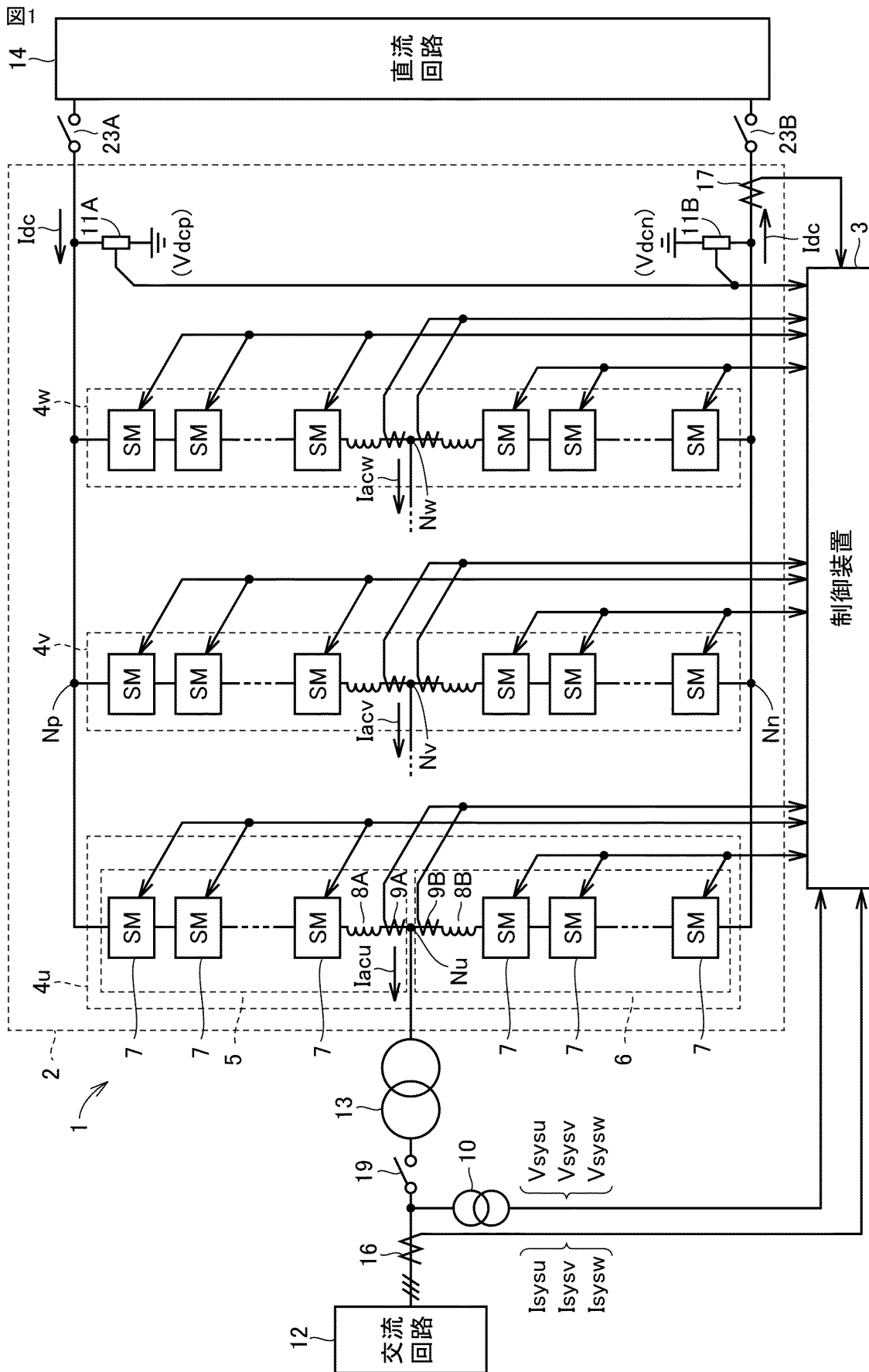
前記制御装置は、前記第 2 の運転モードにおいて、前記ゲート抵抗値を前記第 1 の運転モードの場合よりも増加させることによって前記スイッチング損失を増加させる、請求項 5 に記載の電力変換装置。

[請求項7] 各前記アームは、前記複数の変換器セルと直列に接続された充電抵抗器と、前記充電抵抗器と並列に接続されたバイパススイッチとをさらに含み、

前記制御装置は、前記第 2 の運転モードにおいて前記バイパススイッチを開放状態にし、前記第 1 の運転モードにおいて前記バイパススイッチを閉状態にする、請求項 1～6 のいずれか 1 項に記載の電力変換装置。

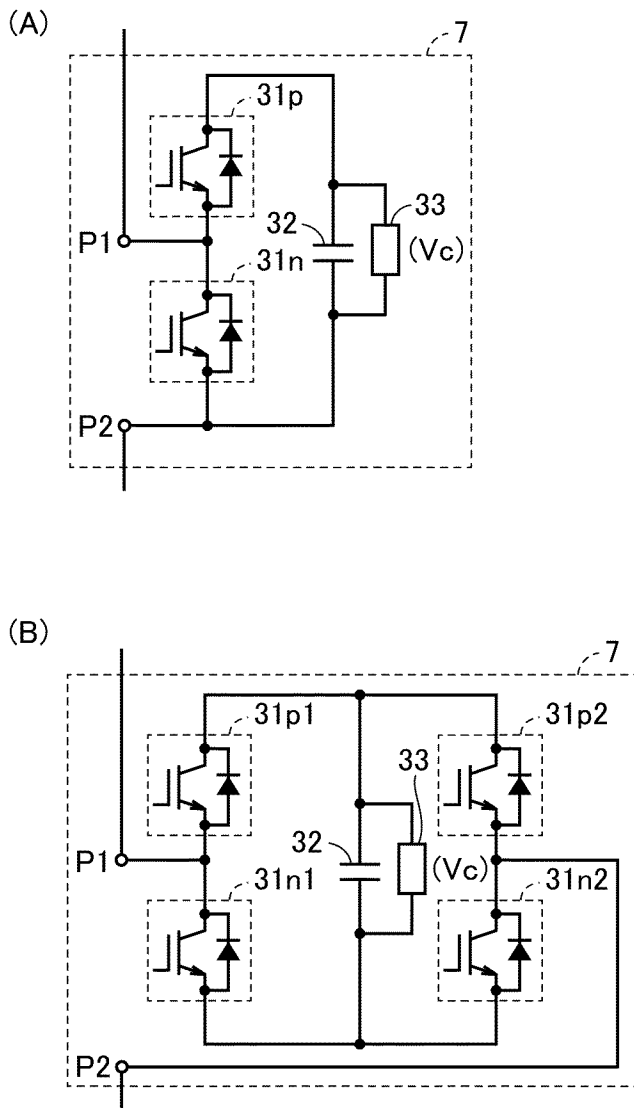
- [請求項8] 前記制御装置は、前記複数の変換器セルに設けられた前記蓄電素子の少なくとも1つの電圧が閾値を超えている場合に、前記第1の運転モードから前記第2の運転モードに運転モードを切り替える、請求項1～7のいずれか1項に記載の電力変換装置。
- [請求項9] 前記制御装置は、前記電力変換器の運転停止指令を受けた場合に、前記第1の運転モードから前記第2の運転モードに運転モードを切り替える、請求項1～8のいずれか1項に記載の電力変換装置。

[圖1]



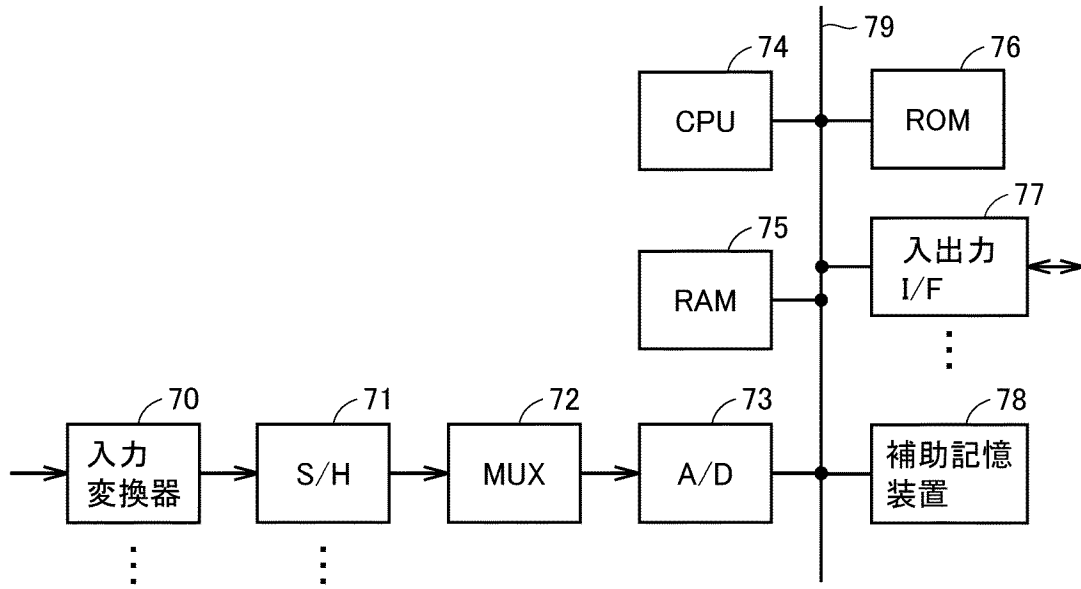
[図2]

図2



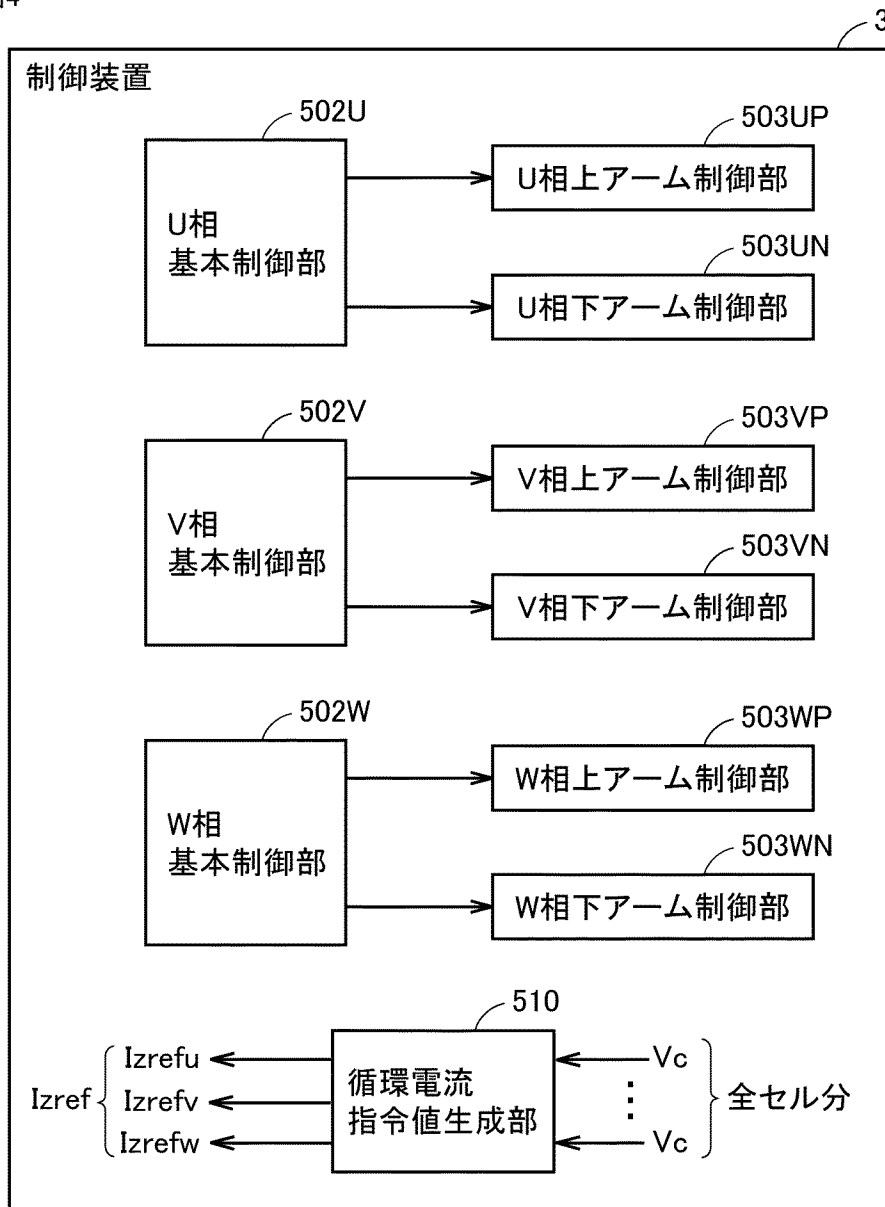
[図3]

図3



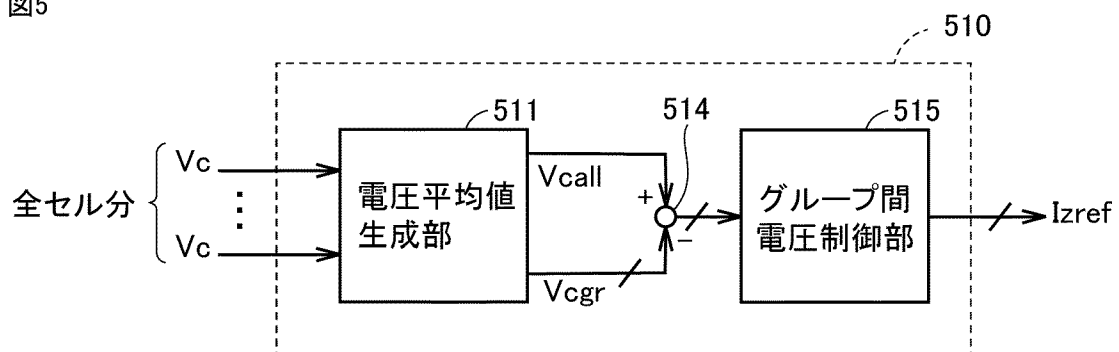
[図4]

図4



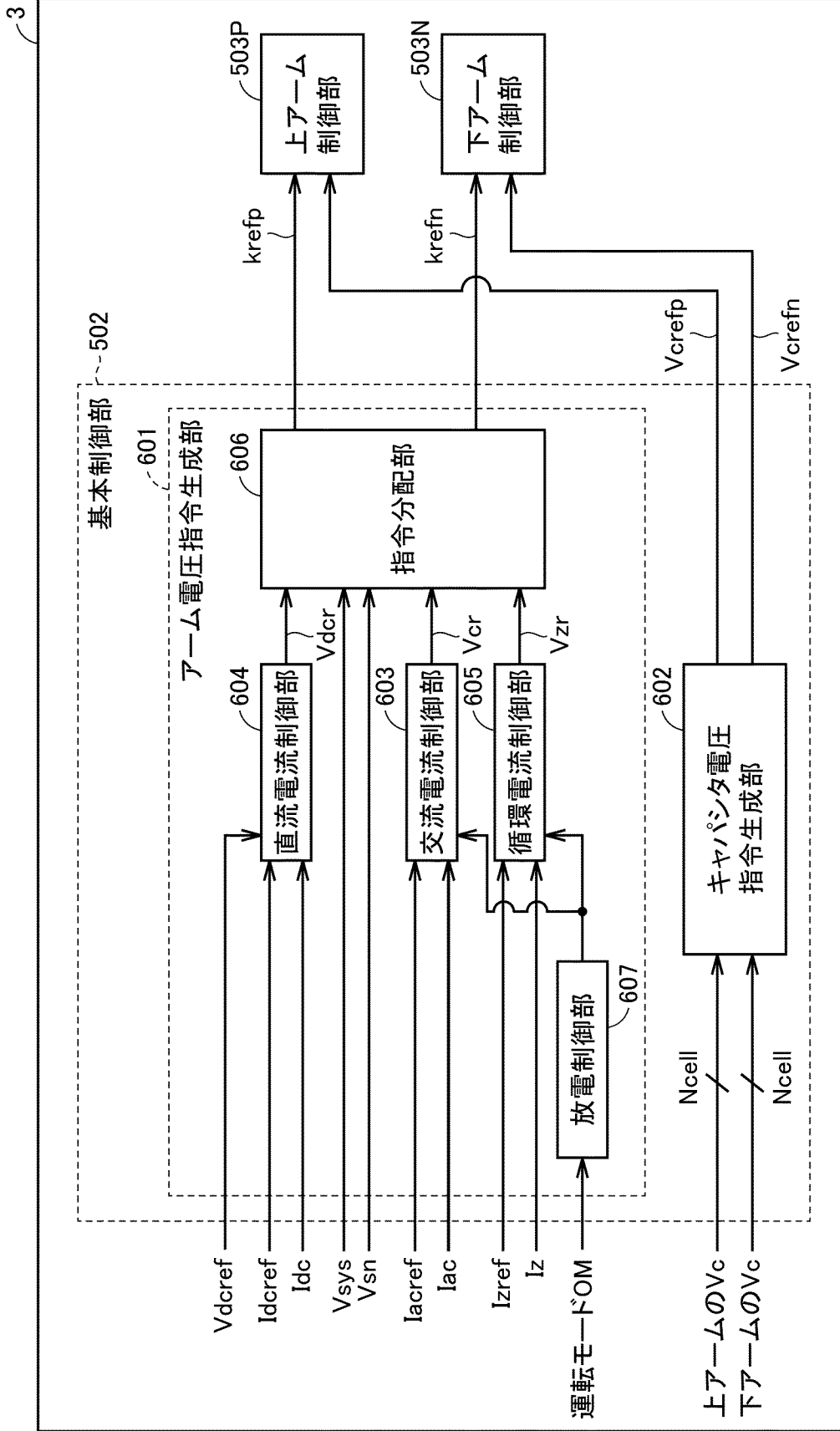
[図5]

図5



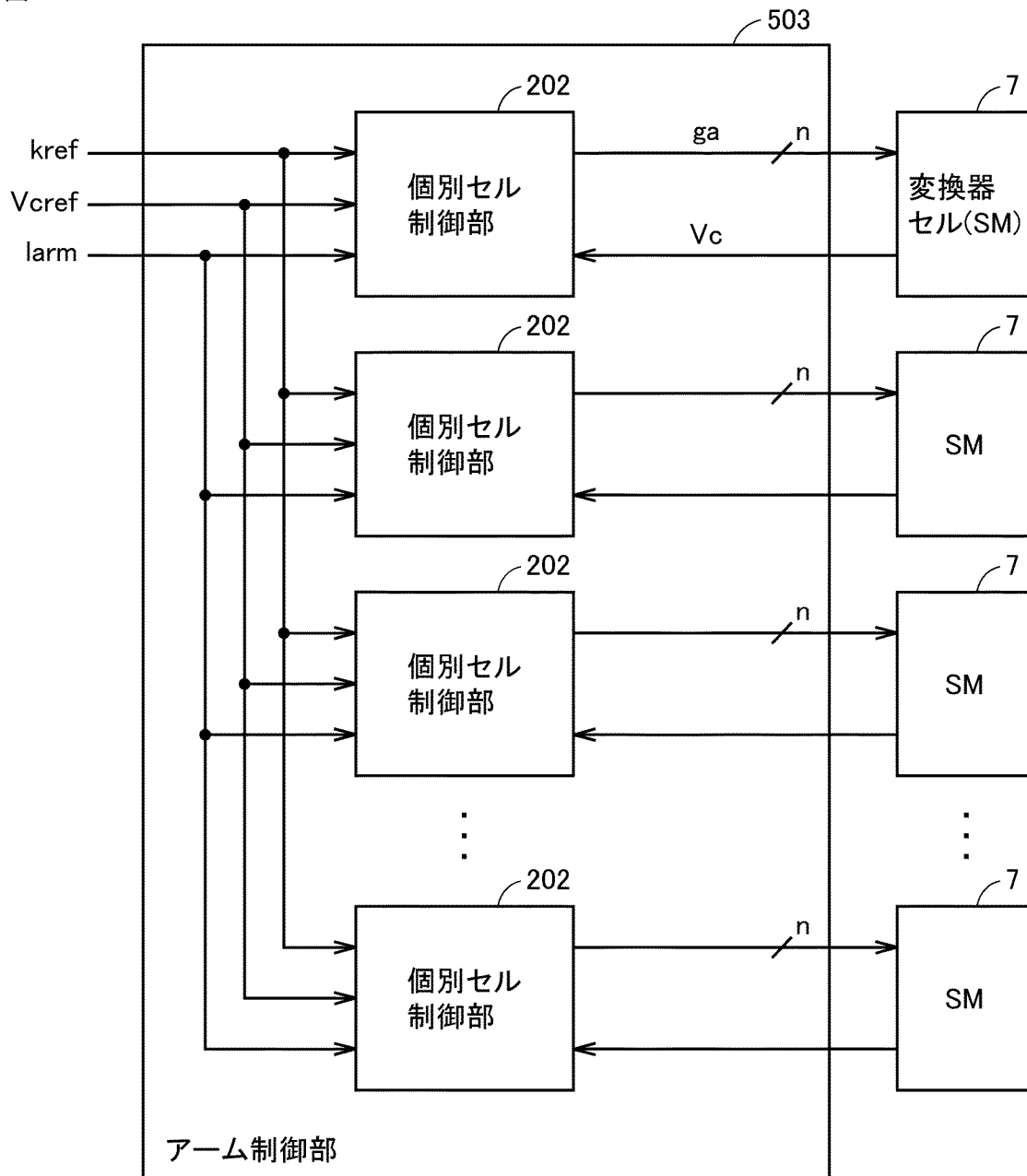
[図6]

図6



[図7]

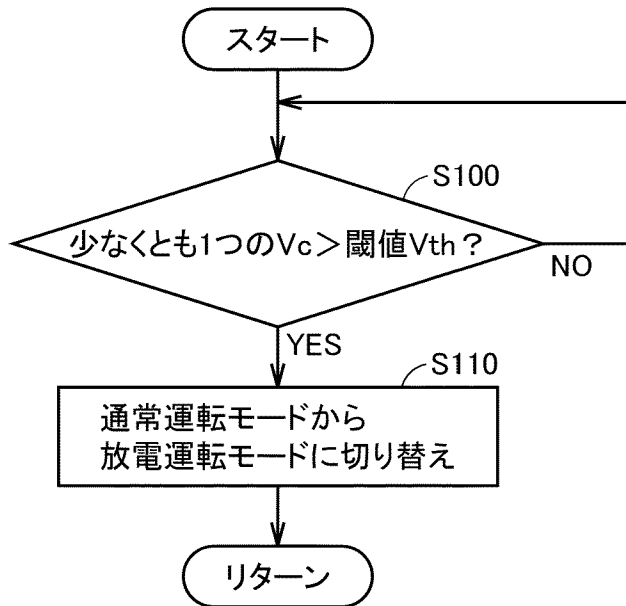
図7



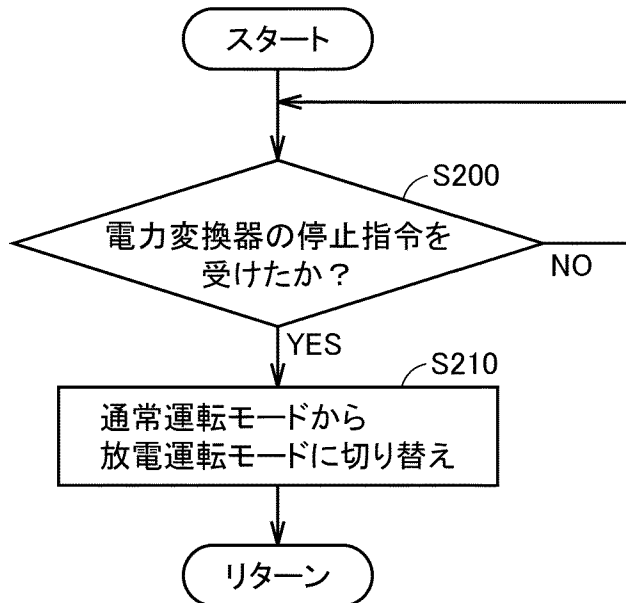
[図8]

図8

(A)

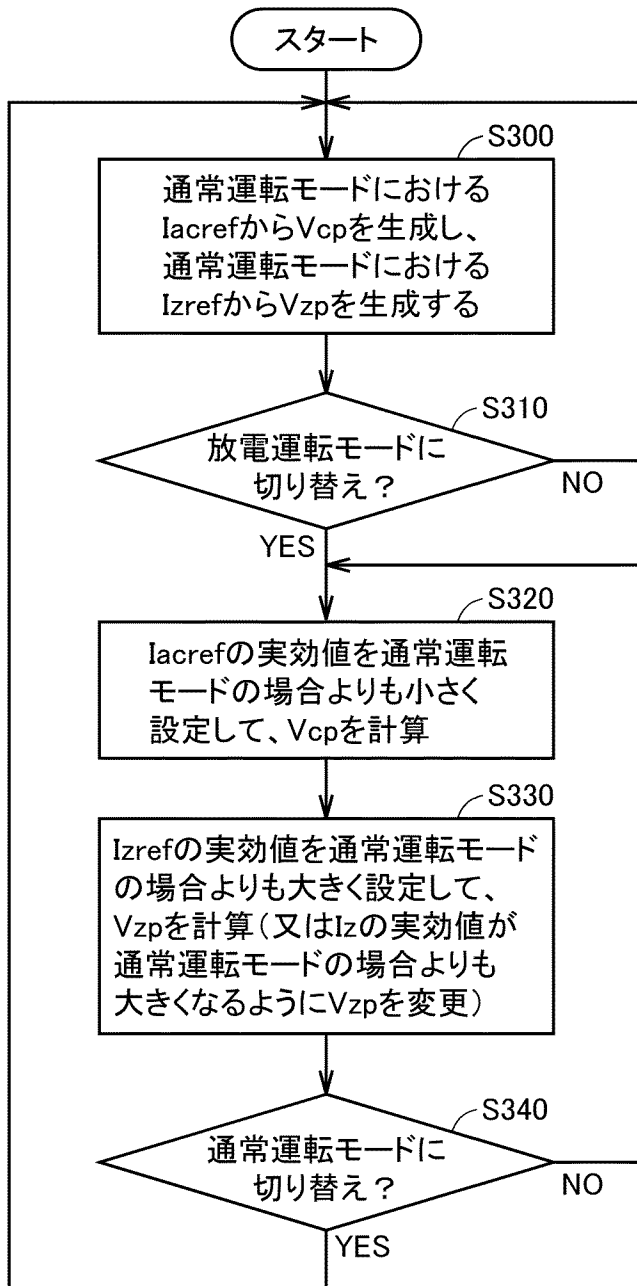


(B)



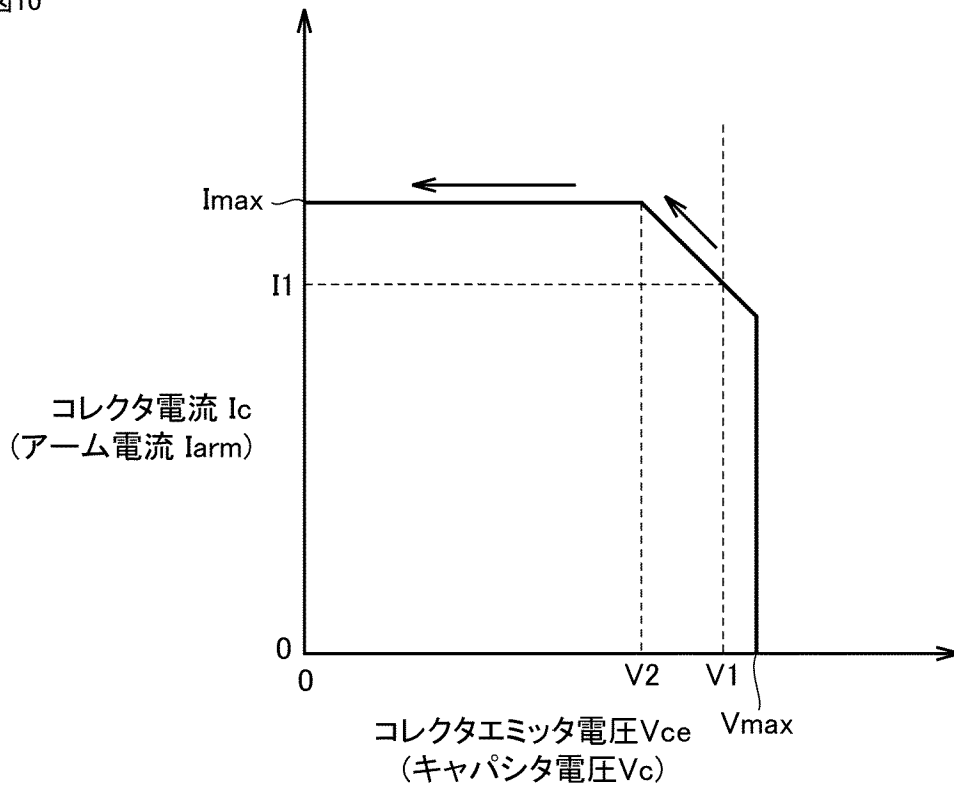
[図9]

図9



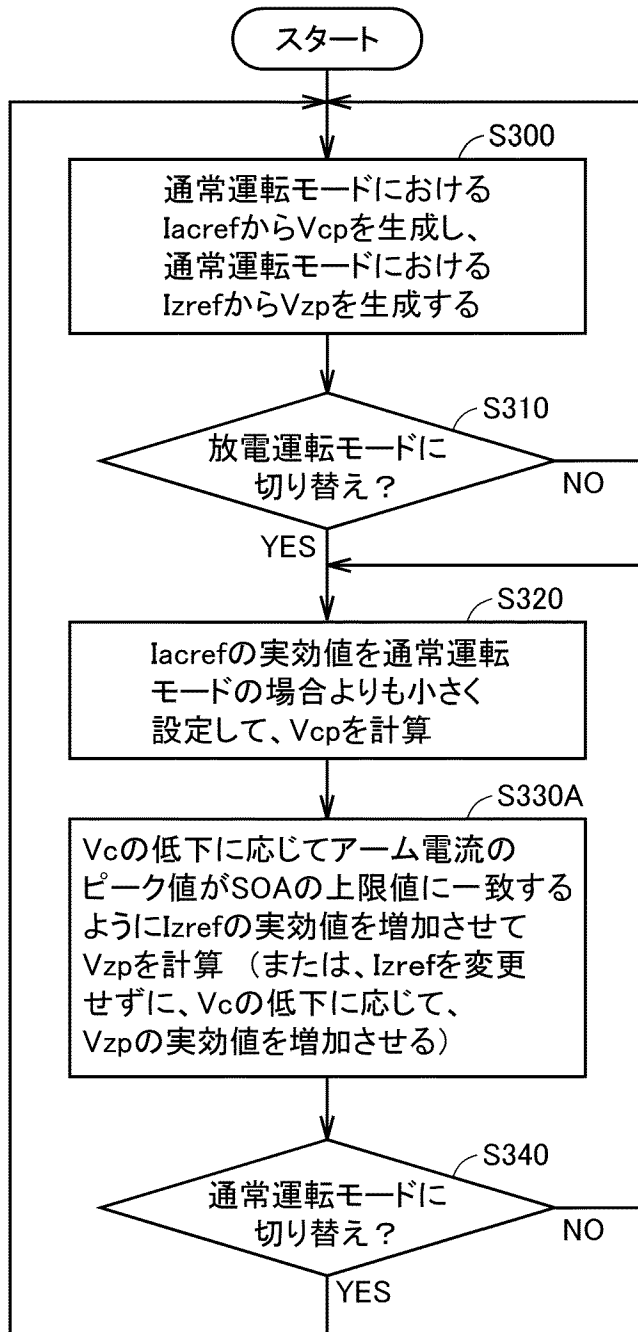
[図10]

図10



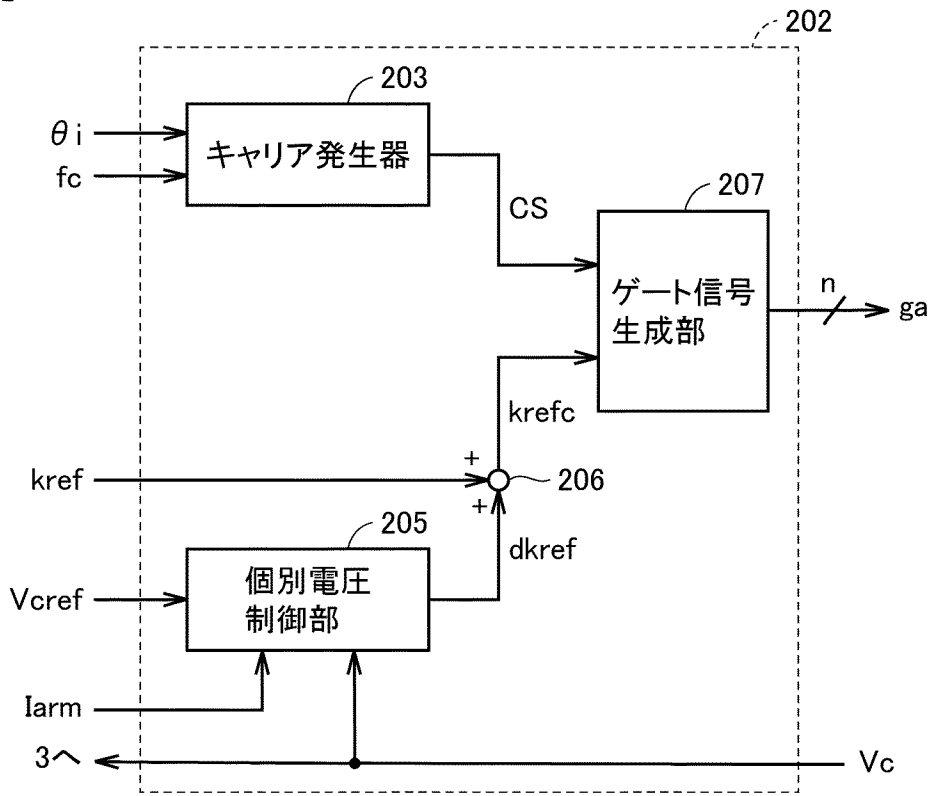
[図11]

図11



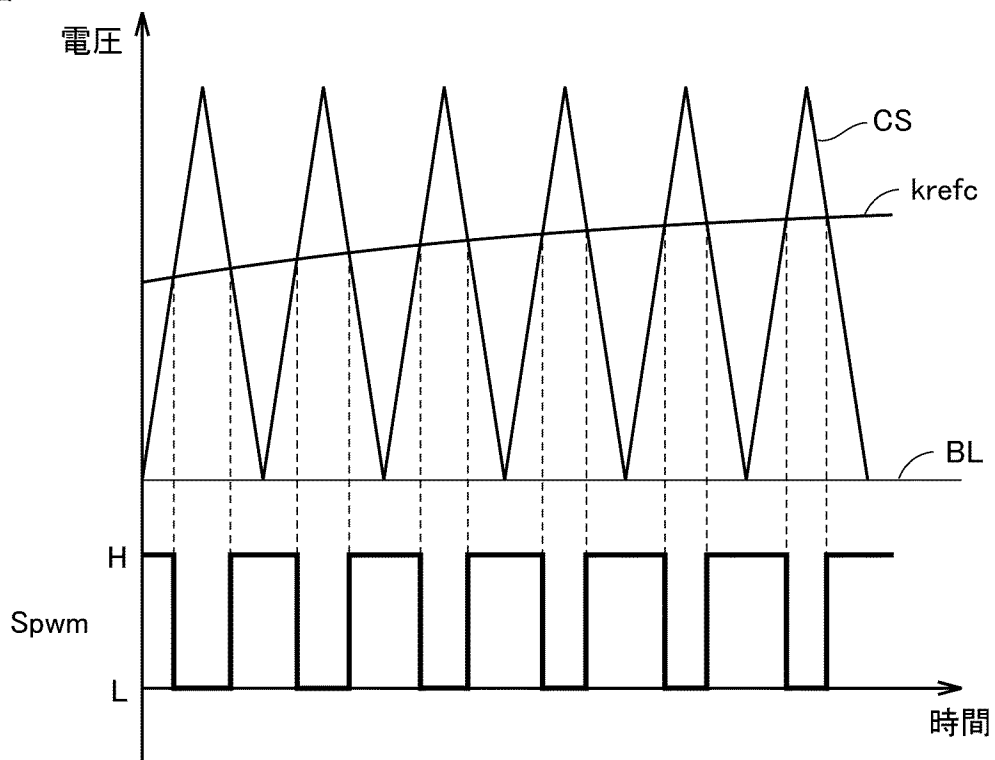
[図12]

図12



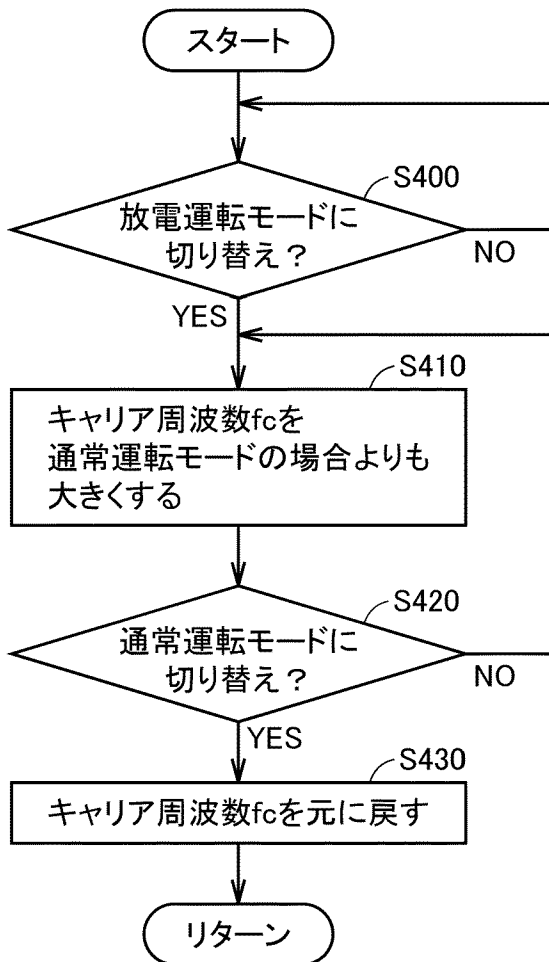
[図13]

図13



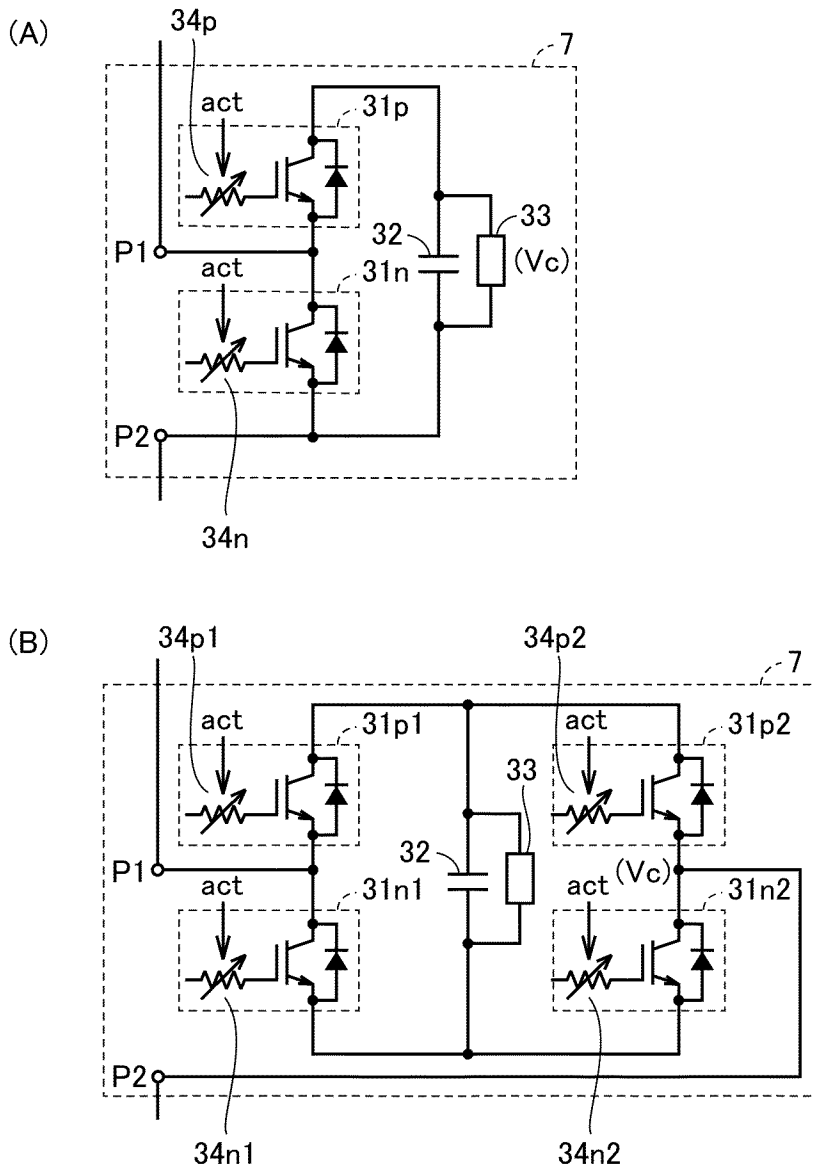
[図14]

図14



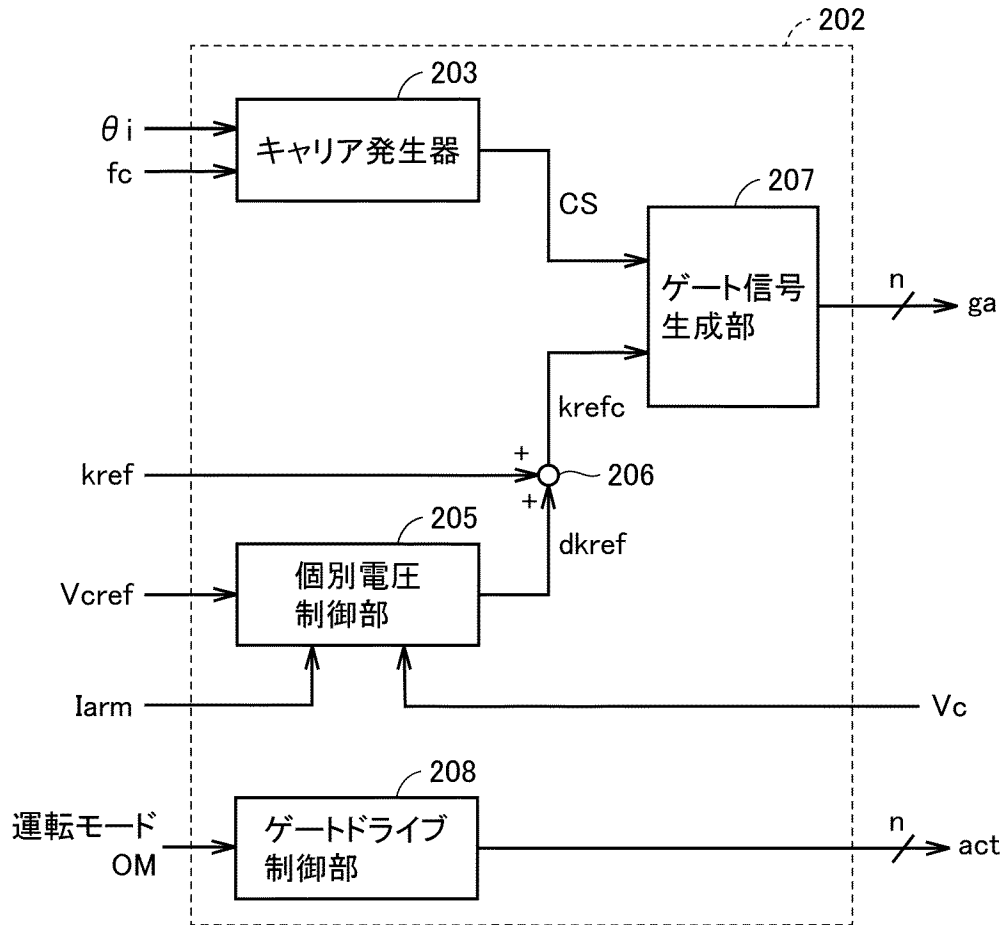
[図15]

図15



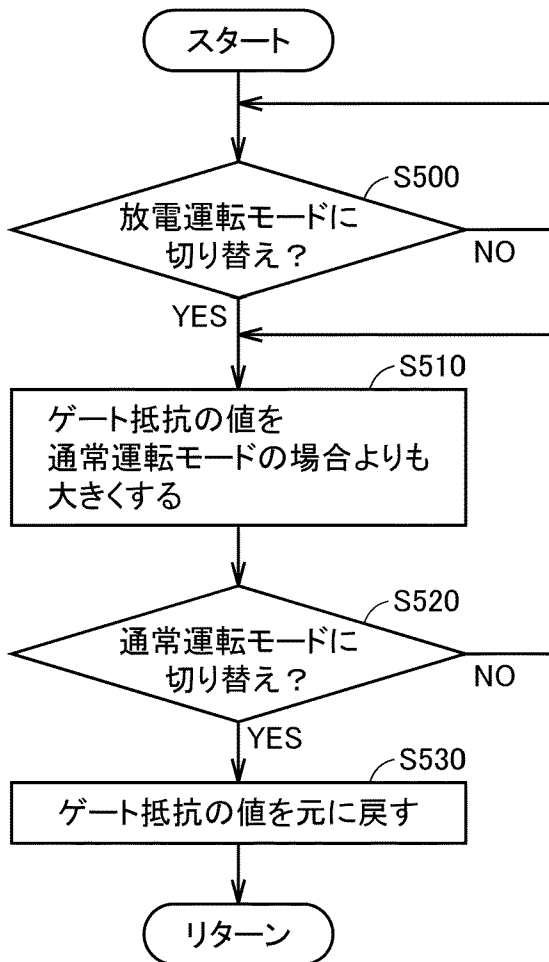
[図16]

図16

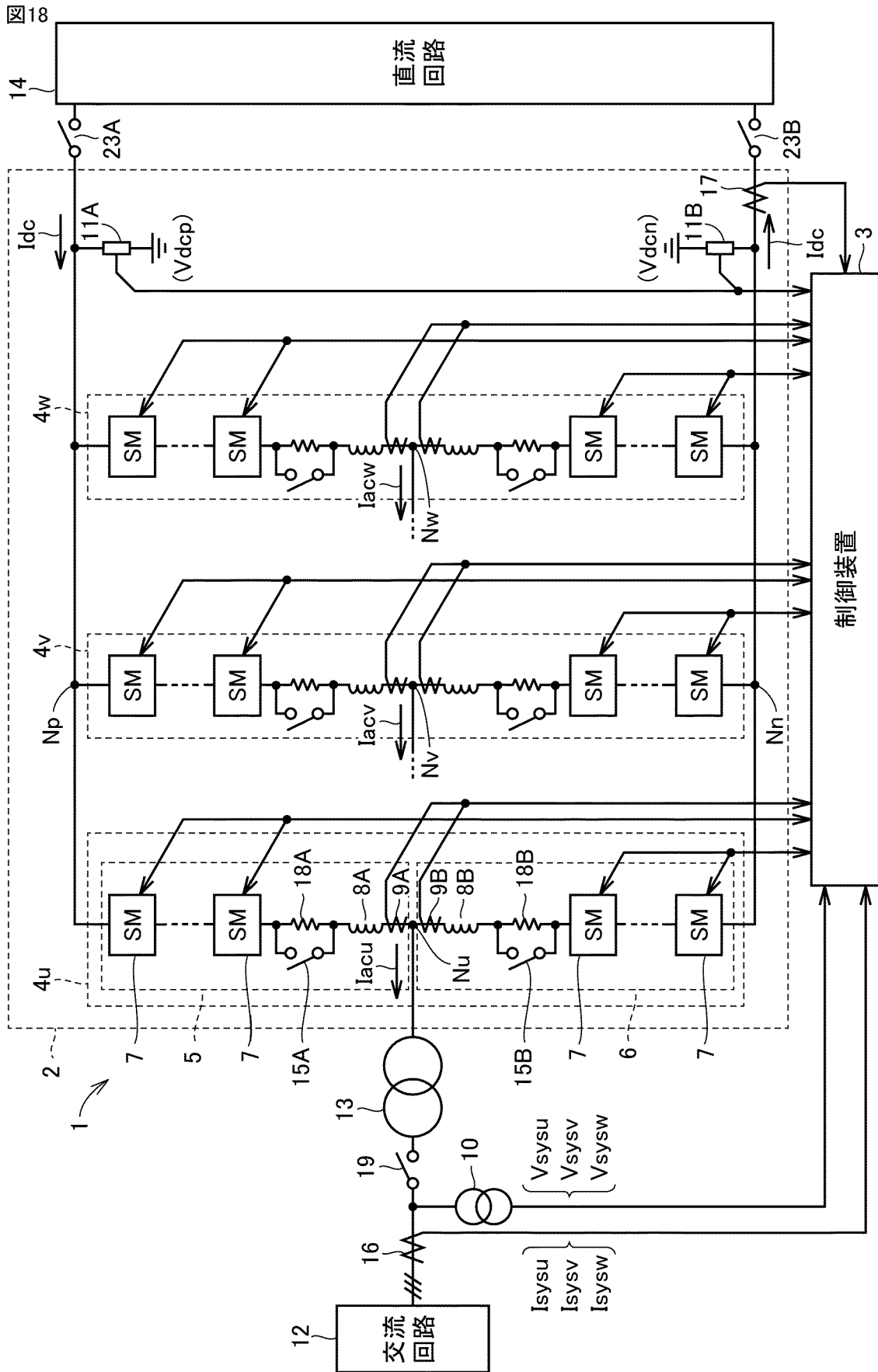


[図17]

図17

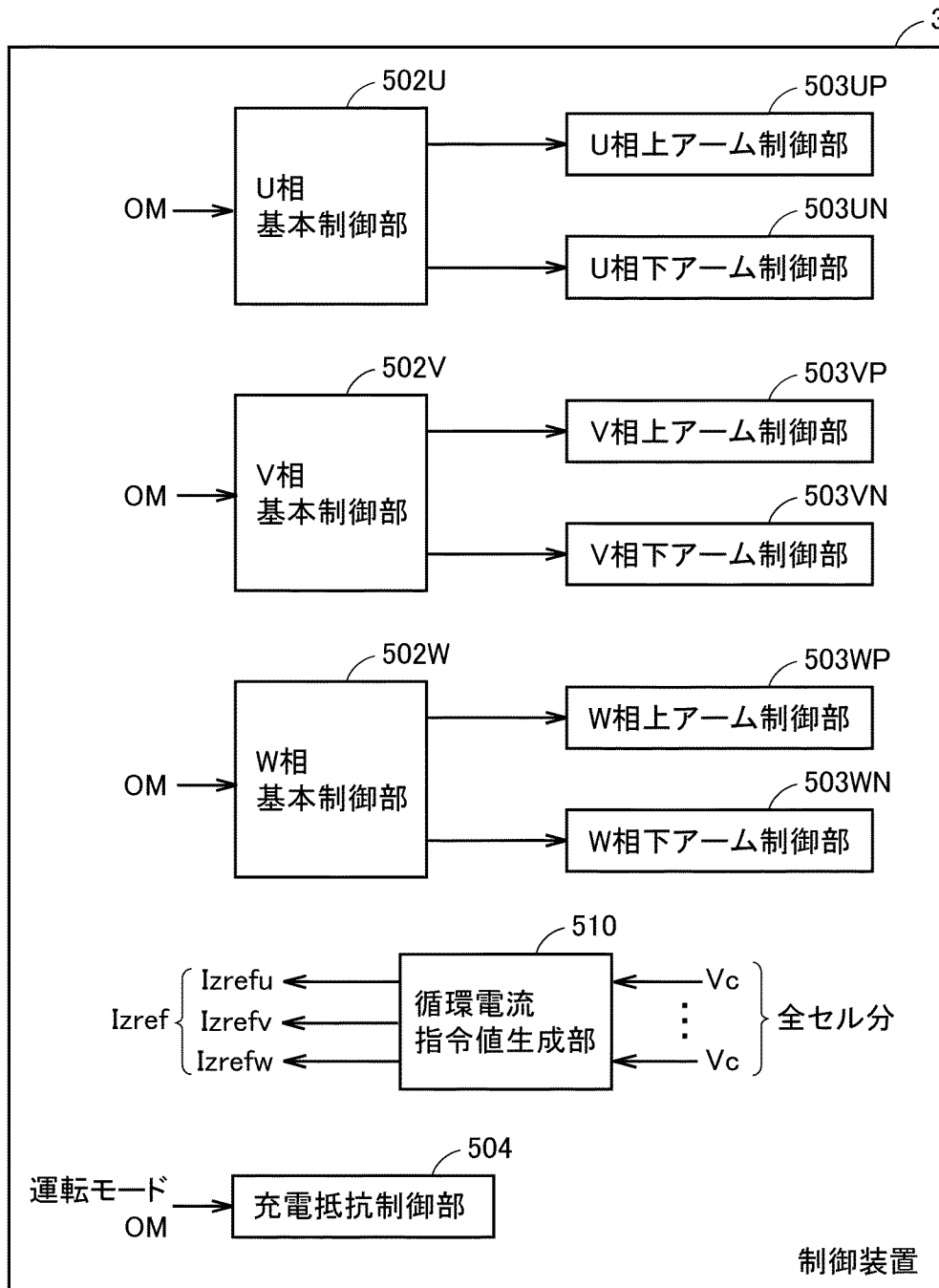


[圖18]



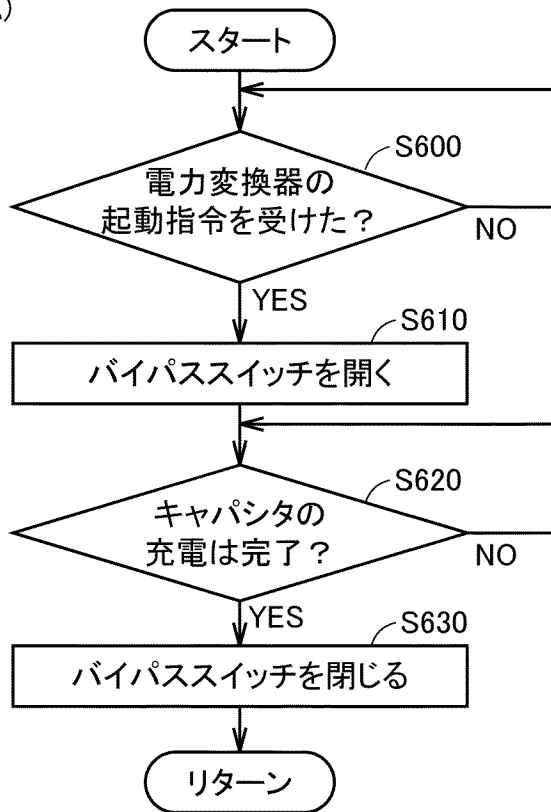
[図19]

図19

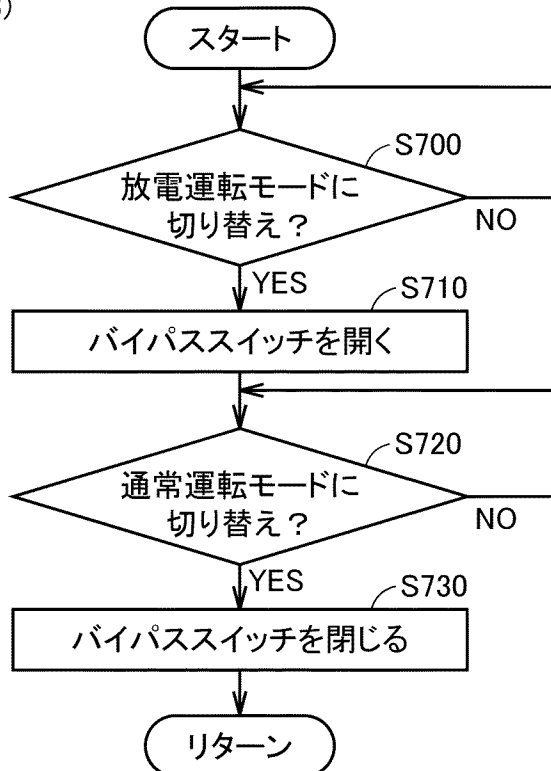


[図20]

図20 (A)



(B)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/045900

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H02M7/48 (2007.01) i

FI: H02M7/48 E

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6752401 B1 (MITSUBISHI ELECTRIC CORP.) 09 September 2020 (2020-09-09), entire text, all drawings	1-9
A	WO 2019/138550 A1 (MITSUBISHI ELECTRIC CORP.) 18 July 2019 (2019-07-18), entire text, all drawings	1-9
A	WO 2017/046910 A1 (MITSUBISHI ELECTRIC CORP.) 23 March 2017 (2017-03-23), entire text, all drawings	1-9
A	JP 2016-100926 A (MITSUBISHI ELECTRIC CORP.) 30 May 2016 (2016-05-30), entire text, all drawings	1-9

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

26.01.2021

Date of mailing of the international search report

02.02.2021

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/045900

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 6752401 B1	09.09.2020	(Family: none)	
WO 2019/138550 A1	18.07.2019	(Family: none)	
WO 2017/046910 A1	23.03.2017	US 2019/0044455 A1 entire text, all drawings	
JP 2016-100926 A	30.05.2016	EP 3352361 A1 (Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 7/48(2007.01)i FI: H02M7/48 E		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02M7/48 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 6752401 B1（三菱電機株式会社）09.09.2020（2020-09-09） 全文、全図	1-9
A	WO 2019/138550 A1（三菱電機株式会社）18.07.2019（2019-07-18） 全文、全図	1-9
A	WO 2017/046910 A1（三菱電機株式会社）23.03.2017（2017-03-23） 全文、全図	1-9
A	JP 2016-100926 A（三菱電機株式会社）30.05.2016（2016-05-30） 全文、全図	1-9
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 26.01.2021	国際調査報告の発送日 02.02.2021	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 麻生 哲朗 5G 2953 電話番号 03-3581-1101 内線 3526	

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/JP2020/045900

引用文献	公表日	パテントファミリー文献	公表日
JP 6752401 B1	09.09.2020	(ファミリーなし)	
WO 2019/138550 A1	18.07.2019	(ファミリーなし)	
WO 2017/046910 A1	23.03.2017	US 2019/0044455 A1 全文, 全図	
		EP 3352361 A1	
JP 2016-100926 A	30.05.2016	(ファミリーなし)	