



등록특허 10-2551663



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년07월04일
(11) 등록번호 10-2551663
(24) 등록일자 2023년06월30일

- (51) 국제특허분류(Int. Cl.)
H03F 3/193 (2006.01) *H03F 1/22* (2006.01)
H03F 1/56 (2006.01)
- (52) CPC특허분류
H03F 3/193 (2013.01)
H03F 1/223 (2013.01)
- (21) 출원번호 10-2019-7009156
- (22) 출원일자(국제) 2017년08월30일
심사청구일자 2020년08월28일
- (85) 번역문제출일자 2019년03월29일
- (65) 공개번호 10-2019-0052020
- (43) 공개일자 2019년05월15일
- (86) 국제출원번호 PCT/US2017/049481
- (87) 국제공개번호 WO 2018/045096
국제공개일자 2018년03월08일
- (30) 우선권주장
62/382,252 2016년08월31일 미국(US)
- (56) 선행기술조사문현
JP10322149 A*
(뒷면에 계속)

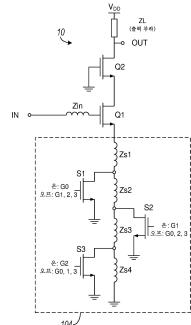
전체 청구항 수 : 총 15 항

심사관 : 이준건

(54) 발명의 명칭 이득 모드들에 걸쳐 반사 손실 및 부정합이 개선된 증폭기

(57) 요 약

상이한 바이어스 전류들에 걸쳐 변화하는 입력 임피던스를 갖는 신호 증폭기들이 본원에서 개시된다. 신호 증폭기는, 복수의 스위칭가능 증폭 브랜치들을 갖는 이득 스테이지를 포함하며, 복수의 스위칭가능 증폭 브랜치들은 각각, 활성화된 증폭 브랜치들 중 하나 이상이 입력 임피던스에 대한 목표된 조정을 제공하도록 활성화될 수 있다. 게다가, 가변-이득 스테이지를 갖는 신호 증폭기들이 본원에서 개시되며, 가변-이득 스테이지는, 가변-이득 스테이지에 의해 개개의 신호에 상이한 입력 임피던스 값들이 제공되게 하는 복수의 이득 레벨들을 제공하도록 구성된다. 가변-이득 스테이지는, 개개의 입력 임피던스 값들에 대한 목표된 조정을 제공하는 복수의 스위칭가능 증폭 브랜치들을 포함할 수 있다. 가변-이득 스테이지는 개개의 입력 임피던스 값들에 대한 목표된 조정을 제공하도록 활성화되게 구성되는 복수의 스위칭가능 유도 소자들을 포함할 수 있다.

대 표 도

(52) CPC특허분류

H03F 1/565 (2013.01)

(56) 선행기술조사문헌

KR1020050057715 A*

KR1020060044106 A*

KR1020060070796 A*

JP2007221402 A*

US20130314164 A1*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

상이한 바이어스 전류들에 걸쳐 변화하는 입력 임피던스를 갖는 신호 증폭기로서 - 상기 신호 증폭기는 캐스코드 구성(cascode configuration)으로 구현된 저잡음 증폭기임 -,

캐스코드 스테이지;

상기 캐스코드 스테이지에 결합된 이득 스테이지 - 상기 이득 스테이지는 복수의 스위칭가능 증폭 브랜치들을 포함하고, 상기 복수의 스위칭가능 증폭 브랜치들 각각은, 활성화된 증폭 브랜치들 중 하나 이상이 복수의 이득 설정들 각각에서 상기 입력 임피던스에 대한 목표된 조정을 제공하도록 활성화될 수 있고, 상기 목표된 조정은 입력 노드에서 일정한 임피던스를 제공하도록 선택됨 -; 및

상기 이득 스테이지에 결합된 스케일러블(scalable) 임피던스 블록 - 상기 스케일러블 임피던스 블록은 복수의 유도 소자들 및 복수의 스위치들을 포함하고 상기 복수의 스위치들은 상기 복수의 유도 소자들 중 하나 이상의 유도 소자의 인덕턴스를 상기 증폭기에 선택적으로 부가하기 위해 기준 전위 노드에 선택적으로 결합됨 -

을 포함하는, 상이한 바이어스 전류들에 걸쳐 변화하는 입력 임피던스를 갖는 신호 증폭기.

청구항 2

제1항에 있어서,

상기 복수의 스위칭가능 증폭 브랜치들은 각각 스위칭 트랜지스터 및 무선 주파수 스테이지 트랜지스터를 포함하는, 상이한 바이어스 전류들에 걸쳐 변화하는 입력 임피던스를 갖는 신호 증폭기.

청구항 3

제2항에 있어서,

제1 이득 모드에서, 제1 복수의 무선 주파수 스테이지 트랜지스터들이 활성화되고, 상기 제1 이득 모드보다 낮은 제2 이득 모드에서, 제2 복수의 무선 주파수 스테이지 트랜지스터들이 활성화되며, 활성화된 무선 주파수 스테이지 트랜지스터들의 수는 상기 제1 이득 모드에서보다 상기 제2 이득 모드에서 더 적은, 상이한 바이어스 전류들에 걸쳐 변화하는 입력 임피던스를 갖는 신호 증폭기.

청구항 4

제1항에 있어서,

상기 캐스코드 구성은 상기 이득 스테이지의 제1 트랜지스터가 가장 낮은 이득 설정에서 동작하고, 상기 이득 스테이지의 제2 트랜지스터가 각각의 증가된 이득 설정에 대해 동작하도록 구성되는, 상이한 바이어스 전류들에 걸쳐 변화하는 입력 임피던스를 갖는 신호 증폭기.

청구항 5

제1항에 있어서,

상기 이득 스테이지의 트랜지스터의 소스에 결합되는 인덕터를 더 포함하는, 상이한 바이어스 전류들에 걸쳐 변화하는 입력 임피던스를 갖는 신호 증폭기.

청구항 6

제1항에 있어서,

상기 이득 스테이지는 전기적 병렬 구성의 복수의 트랜지스터들을 포함하고, 각각의 트랜지스터는 연관된 트랜지스터를 선택적으로 활성화시키는 개개의 스위칭가능 증폭 브랜치와 연관되는, 상이한 바이어스 전류들에 걸쳐 변화하는 입력 임피던스를 갖는 신호 증폭기.

청구항 7

제6항에 있어서,

상기 복수의 트랜지스터들 각각의 드레인에 결합되는 스위치를 더 포함하는, 상이한 바이어스 전류들에 걸쳐 변화하는 입력 임피던스를 갖는 신호 증폭기.

청구항 8

무선 주파수 회로를 갖는 반도체 다이로서,

기판;

상기 기판 상에 구현된 무선 주파수 증폭기 - 상기 무선 주파수 증폭기는 캐스코드 구성의 저잡음 증폭기이고, 상기 무선 주파수 증폭기는 캐스코드 스테이지 및 상기 캐스코드 스테이지에 결합된 이득 스테이지를 포함하고, 상기 이득 스테이지는 복수의 스위칭가능 증폭 브랜치들을 포함하고, 상기 복수의 스위칭가능 증폭 브랜치들 각각은, 활성화된 증폭 브랜치들 중 하나 이상이 복수의 이득 설정들 각각에서 입력 임피던스에 대한 목표된 조정을 제공하도록 활성화될 수 있고, 상기 목표된 조정은 입력 노드에서 일정한 임피던스를 제공하도록 선택됨 -; 및

상기 이득 스테이지에 결합된 스케일러블(scalable) 임피던스 블록 - 상기 스케일러블 임피던스 블록은 복수의 유도 소자들 및 복수의 스위치들을 포함하고 상기 복수의 스위치들은 상기 복수의 유도 소자들 중 하나 이상의 유도 소자의 인덕턴스를 상기 증폭기에 선택적으로 부가하기 위해 기준 전위 노드에 선택적으로 결합됨 - 을 포함하는 무선 주파수 회로를 갖는 반도체 다이.

청구항 9

제8항에 있어서,

상기 캐스코드 구성은 상기 이득 스테이지의 제1 트랜지스터가 가장 낮은 이득 설정에서 동작하고, 상기 이득 스테이지의 제2 트랜지스터가 각각의 증가된 이득 설정에 대해 동작하도록 구성되는, 무선 주파수 회로를 갖는 반도체 다이.

청구항 10

제8항에 있어서, 상기 이득 스테이지는 전기적으로 별별 구성의 복수의 트랜지스터들을 포함하고, 각각의 트랜지스터는 연관된 트랜지스터를 선택적으로 활성화시키는 개개의 스위칭가능 증폭 브랜치와 연관되는, 무선 주파수 회로를 갖는 반도체 다이.

청구항 11

무선 디바이스로서,

적어도 무선 주파수 신호를 수신하도록 구성된 안테나;

상기 안테나와 통신하는 무선 주파수 증폭기 - 상기 무선 주파수 증폭기는 캐스코드 구성의 저잡음 증폭기이고, 상기 무선 주파수 증폭기는 캐스코드 스테이지 및 상기 캐스코드 스테이지에 결합된 이득 스테이지를 포함하고, 상기 이득 스테이지는 복수의 스위칭가능 증폭 브랜치들을 포함하고, 상기 복수의 스위칭가능 증폭 브랜치들 각각은, 활성화된 증폭 브랜치들 중 하나 이상이 복수의 이득 설정들 각각에서 입력 임피던스에 대한 목표된 조정을 제공하도록 활성화될 수 있고, 상기 목표된 조정은 입력 노드에서 일정한 임피던스를 제공하도록 선택됨 -;

상기 이득 스테이지에 결합된 스케일러블(scalable) 임피던스 블록 - 상기 스케일러블 임피던스 블록은 복수의 유도 소자들 및 복수의 스위치들을 포함하고 상기 복수의 스위치들은 상기 복수의 유도 소자들 중 하나 이상의 유도 소자의 인덕턴스를 상기 증폭기에 선택적으로 부가하기 위해 기준 전위 노드에 선택적으로 결합됨 -; 및

상기 무선 주파수 증폭기로부터 증폭된 무선 주파수 신호를 처리하도록 구성된 트랜시버

를 포함하는 무선 디바이스.

청구항 12

제11항에 있어서,

상기 무선 디바이스는 수신 동작들에서 상이한 이득들을 포함하도록 구성된 셀룰러 폰인, 무선 디바이스.

청구항 13

제11항에 있어서,

상기 복수의 스위칭가능 증폭 브랜치들 각각은 스위칭 트랜지스터 및 무선 주파수 스테이지 트랜지스터를 포함하는, 무선 디바이스.

청구항 14

제13항에 있어서,

제1 이득 모드에서, 제1 복수의 무선 주파수 스테이지 트랜지스터들이 활성화되고, 상기 제1 이득 모드보다 낮은 제2 이득 모드에서, 제2 복수의 무선 주파수 스테이지 트랜지스터들이 활성화되며, 활성화된 무선 주파수 스테이지 트랜지스터들의 수는 상기 제1 이득 모드에서보다 상기 제2 이득 모드에서 더 적은, 무선 디바이스.

청구항 15

삭제

청구항 16

삭제

청구항 17

제8항에 있어서,

상기 복수의 스위칭가능 증폭 브랜치들 각각은 스위칭 트랜지스터 및 무선 주파수 스테이지 트랜지스터를 포함하는, 무선 주파수 회로를 갖는 반도체 다이.

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

발명의 설명

기술 분야

[0001] 관련 출원들에 대한 상호-참조

[0002] 본 출원은, "AMPLIFIER WITH IMPROVED RETURN LOSS AND MISMATCH OVER GAIN MODES"이라는 명칭으로 2016년 8월 31일자로 출원된 미국 가출원 제62/382,252호를 우선권으로 주장하며, 상기 가출원은 모든 목적들을 위해 그 전체가 인용에 의해 본원에 명백히 포함된다.

[0003] 본 개시내용은 일반적으로 무선 통신 디바이스들을 위한 증폭기들에 관한 것이다.

배경 기술

[0004] 무선-주파수(RF) 애플리케이션들과 같은 전자 애플리케이션들에서, 때때로 신호를 증폭하는 것이 바람직하다. 예컨대, 송신될 신호는 전력 증폭기에 의해 증폭될 수 있고, 수신된 신호는 저잡음 증폭기에 의해 증폭될 수 있다. 일부 애플리케이션들에서, 신호 품질을 개선하기 위해서는 증폭 체인에서 임피던스 부정합들을 감소시키는 것이 유익하다.

발명의 내용

[0005] 다수의 구현들에 따르면, 본 개시내용은 상이한 바이어스 전류들에 걸쳐 변화하는 입력 임피던스를 갖는 신호 증폭기에 관한 것으로, 신호 증폭기는 복수의 스위칭가능 증폭 브랜치들을 포함하는 이득 스테이지를 포함하고, 복수의 스위칭가능 증폭 브랜치들 각각은, 활성화된 증폭 브랜치들 중 하나 이상이 입력 임피던스에 대한 목표된 조정을 제공하도록 활성화될 수 있다.

[0006] 일부 실시예들에서, 복수의 스위칭가능 증폭 브랜치들은 각각 스위칭 트랜지스터 및 RF 스테이지 트랜지스터를 포함한다. 추가적인 실시예들에서는, 제1 이득 모드에서, 제1 복수의 RF 스테이지 트랜지스터들이 활성화되고, 제1 이득 모드보다 낮은 제2 이득 모드에서, 제2 복수의 RF 스테이지 트랜지스터들이 활성화되며, 활성화된 RF 스테이지 트랜지스터들의 수는 제1 이득 모드에서보다 제2 이득 모드에서 더 적다.

[0007] 다수의 구현들에 따르면, 본 개시내용은 가변-이득 스테이지를 포함하는 신호 증폭기에 관한 것으로, 가변-이득 스테이지는, 가변-이득 스테이지에 의해 개개의 신호에 상이한 입력 임피던스 값들이 제공되게 하는 복수의 이득 레벨들을 제공하도록 구성되고, 가변-이득 스테이지는 복수의 스위칭가능 증폭 브랜치들을 포함하고, 복수의 스위칭가능 증폭 브랜치들 각각은, 활성화된 증폭 브랜치들 중 하나 이상이 개개의 입력 임피던스 값들에 대한 목표된 조정을 제공하도록 활성화될 수 있다.

[0008] 일부 실시예들에서, 복수의 스위칭가능 증폭 브랜치들 각각은 스위칭 트랜지스터 및 RF 스테이지 트랜지스터를 포함한다. 추가적인 실시예들에서는, 제1 이득 모드에서, 제1 복수의 RF 스테이지 트랜지스터들이 활성화되고, 제1 이득 모드보다 낮은 제2 이득 모드에서, 제2 복수의 RF 스테이지 트랜지스터들이 활성화되며, 활성화된 RF 스테이지 트랜지스터들의 수는 제1 이득 모드에서보다 제2 이득 모드에서 더 적다.

- [0009] 다수의 구현들에 따르면, 본 개시내용은 가변-이득 스테이지를 포함하는 신호 증폭기에 관한 것으로, 가변-이득 스테이지는, 가변-이득 스테이지에 의해 개개의 신호에 상이한 입력 임피던스 값들이 제공되게 하는 복수의 이득 레벨들을 제공하도록 구성되고, 가변-이득 스테이지는 스케일러블(scalable) 임피던스 블록을 포함하고, 스케일러블 임피던스 블록은, 개개의 입력 임피던스 값들에 대한 목표된 조정을 제공하도록 활성화되게 구성되는 복수의 스위칭가능 유도 소자들을 갖는다.
- [0010] 일부 실시예들에서, 스케일러블 임피던스 블록은, 이득 레벨들이 감소함에 따라 제공되는 인덕턴스를 증가시키도록 구성된다. 일부 실시예들에서, 스케일러블 임피던스 블록은, 가변-이득 스테이지의 RF 스테이지 트랜지스터의 소스에 결합된다.
- [0011] 다수의 구현들에 따르면, 본 개시내용은 입력 노드 및 출력 노드를 포함하는 무선-주파수(RF) 증폭기에 관한 것이다. 증폭기는 또한 복수의 스위칭가능 증폭 브랜치들을 포함하는 이득 스테이지를 포함하며, 복수의 스위칭 가능 증폭 브랜치들 각각은, 활성화된 증폭 브랜치들 중 하나 이상이 입력 임피던스에 대한 목표된 조정을 제공하도록 활성화될 수 있다.
- [0012] 일부 실시예들에서, RF 증폭기는 저잡음 증폭기(LNA)이다. 추가적인 실시예들에서, LNA는 입력 스테이지 및 캐스코드 스테이지를 갖는 캐스코드 구성으로 구현된다.
- [0013] 일부 실시예들에서, 복수의 이득 설정들 각각에서의 입력 임피던스에 대한 목표된 조정은, 입력 노드에서 대략적으로 일정한 임피던스를 제공하도록 선택된다. 일부 실시예들에서, 복수의 트랜지스터들은, 하나의 트랜지스터가 가장 낮은 이득 설정에서 동작하고 부가적인 트랜지스터가 각각의 증가된 이득 설정에 대해 동작하도록 구성된다.
- [0014] 다수의 구현들에 따르면, 본 개시내용은 신호를 증폭하기 위한 방법에 관한 것으로, 방법은, 복수의 이득 설정들 중 선택된 하나의 이득 설정에 있도록 이득 스테이지를 구성하는 단계를 포함하며, 이득 설정들 중 적어도 일부는 신호에 상이한 임피던스들이 제공되게 한다. 방법은 또한, 선택된 이득 설정에 대해 이득 스테이지에 의해 신호에 제공되는 임피던스를 조정하는 단계를 포함하며, 조정된 임피던스는, 복수의 이득 설정들에 걸쳐 입력에서의 임피던스의 목표된 일정한 값을 제공하도록 구성된다.
- [0015] 일부 실시예들에서, 이득 스테이지는 저잡음 증폭기(LNA)의 일부이다. 일부 실시예들에서, 조정된 임피던스들은, 복수의 이득 설정들 간의 임피던스를 대략적으로 일정하게 한다. 일부 실시예들에서, 임피던스를 조정하는 것은, 이득 스테이지의 RF 스테이지 트랜지스터의 소스에 결합된 인덕턴스 중 하나 이상을 조정하는 것을 포함한다.
- [0016] 일부 실시예들에서, 임피던스를 조정하는 것은, 전기적으로 별도로 복수의 트랜지스터들을 동작시키는 것을 포함하며, 각각의 트랜지스터는, 연관된 트랜지스터를 선택적으로 활성화시키는 연관된 스위치를 갖는다. 추가적인 실시예들에서, 복수의 트랜지스터들을 동작시키는 것은, 트랜지스터의 동작을 제어하기 위해 각각의 트랜지스터의 드레인에서 스위칭 동작을 수행하는 것을 포함한다.
- [0017] 다수의 구현들에 따르면, 본 개시내용은 무선-주파수(RF) 회로를 갖는 반도체 다이에 관한 것으로, 반도체 다이는 기판, 및 기판 상에 구현되는 RF 증폭기를 포함하며, RF 증폭기는, 복수의 스위칭가능 증폭 브랜치들을 포함하는 이득 스테이지를 포함하고, 복수의 스위칭가능 증폭 브랜치들 각각은, 활성화된 증폭 브랜치들 중 하나 이상이 입력 임피던스에 대한 목표된 조정을 제공하도록 활성화될 수 있다.
- [0018] 일부 실시예들에서, 기판은 실리콘-온-인슐레이터(SOI; silicon-on-insulator) 기판을 포함한다. 일부 실시예들에서, RF 증폭기는 저잡음 증폭기(LNA)이다.
- [0019] 다수의 구현들에 따르면, 본 개시내용은 무선-주파수(RF) 모듈에 관한 것으로, RF 모듈은, 복수의 구성요소들을 수용하도록 구성되는 패키징 기판, 및 패키징 기판 상에 구현되는 RF 증폭기를 포함하며, RF 증폭기는, 복수의 스위칭가능 증폭 브랜치들을 포함하는 이득 스테이지를 포함하고, 복수의 스위칭가능 증폭 브랜치들 각각은, 활성화된 증폭 브랜치들 중 하나 이상이 입력 임피던스에 대한 목표된 조정을 제공하도록 활성화될 수 있다.
- [0020] 일부 실시예들에서, RF 증폭기는, 패키징 기판 상에 실장되는 반도체 다이 상에 구현된다. 일부 실시예들에서, RF 증폭기는 저잡음 증폭기(LNA)이다. 일부 실시예들에서, RF 모듈은 다이버시티 수신(DRx) 모듈이다.
- [0021] 다수의 구현들에 따르면, 본 개시내용은 적어도 무선-주파수(RF) 신호를 수신하도록 구성되는 안테나를 포함하는 무선 디바이스에 관한 것이다. 무선 디바이스는 또한, 안테나와 통신하고, 복수의 스위칭가능 증폭 브랜치들을 포함하는 이득 스테이지를 포함하는 RF 증폭기를 포함하며, 복수의 스위칭가능 증폭 브랜치들 각각은, 활

성화된 증폭 브랜치들 중 하나 이상이 입력 임피던스에 대한 목표된 조정을 제공하여 목표된 위상을 제공하도록 활성화될 수 있다. 무선 디바이스는 또한, RF 증폭기로부터의, 목표된 위상을 갖는 증폭된 RF 신호를 처리하도록 구성되는 트랜시버를 포함한다.

[0022] 일부 실시예들에서, 무선 디바이스는, 수신 동작들에서 상이한 이득들을 포함하도록 구성되는 셀룰러 폰이다.

[0023] 본 개시내용을 요약하는 목적들을 위해, 특정 양상들, 이점들, 및 신규한 특징들이 본원에서 설명되었다. 모든 그러한 이점들이 반드시 임의의 특정 실시예에 따라 달성될 수 있는 것은 아니라는 것이 이해되어야 한다. 따라서, 개시된 실시예들은, 본원에서 교시되거나 제안될 수 있는 바와 같은 다른 이점들을 반드시 달성하지 않고도 본원에 교시된 바와 같은 하나의 이점 또는 이점들의 그룹을 달성하거나 최적화하는 방식으로 수행될 수 있다.

도면의 간단한 설명

[0024] 도 1은 이득 스테이지 및 임피던스 조정 회로를 갖는 신호 증폭기를 예시한다.

도 2는, 본원에서 설명된 바와 같은 하나 이상의 특징을 갖는 저잡음 증폭기(LNA)가, 캐스코드 구성으로 구현된 제1 및 제2 트랜지스터들, 및 임피던스 조정 회로를 포함할 수 있음을 예시한다.

도 3은, 캐스코드 증폭기로서 구성되지만 임피던스 조정 회로가 없는 전형적인 LNA를 예시한다.

도 4는, 도 3의 RF 스테이지가 RLC 회로로서 표현될 수 있는 방식의 예를 예시한다.

도 5는, 도 3 및 도 4의 $R(gm*Ls/Cgs)$ 가 Idd 의 함수로서 변화할 수 있음을 예시한다.

도 6은, 이득 모드의 함수로서 공급 전류에서의 변동을 예시한다.

도 7은, 상이한 이득 모드들의 이득 모드에 대한 공급 전류(Idd)와 디바이스 크기(W) 사이의 관계를 예시한다.

도 8 및 도 9는, 가변 입력 임피던스를 제공하는, 신호 증폭기에 대해 구현될 수 있는 스케일러블 이득 스테이지의 예를 예시한다.

도 10은 상이한 이득 모드들의 함수로서 Cgs/gm 의 플롯을 예시한다.

도 11은 공급 전압 및 이득 모드의 함수로서 목표 임피던스 값(Ls)의 플롯을 예시한다.

도 12는 임피던스 조정 회로로서 동작하는 스케일러블 임피던스 블록의 예를 예시한다.

도 13은, 일부 실시예들에서, 본원에서 설명된 특징들 중 일부 또는 그 전부가 반도체 다이 상에 구현될 수 있음을 도시한다.

도 14 및 도 15는, 일부 실시예들에서, 본원에서 설명된 특징들 중 일부 또는 그 전부가 패키징된 모듈 상에 구현될 수 있음을 도시한다.

도 16은, 본원에서 설명된 하나 이상의 유리한 특징을 갖는 예시적인 무선 디바이스를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0025] 본원에서 제공되는 제목들은, 존재한다면, 단지 편의를 위한 것이고, 청구된 발명의 범위 또는 의미에 반드시 영향을 주는 것은 아니다.

개관

[0027] 다른 것들 중에서도, 다양한 이득 모드들에 대한 임피던스 조정 기능성을 갖는 무선-주파수(RF) 증폭기들에 관련된 아키텍쳐들, 회로들, 디바이스들, 및 방법들이 본원에서 설명된다. 도 1은 이득 스테이지(102) 및 임피던스 조정 회로(104)를 갖는 신호 증폭기(100)를 도시한다. 그러한 신호 증폭기(100)는, 입력 신호(IN)를 수신하고 그러한 신호를 증폭하여 출력 신호(OUT)를 생성할 수 있다. 특정 구현들에서, 이득 스테이지(102)는 하나 이상의 증폭 트랜지스터를 포함한다. 설명의 목적을 위해, 그러한 신호 증폭기(100)에 관련된 다양한 예들이 저잡음 증폭기(LNA)의 맥락에서 설명된다. 그러나, 본 개시내용의 하나 이상의 특징은 또한 전력 증폭기(PA)들을 포함하는 다른 유형들의 신호 증폭기들에 대해 구현될 수 있다는 것이 이해될 것이다.

[0028] 많은 LNA 애플리케이션들에서, 신호 처리 스테이지들 사이의 전력 전달을 증가시키거나 최대화하기 위해 임피던스들을 정합시키는 것이 바람직하다. 그러한 성능 특징은, 예컨대, 특히 더 높은 차수의 변조 시스템들에서,

상이한 LNA 이득 모드들에 걸쳐 복조를 수신하는 데 있어 바람직한 신호 특성을 유지할 수 있다. 일부 실시 예들에서, 본원에서 설명된 바와 같은 하나 이상의 특징을 갖는 LNA 회로는, 상이한 이득 모드들에 걸쳐 LNA 회로의 입력에서의 입력 임피던스를 정합시키도록 임피던스들을 조정하게 구성될 수 있다. 성능 열화를 유발할 수 있는 상당한 반사 또는 부정합을 제거하거나 최소화하기 위해서는 입력 임피던스의 실제 값을 목표 값(예컨대, 50 Ω)에 가깝게 하는 것이 또한 바람직할 수 있다.

[0029] 임피던스 조정 회로(104)는, 각각이 활성화될 수 있는 스위칭가능 증폭 브랜치들을 갖는 스케일러블 이득 스테이지를 제공할 수 있다. 증폭 브랜치들을 선택적으로 활성화시킴으로써, 입력 임피던스에 대한 목표된, 맞춤조정된, 또는 원하는 조정이 제공될 수 있다. 유사하게, 임피던스 조정 회로(104)는, 활성화될 수 있는 스위칭가능 유도 소자들을 갖는 스케일러블 임피던스 블록을 제공할 수 있다. 유도 소자들을 선택적으로 활성화시킴으로써, 입력 임피던스에 대한 목표된, 맞춤조정된, 또는 원하는 조정이 제공될 수 있다.

[0030] 유리하게, 임피던스 조정 회로(104)는, 이득 모드들에 걸쳐 최대 전력을 전달하도록 LNA 입력 임피던스를 고정함으로써 전력 손실을 감소시키거나 제거하도록 구성될 수 있다. 임피던스 조정 회로(104)는, 이전 신호 처리 스테이지로부터의 임피던스 부정합들을 감소시키거나 최소화함으로써 수신 NF 성능을 개선하도록 구성될 수 있다. 임피던스 조정 회로(104)는, LNA 회로와의 임피던스 부정합을 감소시키거나 제거함으로써 사전-LNA 필터 성능을 유지하도록 구성될 수 있다.

[0031] 도 2는, 본원에서 설명된 바와 같은 하나 이상의 특징을 갖는 LNA(100)가 캐스코드 구성으로 구현된 제1 및 제2 트랜지스터들(총괄적으로 이득 스테이지(102)로 표시됨)을 포함할 수 있음을 도시한다. 예컨대, 제1 트랜지스터(Q1)는 공통 소스 디바이스(RF 스테이지로 또한 지칭됨)로서 동작하도록 구성될 수 있고, 제2 트랜지스터(Q2)는 공통 게이트 디바이스(캐스코드 스테이지로 또한 지칭됨)로서 동작하도록 구성될 수 있다. 더 상세하게는, 입력 신호(IN)가 제1 트랜지스터(Q1)의 게이트에 제공되는 것으로 도시되고, 증폭된 신호가 그 트랜지스터의 드레인을 통해 출력되는 것으로 도시된다. 제1 트랜지스터(Q1)의 소스는 접지에 결합되는 것으로 도시된다. 제1 트랜지스터(Q1)의 드레인으로부터의 증폭된 신호는 추가적인 증폭을 위해 제2 트랜지스터(Q2)의 소스에 제공되는 것으로 도시되고, 그러한 추가적인 증폭된 신호는 제2 트랜지스터(Q2)의 드레인을 통해 출력되는 것으로 도시된다. 제2 트랜지스터(Q2)의 게이트는 접지에 결합되는 것으로 도시된다. 제1 및 제2 트랜지스터들(Q1, Q2)은 적절하게 바이어싱될 수 있다. 도 2의 예에서, 제2 트랜지스터(Q2)는, 자신의 드레인에서 공급 전압(VDD)을 제공받는 것으로 도시된다.

[0032] 도 2는 추가로, 일부 실시예들에서, LNA(100)가 임피던스 조정 회로(104)를 포함하거나 제공받을 수 있음을 도시한다. 그러한 임피던스 조정 회로의 다양한 예들이 본원에서 더 상세히 설명된다.

[0033] 도 2의 예에서, 임피던스 조정 회로(104)는 제1 트랜지스터(Q1)(RF 스테이지)와 연관된 것으로 도시된다. 그러나, 그러한 위상 보상 회로는 제1 및 제2 트랜지스터들(Q1(RF 스테이지), Q2(캐스코드 스테이지)) 중 어느 하나 또는 둘 모두에 제공될 수 있다는 것이 이해될 것이다.

[0034] 도 3은, 캐스코드 증폭기로서 구성되지만 임피던스 조정 회로가 없는 전형적인 LNA(10)를 도시한다. RF 스테이지(12)는 트랜지스터(Q1)의 다양한 부분들과 연관된 임피던스들로 도시된다. 예컨대, Q1의 게이트로의 입력 경로는, 입력 신호에 입력 임피던스(Z_{in})가 제공되게 하는 유효 인덕턴스를 가질 수 있다. 유사하게, Q1의 소스의 접지 경로는, 그 결과로 소스 임피던스(Z_s)로 이어지는 유효 인덕턴스를 가질 수 있다. 예컨대, 게이트-소스 임피던스(Z_{gs}) 및 트랜스컨덕턴스 관련 임피던스($gm \cdot Z_{gs} \cdot Z_s$)를 포함하는 하나 이상의 다른 임피던스가 Q1로부터 발생할 수 있다. 따라서, 그러한 예시적인 임피던스들을 이용하여, 입력 RF 신호에 제공되는 총 임피던스(Z_{tot})는 $Z_{tot} = Z_{in} + Z_s + Z_{gs} + gm \cdot Z_{gs} \cdot Z_s$ 로서 표현될 수 있다.

[0035] 도 4는, 도 3의 RF 스테이지(12)가 RLC 회로(12)로서 표현될 수 있는 방식의 예를 도시한다. 그러한 회로는, 입력에서 하나의 단부를 갖고 인덕턴스(L)의 일 단부에 다른 하나의 단부가 연결된 저항(R)을 포함할 수 있다. 인덕턴스(L)의 다른 하나의 단부는 커패시턴스(C)를 통해 접지에 결합될 수 있다. 저항(R)은 트랜스컨덕턴스 항 $gm \cdot Z_{gs} \cdot Z_s$ 와 연관될 수 있고, 인덕턴스(L)는 Z_{in} 과 Z_s 의 합과 연관될 수 있고, 커패시턴스(C)는 Z_{gs} 와 연관될 수 있다. 그러한 표현에서, 공진 주파수는 다음과 같이 표현될 수 있다.

$$\omega_o = \frac{1}{\sqrt{LC}} \quad (1)$$

[0036] 설명의 목적을 위해, 공진 주파수에서 또는 그 근처에서 동작될 때, 이득 스테이지의 입력에서의 임피던스에 대한 주요 기여는 "R" 기여이거나, $gm \cdot L_s \cdot C_{gs}$ (여기서, L_s 는 소스 임피던스의 인덕턴스로부터 발생하고, C_{gs} 는 트

랜스컨덕턴스 항의 정전용량으로부터 발생함)와 또한 동일한 $gm \cdot Zgs \cdot Zs$ 이다.

[0038] 도 3 및 도 4의 예에서, LNA(10)는, 공급 전류(Idd)를 조정함으로써 상이한 이득 모드들에서 동작될 수 있다. Idd에서의 그러한 변화를 이용하여, Cgs와 같은 전기적 파라미터가 또한 변할 수 있다. 예컨대, 도 5는, 도 3 및 도 4의 $R(gm \cdot Ls / Cgs)$ 가 Idd의 함수로서 변화할 수 있음을 도시한다. 따라서, 예시적인 이득 모드 G3에 대한 제1 Idd 설정에서, R은 제1 값을 가질 수 있다. 유사하게, 이득 모드 G2에 대한 제2 Idd 설정의 결과로, R이 제1 R 값보다 큰 제2 값을 갖게 될 수 있다. 그러한 경향이 계속되어, 이득 모드들 G1 및 G0에 대한 제3 및 제4 설정들의 결과로, R이, 연속적으로 더 큰 값을 갖는 제3 및 제4 값을 갖게 될 수 있다. 따라서, 도 5에서, 실선은 R과 Idd 사이의 예시적인 관계를 도시한다.

[0039] 도 3 및 도 4의 예에서, R에서의 전술한 변동은 그 결과로 Idd의 함수로서 임피던스에서의 대응하는 변동으로 이어질 수 있다. 임피던스에서의 그러한 변동은 바람직하지 않을 수 있다. 따라서, 다수의 이득 모드들 및 공급 전류들에 걸쳐 R의 실질적으로 일정한 값을 달성하도록 R 값을 조정하는 것이 유리할 수 있다. R의 이러한 목표된 값은 도 5에서 값 Y로 쇄선으로 도시된다. 목표 값(Y)은 전형적으로, 무선 통신 애플리케이션들에서 50 오일 수 있다.

[0040] 도 6은, 이득 모드의 함수로서 공급 전류에서의 변동을 예시한다. 도 7은, 상이한 이득 모드들의 이득 모드에 대한 공급 전류(Idd)와 디바이스 크기(W) 사이의 관계를 예시한다. 따라서, 고정된 소스 인덕턴스(Ls)의 경우, 목표된 R 값은 gm/Cgs 비를 비교적 일정하게 유지함으로써 달성될 수 있다. 이는, 이득 모드들에 걸친 공급 전류 변화들과 동일한 비율로 디바이스의 폭을 크기조정함으로써 달성될 수 있다.

[0041] 실제 임피던스가 이득 모드의 함수로서 변하기 때문에(예컨대, 실제 임피던스는 이득이 높아짐에 따라 증가함), 입력에서의 실제 R 값과 목표 R 값(예컨대, 신호 열화를 감소시키거나 최소화하는 값) 사이에 바람직하지 않은 겹이 발생한다. 따라서, 일정한 실제 R을 제공하도록 구성되는 스케일러블 이득 스테이지들을 포함하는 임피던스 조정 회로들이 본원에서 설명된다. 이러한 스케일러블 이득 스테이지들은 gm/Cgs 비를 실질적으로 일정하게 하도록 구성될 수 있다. 임피던스 조정 회로는, 제공된 이득 모드들에 대한 공급 전압과 동일한 비율로 디바이스 폭(W)을 효과적으로 크기조정하도록 구성되는 메커니즘들 및 소자들을 포함한다. 이는, 그 결과로 목표된 값에서의 고정된 실제 임피던스로 이어진다. 디바이스 크기 비는 공급 전류 비에 대략적으로 비례한다(예컨대, $Idd0/Idd1 \approx W0/W1$, $Idd1/Idd2 \approx W1/W2$, 및 $Idd2/Idd3 \approx W2/W3$).

[0042] 이는, 상이한 이득 모드들에 걸쳐 고정된 실제 임피던스를 생성하도록 구성되는 스케일러블 이득 스테이지를 포함하는 임피던스 조정 회로로 달성될 수 있다. 도 8 및 도 9는, 신호 증폭기(100)(예컨대, LNA)에 대해 구현될 수 있는 스케일러블 이득 스테이지(104)의 예를 예시한다. 스케일러블 이득 스테이지(104)는 복수의 스위치들(S1a-S1d) 및 대응하는 RF 스테이지 트랜지스터들(Q1a-Q1d)을 포함할 수 있으며, 그러한 RF 스테이지 트랜지스터들 중 하나 이상을 통해 선택적인 방식들로 신호가 라우팅된다.

[0043] 스케일러블 이득 스테이지(104)는, RF 스테이지 트랜지스터들(Q1a, Q1b, Q1c, Q1d) 중 하나 이상을 통한 입력 신호의 처리를 허용하기 위해 병렬 방식으로 구현되는 4개의 예시적인 RF 스테이지 트랜지스터(Q1a, Q1b, Q1c, Q1d)를 포함한다. 더 상세하게는, 입력 노드(IN)는 4개의 RF 스테이지 트랜지스터(Q1a, Q1b, Q1c, Q1d)의 각각의 게이트에 결합되는 것으로 도시되고, 각각의 RF 스테이지 트랜지스터의 드레인은 개개의 스위치 트랜지스터(S1a, S1b, S1c, S1d)를 통해 캐스코드 스테이지 트랜지스터(Q2)(도 9에 도시되지 않음)로 라우팅되는 것으로 도시된다. 예컨대, Q1a의 드레인은 제1 스위치 트랜지스터(S1a)를 통해 Q2로 라우팅될 수 있고, Q1b의 드레인은 제2 스위치 트랜지스터(S1b)를 통해 Q2로 라우팅될 수 있는 등의 방식이다. 전술한 예시적인 방식으로 구성되어, 신호는 하나 이상의 병렬 RF 스테이지 트랜지스터를 통해 처리될 수 있다.

[0044] 본원에서 설명된 바와 같이, gm 은 공급 전류의 감소에 따라 감소한다. RF 스테이지 트랜지스터들을 선택적으로 부가하거나 제거함으로써, 스케일러블 이득 스테이지(104)의 유효 디바이스 크기가 변경될 수 있다. 이득이 감소함에 따라 디바이스 크기를 감소시킴으로써, 실질적으로 일정한 실제 임피던스가 달성될 수 있다. 공급 전류(Idd)에 대한 영향은 RF 스테이지 트랜지스터들의 하나 이상의 치수(도 8에서 W/L로 표시됨)에 의존할 수 있다는 것이 유의된다. 따라서, 도 9의 예에서, RF 스테이지 트랜지스터들(Q1a, Q1b, Q1c, Q1d)에 대응하는 치수들(W_a/L_a , W_b/L_b , W_c/L_c , W_d/L_d)은, 스위칭 인 및 스위칭 아웃될 때 디바이스 크기의 상이한 유효 값을 제공하도록 선택될 수 있다. 예컨대, 고 이득 모드(G0)에서, 4개의 RF 스테이지 트랜지스터가 개개의 스위치들을 켜 것으로 활성화될 수 있다. 고 이득 모드(G0)보다 낮은 제2 이득 모드(G1)에서, 4개의 RF 스테이지 트랜지스터 중 3개(예컨대, RF 스테이지 트랜지스터들(Q1b, Q1c, Q1d))가 개개의 스위치들을 켜 것으로 활성화될 수 있다. 제2 이득 모드(G1)보다 낮은 제3 이득 모드(G2)에서, 4개의 RF 스테이지 트랜지스터 중 2개(예컨대, RF 스테이지 트랜지스터들(Q1a, Q1b))가 개개의 스위치들을 켜 것으로 활성화될 수 있다.

지 트랜지스터들(Q1c, Q1d))가 개개의 스위치들을 켜도록 활성화될 수 있다. 이는, 스케일러를 이득 스테이지(104)의 임의의 적합한 수의 이득 모드 및 RF 스테이지 트랜지스터에 대해 계속될 수 있다. 그러한 치수들 (W_a/L_a , W_b/L_b , W_c/L_c , W_d/L_d)은 모두가 실질적으로 동일하거나, 모두가 상이하거나, 이들의 임의의 조합일 수 있다는 것이 이해될 것이다. 전술한 방식으로 구성되어, 상이한 순(net) R 값들이 상이한 이득 모드들에 대해 획득될 수 있다. 본원에서 설명된 바와 같이, RF 스테이지 트랜지스터들(Q1a, Q1b, Q1c, Q1d)의 치수들은 목표된 R 값들을 제공하도록 선택될 수 있다.

[0045] 따라서, 도 8 및 도 9는 상이한 바이어스 전류들에 걸쳐 변화하는 입력 임피던스를 갖는 신호 증폭기(100)를 예시하며, 신호 증폭기(100)는 복수의 스위칭가능 증폭 브랜치들을 포함하는 이득 스테이지(104)를 포함하고, 복수의 스위칭가능 증폭 브랜치들 각각은, 활성화된 증폭 브랜치들 중 하나 이상이 입력 임피던스에 대한 목표된, 맞춤조정된, 또는 원하는 조정을 제공하도록 활성화될 수 있다. 유사하게, 도 8 및 도 9는 가변-이득 스테이지(104)를 포함하는 신호 증폭기(100)를 예시하며, 가변-이득 스테이지(104)는, 가변-이득 스테이지(104)에 의해 개개의 신호에 상이한 입력 임피던스 값들이 제공되게 하는 복수의 이득 레벨들을 제공하도록 구성된다. 가변-이득 스테이지(104)는 복수의 스위칭가능 증폭 브랜치들을 포함하며, 복수의 스위칭가능 증폭 브랜치들 각각은, 활성화된 증폭 브랜치들 중 하나 이상이 개개의 입력 임피던스 값들에 대한 목표된, 맞춤조정된, 또는 원하는 조정을 제공하도록 활성화될 수 있다.

[0046] 도 10은 상이한 이득 모드들의 함수(예컨대, I_{dd} 에 의존함)로서 C_{gs}/gm 의 플롯들을 도시한다. RF 스테이지 트랜지스터(예컨대, FET)의 경우, C_{gs} 의 값은 공급 전압의 변화들에 대해 gm 과 비교하여 비교적 적게 변한다. 따라서, I_{dd} 가 감소함에 따라 gm 이 감소하는 동안, C_{gs} 를 실질적으로 고정된 채로 유지되는 것처럼 근사화하는 것이 적합하다. 이는, 공급 전압이 증가함에 따라 감소하는 실선으로서 플롯에서 표현된다. R 이 $L_s * gm / C_{gs}$ 와 동일하기 때문에, R 이 목표 값(Y)에서 실질적으로 고정된 채로 유지되도록 임피던스 값(L_s)을 맞춤조정하는 것이 유리할 수 있다. 이는, 목표 임피던스 값(L_s)이 공급 전압 및 이득 모드의 함수로서 플로팅되는 도 11에서 도시된다. 목표된 임피던스 값(Y)을 달성하기 위해, 임피던스 값(L_s)은 플롯에서 실선으로 예시된 $Y * C_{gs}/gm$ 과 동일하도록 이루어질 수 있다. 예컨대, Y에 대한 전형적인 목표 값은 50 Ω이다.

[0047] 실제 임피던스가 이득 모드의 함수로서 변하기 때문에(예컨대, 실제 임피던스는 이득이 높아짐에 따라 증가함), 입력에서의 실제 R 값과 목표 R 값(예컨대, 신호 열화를 감소시키거나 최소화하는 값) 사이에 바람직하지 않은 갭이 발생한다. 따라서, 일정한 실제 값 R 을 제공하도록 구성되는 스케일러를 임피던스 블록들을 포함하는 임피던스 조정 회로들이 본원에서 설명된다. 스케일러를 임피던스 블록들은, 실제 R 값이 실질적으로 고정된 채로 유지되도록 gm 을 변경하기 위해 소스 임피던스(L_s)를 크기조정하도록 구성될 수 있다. 스케일러를 임피던스 블록들은, 실제 R 값의 목표 값을 달성하기 위해 gm 에서의 변화들을 보상하도록 L_s 를 크기조정하기 위한 상이한 이득 모드들에 대한 크기조정 유도 값을 제공하도록 구성되는 유도 소자들을 갖는 스위치들을 포함한다.

[0048] 이득 모드의 함수로서 L_s 의 값을 변경하기 위해, RF 스테이지 트랜지스터의 소스에 결합되는 스케일러를 임피던스 블록이 제공될 수 있다. 도 12는 임피던스 조정 회로로서 동작하는 스케일러를 임피던스 블록(104)의 예를 예시한다. 스케일러를 임피던스 블록(104)은, 스위치들(S1, S2, S3)을 사용하여 신호 증폭기(10)에 부가되는, 스위칭가능할 수 있는 유도 소자들($Z_{s1}, Z_{s2}, Z_{s3}, Z_{s4}$)을 포함한다. 예컨대, 제1 이득 모드(G0)에서, 스위치(S1)는, 스케일러를 임피던스 블록(104)의 임피던스가 유도 소자(Z_{s1})에 의해 제공되도록 활성화될 수 있다. 유사하게, 제2 이득 모드(G1)에서, 스위치(S2)는, 스케일러를 임피던스 블록(104)의 임피던스가 유도 소자들(Z_{s1} 및 Z_{s2})에 의해 제공되도록 활성화될 수 있다. 더욱이, 제3 이득 모드(G2)에서, 스위치(S3)는, 스케일러를 임피던스 블록(104)의 임피던스가 유도 소자들(Z_{s1}, Z_{s2} , 및 Z_{s3})에 의해 제공되도록 활성화될 수 있다. 제4 이득 모드(G3)에서, 스케일러를 임피던스 블록(104)의 임피던스가 유도 소자들(Z_{s1}, Z_{s2}, Z_{s3} , 및 Z_{s4})에 의해 제공되도록, 스위치들(S1-S3) 모두가 비활성화될 수 있다. 이러한 방식으로, 임피던스는 이득 모드의 변화에 따라 크기조정될 수 있다. 예컨대, 임피던스는 이득 또는 공급 전압이 감소함에 따라 증가하여 임피던스에서의 변화들을 보상할 수 있으며, 그에 의해, 신호 증폭기(10)의 입력(IN)에서 실질적으로 일정한 목표 임피던스가 제공된다.

[0049] 본원에서 설명된 예들에서, 임피던스 조정 회로들은, 설명된 효과들을 일반적으로 소거하거나 보상하는 것으로 설명된다. 그러한 효과들은 알려져 있거나 그렇지 않을 수 있다는 것이 이해될 것이다. 본 개시내용의 하나 이상의 특징을 활용함으로써, LNA에서의 임피던스와 같은 동작 파라미터는 그러한 보상되지 않은 효과들의 정보가 있거나 그러한 정보가 없는 임의의 프로파일(실질적으로 평탄형 프로파일을 포함함)로 구성될 수 있다.

[0050] 따라서, 도 12는 가변-이득 스테이지를 포함하는 신호 증폭기(10)를 예시하며, 가변-이득 스테이지는, 가변-이

득 스테이지에 의해 개개의 신호에 상이한 입력 임피던스 값들이 제공되게 하는 복수의 이득 레벨들을 제공하도록 구성된다. 가변-이득 스테이지는 개개의 입력 임피던스 값들에 대한 목표된 조정을 제공하도록 활성화되게 구성되는 복수의 스위칭가능 유도 소자들을 갖는 스케일러블 임피던스 블록(104)을 포함한다.

[0051] 제품들, 모듈들, 디바이스들, 및 아키텍쳐들

도 13은, 일부 실시예들에서, 본원에서 설명된 바와 같은 하나 이상의 특징을 갖는 LNA(100)의 일부 또는 그 전부가 반도체 다이(200) 상에 구현될 수 있음을 도시한다. 그러한 다이는 기판(202)을 포함할 수 있고, 임피던스 조정 회로(104)의 적어도 일부가 기판(202) 상에 구현될 수 있다.

도 14 및 도 15는, 일부 실시예들에서, 본원에서 설명된 바와 같은 하나 이상의 특징을 갖는 LNA(100)의 일부 또는 그 전부가 패키징된 모듈(300) 상에 구현될 수 있음을 도시한다. 그러한 모듈은, 하나 이상의 다이 및 하나 이상의 수동 구성요소와 같은 복수의 구성요소들을 수용하도록 구성되는 패키징 기판(302)을 포함할 수 있다.

일부 구현들에서, 본원에서 설명된 하나 이상의 특징을 갖는 아키텍처, 디바이스 및/또는 회로는 무선 디바이스와 같은 RF 디바이스에 포함될 수 있다. 이러한 아키텍처, 디바이스 및/또는 회로는, 본원에서 설명된 바와 같은 하나 이상의 모듈식 형태로, 또는 이들의 몇몇 조합으로 무선 디바이스에서 직접 구현될 수 있다. 일부 실시예들에서, 그러한 무선 디바이스는, 예컨대, 셀룰러 폰, 스마트 폰, 전화 기능을 구비하거나 구비하지 않은 핸드헬드 무선 디바이스, 무선 태블릿, 무선 라우터, 무선 액세스 포인트, 무선 기지국 등을 포함할 수 있다. 비록 무선 디바이스들의 맥락에서 설명되었지만, 본 개시내용의 하나 이상의 특징은 기지국들과 같은 다른 RF 시스템들에서 또한 구현될 수 있다는 것이 이해될 것이다.

도 16은, 본원에서 설명된 하나 이상의 유리한 특징을 갖는 예시적인 무선 디바이스(1300)를 도시한다. 일부 실시예들에서, 본원에서 설명된 바와 같은 하나 이상의 특징을 갖는 LNA는 그러한 무선 디바이스내의 하나 이상의 장소 각각에서 구현될 수 있다. 예컨대, 일부 실시예들에서, 그러한 유리한 특징들은, 하나 이상의 저잡음 증폭기(LNA)를 갖는 다이버시티 수신(DRx) 모듈(1308)과 같은 모듈에서 구현될 수 있다.

도 16은, 본원에서 설명된 하나 이상의 유리한 특징을 갖는 예시적인 무선 디바이스(1300)를 도시한다. 본원에서 설명된 바와 같은 하나 이상의 특징을 갖는 하나 이상의 모듈의 맥락에서, 그러한 모듈들은 일반적으로 파선 박스(1306)(이는, 예컨대 전단 모듈로서 구현될 수 있음) 및 다이버시티 수신기(DRx) 모듈(1308)(이는, 예컨대 전단 모듈로서 구현될 수 있음)로 도시될 수 있다.

도 16을 참조하면, 전력 증폭기(PA)들(1382)은 트랜시버(1304)로부터 그들 개개의 RF 신호들을 수신할 수 있고, 트랜시버(1304)는 증폭 및 송신될 RF 신호들을 생성하고 수신된 신호들을 처리하도록 구성 및 동작될 수 있다. 트랜시버(1304)는 사용자에 적합한 데이터 및/또는 음성 신호들과 트랜시버(1304)에 적합한 RF 신호들 사이의 변환을 제공하도록 구성되는 기저대역 서브-시스템(1305)과 상호작용하는 것으로 도시된다. 트랜시버(1304)는 또한, 무선 디바이스(1300)의 동작을 위한 전력을 관리하도록 구성되는 전력 관리 구성요소(1307)와 통신할 수 있다. 그러한 전력 관리는 또한, 기저대역 서브-시스템(1305) 및 모듈들(1306 및 1308)의 동작들을 제어할 수 있다.

기저대역 서브-시스템(1305)은 사용자에게 제공되고 사용자로부터 수신되는 음성 및/또는 데이터의 다양한 입력 및 출력을 용이하게 하기 위해 사용자 인터페이스(1301)에 연결되는 것으로 도시된다. 기저대역 서브-시스템(1305)은 또한 무선 디바이스의 동작을 용이하게 하고/거나 사용자에게 정보의 저장을 제공하기 위해 데이터 및/또는 명령어들을 저장하도록 구성되는 메모리(1303)에 연결될 수 있다.

예시적인 무선 디바이스(1300)에서, PA들(1382)의 출력들은 (개개의 정합 회로들(1384)을 통해) 정합되고 그들 개개의 듀플렉서들(1386)로 라우팅되는 것으로 도시된다. 그러한 증폭되고 필터링된 신호들은 송신을 위해 스위칭 네트워크(1309)를 통해 1차 안테나(1360)로 라우팅될 수 있다. 일부 실시예들에서, 듀플렉서들(1386)은, 공통 안테나(예컨대, 1차 안테나(1360))를 사용하여 송신 및 수신 동작들이 동시에 수행될 수 있게 할 수 있다. 도 16에서, 수신된 신호들은 가변 이득 증폭기 조립체(1310a)로 라우팅되는 것으로 도시되며, 가변 이득 증폭기 조립체(1310a)는, 본원에서 설명된 가변 이득 증폭기들의 특징들 및 이점들을 제공한다. DRx 모듈(1308)은 유사한 가변 이득 증폭기 어셈블리(1310b)를 또한 포함한다.

예시적인 무선 디바이스(1300)에서, 1차 안테나(1360)에서 수신된 신호들은 전단 모듈(1306) 내의 가변 이득 증폭기(1310a)로 전송될 수 있다. 가변 이득 증폭기(1310a)는 임피던스 조정 회로(1320)를 포함할 수 있다. 가변 이득 증폭기(1310a)는 입력들(1311)에서 복수의 신호들을 수신하고 출력들(1319)에서 복수의 처리된 신호들

을 출력하도록 구성된다. 가변 이득 증폭기(1310a)는, 이득 모드에 적어도 부분적으로 기반하여 신호들을 증폭하고, 이득 모드에 적어도 부분적으로 기반하여, 임피던스 조정 회로(1320)를 이용하여 입력 임피던스에 대한 조정들을 제공하도록 구성된다. 이는, 이득 모드들에 걸쳐 최대 전력을 전달하도록 LNA 입력 임피던스를 고정함으로써 전력 손실을 감소시키거나 제거하도록 이루어질 수 있다. 임피던스 조정 회로(1320)는, 이전 신호 처리 스테이지로부터의 임피던스 부정합들을 감소시키거나 최소화함으로써 수신 NF 성능을 개선하도록 구성될 수 있다. 임피던스 조정 회로(1320)는, LNA 회로와의 임피던스 부정합을 감소시키거나 제거함으로써 사전-LNA 필터 성능을 유지하도록 구성될 수 있다.

[0061] 무선 디바이스는 또한, 다이버시티 안테나(1370), 및 다이버시티 안테나(1370)로부터 신호들을 수신하는 다이버시티 수신기 모듈(1308)을 포함한다. 다이버시티 수신 모듈(1308)은, 전단 모듈(1306) 내의 가변 이득 증폭기(1310a)와 유사한 가변 이득 증폭기(1310b)를 포함한다. 다이버시티 수신기 모듈(1308) 및 가변 이득 증폭기(1310b)는 수신된 신호들을 처리하고 처리된 신호들을 트랜시버(1304)에 송신한다. 일부 실시예들에서, 다이플렉서, 트리플렉서, 또는 다른 멀티플렉서 또는 필터 조립체가 본원에서 설명된 바와 같은 다이버시티 안테나(1370)와 다이버시티 수신기 모듈(1370) 사이에 포함될 수 있다.

[0062] 다수의 다른 무선 디바이스 구성들이 본원에서 설명된 하나 이상의 특징을 활용할 수 있다. 예컨대, 무선 디바이스가 다중-대역 디바이스일 필요는 없다. 다른 예에서, 무선 디바이스는 다이버시티 안테나와 같은 부가적인 안테나들, 및 Wi-Fi, 블루투스, 및 GPS와 같은 부가적인 연결성 특징부들을 포함할 수 있다.

[0063] 본 개시내용의 하나 이상의 특징은 본원에서 설명된 바와 같이 다양한 셀룰러 주파수 대역들로 구현될 수 있다. 그러한 대역들의 예들이 표 1에 열거된다. 대역들 중 적어도 일부는 부-대역들로 분할될 수 있다는 것이 이해될 것이다. 또한, 본 개시내용의 하나 이상의 특징은 표 1의 예들과 같은 지정들을 갖지 않는 주파수 범위들로 구현될 수 있다는 것이 이해될 것이다. 무선 주파수(RF) 및 무선 주파수 신호들이라는 용어는 적어도 표 1에 열거된 주파수들을 포함하는 신호들을 지칭한다는 것이 이해되어야 한다.

표 1

대역	모드	Tx 주파수 범위 (MHz)	Rx 주파수 범위 (MHz)
B1	FDD	1,920 – 1,980	2,110 – 2,170
B2	FDD	1,850 – 1,910	1,930 – 1,990
B3	FDD	1,710 – 1,785	1,805 – 1,880
B4	FDD	1,710 – 1,755	2,110 – 2,155
B5	FDD	824 – 849	869 – 894
B6	FDD	830 – 840	875 – 885
B7	FDD	2,500 – 2,570	2,620 – 2,690
B8	FDD	880 – 915	925 – 960
B9	FDD	1,749.9 – 1,784.9	1,844.9 – 1,879.9
B10	FDD	1,710 – 1,770	2,110 – 2,170
B11	FDD	1,427.9 – 1,447.9	1,475.9 – 1,495.9
B12	FDD	699 – 716	729 – 746
B13	FDD	777 – 787	746 – 756
B14	FDD	788 – 798	758 – 768
B15	FDD	1,900 – 1,920	2,600 – 2,620
B16	FDD	2,010 – 2,025	2,585 – 2,600
B17	FDD	704 – 716	734 – 746
B18	FDD	815 – 830	860 – 875
B19	FDD	830 – 845	875 – 890
B20	FDD	832 – 862	791 – 821
B21	FDD	1,447.9 – 1,462.9	1,495.9 – 1,510.9
B22	FDD	3,410 – 3,490	3,510 – 3,590
B23	FDD	2,000 – 2,020	2,180 – 2,200
B24	FDD	1,626.5 – 1,660.5	1,525 – 1,559
B25	FDD	1,850 – 1,915	1,930 – 1,995
B26	FDD	814 – 849	859 – 894
B27	FDD	807 – 824	852 – 869
B28	FDD	703 – 748	758 – 803
B29	FDD	N/A	716 – 728
B30	FDD	2,305 – 2,315	2,350 – 2,360
B31	FDD	452.5 – 457.5	462.5 – 467.5
B32	FDD	N/A	1,452 – 1,496
B33	TDD	1,900 – 1,920	1,900 – 1,920
B34	TDD	2,010 – 2,025	2,010 – 2,025
B35	TDD	1,850 – 1,910	1,850 – 1,910
B36	TDD	1,930 – 1,990	1,930 – 1,990
B37	TDD	1,910 – 1,930	1,910 – 1,930
B38	TDD	2,570 – 2,620	2,570 – 2,620
B39	TDD	1,880 – 1,920	1,880 – 1,920
B40	TDD	2,300 – 2,400	2,300 – 2,400
B41	TDD	2,496 – 2,690	2,496 – 2,690
B42	TDD	3,400 – 3,600	3,400 – 3,600
B43	TDD	3,600 – 3,800	3,600 – 3,800
B44	TDD	703 – 803	703 – 803
B45	TDD	1,447 – 1,467	1,447 – 1,467
B46	TDD	5,150 – 5,925	5,150 – 5,925
B65	FDD	1,920 – 2,010	2,110 – 2,200
B66	FDD	1,710 – 1,780	2,110 – 2,200
B67	FDD	N/A	738 – 758
B68	FDD	698 – 728	753 – 783

[0064]

본 개시내용은 다양한 특징들을 개시하며, 이 다양한 특징들 중 어떠한 단일 특징도 본원에서 설명된 이점들을 단독으로 담당하지 않는다. 본원에서 설명된 다양한 특징들은, 통상의 기술자에게 명백한 바와 같이, 조합, 수정 또는 생략될 수 있다는 것이 이해될 것이다. 본원에서 구체적으로 설명된 것들 이외의 다른 조합들 및 하위 조합들이 통상의 기술자에게 명백할 것이며, 이들은 본 개시내용의 일부를 형성하도록 의도된다. 다양한 흐름도 단계들 및/또는 페이즈들과 관련하여 다양한 방법들이 본원에 설명된다. 많은 경우들에서, 흐름도들에 도시된 다수의 단계들 및/또는 페이즈들이 단일 단계 및/또는 페이즈로서 수행될 수 있도록 특정 단계들 및/또는 페이즈들이 함께 조합될 수 있다는 것이 이해될 것이다. 또한, 특정 단계들 및/또는 페이즈들은 부가적인 하위 구성요소들이 별개로 수행되도록 나뉘어질 수 있다. 일부 예시들에서, 단계들 및/또는 페이즈들의 순서는 재배열될 수 있고, 특정 단계들 및/또는 페이즈들은 완전히 생략될 수 있다. 또한, 본원에서 설명된 방법들은 개방형으로 이해되어야 하며, 그러므로, 본원에서 설명되고 도시된 것들에 대해 부가적인 단계들 및/또는 페이즈들이 또한 수행될 수 있다.

[0066]

본원에서 설명된 시스템들 및 방법들의 일부 양상들은, 예컨대, 컴퓨터 소프트웨어, 하드웨어, 펌웨어 또는 컴퓨터 소프트웨어, 하드웨어, 및 펌웨어의 임의의 조합을 사용하여 유리하게 구현될 수 있다. 컴퓨터 소프트웨어는, 실행되는 경우 본원에서 설명된 기능들을 수행하는 컴퓨터 관독가능 매체(예컨대, 비-일시적인 컴퓨터 관독가능 매체)에 저장된 컴퓨터 실행가능 코드를 포함할 수 있다. 일부 실시예들에서, 컴퓨터 실행가능 코드는 하나 이상의 범용 컴퓨터 프로세서에 의해 실행된다. 통상의 기술자는, 본 개시내용의 관점에서, 범용 컴퓨터 상에서 실행될 소프트웨어를 사용하여 구현될 수 있는 임의의 특징 또는 기능이 또한 하드웨어, 소프트웨어 또는 펌웨어의 상이한 조합을 사용하여 구현될 수 있다는 것을 인식할 것이다. 예컨대, 그러한 모듈은 접적 회로들의 조합을 사용하여 완전히 하드웨어로 구현될 수 있다. 대안적으로 또는 부가적으로, 그러한 특징 또는 기능은 범용 컴퓨터들에 의해서가 아니라 본원에서 설명된 특정 기능들을 수행하도록 설계된 특수화된 컴퓨터들을 사용하여 완전히 또는 부분적으로 구현될 수 있다.

[0067]

다수의 분산형 컴퓨팅 디바이스들이 본원에서 설명된 임의의 하나의 컴퓨팅 디바이스 대신 쓰일 수 있다. 그러한 분산형 실시예들에서, 하나의 컴퓨팅 디바이스의 기능들은 일부 기능들이 분산형 컴퓨팅 디바이스들 각각 상에서 수행되도록 (예컨대, 네트워크를 통해) 분산된다.

[0068]

일부 실시예들은 수학식들, 알고리즘들 및/또는 흐름도 예시들을 참조하여 설명될 수 있다. 이러한 방법들은 하나 이상의 컴퓨터 상에서 실행가능한 컴퓨터 프로그램 명령어들을 사용하여 구현될 수 있다. 이러한 방법들은 또한 장치 또는 시스템의 구성요소로서 또는 별개로 컴퓨터 프로그램 제품들로서 구현될 수 있다. 이와 관련하여, 각각의 수학식, 알고리즘, 블록 또는 흐름도의 단계와 그 조합들은 컴퓨터 관독가능 프로그램 코드로직으로 구현되는 하나 이상의 컴퓨터 프로그램 명령어를 포함하는 하드웨어, 펌웨어 및/또는 소프트웨어에 의해 구현될 수 있다. 인식될 바와 같이, 임의의 그러한 컴퓨터 프로그램 명령어들은 하나 이상의 컴퓨터 상에 로딩될 수 있으며, 이러한 컴퓨터는 컴퓨터(들) 또는 다른 프로그래밍가능 처리 디바이스(들) 상에서 실행되는 컴퓨터 프로그램 명령어들이 수학식들, 알고리즘들 및/또는 흐름도들에 명시된 기능들을 구현하도록 기계를 생성하기 위해 범용 컴퓨터 또는 특수 목적 컴퓨터, 또는 다른 프로그래밍가능 처리 장치를 포함하지만 이에 제한되지 않는다. 각각의 수학식, 알고리즘 및/또는 흐름도 예시들에서의 블록과 그 조합들은 특정 기능들 또는 단계들을 수행하는 특수 목적 하드웨어-기반 컴퓨터 시스템들 또는 특수 목적 하드웨어 및 컴퓨터 관독가능 프로그램 코드로직 수단의 조합들에 의해 구현될 수 있다는 것이 이해될 것이다.

[0069]

또한, 이를테면, 컴퓨터 관독가능 프로그램 코드로직으로 구현된 컴퓨터 프로그램 명령어들이 또한 컴퓨터 관독가능 메모리(예컨대, 비-일시적인 컴퓨터 관독가능 매체)에 저장될 수 있으며, 그 명령어들은, 컴퓨터 관독가능 메모리에 저장된 명령어들이 흐름도(들)의 블록(들)에 명시된 기능(들)을 구현하도록, 하나 이상의 컴퓨터 또는 다른 프로그래밍가능 처리 디바이스가 특정 방식으로 기능하도록 지시할 수 있다. 컴퓨터 프로그램 명령어들은 또한, 하나 이상의 컴퓨터 또는 다른 프로그래밍가능 컴퓨팅 디바이스 상으로 로딩되어, 컴퓨터에 의해 구현되는 프로세스를 생성하도록 일련의 동작 단계들이 하나 이상의 컴퓨터 또는 다른 프로그래밍가능 컴퓨팅 디바이스 상에서 수행되게 할 수 있어서, 컴퓨터 또는 다른 프로그래밍가능 처리 장치 상에서 실행되는 명령어들은 수학식(들), 알고리즘(들) 및/또는 흐름도(들)의 블록(들)에 명시된 기능들을 구현하기 위한 단계들을 제공한다.

[0070]

본원에서 설명된 방법들 및 작업들 중 일부 또는 모두는 컴퓨터 시스템에 의해 수행되거나 완전히 자동화될 수 있다. 컴퓨터 시스템은, 일부 경우들에서, 설명된 기능들을 수행하기 위해 네트워크를 통해 통신 및 상호동작하는 다수의 별개의 컴퓨터들 또는 컴퓨팅 디바이스들(예컨대, 물리적 서버들, 워크스테이션, 저장 어레이들 등)을 포함할 수 있다. 각각의 그러한 컴퓨팅 디바이스는 전형적으로 메모리에 또는 다른 비-일시적인 컴퓨터 관독가능 저장 매체 또는 디바이스에 저장된 프로그램 명령어들 또는 모듈들을 실행하는 프로세서(또는 다수의 프로세서들)를 포함한다. 본원에 개시된 다양한 기능들은 그러한 프로그램 명령어들로 구현될 수 있지만, 개시된 기능들 중 일부 또는 모두가 컴퓨터 시스템의 애플리케이션-특정 회로(예컨대, ASIC들 또는 FPGA들)에서 대안적으로 구현될 수 있다. 컴퓨터 시스템이 다수의 컴퓨팅 디바이스들을 포함하는 경우, 이를 디바이스들은 동일장소에 위치될 수 있지만 그러할 필요는 없다. 개시된 방법들 및 작업들의 결과들은 솔리드 스테이트 메모리 칩 및/또는 자기 디스크들과 같은 물리적 저장 디바이스들을 상이한 상태로 변환시킴으로써 영구적으로 저장될 수 있다.

[0071]

문맥이 달리 명확히 요구하지 않는 한, 설명 및 청구항들 전반에 걸쳐, "포함한다", "포함하는" 등의 단어들은 배타적이거나 제한적인 의미와는 대조적으로 포괄적 의미(다시 말해서, "포함하지만 이에 제한되지 않는"의 의미)로 해석되어야 한다. 본원에서 일반적으로 사용되는 바와 같은 "결합"이라는 단어는 직접 연결되거나 하나 이상의 중간 요소를 통해 연결될 수 있는 2개 이상의 요소들을 지칭한다. 부가적으로, "여기서", "위", "아

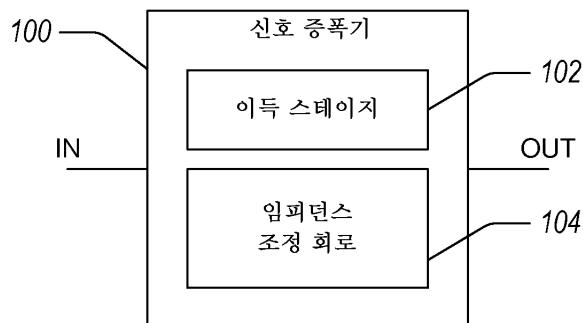
래"라는 단어들, 및 그와 유사한 의미의 단어들은, 본 출원에서 사용될 때, 본 출원의 임의의 특정 부분들이 아니라 전체로서의 본 출원을 지칭할 것이다. 맥락이 허용하는 경우, 단수 또는 복수를 사용한 위의 상세한 설명의 단어들은 또한 각각 복수 또는 단수를 포함할 수 있다. 2개 이상의 항목들의 목록과 관련하여 "또는"이라는 단어에서, 그 단어는 단어의 다음의 해석들: 목록 내의 항목들 중 임의의 항목, 목록 내의 항목들 모두, 및 목록 내의 항목들의 임의의 조합 모두를 망라한다. 단어 "예시적인"은 "예, 예시, 또는 예증으로서 기능하는 것"을 의미하도록 본원에서 배타적으로 사용된다. "예시적인" 것으로 본원에서 설명된 어떠한 구현도 다른 구현들에 비해 반드시 바람직하거나 유리한 것으로서 해석될 필요는 없다.

[0072]

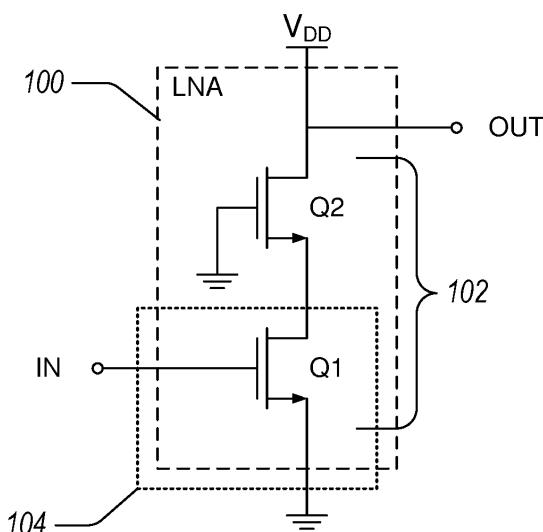
본 개시내용은 본원에서 나타낸 구현들로 제한되도록 의도되지 않는다. 본 개시내용에서 설명된 구현들에 대한 다양한 변형들이 관련 기술분야의 통상의 기술자들에게 용이하게 명백할 수 있으며, 본원에 정의된 일반 원리들은 본 개시내용의 사상 또는 범위를 벗어나지 않으면서 다른 구현들에 적용될 수 있다. 본원에서 제공된 본 발명의 교시들은 다른 방법들 및 시스템들에 적용될 수 있고, 위에 설명된 방법들 및 시스템들로 제한되지 않으며, 위에 설명된 다양한 실시예들의 요소들 및 동작들이 조합되어 추가적인 실시예들을 제공할 수 있다. 따라서, 본원에서 설명된 신규한 방법들 및 시스템들은 다양한 다른 형태들로 구현될 수 있으며; 또한, 본원에서 설명된 방법들 및 시스템들의 형태의 다양한 생략들, 치환들 및 변경들이 본 개시내용의 사상으로부터 벗어나지 않으면서 이루어질 수 있다. 첨부된 청구항들 및 그 등가물들은 그러한 형태들 또는 수정들을 본 개시내용의 범위 및 사상 내에 속하는 것으로서 망라하도록 의도된다.

도면

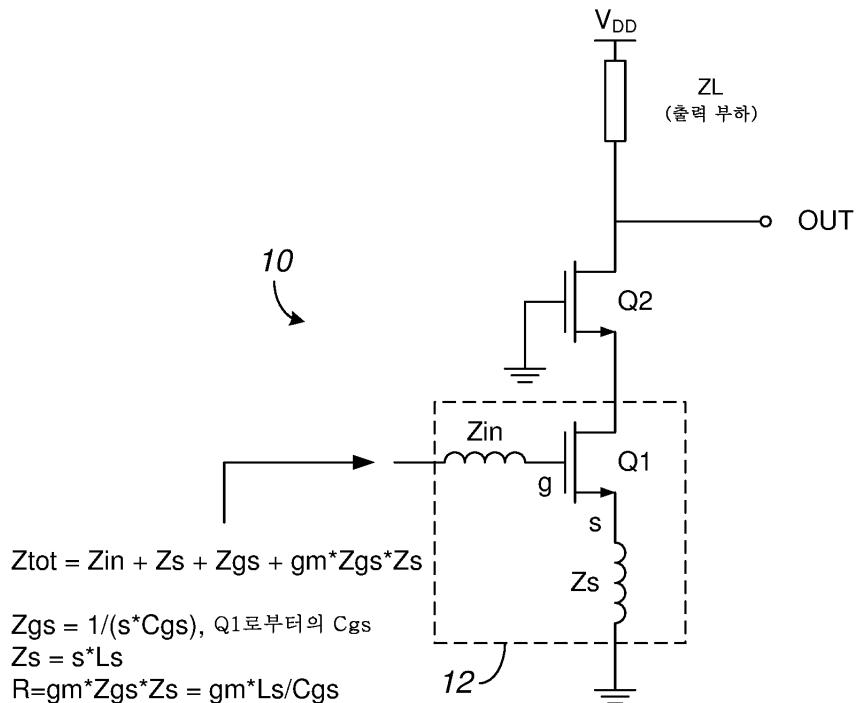
도면1



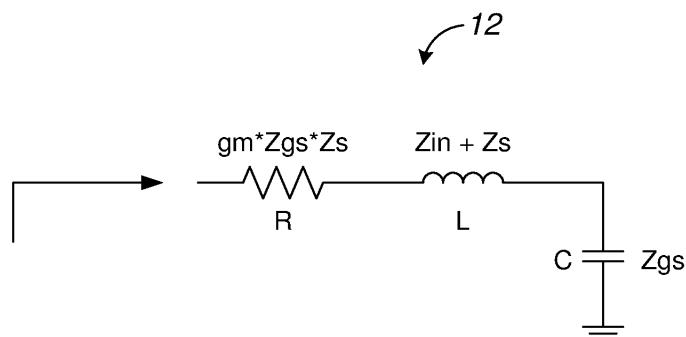
도면2



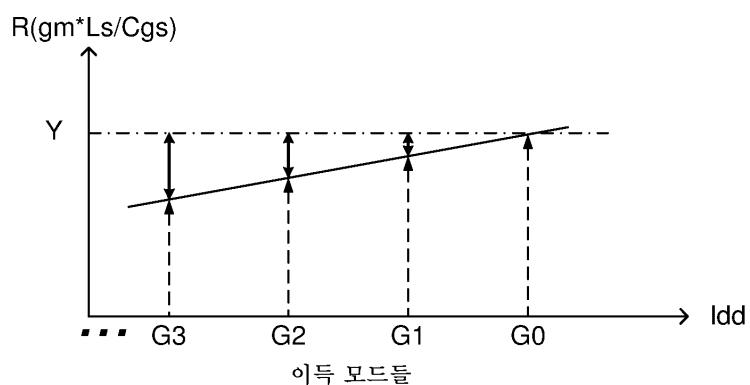
도면3



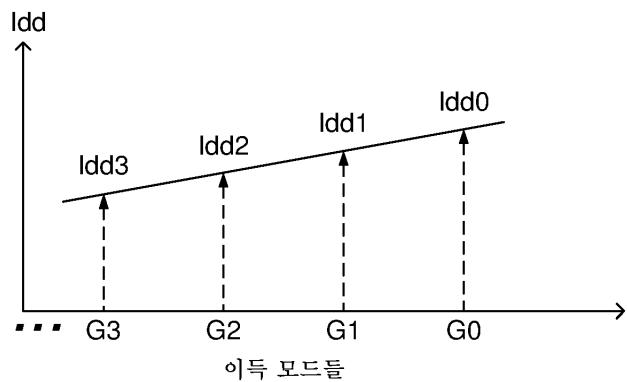
도면4



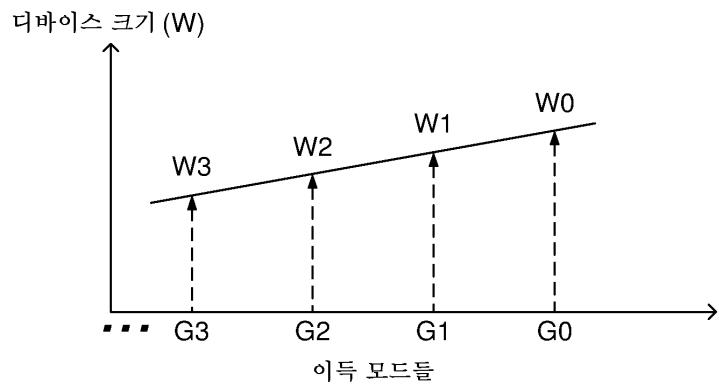
도면5



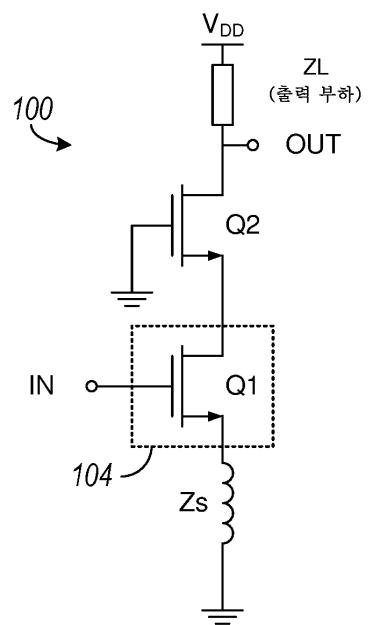
도면6



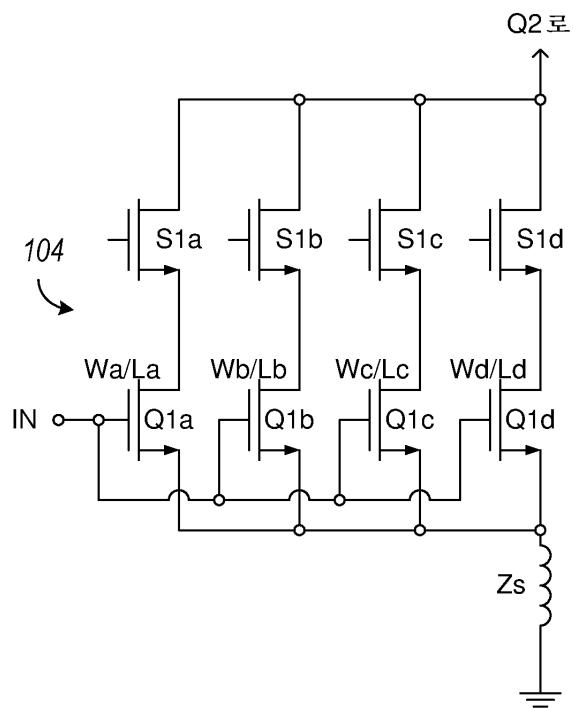
도면7



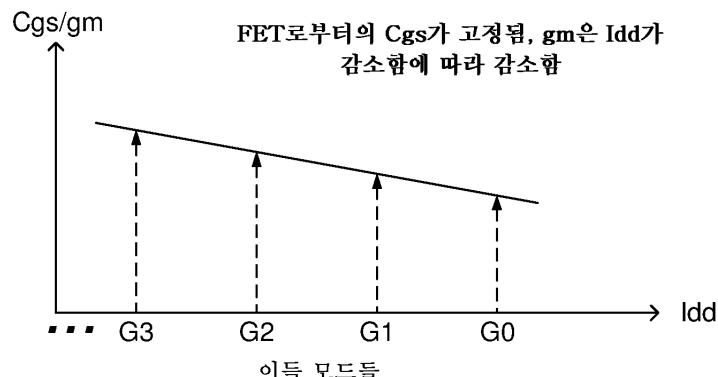
도면8



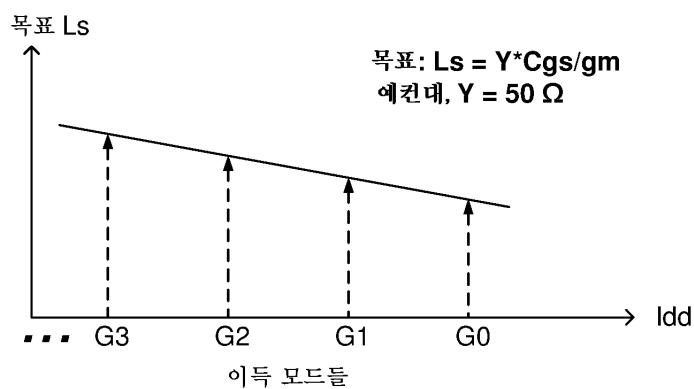
도면9



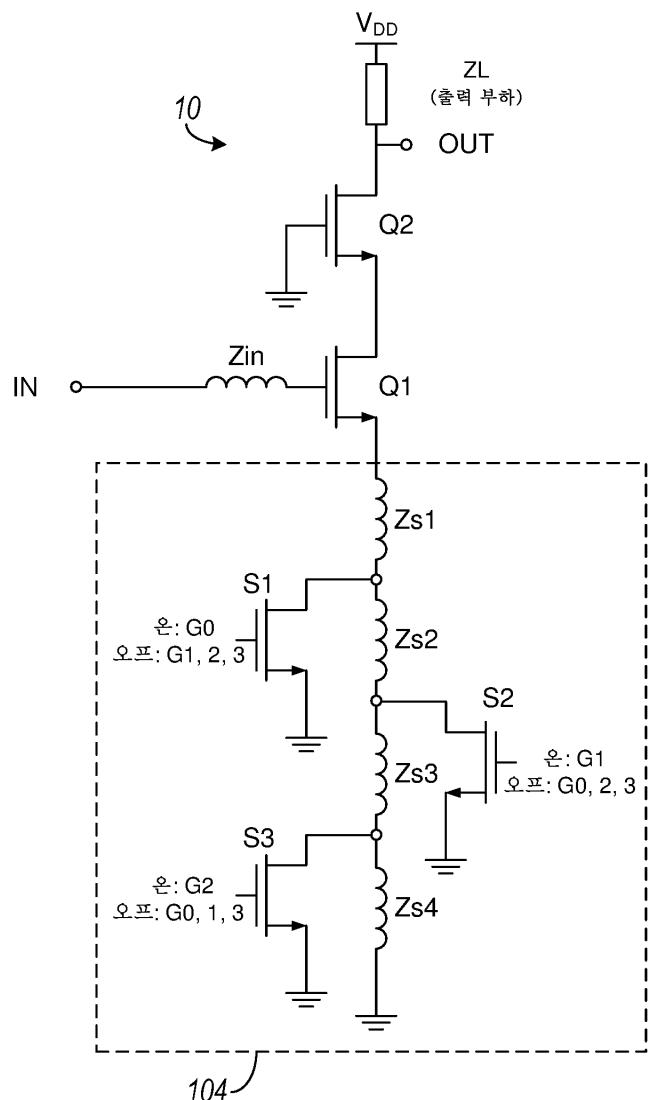
도면10



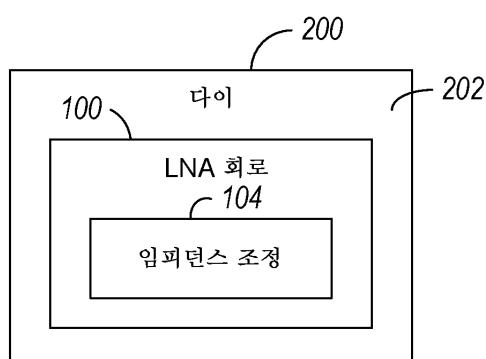
도면11



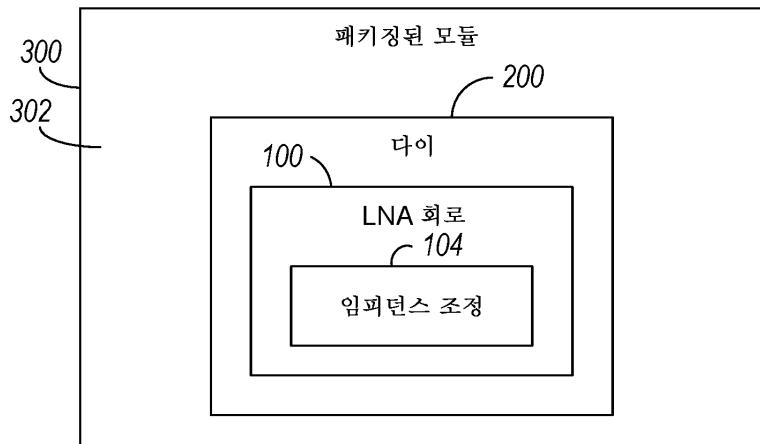
도면12



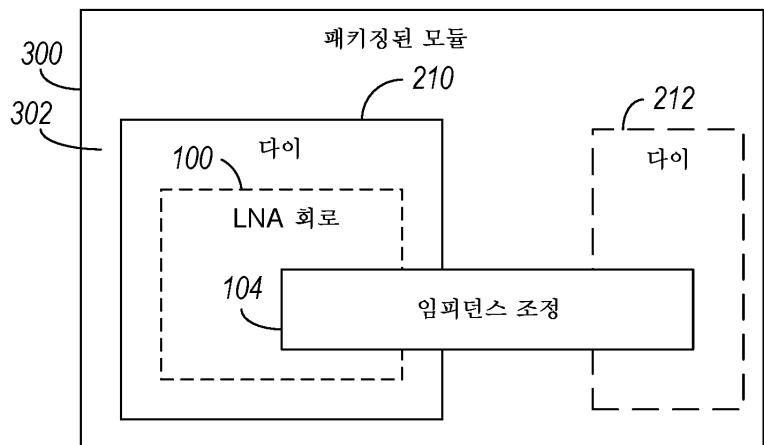
도면13



도면14



도면15



도면16

