(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0010069
(43) 공개일자 2025년01월20일

(51) 국제특허분류(Int. Cl.)
H01J 37/32 (2006.01)
(52) CPC특허분류
H01J 37/32174 (2013.01)
H01J 37/32568 (2013.01)
(21) 출원번호 10-2024-7041326
(22) 출원일자(국제) 2023년05월16일
심사청구일자 없음
(85) 번역문제출일자 2024년12월12일
(86) 국제출원번호 PCT/US2023/022436
(87) 국제공개번호 WO 2023/225033
국제공개일자 2023년11월23일
(30) 우선권주장
63/343,082 2022년05월17일 미국(US)

(71) 출원인
램 리써치 코포레이션
미국 94538 캘리포니아주 프레몬트 쿠싱 파크웨이 4650
(72) 발명자
최명열
미국 캘리포니아 프레몬트 쿠싱 파크웨이 4650
우, 잉
미국 캘리포니아 94538 프레몬트 쿠싱 파크웨이 4650
(뒷면에 계속)
(74) 대리인
특허법인 광장리앤고

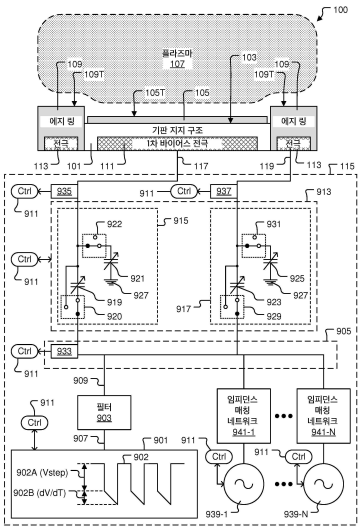
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 **비정현파 전압 소스를 사용한 기판 에지에 대한 이온 에너지 분배 제어**

(57) 요 약

바이어스 전압 공급 시스템은 기판 지지 표면 아래에 배치된 1차 바이어스 전극을 포함한다. 1차 바이어스 전극은 기판 지지 표면 상에 존재하는 기판의 최상부 표면 상의 전압을 제어한다. 바이어스 전압 공급 시스템은 기판 지지 표면을 에워싸는 에지 링 내에 배치된 에지 링 전극을 포함한다. 에지 링 전극은 에지 링의 최상부 표면 상의 전압을 제어한다. 바이어스 전압 공급 시스템은 바이어스 전압 공급 노드 상에서 시간의 함수로서 규정된 전압 파형을 생성하는 전압 공급 시스템을 포함한다. 제1 분기 회로는 바이어스 전압 공급 노드 및 1차 바이어스 전극을 전기적으로 연결한다. 제2 분기 회로는 바이어스 전압 공급 노드 및 에지 링 전극을 전기적으로 연결한다. 제2 분기 회로는 직렬 커패시터 및 션트 커패시터를 포함한다.

대 표 도 - 도9a



(52) CPC특허분류
H01J 37/32577 (2013.01)
H01J 37/32642 (2013.01)
H01J 37/32706 (2013.01)
(72) 발명자
마틴, 마이클, 존
미국 캘리포니아 94538 프레몬트 쿠싱 파크웨이 4650
패터슨, 알렉산더, 밀러
미국 캘리포니아 94538 프레몬트 쿠싱 파크웨이 4650

명 세 서

청구범위

청구항 1

바이어스 전압 공급 시스템으로서,

기판 지지 표면 아래에 배치된 1차 바이어스 전극 – 상기 1차 바이어스 전극은 상기 기판 지지 표면 상의 기판의 최상부 표면 상의 전압을 제어하도록 구성됨 – ;

상기 기판 지지 표면을 에워싸는 에지 링 내에 배치된 에지 링 전극 – 상기 에지 링 전극은 상기 에지 링의 최상부 표면 상의 전압을 제어하도록 구성됨 – ;

바이어스 전압 공급 노드 상에서 시간의 함수로서 규정된 전압 파형을 생성하도록 구성된 전압 공급 시스템;

상기 바이어스 전압 공급 노드와 상기 1차 바이어스 전극 사이에 전기적으로 연결된 제1 분기 회로; 및

상기 바이어스 전압 공급 노드와 상기 에지 링 전극 사이에 전기적으로 연결된 제2 분기 회로를 포함하고, 상기 제2 분기 회로는 직렬 커패시터 및 션트 커패시터를 포함하는,

바이어스 전압 공급 시스템.

청구항 2

제1 항에 있어서,

상기 전압 공급 시스템은 제1 전압 공급부 및 제2 전압 공급부를 포함하고, 상기 제1 전압 공급부는 시간적으로 일정한 전압 크기를 생성하도록 구성되고, 상기 제2 전압 공급부는 시간적으로 변동되는 전압을 생성하도록 구성되고, 상기 시간적으로 일정한 전압 크기 및 상기 시간적으로 변동되는 전압은 상기 규정된 전압 파형을 형성하도록 결합되는,

바이어스 전압 공급 시스템.

청구항 3

제2 항에 있어서,

상기 시간적으로 변동되는 전압은 시간의 함수로서 실질적으로 선형으로 변동되는,

바이어스 전압 공급 시스템.

청구항 4

제2 항에 있어서,

상기 제1 전압 공급부는 제1 직류 전압 공급부이고, 상기 제2 전압 공급부는 제2 직류 전압 공급부인,

바이어스 전압 공급 시스템.

청구항 5

제1 항에 있어서,

상기 규정된 전압 파형은 진행중인 일련의 펄스 사이클로서 정의되는 펄스식 전압 파형이고, 각각의 펄스 사이클은 상기 펄스식 전압 파형이 음전압을 갖는 온-지속기간 및 상기 펄스식 전압 파형이 양전압을 갖는 오프-지속기간을 포함하는,

바이어스 전압 공급 시스템.

청구항 6

제5 항에 있어서,

상기 션트 커패시터는 상기 펄스식 전압 파형의 각각의 펄스 사이클의 온-지속기간 동안 상기 기판의 최상부 표면과 상기 에지 링의 최상부 표면 사이에 규정된 전압 차이를 설정하도록 세팅되는,

바이어스 전압 공급 시스템.

청구항 7

제6 항에 있어서,

상기 직렬 커패시터는 상기 기판의 최상부 표면과 상기 에지 링의 최상부 표면 사이의 상기 규정된 전압 차이를 상기 펄스식 전압 파형의 각각의 펄스 사이클의 온-지속기간에 걸쳐 실질적으로 일정한 레벨로 유지하도록 세팅되는,

바이어스 전압 공급 시스템.

청구항 8

제7 항에 있어서,

상기 직렬 커패시터는 시간의 함수로서 상기 기판의 최상부 표면 상의 전압을 변화시켜 시간의 함수로서 상기 기판의 최상부 표면 상의 전기적 방전을 보상하도록 세팅되는,

바이어스 전압 공급 시스템.

청구항 9

제1 항에 있어서,

상기 직렬 커패시터 및 상기 션트 커패시터 각각은 개개의 독립적으로 제어 가능한 가변 커패시터인,

바이어스 전압 공급 시스템.

청구항 10

제1 항에 있어서,

상기 전압 공급 시스템에 의한 상기 규정된 전압 파형의 생성과 함께 상기 바이어스 전압 공급 노드에 라디오 주파수 신호를 공급하도록 전기적으로 연결된 라디오 주파수 전력 공급부를 더 포함하는,

바이어스 전압 공급 시스템.

청구항 11

제1 항에 있어서,

상기 직렬 커패시터는 제1 직렬 커패시터이고, 상기 션트 커패시터는 제1 션트 커패시터이며, 상기 제1 분기 회로는 제2 직렬 커패시터 및 제2 션트 커패시터를 포함하는,

바이어스 전압 공급 시스템.

청구항 12

제11 항에 있어서,

상기 규정된 전압 파형은 진행중인 일련의 펄스 사이클로서 정의되는 펄스식 전압 파형이고, 각각의 펄스 사이클은 상기 펄스식 전압 파형이 음전압을 갖는 온-지속기간 및 상기 펄스식 전압 파형이 양전압을 갖는 오프-지속기간을 포함하고, 상기 제1 션트 커패시터 및 상기 제2 션트 커패시터는 상기 펄스식 전압 파형의 각각의 펄스 사이클의 온-지속기간 동안 상기 기판의 최상부 표면과 상기 에지 링의 최상부 표면 사이에 규정된 전압 차이를 설정하도록 집합적으로 세팅되는,

바이어스 전압 공급 시스템.

청구항 13

제12 항에 있어서,

상기 제1 직렬 커패시터 및 상기 제2 직렬 커패시터는 상기 기판의 최상부 표면과 상기 에지 링의 최상부 표면 사이의 상기 규정된 전압 차이를 상기 펄스식 전압 파형의 각각의 펄스 사이클의 온-지속기간에 걸쳐 실질적으로 일정한 레벨로 유지하도록 집합적으로 세팅되는,

바이어스 전압 공급 시스템.

청구항 14

제11 항에 있어서,

상기 제1 직렬 커패시터는 제1 가변 커패시터이고, 상기 제1 션트 커패시터는 제2 가변 커패시터이고, 상기 제2 직렬 커패시터는 제3 가변 커패시터이고, 상기 제2 션트 커패시터는 제4 가변 커패시터이고, 상기 제1, 제2, 제3, 제4 가변 커패시터는 서로에 대하여 독립적으로 제어 가능한,

바이어스 전압 공급 시스템.

청구항 15

제11 항에 있어서,

상기 전압 공급 시스템에 의한 상기 규정된 전압 파형의 생성과 함께 상기 바이어스 전압 공급 노드에 라디오 주파수 신호를 공급하도록 전기적으로 연결된 라디오 주파수 전력 공급부를 더 포함하는,

바이어스 전압 공급 시스템.

청구항 16

바이어스 전압 공급 시스템으로서,

기판 지지 표면 아래에 배치된 1차 바이어스 전극 – 상기 1차 바이어스 전극은 상기 기판 지지 표면 상의 기판의 최상부 표면 상의 전압을 제어하도록 구성됨 – ;

상기 기판 지지 표면을 에워싸는 에지 링 내에 배치된 에지 링 전극 – 상기 에지 링 전극은 상기 에지 링의 최상부 표면 상의 전압을 제어하도록 구성됨 – ;

상기 1차 바이어스 전극 상에서 시간의 함수로서 제1 규정된 전압 파형을 생성하도록 구성된 제1 전압 공급 시스템 – 상기 제1 전압 공급 시스템은 제1 전압 공급부 및 제2 전압 공급부를 포함하고, 상기 제1 전압 공급부는 제1 시간적으로 일정한 전압 크기를 생성하도록 구성되고, 상기 제2 전압 공급부는 제1 시간적으로 변동되는 전압을 생성하도록 구성되고, 상기 제1 시간적으로 일정한 전압 크기 및 상기 제1 시간적으로 변동되는 전압은 상기 제1 규정된 전압 파형을 형성하도록 결합됨 – ; 및

상기 에지 링 전극 상에서 시간의 함수로서 제2 규정된 전압 파형을 생성하도록 구성된 제2 전압 공급 시스템을 포함하고, 상기 제2 전압 공급 시스템은 제3 전압 공급부 및 제4 전압 공급부를 포함하고, 상기 제3 전압 공급부는 제2 시간적으로 일정한 전압 크기를 생성하도록 구성되고, 상기 제4 전압 공급부는 제2 시간적으로 변동되는 전압을 생성하도록 구성되고, 상기 제2 시간적으로 일정한 전압 크기 및 상기 제2 시간적으로 변동되는 전압은 상기 제2 규정된 전압 파형을 형성하도록 결합되는,

바이어스 전압 공급 시스템.

청구항 17

제16 항에 있어서,

상기 제1 규정된 전압 파형은 제1 진행중인 일련의 펄스 사이클로서 정의되는 제1 펄스식 전압 파형이고, 각각의 펄스 사이클은 상기 제1 펄스식 전압 파형이 음전압을 갖는 온-지속기간 및 상기 제1 펄스식 전압 파형이 양전압을 갖는 오프-지속기간을 포함하고,

상기 제2 규정된 전압 파형은 제2 진행중인 일련의 펄스 사이클로서 정의되는 제2 펄스식 전압 파형이고, 각각

의 펄스 사이클은 상기 제2 펄스식 전압 파형이 음전압을 갖는 온-지속기간 및 상기 제2 펄스식 전압 파형이 양전압을 갖는 오프-지속기간을 포함하고, 그리고

상기 제1 펄스식 전압 파형 및 상기 제2 펄스식 전압 파형이 동기화되는,

바이어스 전압 공급 시스템.

청구항 18

제16 항에 있어서,

상기 제1 전압 공급 시스템에 의한 상기 제1 규정된 전압 파형의 생성 및 상기 제2 전압 공급 시스템에 의한 상기 제2 규정된 전압 파형의 생성과 함께 상기 1차 바이어스 전극 및 상기 에지 링 전극 둘 모두에 라디오 주파수 신호를 공급하도록 전기적으로 연결된 라디오 주파수 전력 공급부를 더 포함하는,

바이어스 전압 공급 시스템.

청구항 19

기판의 플라즈마 프로세싱 동안 바이어스 전압을 공급하기 위한 방법으로서,

바이어스 전압 공급 노드 상에서 시간의 함수로서 규정된 전압 파형을 생성하는 단계;

기판 지지 표면 상에 존재하는 기판의 최상부 표면 상의 전압을 제어하기 위해 상기 바이어스 전압 공급 노드로부터 상기 기판 지지 표면 아래에 배치된 1차 바이어스 전극에 상기 규정된 전압 파형의 제1 버전을 송신하는 단계; 및

에지 링의 최상부 표면 상의 전압을 제어하기 위해 상기 기판 지지 표면을 에워싸는 상기 에지 링 내에 배치된 에지 링 전극에 상기 규정된 전압 파형의 제2 버전을 송신하는 단계를 포함하는,

기판의 플라즈마 프로세싱 동안 바이어스 전압을 공급하기 위한 방법.

청구항 20

제19 항에 있어서,

상기 규정된 전압 파형을 생성하는 단계는 시간적으로 일정한 전압 크기를 생성하는 단계, 시간적으로 변동되는 전압을 생성하는 단계, 및 상기 바이어스 전압 공급 노드 상에서 상기 규정된 전압 파형을 형성하기 위해 상기 시간적으로 일정한 전압 크기 및 상기 시간적으로 변동되는 전압을 결합하는 단계를 포함하는,

기판의 플라즈마 프로세싱 동안 바이어스 전압을 공급하기 위한 방법.

청구항 21

제20 항에 있어서,

상기 시간적으로 변동되는 전압은 시간의 함수로서 실질적으로 선형으로 변동되는,

기판의 플라즈마 프로세싱 동안 바이어스 전압을 공급하기 위한 방법.

청구항 22

제19 항에 있어서,

상기 규정된 전압 파형은 진행중인 일련의 펄스 사이클로서 정의되는 펄스식 전압 파형이고, 각각의 펄스 사이클은 상기 펄스식 전압 파형이 음전압을 갖는 온-지속기간 및 상기 펄스식 전압 파형이 양전압을 갖는 오프-지속기간을 포함하는,

기판의 플라즈마 프로세싱 동안 바이어스 전압을 공급하기 위한 방법.

청구항 23

제22 항에 있어서,

상기 규정된 전압 파형의 제2 버전을 생성하기 위해 상기 바이어스 전압 공급 노드로부터 상기 에지 링 전극으

로 연장되는 전기 회로 내에서 직렬 커패시터 및 션트 커패시터를 사용하는 단계를 더 포함하는,

기판의 플라즈마 프로세싱 동안 바이어스 전압을 공급하기 위한 방법.

청구항 24

제23 항에 있어서,

상기 펄스식 전압 파형의 각각의 펄스 사이클의 온-지속기간 동안 상기 기판의 최상부 표면과 상기 에지 링의 최상부 표면 사이에 규정된 전압 차이를 설정하도록 상기 션트 커패시터를 제어하는 단계를 더 포함하는,

기판의 플라즈마 프로세싱 동안 바이어스 전압을 공급하기 위한 방법.

청구항 25

제24 항에 있어서,

상기 기판의 최상부 표면과 상기 에지 링의 최상부 표면 사이의 상기 규정된 전압 차이를 상기 펄스식 전압 파형의 각각의 펄스 사이클의 온-지속기간에 걸쳐 실질적으로 일정한 레벨로 유지하도록 상기 직렬 커패시터를 제어하는 단계를 더 포함하는,

기판의 플라즈마 프로세싱 동안 바이어스 전압을 공급하기 위한 방법.

청구항 26

제25 항에 있어서,

시간의 함수로서 상기 에지 링의 최상부 표면 상의 전압을 변화시켜 시간의 함수로서 상기 에지 링의 최상부 표면 상의 전기적 방전을 보상하도록 상기 직렬 커패시터를 제어하는 단계를 더 포함하는,

기판의 플라즈마 프로세싱 동안 바이어스 전압을 공급하기 위한 방법.

청구항 27

제22 항에 있어서,

상기 규정된 전압 파형의 제1 버전을 생성하기 위해 상기 바이어스 전압 공급 노드로부터 상기 1차 바이어스 전극으로 연장되는 제1 전기 회로 내에서 제1 직렬 커패시터 및 제1 션트 커패시터를 사용하는 단계; 및

상기 규정된 전압 파형의 제2 버전을 생성하기 위해 상기 바이어스 전압 공급 노드로부터 상기 에지 링 전극으로 연장되는 제2 전기 회로 내에서 제2 직렬 커패시터 및 제2 션트 커패시터를 사용하는 단계를 더 포함하는,

기판의 플라즈마 프로세싱 동안 바이어스 전압을 공급하기 위한 방법.

청구항 28

제27 항에 있어서,

상기 펄스식 전압 파형의 각각의 펄스 사이클의 온-지속기간 동안 상기 기판의 최상부 표면과 상기 에지 링의 최상부 표면 사이에 규정된 전압 차이를 설정하도록 상기 제1 션트 커패시터 및 상기 제2 션트 커패시터를 제어하는 단계를 더 포함하는,

기판의 플라즈마 프로세싱 동안 바이어스 전압을 공급하기 위한 방법.

청구항 29

제28 항에 있어서,

상기 기판의 최상부 표면과 상기 에지 링의 최상부 표면 사이의 상기 규정된 전압 차이를 상기 펄스식 전압 파형의 각각의 펄스 사이클의 온-지속기간에 걸쳐 실질적으로 일정한 레벨로 유지하도록 상기 제1 직렬 커패시터 및 상기 제2 직렬 커패시터를 제어하는 단계를 더 포함하는,

기판의 플라즈마 프로세싱 동안 바이어스 전압을 공급하기 위한 방법.

청구항 30

제19 항에 있어서,

상기 바이어스 전압 공급 노드 상에서 상기 규정된 전압 파형을 생성하는 것과 함께 상기 바이어스 전압 공급 노드에 라디오 주파수 신호를 공급하는 단계를 더 포함하는,

기판의 플라즈마 프로세싱 동안 바이어스 전압을 공급하기 위한 방법.

발명의 설명

배 경 기 술

[0001] 플라즈마 프로세싱 시스템은 반도체 웨이퍼 상에서 반도체 디바이스, 예컨대, 칩/다이를 제조하기 위해 사용된다. 플라즈마 프로세싱 시스템에서, 반도체 웨이퍼는, 이를테면, 재료 증착 및/또는 재료 제거 및/또는 재료 주입 및/또는 재료 수정 등을 통해, 반도체 웨이퍼의 컨디션에 대해 규정된 변화를 야기하기 위해 다양한 유형의 플라즈마에 노출된다. 반도체 웨이퍼의 플라즈마 프로세싱 동안, 라디오 주파수(radio frequency, RF) 전력은 반도체 웨이퍼에 대한 노출 시에 프로세스 가스를 플라즈마로 변형시키기 위해 챔버 내의 프로세스 가스를 통해 송신된다. 라디칼 및 이온과 같은 플라즈마의 반응성 성분은 반도체 웨이퍼 상의 재료와 상호작용하여 반도체 웨이퍼에 대해 규정된 효과를 달성한다. 일부 플라즈마 프로세싱 시스템에서, 플라즈마 내의 대전된 성분을 반도체 웨이퍼 쪽으로 끌어당기기 위해 반도체 웨이퍼의 레벨로 바이어스 전압이 인가된다.

[0002] 반도체 산업이 칩 크기를 감소시키고 칩 성능을 개선하는 방향으로 계속 이동함에 따라, 칩 상의 트랜지스터를 정의하기 위해 보다 고밀도 및 고종횡비 피처를 사용할 필요가 있으며, 이는 트랜지스터가 제작 프로세스 변동에 더 민감하게 되게 한다. 온-칩 피처 크기가 줄어들면서, 소수의 원자만의 일부 제작 프로세스 변동도 에칭 균일성 제어를 개선할 필요가 있을 수 있다. 반도체 웨이퍼의 극단 에지에서, 즉 에지로부터 약 5밀리미터(㎜) 이내에서 균일한 이온 플럭스는 마이크로전자 제작을 위한 플라즈마 에칭 및 증착에 대한 까다로운 요건이다. 또한, 반도체 웨이퍼의 에지에서 실질적으로 균일한 이온 플럭스를 달성하는 것은 기판 상의 다이의 약 10%가 반도체 웨이퍼의 외부 주변 에지로부터 약 5㎜의 방사상 거리 내에서 발생하는 제작 프로세스 결과에 의해 영향을 받기 때문에 중요한 난제이다. 반도체 웨이퍼의 외부 주변 에지 근처에서 제작 프로세스 결과의 불균일성은 반도체 웨이퍼의 주변부 주위의 구조적, 시간적 및/또는 전기적 불연속성으로 인해 발생할 수 있다. 이러한 맥락 내에서, 본원에 설명된 다양한 실시예가 발생한다.

발명의 내용

[0003] 예시적인 실시예에서, 바이어스 전압 공급 시스템이 개시된다. 바이어스 전압 공급 시스템은 기판 지지 표면 아래에 배치된 1차 바이어스 전극을 포함한다. 1차 바이어스 전극은 기판 지지 표면 상에 존재할 때 기판의 최상부 표면 상의 전압을 제어하도록 구성된다. 바이어스 전압 공급 시스템은 또한 기판 지지 표면을 에워싸는 에지 링 내에 배치된 에지 링 전극을 포함한다. 에지 링 전극은 에지 링의 최상부 표면 상의 전압을 제어하도록 구성된다. 바이어스 전압 공급 시스템은 또한 바이어스 전압 공급 노드 상에서 시간의 함수로서 규정된 전압 파형을 생성하도록 구성된 전압 공급 시스템을 포함한다. 바이어스 전압 공급 시스템은 또한 바이어스 전압 공급 노드와 1차 바이어스 전극 사이에 전기적으로 연결된 제1 분기 회로를 포함한다. 바이어스 전압 공급 시스템은 또한 바이어스 전압 공급 노드와 에지 링 전극 사이에 전기적으로 연결된 제2 분기 회로를 포함한다. 제2 분기 회로는 직렬 커패시터 및 션트 커패시터를 포함한다.

[0004] 예시적인 실시예에서, 바이어스 전압 공급 시스템이 개시된다. 바이어스 전압 공급 시스템은 기판 지지 표면 아래에 배치된 1차 바이어스 전극을 포함한다. 1차 바이어스 전극은 기판 지지 표면 상에 존재할 때 기판의 최상부 표면 상의 전압을 제어하도록 구성된다. 바이어스 전압 공급 시스템은 또한 기판 지지 표면을 에워싸는 에지 링 내에 배치된 에지 링 전극을 포함한다. 에지 링 전극은 에지 링의 최상부 표면 상의 전압을 제어하도록 구성된다. 바이어스 전압 공급 시스템은 또한 1차 바이어스 전극 상에서 시간의 함수로서 제1 규정된 전압 파형을 생성하도록 구성된 제1 전압 공급 시스템을 포함한다. 제1 전압 공급 시스템은 제1 전압 공급부 및 제2 전압 공급부를 포함한다. 제1 전압 공급부는 제1 시간적으로 일정한 전압 크기를 생성하도록 구성된다. 제2 전압 공급부는 제1 시간적으로 변동되는 전압을 생성하도록 구성된다. 제1 시간적으로 일정한 전압 크기 및 제1 시간적으로 변동되는 전압은 제1 규정된 전압 파형을 형성하도록 결합된다. 바이어스 전압 공급 시스템은 또한 바이어스 에지 링 전극 상에서 시간의 함수로서 제2 규정된 전압 파형을 생성하도록 구성된 제2 전압 공급 시스템을 포함

한다. 제2 전압 공급 시스템은 제3 전압 공급부 및 제4 전압 공급부를 포함한다. 제3 전압 공급부는 제2로 시간적으로 일정한 전압 크기를 생성하도록 구성된다. 제4 전압 공급부는 제2로 시간적으로 변동되는 전압을 생성하도록 구성된다. 제2 시간적으로 일정한 전압 크기 및 제2 시간적으로 변동되는 전압은 제2 규정된 전압 파형을 형성하도록 결합된다.

[0005] 예시적인 실시예에서, 기판의 플라즈마 프로세싱 동안 바이어스 전압을 공급하기 위한 방법이 개시된다. 방법은 바이어스 전압 공급 노드 상에서 시간의 함수로서 규정된 전압 파형을 생성하는 단계를 포함한다. 방법은 또한 기판 지지 표면 상에 존재하는 기판의 최상부 표면 상의 전압을 제어하기 위해 바이어스 전압 공급 노드로부터 기판 지지 표면 아래에 배치된 1차 바이어스 전극에 규정된 전압 파형의 제1 버전을 송신하는 단계를 포함한다. 방법은 또한 에지 링의 최상부 표면 상의 전압을 제어하기 위해 기판 지지 표면을 에워싸는 에지 링 내에 배치된 에지 링 전극에 규정된 전압 파형의 제2 버전을 송신하는 단계를 포함한다.

[0006] 본원에 개시된 실시예의 다른 양상 및 이점은 다음의 상세한 설명 및 첨부 도면으로부터 보다 자명해질 것이다.

도면의 간단한 설명

[0007] 도 1a는 일부 실시예에 따라 예시적인 기판 플라즈마 프로세싱 시스템의 일부를 통한 수직 단면도를 도시한다.

도 1b는 일부 실시예에 따라 기판 지지 구조를 둘러싼 에지 링과 함께, 도 1a의 뷰 A-A로 참조된, 기판 지지 구조 상에 배치된 기판의 상면도를 도시한다.

도 2a는 일부 실시예에 따라 기판 지지 표면 상의 기판과 함께, 기판 지지 구조 옆에 있는 에지 링의 예시적인 다이어그램을 도시한다.

도 2b는 일부 실시예에 따라 기판의 최상부 표면에 인가된 RF 바이어스 전압에 대한 파형과 에지 링의 최상부 표면에 인가된 RF 바이어스 전압에 대한 파형을 도시한다.

도 3은 일부 실시예에 따라 각각 1차 바이어스 전극 및 에지 링 전극을 통해 기판의 최상부 표면 및 에지 링의 최상부 표면 각각에 적용될 수 있는 예시적인 임의적(비정현파) 바이어스 전압 파형을 도시한다.

도 4는 일부 실시예에 따라 도 2a의 예에서 평평한 플라즈마 시스 경계를 생성하기 위해 1차 바이어스 전극 및 에지 링 전극 둘 모두에 펄스식 전압 파형을 적용하는 것을 도시한다.

도 5는 일부 실시예에 따라 에지 링 전극에 더 짧은 듀티 사이클 펄스식 전압 파형을 적용하는 것과 함께 1차 바이어스 전극에 도 4의 펄스식 전압 파형을 적용하는 것을 도시한다.

도 6은 일부 실시예에 따라 기판 상의 펄스식 전압 파형에 대해 위상 시프트된 에지 링 상의 펄스식 전압 파형과 함께, 기판의 최상부 표면에 인가된 펄스식 전압 파형 및 에지 링의 최상부 표면에 인가된 펄스식 전압 파형을 도시한다.

도 7은 일부 실시예에 따라 1차 바이어스 전극에 도 3의 크기 경사가 증가하는 펄스식 전압 파형을 적용하고, 에지 링 전극에 도 3의 크기 경사가 감소하는 펄스식 전압 파형을 적용하는 것을 도시한다.

도 8은 일부 실시예에 따라 에지 링 전극에 펄스식 전압 파형을 인가하는 것과 함께 1차 바이어스 전극에 펄스식 전압 파형을 인가하는 것을 도시하며, 여기서 에지 링 상의 펄스식 전압 파형은 레벨간 펄싱 상태(level-to-level pulsing state)를 포함한다.

도 9a는 일부 실시예에 따라, 기판의 에지 근처의 플라즈마 시스 경계 프로파일을 제어하기 위해 다양한 바이어스 전압 파형이 기판의 최상부 표면 및 에지 링의 최상부 표면에 인가되는, 도 3 내지 도 8과 관련하여 설명된 다양한 방법을 구현하기 위한 도 1a의 바이어스 전압 공급 시스템의 예시적인 구현을 도시한다.

도 9b는 일부 실시예에 따른 전압 공급 시스템의 예시적인 구현을 도시한다.

도 10은 일부 실시예에 따라 전압 공급 시스템에 의해 생성된 예시적인 바이어스 전압 펄스식 파형, 기판의 최상부 표면 상의 대응하는 바이어스 전압 파형, 및 에지 링의 최상부 표면 상의 대응하는 바이어스 전압 파형을 도시한다.

도 11a는 다양한 실시예에 따라 도 9a의 바이어스 전압 공급 시스템에서 분할 회로가 구성될 수 있는 다양한 방식에 대한 차트를 도시한다.

도 11b는 일부 실시예에 따라 도 11a에 참조된 바와 같이 직렬 커패시터, 션트 커패시터, 직렬 커패시터 및 션

트 커패시터의 가능한 결합/분리 세팅을 도시하는 차트를 도시한다.

도 12는 일부 실시예에 따라 바이어스 전압 펄스식 파형과 함께 생성된 예시적인 RF 바이어스 전압 파형을 도시한다.

도 13은 일부 실시예에 따라, 기판의 에지 근처의 플라즈마 시스 경계 프로파일을 제어하기 위해 다양한 바이어스 전압 파형이 기판의 최상부 표면 및 에지 링의 최상부 표면에 인가되는, 도 3 내지 도 8과 관련하여 설명된 다양한 방법을 구현하기 위한 다른 바이어스 전압 공급 시스템을 도시한다.

도 14는 일부 실시예에 따른 예시적인 제어기의 다이어그램을 도시한다.

도 15는 일부 실시예에 따라 기판의 플라즈마 프로세싱 동안 바이어스 전압을 공급하기 위한 방법의 흐름도를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0008] 다음의 설명에서, 본 개시내용의 완전한 이해를 제공하기 위해 다수의 특정한 세부사항이 제시된다. 하지만, 본 개시내용의 실시예는 이들 특정한 세부사항 중 일부 또는 전부 없이도 실시될 수 있다는 것이 통상의 기술자에게 자명할 것이다. 다른 경우에서, 잘 알려진 프로세스 동작은 본 개시내용이 실시예를 불필요하게 모호하게 하지 않기 위해 상세히 설명되지 않았다.

[0009] 도 1a는 일부 실시예에 따라 예시적인 기판 플라즈마 프로세싱 시스템(100)의 일부를 통한 수직 단면도를 도시한다. 시스템(100)은 기판 지지 구조(101)를 포함하며, 이 기판 지지 구조(101)는 기판 지지 구조(101) 위에 생성된 플라즈마(107)에 의한 기판(105)의 프로세싱 동안 기판(105)을 지지하도록 구성된다. 일부 실시예에서, 기판 지지 구조(105)는 기판 지지 표면(103)에 대해 기판(105)을 홀딩하는 정전기력을 생성하도록 구성된 정전 척이다. 일부 실시예에서, 에지 링(109)은 기판 지지 구조(101)를 둘러싸고, 기판 지지 표면(103)은 에지 링(109)에 의해 에워싸인다.

[0010] 도 1b는 일부 실시예에 따라 기판 지지 구조(101)를 둘러싼 에지 링(109)과 함께 101, 도 1a의 뷰 A-A로 101 참조된, 기판 지지 구조(101) 상에 배치된 기판(105)의 상면도를 도시한다. 일부 실시예에서, RF 전력은 코일, 전극 및/또는 안테나로부터 기판 지지 구조(101) 위에 놓인 플라즈마 프로세싱 구역으로 송신되며, 이 구역 내로 프로세스 가스(또는 가스 혼합물)가 공급된다. RF 전력은 플라즈마 프로세싱 구역 내에서 프로세스 가스/혼합물을 플라즈마(107)로 변형시킨다. 플라즈마(107)는 제어된 방식으로 기판(105)에 변화를 야기하도록 생성된다. 다양한 제작 프로세스에서, 기판(105)에 대한 변화는 기판(105) 상의 재료 또는 표면 컨디션의 변화일 수 있다. 예컨대, 다양한 제작 프로세스에서, 기판(105)에 대한 변화는 기판(105)으로부터의 재료의 에칭, 기판(105) 상의 재료의 증착, 및/또는 기판(105) 상에 존재하는 재료의 개질 중 하나 이상을 포함할 수 있다. 플라즈마 프로세싱 시스템(100)은 RF 전력이 플라즈마 프로세싱 구역 내의 프로세스 가스/혼합물로 송신되어 기판 지지 구조(101) 상에 지지된 기판(105) 위에 플라즈마(107)를 생성하는 임의의 유형의 플라즈마 프로세싱 시스템일 수 있다는 것이 이해되어야 한다.

[0011] 일부 실시예에서, 기판(105)은 제작 절차를 겪는 반도체 웨이퍼이다. 하지만, 다양한 실시예에서, 기판(105)은 본질적으로 플라즈마-기반 제작 프로세스를 받는 임의의 유형의 기판일 수 있다는 것이 이해되어야 한다. 예컨대, 일부 실시예에서, 기판(105)은 실리콘, 사파이어, GaN, GaAs 또는 SiC, 및/또는 다른 기판 재료로 형성되고, 유리 패널/기판, 금속 포일, 금속 시트, 중합체 재료 등을 포함할 수 있다. 또한, 다양한 실시예에서, 기판(105)은 형태, 형상, 및/또는 크기 면에서 변동될 수 있다. 예컨대, 일부 실시예에서, 기판(105)은 200 ㎜, 300 ㎜, 450 ㎜, 또는 다른 크기의 외경을 갖는 반도체 웨이퍼이다. 또한, 일부 실시예에서, 기판(105)은 다른 형상 중에서, 평평한 패널 디스플레이를 위한 직사각형 기판 등과 같은 비-원형 기판이다.

[0012] 1차 바이어스 전극(111)은 기판 지지 표면(103) 아래의 기판 지지 구조(101) 내부에 배치된다. 일부 실시예에서, 기판 지지 구조(101)는 세라믹 재료 또는 다른 유형의 유전체 재료와 같은 유전체 재료로 형성되고, 1차 바이어스 전극(111)은 전기 전도성 재료로 형성된다. 에지 링 전극(113)은 에지 링(109) 내부에 배치된다. 일부 실시예에서, 에지 링(109)은 유전체 재료로 형성되고, 에지 링 전극(113)은 전기 전도성 재료로 형성된다. 1차 바이어스 전극(111)은 연결(117)에 의해 표시된 바와 같이 바이어스 전압 공급 시스템(115)에 전기적으로 연결된다. 에지 링 전극(113)은 또한 연결(119)에 의해 표시된 바와 같이 바이어스 전압 공급 시스템(115)에 전기적으로 연결된다. 바이어스 전압 공급 시스템(115)은 1차 바이어스 전극(111) 상의 전압과 에지 링 전극(113) 상의 전압을 제어하도록 구성된다. 1차 바이어스 전극(111)은 기판(105)이 기판 지지 표면(103) 상에

존재할 때 기판(105)의 최상부 표면(105T) 상의 전압을 제어하도록 구성된다. 1차 바이어스 전극(111)에 인가되는 전압은 1차 바이어스 전극(111) 위의 기판 지지 구조(101)의 유전체 재료와 기판(105) 자체의 재료의 조합과 같이 1차 바이어스 전극(111)과 기판(105)의 최상부 표면(105T) 사이에 존재하는 다양한 재료로 인해, 기판(105)의 최상부 표면(105T) 상의 대응하는 전압과 상이할 수 있다. 일부 실시예에서, 1차 바이어스 전극(111)과 기판(105)의 최상부 표면(105T) 사이에 존재하는 재료(들)는 실질적으로 고정된 커패시턴스로서 전기적으로 표현될 수 있다. 에지 링 전극(113)은 에지 링(109)의 최상부 표면(109T) 상의 전압을 제어하도록 구성된다. 에지 링 전극(113)에 인가되는 전압은 에지 링 전극(113) 위의 에지 링(109)의 재료로 인해 에지 링(109)의 최상부 표면(109T) 상의 대응하는 전압과 상이할 수 있다. 일부 실시예에서, 에지 링 전극(113) 위의 에지 링(109)의 재료(들)는 실질적으로 고정된 커패시턴스로 전기적으로 표현될 수 있다.

[0013] 도 2a는 일부 실시예에 따라 기판 지지 표면(103) 상의 기판(105)과 함께, 기판 지지 구조(101) 옆에 있는 에지 링(109)의 근접 수직 단면도를 도시한다. 이 예에서, 에지 링(109)의 최상부 표면(109T)은 기판(105)의 최상부 표면(105T)보다 높다. 기판(105)의 최상부 표면(105T) 위의 수직 높이(1D, 2D, 3D, 4D, 5D 및 6D)는 각각 선(201, 202, 203, 204, 205 및 206)에 의해 도시된다. 수직 높이(1D, 2D, 3D, 4D, 5D 및 6D) 중 연속된 수직 높이는 1D의 일정한 거리 증분에 의해 분리되며, 여기서 D는 임의적 거리이다. 에지 링(109)의 최상부 표면(109T) 위의 수직 높이(1D, 2D, 3D 및 4D)는 각각 선(207, 208, 209 및 210)에 의해 표시된다. 에지 링(109) 위의 수직 높이(1D, 2D, 3D 및 4D) 중 연속적인 수직 높이는 1D의 일정한 거리 증분에 의해 분리된다.

[0014] 기판(105) 위의 플라즈마 시스 두께는 기판(105)의 최상부 표면(105T)으로부터 플라즈마(107)의 주요부(bulk)까지의 거리이다. 마찬가지로, 에지 링(109) 위의 플라즈마 시스 두께는 에지 링(109)의 최상부 표면(109T)으로부터 플라즈마(107)의 주요부까지의 거리이다. 1차 바이어스 전극(111)을 통한 기판(105)의 최상부 표면(105T) 상의 음전압의 인가는 기판(105) 위에 플라즈마 시스를 설정한다. 기판(105)의 최상부 표면(105T) 상의 전압은 기판(105) 위의 플라즈마 시스의 두께를 제어한다. 에지 링 전극(113)을 통한 에지 링(109)의 최상부 표면(109T) 상의 음전압의 인가는 에지 링(109) 위에 플라즈마 시스를 설정한다. 에지 링(109)의 최상부 표면(109T) 상의 전압은 에지 링(109) 위의 플라즈마 시스의 두께를 제어한다. 기판(105) 위의 플라즈마 시스의 두께는 기판(105)의 최상부 표면(105T) 상의 전압에 부분적으로 의존한다. 마찬가지로, 에지 링(109) 위의 플라즈마 시스의 두께는 에지 링(109)의 최상부 표면(109T) 상의 전압에 부분적으로 의존한다. 도 2a의 예에서, 기판(105)의 최상부 표면(105T) 상의 -100V의 전압 전위는 플라즈마 시스 경계가 기판(105)의 최상부 표면(105T)으로부터 1D의 거리 증분 만큼 멀어지게 이동시킨다. 마찬가지로, 도 2a의 예에서, 에지 링(109)의 최상부 표면(109T) 상의 -100V의 전압 전위는 플라즈마 시스 경계가 에지 링(109)의 최상부 표면(109T)으로부터 1D의 거리 증분 만큼 멀어지게 이동시킨다.

[0015] 플라즈마(107)로부터의 이온이 플라즈마 시스를 통해 이동할 때, 이온은 플라즈마 시스를 정의하는 등전위선에 수직인 방향을 향해 운동 에너지를 얻는다. 또한, 플라즈마 시스를 정의하는 등전위선이 이동하는 이온의 경로 전반에 걸쳐 평평할 때 IADF(ion angular distribution function)가 최소화(0도에 가까움)된다. 이상적으로, 플라즈마 시스 경계는 기판(105) 및 에지 링(109)에 걸쳐 평평하여서, IADF는 기판(105)의 외부 주변 에지까지 내내 기판(105)의 최상부 표면(105T)에 수직(90도)이다. 예컨대, 도 2a에서 기판(105)의 최상부 표면(105T) 상의 전압이 -600V이고 에지 링(109)의 최상부 표면(109T) 상의 전압이 -400V일 때, 기판(105)과 에지 링(109) 사이의 트랜지션에 걸친 플라즈마 시스 경계는 선(206, 212 및 210)에 의해 표시된 바와 같이 평평하여서, 플라즈마 시스 내의 이온이 상당한 수평 에너지를 얻지 못할 것이고, 즉 이온이 기판(105)의 최상부 표면(105T)에 실질적으로 수직인 방향으로 기판(105)을 향해 이동할 것이다.

[0016] 도 2b는 일부 실시예에 따라 기판(105)의 최상부 표면(105T)에 인가된 RF 바이어스 전압에 대한 파형(220) 및 에지 링(109)의 최상부 표면(109T)에 인가된 RF 바이어스 전압에 대한 파형(222)을 도시한다. 파형(220 및 222)은 동일한 주파수를 갖고 위상이 동기화된다. 파형(220)은 -600V의 피크 음전압을 갖고, 파형(222)은 -400V의 피크 음전압을 갖는데, 이는 -200V의 전위차(ΔV1)에 대응한다. 따라서 파형(220 및 222)이 자신의 개개의 피크 음전압에 있을 때, 플라즈마 시스 경계는 도 2a의 선(206, 212 및 210)에 의해 표시된 바와 같이 기판(105)과 에지 링(109) 사이의 트랜지션에 걸쳐 평평하다. 그러나 파형(220 및 222)의 다른 위상에서, 기판(105)의 최상부 표면(105T) 및 에지 링(109)의 최상부 표면(109T) 상의 전압은 기판(105)과 에지 링(109) 사이의 트랜지션에 걸친 평평한 플라즈마 시스 경계를 제공하지 않는다. 예컨대, 기판(105)의 최상부 표면(105T) 상의 전압이 -300V일 때, 에지 링(109)의 최상부 표면(109T) 상의 전압은 -200V이며, 이는 -100V의 전위차(ΔV2)에 대응하며, 이는 도 2a의 선(203, 211 및 208)에 의해 표시된 바와 같이 기판(105)과 에지 링(109) 사이의 트랜지션에 걸쳐 평평한 플라즈마 시스 경계를 제공하지 않는다. RF 바이어스 전압 파형(220 및 222)이 동위상으로

사이클링함에 따라, 플라즈마 시스 경계는 기판(105)의 최상부 표면(105T)과 에지 링(109)의 최상부 표면(109T) 사이의 트랜지션에서 위아래로 구부러진다. 플라즈마 시스 경계의 이러한 굽힘은 충돌 이온(이를테면, 반응성 이온 에칭을 위해 사용됨)이 기판(105)의 최상부 표면(105T)에 수직하지 않은 각도로 기판(105) 상에 입사되게 한다. 기판(105)의 에지에서 충돌 이온의 IADF의 증가는 기판(105)의 에지에서 프로세스 결과(예컨대, 에칭 레이트, 에칭 프로파일 등)의 불균일을 야기하며, 이는 일반적으로 이를테면, 상이한 인가된 정현파 RF 바이어스 전압 파형에 대한 기판(105) 에칭 프로파일 결과를 이미징함으로써 경험적 평가를 요구한다.

[0017] 정현파 RF 바이어스 전압을 사용하여 기판(105)을 바이어싱할 때, 기판(105), 1차 바이어스 전극(111), 기판(105)의 에지 근처의 에지 링(109) 구조의 불연속성은 종종 기판(105)에서 불균일한 프로세스 결과를 초래한다. 또한, 도 2a 및 2b의 예는 또한 기판(105)의 최상부 표면(105T)과 에지 링(109)의 최상부 표면(109T)이 동일한 높이에(동일한 수평 평면에) 있지 않는 한, 플라즈마 시스를 통해 이동하는 충돌 이온에 대한 시간 기간에 걸쳐 기판(105)과 에지 링(109) 사이의 트랜지션에 걸친 이상적인 평평한 플라즈마 시스 경계를 제공할 수 없음을 보여준다.

[0018] 일부 실시예에서, 기판(105)의 외부 주변 에지 근처에서 기판(105) 상의 프로세스 결과의 균일성을 제어하기 위해 독립적인 RF 바이어스가 에지 링(109) 아래에 추가된다. 그러나 기판(105) 및 에지 링(109)의 RF 바이어싱은 비교적 넓은 IED(ion energy distribution)를 갖고 있으며, 기판(105) 및/또는 에지 링(109) 위의 IED의 이온 에너지 레벨 및 FWHM(full-width-at-half-maximum)에 대한 제어가 부족하다. 또한, 반응성 이온 에칭에 의한 에지 링(109) 침식은 에지 링 전극(113)에 정현파 RF 바이어스 전압을 공급하는 것과 연관된 다른 문제이다. 에지 링(109) 침식은 에지 링(109)을 더 자주 교체해야 하기 때문에 제조 시 운영 비용을 추가할 수 있으며, 이는 에지 링(109)을 사용함으로써 제공되는 제조 수율의 이익을 감소시킬 수 있다.

[0019] 좁은 IED는 특히, 반응성 이온 에칭(RIE), 원자층 증착(ALD), 원자층 에칭(ALE)과 같은 다양한 애플리케이션에서 넓은 IED에 비해 기판(105)에 대한 원하는 플라즈마 프로세스 결과를 달성하는 데 유리하다. 좁은 IED는 프로세싱되는 기판(105)의 표면(105T) 이를테면, 플라즈마 에칭 및/또는 증착을 위한 실리콘 웨이퍼 상의 일정한 음전압을 통해 획득될 수 있다. 또한, 유전체 재료로 만들어진 다수의 기판(105) 및 기판 지지 구조(101)가 존재한다. 1차 바이어스 전극(111) 전압이 제어되지 않으면, 양으로 대전된 이온은 기판(105)의 최상부 표면(105T) 상의 음의 표면 전하를 감소시키고 그에 따라 시스 전위를 감소시키도록 플라즈마 시스를 통해 이동할 것이다. 일부 실시예에서, 플라즈마 시스를 통한 이온 플럭스가 실질적으로 일정하다는 가정으로, 기판(105)의 최상부 표면(105T) 상에서 일정한 음전압을 유지하기 위해 1차 바이어스 전극(111) 전압의 선형 경사가 사용된다. 그러나 일부 실시예에서, 플라즈마를 통한 이온 플럭스는 시변성(time-varying)인 경우, 1차 바이어스 전극(111) 전압의 비선형 경사는 기판(105)의 최상부 표면(105T) 상의 일정한 음전압을 유지하는데 사용된다.

[0020] 일부 상황에서, 프로세싱 시간(>> 1초)에 비해 비교적 짧은 시간 기간(> 1밀리초) 동안에도 플라즈마 시스가 붕괴되지 않고 유지되는 경우 1차 바이어스 전극(111)에 과도한 크기의 전압이 요구될 것이다. 1차 바이어스 전극(111) 상의 과도한 크기의 전압을 공급하기 위해 고전압 생성기를 구현하는 것은 비용이 많이 들고 비효율적이다. 또한, 전하 축적은 기판(105)의 최상부 표면(105T) 상에 음전압이 존재하는 비교적 긴 시간 기간과 연관된 다른 문제이다. 1차 바이어스 전극(111) 상의 전압의 극성을 주기적으로 스위칭하는 것은 과도한 크기의 전압 요건 및 전하 축적과 관련된 이러한 이슈를 해결한다. 좁은 IED를 획득하기 위해, 기판(105)의 최상부 표면(105T) 상에서 일정한 음전압(t_Vneg)의 지속기간보다 이온의 시스 이동 시간(t_ion)이 클 때 발생하는 충돌 시스를 회피하는 것이 필요하다. 빠른 스위칭 주파수는 짧은 t_Vneg로 인해 이러한 조건(t_ion > t_Vneg)으로 이어진다. 따라서 1차 바이어스 전극(111)에 대해 마이크로초 정도의 전압의 선형 경사가 필요할 수 있다. 일부 실시예에서, 스위칭 주파수는 10킬로헤르츠 내지 1메가헤르츠이다.

[0021] 비정현파 전압 소스에서 제어해야 할 2개의 파라미터: Vstep 및 dV/dT가 있다. 일부 실시예에서, 1차 바이어스 전극(111)에 인가되는 전압은 양이온에 의해 충전된 기판(105)을 방전시키기 위해 일정 시간 기간 동안 실질적으로 안정적으로 유지된다. 이 기간 동안 플라즈마 시스가 붕괴된다. 그 후, Vstep이 1차 바이어스 전극(111)에 인가되어 기판(105)의 최상부 표면(105T) 상에서 타겟 음전압을 달성한다. 그 후, Vstep에 의해 기판(105)의 최상부 표면(105T) 상에서 타겟 음전압이 달성된 후, 전압 경사 dV/dT는, 기판(105)의 최상부 표면(105T) 상에서 타겟 음전압이 유지되도록 스위칭 사이클이 끝날 때까지 1차 바이어스 전극(111)에 인가된다. 전압(Vstep)은 원하는 이온 에너지를 세팅하고, 전압(dV/dT)은 IED의 FWHM(full-width-at-half-maximum)을 세팅한다. 전압 dV/dT = I_ion/C_substrate이며, 여기서 I_ion은 기판(105) 상에 입사되는 이온 전류이고 C_substrate는 기판(105)의 최상부 표면(105T)과 제어된 바이어스 전압이 직접 또는 간접적으로 인가되는 1차 바이어스 전극(111) 사이의 커패시턴스이다. 1차 바이어스 전극(111)을 통해 기판(105)의 최상부 표면(105T) 상에서 타겟 음전압을

달성 및 유지하기 위해 Vstep 및 dV/dT를 인가하는 위에서 언급된 프로세스는 에지 링 전극(113)을 통해 에지 링(109)의 최상부 표면(109T) 상에서 타겟 전압을 달성 및 유지하는 데 또한 사용될 수 있다.

[0022] 기판 표면 전체에 걸친 균일한 IED는 제조 수율에 중요하다. 그러나 기판의 불연속성, 베이스 플레이트 전극 및 에지 링 구조로 인해 기판의 에지 근처에서 IED가 종종 불균일하다. 본원에서 개시된 다양한 실시예에 따르면, 에지 링(109)에 대한 독립적인 비정현파 전압 제어는 기판(105)의 에지 전체에 걸친 IED 균일성의 제어를 제공한다. 독립적인 전압 소스는 에지 링(109)에 대한 독립적인 비정현파 전압 제어를 제공하는 데 사용된다. 독립적인 전압 소스는 기판(105) 전체에 걸쳐 실질적으로 균일한 프로세스 결과를 제공하는 방식으로 1차 바이어스 전극(111)의 전압 스위칭과 정렬된다.

[0023] 일부 실시예에서, 에지 링 전극(113)은 에지 링(109)의 최상부 표면(109T)에 대한 독립적인 IED 제어를 제공하는 데 사용된다. 에지 링 전극(113)을 에지 링(109)의 최상부 표면(109T) 아래에 삽입하는 것은 다양한 방식으로 달성될 수 있다. 예시적인 실시예에서, 에지 링 전극(113)은 1차 바이어스 전극(111)과 전기적으로 분리된다. 본 실시예에서, 에지 링 전극(113)에 대해 독립적인 전압 소스가 구현된다. 다른 예시적인 실시예에서, 에지 링 전극(113)은 1차 바이어스 전극(111)으로부터 분기된다. 일부 실시예에서, 에지 링 전극(113)은 1차 바이어스 전극(111)으로부터 분기된 부가적인 전극이다. 일부 실시예에서, 에지 링 전극(113)은 1차 바이어스 전극(111)의 확장으로서 형성된다. 에지 링 전극(113)이 1차 바이어스 전극(111)으로부터 분기되는 실시예는 에지 링 전극(113)에 대한 독립적인 전압 소스를 요구하지 않는다. 오히려, 에지 링 전극(113)이 1차 바이어스 전극(111)으로부터 분기되는 실시예에서, 에지 링 전극(113) 상의 전압은 기판(105) 커패시턴스와 실질적으로 매칭되도록 에지 링(109)의 커패시턴스 최적화로 제어된다. 다양한 실시예에서, 가변 커패시터 및 온도 제어 커패시턴스와 같은 다양한 기술이 에지 링(109) 커패시턴스 최적화에 사용된다. 에지 링(109)에 독립적인 비정현파 전압 및 IED 제어를 적용하기 위한 본원에서 개시된 다양한 실시예는 기판(105)의 에지 근처에서 개선된 프로세스 균일성을 제공한다. 본원에서 개시된 다양한 실시예는 또한 비정현파 전압 소스와 에지 링(109) 커패시턴스에 의해 제어되는 IED의 관점에서 프로세스 균일성을 개선하기 위한 새로운 도구를 제공한다.

[0024] 일부 실시예에서, 기판(105)과 에지 링(109) 사이의 트랜지션에 걸쳐 실질적으로 평평한 플라즈마 시스 경계를 유지하기 위해, 별도의 임의적(비정현파) 바이어스 전압 파형이 기판(105) 및 에지 링(109) 각각에 각각 적용된다. 도 3은 일부 실시예에 따라 각각 1차 바이어스 전극(111) 및 에지 링 전극(113)을 통해 기판(105)의 최상부 표면(105T) 및 에지 링(109)의 최상부 표면(109T)에 적용될 수 있는 예시적인 임의적(비정현파) 바이어스 전압 파형을 도시한다. 도 3의 바이어스 전압 파형이 예로써 도시된다는 것이 이해되어야 한다. 다른 실시예에서, 본질적으로, 임의의 임의적(비정현파) 바이어스 전압 파형이 기판(105)과 에지 링(109) 사이의 트랜지션에 걸쳐 실질적으로 평평한 플라즈마 시스 경계를 달성 및 유지하기 위해 기판(105)의 최상부 표면(105T) 및 에지 링(109)의 최상부 표면(109T)에 필요에 따라 인가될 수 있다. 도 3은 진행중인 일련의 펄스 사이클로서 정의되는 펄스식 전압 파형(301)을 도시하며, 여기서 각각의 펄스 사이클은 파형 주기에 대응하고 펄스식 전압 파형(301)이 음전압을 갖는 온-지속기간 및 펄스식 전압 파형(301)이 양전압을 갖는 오프-지속기간을 포함한다. 파형(301) 내 펄스 사이클 시작 시에, 바이어스 전압 크기의 단계적 변화(증가)에 대한 응답으로 빠른 덮개 형성이 발생한다. 파형(301) 내 펄스 사이클이 온-지속기간 동안, 음의 바이어스 전압이 거의 일정하게 유지되어 일관되는 플라즈마 시스 경계 두께를 유지한다. 파형(301) 내 펄스 사이클의 오프-지속기간 동안, 기판(105)의 최상부 표면(105T) 또는 에지 링(109)의 최상부 표면(109T) 상에서 음의 바이어스 전압으로부터 양전압으로의 단계적 변화에 대한 응답으로 빠른 플라즈마 시스 붕괴가 발생한다.

[0025] 도 3은 또한 진행중인 일련의 펄스 사이클로서 정의되는 펄스식 전압 파형(303)을 도시하며, 여기서 각각의 펄스 사이클은 파형 주기에 대응하고 펄스식 전압 파형(303)이 음전압을 갖는 온-지속기간 및 펄스식 전압 파형(303)이 양전압을 갖는 오프-지속기간을 포함한다. 파형(303) 내 펄스 사이클 시작 시에, 바이어스 전압 크기의 단계적 변화(증가)에 대한 응답으로 빠른 덮개 형성이 발생한다. 파형(303) 내 펄스 사이클의 온-지속기간 동안, 바이어스 전압 크기는 시간의 함수로서 선형으로 감소되어 시간의 함수로서 감소하는 플라즈마 시스 경계 두께를 달성한다. 파형(303) 내 펄스 사이클의 오프-지속기간 동안, 기판(105)의 최상부 표면(105T) 또는 에지 링(109)의 최상부 표면(109T) 상에서 음의 바이어스 전압으로부터 양전압으로의 단계적 변화에 대한 응답으로 빠른 플라즈마 시스 붕괴가 발생한다.

[0026] 도 3은 또한 진행중인 일련의 펄스 사이클로서 정의되는 펄스식 전압 파형(305)을 도시하며, 여기서 각각의 펄스 사이클은 파형 주기에 대응하고 펄스식 전압 파형(305)이 음전압을 갖는 온-지속기간 및 펄스식 전압 파형(305)이 양전압을 갖는 오프-지속기간을 포함한다. 파형(305) 내 펄스 사이클 시작 시에, 바이어스 전압 크기의 단계적 변화(증가)에 대한 응답으로 빠른 덮개 형성이 발생한다. 파형(305) 내 펄스 사이클의 온-지속기간

동안, 바이어스 전압 크기는 시간의 함수로서 선형으로 감소되어 시간의 함수로서 감소하는 플라즈마 시스 경계 두께를 달성한다. 파형(305) 내 펄스 사이클의 오프-지속기간 동안, 기판(105)의 최상부 표면(105T) 또는 에지 링(109)의 최상부 표면(109T) 상에서 음의 바이어스 전압으로부터 양전압으로의 단계적 변화에 대한 응답으로 빠른 플라즈마 시스 붕괴가 발생한다.

[0027] 도 3에서, 파형 주기(펄스 사이클)는 플라즈마 시스를 설정 및 제거하는 총 시간을 표현한다. 일부 실시예에서, 펄스 사이클의 온-지속기간 동안 음전압 크기는 반응성 이온 에칭을 위한 이온 충격을 유도하도록 세팅된다. 파형(301, 303, 305)의 듀티 사이클은 온-지속기간에 대응하는 파형 주기(펄스 사이클)의 퍼센티지를 조정함으로써 제어된다. 예시적인 파형(301, 303 및 305)은 1차 바이어스 전극(111) 및 에지 링 전극(113) 모두에 적용될 수 있다.

[0028] 도 4는 일부 실시예에 따라 도 2a의 예에서 평평한 플라즈마 시스 경계를 생성하기 위해 1차 바이어스 전극(111) 및 에지 링 전극(113) 둘 모두에 펄스식 전압 파형(301)을 적용하는 것을 도시한다. 구체적으로, 펄스식 전압 파형(401)은 펄스식 전압 파형(301)을 1차 바이어스 전극(111)에 인가하는 것에 대응하는 기판(105)의 최상부 표면(105T) 상의 전압을 표현한다. 펄스식 전압 파형(403)은 펄스식 전압 파형(301)을 에지 링 전극(113)에 인가하는 것에 대응하는 에지 링(109)의 최상부 표면(109T) 상의 전압을 표현한다. 파형(401)은 온-지속기간(401B) 및 오프-지속기간(401C)을 포함하는 펄스 사이클(401A)을 갖는다. 파형(403)은 온-지속기간(403B) 및 오프-지속기간(403C)을 포함하는 펄스 사이클(403A)을 갖는다. 펄스식 전압 파형(401 및 403)은 위상 및 듀티 사이클에 관해 동기화된다. 펄스 사이클(401A)의 지속기간(401B)은 1차 바이어스 전극(111)을 통해 기판(105)의 최상부 표면(105T)에 -600V의 바이어스 전압을 인가한다. 동시에, 펄스 사이클(403A)의 지속기간(403B)은 에지 링 전극(113)을 통해 에지 링(109)의 최상부 표면(109T)에 -400V의 바이어스 전압을 인가한다. 따라서 도 2a의 예에서 플라즈마 시스 경계는, 선(206, 212, 및 210)에 의해 표시된 바와 같이, 펄스형 전압 파형(401 및 403) 각각의 펄스 사이클(401A 및 403A) 각각의 온-지속기간(401B 및 403B)에 걸쳐, 기판(105)과 에지 링(109) 사이의 트랜지션에 걸쳐 평평하다. 또한, 플라즈마 시스는 펄스식 전압 파형(401 및 403)의 펄스 사이클(401A 및 403A)의 오프-지속기간(401C 및 403C) 동안 붕괴된다. 도 2a의 예에서, 펄스식 전압 파형(401 및 403)은, 플라즈마 시스를 통한 이온 이동 시간보다 훨씬 긴 음의 바이어스 전압 기간 동안 평평한 플라즈마 시스 경계를 생성한다. 또한, 기판(105) 및 에지 링(109) 바이어스 전압은 동일한 위상 및 듀티 사이클로 정렬되어서, 플라즈마 시스 경계의 형상은 음의 바이어스 전압 기간 동안 안정적이고, 충돌 IADF는 최소화(0도에 가까움)될 수 있다.

[0029] 도 5는 일부 실시예에 따라 에지 링 전극(113)에 더 짧은 듀티 사이클 펄스식 전압 파형(501)을 적용하는 것과 함께 1차 바이어스 전극(111)에 도 4의 펄스식 전압 파형(401)을 적용하는 것을 도시한다. 펄스식 전압 파형(501)은 온-지속기간(501B) 및 오프-지속기간(501C)을 포함하는 펄스 사이클(501A)을 갖는다. 펄스식 전압 파형(503)은 펄스식 전압 파형(401)에 비해 듀티 사이클이 더 짧은데, 그 이유는 온-지속기간(501B)에 대응하는 펄스 사이클(501A)의 퍼센티지가 온-지속기간(401B)에 대응하는 펄스 사이클(401A)의 퍼센티지보다 작기 때문이다. 기판(105)의 에지 위의 플라즈마 시스 경계를 평평하게 하도록 에지 링(109)의 최상부 표면(109T) 상의 전압의 크기가 세팅되면, 충돌 이온의 이동 각도는 에지 링(109)의 최상부 표면(109T)에 인가된 펄스식 전압 파형(501)의 펄스 사이클(501A)의 온-지속기간(501B) 동안 기판(105)의 최상부 표면(105T)으로부터 연장되는 법선 벡터에 대해 약 0도이다. 온-지속기간(401B 및 501B)은 각각 플라즈마 시스를 통한 이온 이동 시간보다 길게 또는 짧게 세팅할 수 있다. 이러한 조건 하에서, 펄스식 전압 파형(501)의 펄스 사이클(501A)의 오프-지속기간(501C) 동안, 대부분의 충돌 이온은 플라즈마 시스의 중앙에 있을 것이며, 여기서 이온은 기판(105)의 최상부 표면(105T)에 가까울수록 전압 구배가 더 작아지기 때문에, 기판(105)의 최상부 표면(105T) 상의 전압의 영향을 주로 받는다. 따라서, 초기에, 에지 링(109)의 최상부 표면(109T) 위로 수직으로 움직이던 이온은 펄스식 전압 파형(501)의 펄스 사이클(501A)의 오프-지속기간(501C) 동안 자신의 에너지를 잃고 기판(105)을 향한 비교적 작은 운동 에너지를 얻을 것이다. 상응하게, 에지 링(109)의 최상부 표면(109T)에 적용되는 펄스식 전압 파형(501)의 더 짧은 듀티 사이클은 반응성 이온 에칭 프로세스 동안 에지 링(109)의 침식을 감소시키는 역할을 한다.

[0030] 도 6은 일부 실시예에 따라 펄스식 전압 파형(401)에 비해 위상 시프트된 펄스식 전압 파형(403)과 함께, 기판(105)의 최상부 표면(105T)에 인가된 펄스식 전압 파형(401) 및 에지 링(109)의 최상부 표면(109T)에 인가된 펄스식 전압 파형(403)을 도시한다. 구체적으로, 펄스식 전압 파형(403)은 위상 시프트량(601) 만큼 위상 시프트되어서, 펄스식 전압 파형(403)의 펄스 사이클(403A)이 펄스식 전압 파형(401)의 펄스 사이클(401A)에 앞서 시작된다. 일부 실시예에서, 위상 시프트량(601)은 기판(105)의 최상부 표면(105T) 상의 펄스식 전압 파형(401)의

펄스 사이클(401A)의 온-지속기간(401B)(음전압)의 시작 이전에 위상 시프트량(601) 동안 기판(105)의 에지의 에칭 레이트가 에지 링(109)을 향해 초기에 충돌 이온을 끌어당김으로써 감소되도록 세팅된다. 이런 방식으로, 위상 시프트량(601)은 초기에 기판(105)의 에지 위에 있는 이온을 에지 링(109)을 향해 이동시킴으로써 기판(105)의 에지 상에 입사되는 충돌 이온의 수를 감소시키는 역할을 한다. 또한, 일부 실시예에서, 위상 시프트량(601)은 펄스식 전압 파형(403)의 위상 사이클(403A)이 시작될 때 이온이 초기에 에지 링(109)을 향해 이동한 다음, 펄스식 전압 파형(401)의 위상 사이클(401A)이 시작될 때 기판(105)에 수직으로 회전하게 한다. 일부 실시예에서, 도 6의 위상 시프트된 펄스식 전압 파형(403)은 기판(105)의 주변부 주위의 구조적, 시간적 및/또는 전기적 불연속성으로 인해 기판(105)의 에지 근처의 이온 밀도가 더 클 때 기판(105)의 외부 주변 에지에서 에칭 레이트를 감소시킨다. 또한, 일부 실시예에서, 펄스식 전압 파형(403)은 다른 방향으로 위상 시프트되어서, 펄스식 전압 파형(403)의 펄스 사이클(403A)은 펄스식 전압 파형(401)의 펄스 사이클(401A)이 시작된 후에 일정 위상 시프트량을 시작한다는 것이 이해되어야 한다.

[0031] 도 7은 일부 실시예에 따라 1차 바이어스 전극(111)에 도 3의 펄스식 전압 파형(305)을 적용하고 에지 링 전극(113)에 도 3의 펄스식 전압 파형(303)을 적용하는 것을 도시한다. 구체적으로, 펄스식 전압 파형(701)은 펄스식 전압 파형(305)을 1차 바이어스 전극(111)에 인가하는 것에 대응하는 기판(105)의 최상부 표면(105T) 상의 전압을 표현한다. 펄스식 전압 파형(703)은 펄스식 전압 파형(303)을 에지 링 전극(113)에 인가하는 것에 대응하는 에지 링(109)의 최상부 표면(109T) 상의 전압을 표현한다. 파형(701)은 온-지속기간(701B) 및 오프-지속기간(701C)을 포함하는 펄스 사이클(701A)을 갖는다. 파형(703)은 온-지속기간(703B) 및 오프-지속기간(703C)을 포함하는 펄스 사이클(703A)을 갖는다. 펄스식 전압 파형(701 및(703))은 위상 및 듀티 사이클에 관해 동기화된다. 펄스 사이클(701A)의 온-지속기간(701B)은, 초기 단계 전압 크기로부터 -600V 전압으로 시간의 함수로서 선형으로 크기가 증가하는 바이어스 전압을 기판(105)의 최상부 표면(105T)에 인가한다. 동시에, 펄스 사이클(703A)의 온-지속기간(703B)은, -400V의 초기 단계 전압으로부터 시간의 함수로서 선형으로 크기가 감소하는 바이어스 전압을 에지 링(109)의 최상부 표면(109T)에 인가한다.

[0032] 일부 실시예에서, 온-지속기간(701B) 동안 펄스식 전압 파형(701)의 전압 경사 및 온-지속기간(703B) 동안 펄스식 전압 파형(703)의 전압 경사가 기판(105)의 에지 근처에서 이온 움직임을 조작함으로써 플라즈마 프로세스 결과를 개선하도록 집합적으로 조정된다. 도 7의 특정 예는 기판(105)의 최상부 표면(105T) 상의 펄스식 전압 파형(701)과 에지 링(109)의 최상부 표면(109T) 상의 펄스식 전압 파형(703) 사이의 듀티 사이클 또는 위상 정렬을 변경하지 않고 기판(105)의 에지에서 에칭 레이트를 감소시키는 역할을 한다. 일부 실시예에서 기판(105)과 에지 링(109) 사이의 플라즈마 시스 경계의 굽힘(bend)은 펄스식 전압 파형(701 및 703)의 펄스 사이클(701A 및 703A)의 온-지속기간(701B 및 703B) 동안 반전된다. 그러나 다양한 실시예에서, 펄스식 전압 파형(701 및 703)은 각각 펄스 사이클(701A 및 703A)의 온-지속기간(701B 및 703B) 동안 본질적으로 임의의 요구되는 방식으로 시간의 함수로서 변경되도록 각각 구성될 수 있다는 것이 이해되어야 한다.

[0033] 도 8은 일부 실시예에 따라 에지 링 전극(113)에 펄스식 전압 파형(803)을 인가하는 것과 함께 1차 바이어스 전극(111)에 펄스식 전압 파형(801)을 인가하는 것을 도시하며, 여기서 펄스식 전압 파형(803)은 레벨간 펄싱 상태를 포함한다. 펄스식 전압 파형(801)은 연속적인 일련의 펄스 사이클(801A)을 포함된다. 펄스식 전압 파형(803)은 연속적인 일련의 펄스 사이클(803A)을 포함된다. 펄스식 전압 파형(801 및 803)은 위상에 관해 동기화된다. 즉, 펄스식 전압 파형(803)의 동일한 펄스 사이클(803A)은 펄스식 전압 파형(801)의 각각의 펄스 사이클(801A)의 시간적 경과에 따라 발생한다. 펄스식 전압 파형(801)은 유사한 펄스식 전압 파형을 1차 바이어스 전극(111)에 인가하는 것에 대응하는 기판(105)의 최상부 표면(105T) 상의 전압을 표현한다. 펄스식 전압 파형(803)은 유사한 펄스식 전압 파형을 에지 링 전극(113)에 인가하는 것에 대응하는 에지 링(109)의 최상부 표면(109T) 상의 전압을 표현한다.

[0034] 파형(801)은 기판(105)의 최상부 표면(105T) 상의 전압이 0 또는 양수인 제1 상태(801B)를 포함하는 펄스 사이클(801A)을 갖는다. 파형(801)의 펄스 사이클(801A)은 또한 기판(105)의 최상부 표면(105T)상의 전압이 일련의 하위 펄스 사이클(802A)에 따라 하위 펄스화되는 제2 상태(801C)를 가지며, 여기서 각각의 하위 펄스 사이클(802A)은 온-지속기간(802B) 및 오프-지속기간(802C)을 포함한다. 온-지속기간(802B)을 갖는 하위 펄스 사이클(802A)의 퍼센티지는 하위 펄스 사이클(802A)의 듀티 사이클을 정의하며, 여기서 이 듀티 사이클은 기판(105) 위의 대전된 성분에 대한 원하는 효과를 달성하기 위해 필요에 따라 조정될 수 있다.

[0035] 파형(803)은 제1 상태(803b) 및 제2 상태(803C)를 포함하는 펄스 사이클(803A)을 갖는다. 제1 상태(803B)에서, 에지 링(109)의 최상부 표면(109t) 상의 전압은 일련의 하위 펄스 사이클(804A)에 따라 하위 펄스화되며, 여기서 각각의 하위 펄스 사이클(804A) 온-지속기간(804b) 및 오프-지속기간(804C)을 포함한다. 온-지속기간(804B)

을 갖는 하위 펄스 사이클(804A)의 퍼센티지는 하위 펄스 사이클(804A)의 듀티 사이클을 정의한다. 마찬가지로, 제2 상태(803C)에서, 에지 링(109)의 최상부 표면(109t) 상의 전압은 일련의 하위 펄스 사이클(805A)에 따라 하위 펄스화되며, 여기서 각각의 하위 펄스 사이클(805A) 온-지속기간(805b) 및 오프-지속기간(805C)을 포함한다. 온-지속기간(805B)을 갖는 하위 펄스 사이클(805A)의 퍼센티지는 하위 펄스 사이클(805A)의 듀티 사이클을 정의한다. 하위 펄스 사이클(804A 및 805A)의 듀티 사이클은 기판(105)의 에지 위/근처 및 에지 링(109) 위의 대전된 성분에 대한 원하는 효과를 달성하기 위해 필요에 따라 조정될 수 있다.

[0036] 도 8의 예시적인 실시예에서, 에지 링(109)의 최상부 표면(109T)에 인가되는 바이어스 전압의 크기는 제2 상태(803c)보다 제1 상태(803B)에서 낮은데, 이는 에지 링(109) 상의 레벨 간 바이어스 전압 펄싱으로서 지칭된다. 다양한 실시예에서, 레벨 간 바이어스 전압 펄싱은 에지 링(109), 기판(105), 또는 에지 링(109) 및 기판(105) 둘 모두에 적용될 수 있다는 것이 이해되어야 한다. 또한, 다양한 실시예에서, 레벨 간 바이어스 전압 펄싱에 적용되는 바이어스 전압 크기는 필요에 따라 제어될 수 있다. 또한, 다양한 실시예에서, 레벨 간 바이어스 전압 펄싱에 적용되는 듀티 사이클은 필요에 따라 제어될 수 있다. 또한, 다양한 실시예에서 펄스 사이클(801A) 내의 상이한 상태(801B 및 801C)의 시간 길이는 필요에 따라 정의될 수 있다. 그리고, 펄스 사이클(803A) 내의 상이한 상태(803b 및 803C)의 시간 길이는 필요에 따라 정의될 수 있다. 부가적으로, 도 8의 예에서, 펄스 사이클(801A)은 2개의 상태(801B 및 801C)를 갖고, 펄스 사이클(803A)은 2개의 상태(803B 및 803C)를 갖는 것으로 도시되지만, 다양한 실시예에서, 펄스 사이클(801A 및 803A) 중 하나 또는 둘 모두는 2개 초과의 상태를 포함하도록 정의될 수 있으며, 각각의 상태는 바이어스 전압 크기, 하위 펄스 듀티 사이클, 하위 펄스 시간 길이 및 상태 시간 길이의 특정 조합을 특징으로 한다는 것이 이해되어야 한다.

[0037] 도 8에 도시된 레벨 간 바이어스 전압 펄싱의 특정 예는 기판(105)의 최상부 표면(105t)으로의 펄스 사이클(801A)의 제1 상태(801B) 및 에지 링(109)의 최상부 표면(109t)으로의 펄스 사이클(803A)의 제1 상태(803B)의 결합된 적용 동안 기판(105)의 에지 위의 이온 밀도를 감소시키는 역할을 한다. 또한, 도 8의 레벨 간 바이어스 전압 펄싱 예는 기판(105)의 최상부 표면(105T)으로의 펄스 사이클(801A)의 제2 상태(801C) 및 에지 링(109)의 최상부 표면(109T)으로의 펄스 사이클(803A)의 제2 상태(803C)의 결합된 적용 동안 기판(105)의 에지 위의 IADF를 최소화하는 역할을 한다. 이런 방식으로, 도 8의 레벨 간 바이어스 전압 펄싱 예는 이온을 기판(105)의 에지에서 멀어지게 그리고 에지 링(109) 방향으로 이동시키는 역할을 하며, 이는 기판(105)의 에지에서 에칭 제어를 제공하기 위해 예컨대, 기판(105)의 에지에서 에칭 레이트를 감소시키기 위해 기판(105)의 에지 근처의 플라즈마 밀도를 감소시키는 역할을 할 수 있다. 도 8에 도시된 바와 같은 일부 실시예에서, 레벨 간 바이어스 전압 펄싱은 에지 링(109)의 최상부 표면(109T)에 대한 기판(105)의 최상부 표면(105T) 상의 펄스식 전압 파형 동기화 및 펄싱 상태 동기화 둘 모두를 포함한다.

[0038] 도 3 내지 8의 예와 관련하여 논의한 바와 같이, 다양한 바이어스 전압 파형이 기판(105)의 최상부 표면(105T) 및 에지 링(109)의 최상부 표면(109T)에 적용되어 기판(105)의 에지 근처의 플라즈마 시스 경계 프로파일을 제어할 수 있다. 이온은 기판(105)의 최상부 표면(105T) 상에 존재하는 전압에 의해 생성된 플라즈마 시스 전위에 따라 기판(105) 위의 플라즈마 시스에 걸쳐 이동한다. 기판(105) 상의 전압이 양수와 음수 사이에서 오실레이팅할 때, 플라즈마 시스 전위는 기판(105) 상의 전압 오실레이션을 반영하고, 플라즈마 시스를 통해 이동하는 이온은 변동되는 플라즈마 시스 전위에 의한 영향을 상응하게 받는다. 비교적 낮은 RF 주파수에서, 플라즈마 시스 내에서 충돌 이온의 이동 시간(플라즈마 시스 두께/평균 이온 속도)이 단일 RF 바이어스 전압 파형의 주기보다 짧을 수 있다. RF 바이어스 전압 주파수에 대응하는 플라즈마 시스 전위의 변동은 플라즈마 시스 내부에서 이동하는 이온의 움직임에 즉시 영향을 미친다. 기판(105)의 최상부 표면(105T)과 에지 링(109)의 최상부 표면(109T)에 제어된 임의적(비정현파) 펄스 바이어스 전압 파형을 적용하기 위한 본원에서 개시된 다양한 실시예는 기판(105)의 에지 근처의 에칭 균일성을 개선하기 위해 플라즈마 시스 내 특정 위치(들)에서 그리고 각각의 펄스 바이어스 전압 파형 주기 내의 특정 시간(들)에, 플라즈마 시스 내에서 이동하는 이온을 제어하는 것을 가능하게 한다. 기판(105)의 최상부 표면(105T) 및 에지 링(109)의 최상부 표면(109T)에 제어된 임의적(비정현파) 펄스 바이어스 전압 파형을 적용하기 위한 본원에서 개시된 다양한 실시예는 플라즈마 시스 내의 이온의 시간 및 위치에 관계없이 이온의 평균 움직임을 제어하려는 다양한 기존 기술보다 상당히 유리하다. 또한, 기판(105)의 최상부 표면(105T) 및 에지 링(109)의 최상부 표면(109T)에 제어된 임의적(비정현파) 펄스 바이어스 전압 파형을 적용하기 위한 본원에서 개시된 다양한 실시예는 다양한 플라즈마 에칭 애플리케이션에서 전력이 공급되는 에지 링(109)과 연관된 이슈를 완화하면서, 기판(105)에 걸친 프로세스 균일성 결과의 개선을 제공한다.

[0039] 도 9a는 일부 실시예에 따라, 기판(105)의 외부 주변 에지 근처의 플라즈마 시스 경계 프로파일을 제어하기 위해 다양한 바이어스 전압 파형이 기판(105)의 최상부 표면(105T) 및 에지 링(109)의 최상부 표면(109T)에 인가

되는, 도 3 내지 도 8과 관련하여 설명된 다양한 방법을 구현하기 위한 도 1a의 바이어스 전압 공급 시스템(115)의 예시적인 구현을 도시한다. 1차 바이어스 전극(111)과 에지 링 전극(113)은 각각 연관된 전기적 연결(117 및 119)과 함께, 바이어스 전압 공급 시스템(115)의 구성요소로 간주될 수 있다. 바이어스 전압 공급 시스템(115)은 연결(907 및 909)에 의해 표시된 바와 같이 필터(903)를 통해 바이어스 전압 공급 노드(905)에 전기적으로 연결된 출력을 갖는 전압 공급 시스템(901)을 포함한다. 전압 공급 시스템(901)은 시간의 함수로서 바이어스 전압 공급 노드(905) 상에서 규정된 전압 파형(902)을 생성하도록 구성된다. 일부 실시예에서, 규정된 전압 파형(902)은 바이어스 전압 단계 부분(Vstep)(902A) 및 시간적으로 변동되는 바이어스 전압 부분(dV/dT)(902B)을 포함한다. 일부 실시예에서, 규정된 전압 파형(902)은 진행중인 일련의 펄스 사이클로서 정의되며, 여기서 각각의 펄스 사이클은 도 3 내지 8의 펄스식 전압 파형과 관련하여 이전에 설명된 바와 같이 온-지속기간 및 오프-지속기간을 포함한다. 전압 공급 시스템(901)은 기판(105) 상에서 특정 플라즈마 프로세싱 동작에 대해 요구되는 바와 같은 임의의 형태의 규정된 전압 파형(902)을 필수적으로 생성하도록 전압 공급 시스템(901)의 동작을 지시하게 프로그래밍 가능한 제어기(911)와 양방향 데이터/신호 통신으로 연결된다.

[0040] 도 9b는 일부 실시예에 따른 전압 공급 시스템(901)의 예시적인 구현을 도시한다. 전압 공급 시스템(901)은 제1 전압 공급부(901A) 및 제2 전압 공급부(901B)를 포함하며, 이들은 서로 전기적으로 직렬로 연결되어서 출력 전압이 합산되어 결합된다. 일부 실시예에서, 제1 전압 공급부(901A) 및 제2 전압 공급부(901B)는 각각 직류 전압 공급부이다. 제1 전압 공급부(901A)는 규정된 전압 파형(902)에 대응하는 규정된 펄스 스케줄에 따라 시간적으로 일정한 전압 크기를 생성하도록 구성된다. 예컨대, 도 9b는 제1 전압 공급부(901A)에 의해 생성되고 그에 출력되는 예시적인 펄스식 전압 파형(904)을 보여주며, 이는 결국 규정된 전압 파형(902)의 바이어스 전압 단계 부분(Vstep)(902A)이 될 것이다. 제1 전압 공급부(901A)의 출력은 전기적 연결(906)에 의해 표시된 바와 같이 제2 전압 공급부(901B)의 입력에 전기적으로 연결된다. 제2 전압 공급부(901B)의 출력은 전기적 연결(907)에 의해 표시된 바와 같이 전압 공급 시스템(901)의 출력에 전기적으로 연결된다. 제2 전압 공급부(901B)는 시간적으로 변동되는 펄스식 전압 파형(908)을 생성하도록 구성되며, 이는 결국 규정된 전압 파형(902)의 시간적으로 변동되는 바이어스 전압 부분(dV/dT)(902B)이 될 것이다. 일부 실시예에서, 시간적으로 변동되는 펄스식 전압 파형(908)은 각각의 펄스 사이클의 온-지속기간 동안 시간의 함수로서 실질적으로 선형으로 변동된다. 또한, 일부 실시예에서 시간적으로 변동되는 펄스식 전압 파형(908)은 각각의 펄스 사이클의 온-지속기간 동안 시간의 함수로서 실질적으로 선형 방식으로 크기 면에서 증가한다. 제2 전압 공급부(901B)의 출력에서, 펄스식 전압 파형(904)은 시간적으로 변동되는 펄스식 전압 파형(908)과 결합되어 규정된 전압 파형(902)을 생성한다. 이러한 방식으로, 전압 공급 시스템(901)에 의해 바이어스 전압 공급 노드(905)에 제공되는 출력 전압은 제1 전압 공급부(901A)에 의해 생성된 펄스식 전압 파형(904) 및 제2 전압 공급(901B)에 의해 생성된 펄스식 전압 파형(908)의 조합이다. 제1 전압 공급부(901A) 및 제2 전압 공급부(901B) 각각은 제어기(911)와 양방향 데이터/신호 통신으로 연결되며, 제어기(911)는 규정된 전압 파형(902)을 생성하기 위해 펄스식 전압 파형(904 및 908)의 위상 및 듀티 사이클을 동기화하도록 제1 전압 공급부(901A) 및 제2 전압 공급부(901B)의 동작을 지시한다.

[0041] 바이어스 전압 공급 시스템(115)은 바이어스 전압 공급 노드(905) 상에 존재하는 전압을 제어된 방식으로 1차 바이어스 전극(111) 및 에지 링 전극(113) 각각에 인가하도록 구성된 분할 회로(913)를 포함한다. 분할 회로(913)는 제1 분기 회로(915) 및 제2 분기 회로(917)를 포함한다. 제1 분기 회로(915)는 바이어스 전압 공급 노드(905)와 1차 바이어스 전극(111) 사이에 전기적으로 연결된다. 제1 분기 회로(915)는 직렬 커패시터(919) 및 션트 커패시터(921)를 포함한다. 일부 실시예에서, 직렬 커패시터(919) 및 션트 커패시터(921) 각각은, 분할 회로(913)와 양방향 데이터/신호 통신을 하는 제어기(911)를 통해 원격으로 자신의 커패시턴스 세팅을 제어할 수 있는 개개의 가변 커패시터이다. 일부 실시예에서, 제1 분기 회로(915)는 직렬 커패시터(919)의 우회를 가능하게 하도록 구현된 스위칭 디바이스(920)를 포함하여서, 바이어스 전압 공급 노드(905)는 전기적 연결(117)을 통해 직렬 커패시터(919)의 입력 단자 또는 직접, 1차 바이어스 전극(111)에 전기적으로 스위칭 가능하게 연결될 수 있다. 이러한 방식으로, 스위칭 디바이스(920)는 직렬 커패시터(919)가 바이어스 전압 공급 노드(905)와 1차 바이어스 전극(111) 사이에 직렬로 전기적으로 연결되도록 제어되거나, 직렬 커패시터(919)가 바이어스 전압 공급 노드(905)와 1차 바이어스 전극(111) 사이에 배치되는 것을 효과적으로 전기적으로 제거하도록 제어된다. 또한, 일부 실시예에서, 제1 분기 회로(915)는 션트 커패시터(921)가 제1 분기 회로(915)의 출력으로부터 1차 바이어스 전극(111)으로 연장되는 전기적 연결(117)에 전기적으로 연결되거나 그로부터 연결해제될 수 있도록 구현된 스위칭 디바이스(922)를 포함한다. 이러한 방식으로, 스위칭 디바이스(922)는 션트 커패시터(921)를 1차 바이어스 전극(111)과 기준 접지 전위(927) 사이에 전기적으로 연결하거나, 션트 커패시터(921)를 제1 분기 회로(915)에서 효과적으로 전기적으로 제거하도록 제어된다.

[0042] 제2 분기 회로(917)는 바이어스 전압 공급 노드(905)와 에지 링 전극(113) 사이에 전기적으로 연결된다. 제2 분

기 회로(917)는 직렬 커패시터(923) 및 션트 커패시터(925)를 포함한다. 일부 실시예에서, 직렬 커패시터(923) 및 션트 커패시터(925) 각각은, 분할 회로(913)와 양방향 데이터/신호 통신을 하는 제어기(911)를 통해 원격으로 자신의 커패시턴스 세팅을 제어할 수 있는 개개의 가변 커패시터이다. 일부 실시예에서, 제2 분기 회로(917)는 직렬 커패시터(923)의 우회를 가능하게 하도록 구현된 스위칭 디바이스(929)를 포함하여서, 바이어스 전압 공급 노드(905)는 전기적 연결(119)을 통해 직렬 커패시터(923)의 입력 단자 또는 직접, 에지 링 전극(113)에 전기적으로 스위칭 가능하게 연결될 수 있다. 이러한 방식으로, 스위칭 디바이스(929)는 직렬 커패시터(923)가 바이어스 전압 공급 노드(905)와 에지 링 전극(113) 사이에 직렬로 전기적으로 연결되도록 제어되거나, 직렬 커패시터(923)가 바이어스 전압 공급 노드(905)와 에지 링 전극(113) 사이에 배치되는 것을 효과적으로 전기적으로 제거하도록 제어된다. 또한, 일부 실시예에서, 제2 분기 회로(917)는 션트 커패시터(925)가 제2 분기 회로(917)의 출력으로부터 에지 링 전극(113)으로 연장되는 전기적 연결(119)에 전기적으로 연결되거나 그로부터 연결해제될 수 있도록 구현된 스위칭 디바이스(931)를 포함한다. 이러한 방식으로, 스위칭 디바이스(931)는 션트 커패시터(925)를 에지 링 전극(113)과 기준 접지 전위(927) 사이에 전기적으로 연결하거나, 션트 커패시터(925)를 제2 분기 회로(917)에서 효과적으로 전기적으로 제거하도록 제어된다.

[0043] 일부 실시예에서, 제1 분기 회로(915)는 직렬 커패시터(919) 및 션트 커패시터(921)가 분리되도록 구성되고, 제2 분기 회로(917)는 직렬 커패시터(923) 및 션트 커패시터(925)가 연결되도록 구성된다. 보다 구체적으로, 이러한 실시예에서 스위칭 디바이스(920 및 922)는 바이어스 전압 공급 노드(905)가 1차 바이어스 전극(111)에 직접 전기적으로 연결되도록 세팅되고, 스위칭 디바이스(929 및 931)는 바이어스 전압 공급 노드(905)로부터 에지 링 전극(113)으로 전달되는 바이어스 전압이 직렬 커패시터(923) 및 션트 커패시터(925)에 의해 제어되도록 세팅된다. 따라서, 이러한 실시예에서, 전압 공급 시스템(901)에 의해 출력된 바이어스 전압 펄스식 파형(902)이 1차 바이어스 전극(111)에 공급되고, 전압 공급 시스템(901)에 의해 출력된 바이어스 전압 펄스식 파형(902)의 수정된 버전이 에지 링 전극(113)에 공급된다.

[0044] 일부 실시예에서, 제1 분기 회로(915)는 직렬 커패시터(919) 및 션트 커패시터(921)가 결합되도록 구성되고, 제2 분기 회로(917)는 직렬 커패시터(923) 및 션트 커패시터(925)가 연결되도록 구성된다. 보다 구체적으로, 이 실시예에서, 스위칭 디바이스(920 및 922)는 바이어스 전압 공급 노드(905)로부터 1차 바이어스 전극(111)으로 전달되는 바이어스 전압이 직렬 커패시터(919) 및 션트 커패시터(921)에 의해 제어되도록 세팅되고, 스위칭 디바이스(929 및 931)는 바이어스 전압 공급 노드(905)로부터 에지 링 전극(113)으로 전달되는 바이어스 전압이 직렬 커패시터(923) 및 션트 커패시터(925)에 의해 제어되도록 세팅된다. 따라서, 이러한 실시예에서, 전압 공급 시스템(901)에 의해 출력된 바이어스 전압 펄스식 파형(902)의 제1 수정된 버전이 1차 바이어스 전극(111)에 공급되고, 전압 공급 시스템(901)에 의해 출력된 바이어스 전압 펄스식 파형(902)의 제2 수정된 버전이 에지 링 전극(113)에 공급된다.

[0045] 또한, 일부 실시예에서 직렬 커패시터(919)가 제1 분기 회로(915)에 결합되고 션트 커패시터(921)는 분리될 수 있다. 일부 실시예에서, 션트 커패시터(921)는 제1 분기 회로(915)에 결합되고 직렬 커패시터(919)는 분리될 수 있다. 또한, 일부 실시예에서 직렬 커패시터(923)가 제2 분기 회로(917)에 결합되고 션트 커패시터(925)는 분리될 수 있다. 일부 실시예에서, 션트 커패시터(925)는 제2 분기 회로(917)에 결합되고 직렬 커패시터(923)는 분리될 수 있다.

[0046] 일부 실시예에서 전압 센서(933), 예컨대, 전압/전류 센서(VI 센서)가 바이어스 전압 공급 노드(905) 상에서 실시간 전압을 측정하고, 이 측정된 전압을 제어기(911)에 전달하기 위해 연결된다. 일부 실시예에서 전압 센서(935), 예컨대, 전압/전류 센서(VI 센서)가 제1 분기 회로(915)의 출력에서 실시간 전압을 측정하고, 이 측정된 전압을 제어기(911)에 전달하기 위해 연결된다. 일부 실시예에서 전압 센서(937), 예컨대, 전압/전류 센서(VI 센서)가 제2 분기 회로(917)의 출력에서 실시간 전압을 측정하고, 이 측정된 전압을 제어기(911)에 전달하기 위해 연결된다. 다양한 실시예에서, 제어기(911)는 직렬 커패시터(919), 션트 커패시터(921), 직렬 커패시터(923), 션트 커패시터(925) 중 하나 이상 및 전압 공급 시스템(901)의 동작을 제어하기 위한 피드백 신호로서 전압 센서(933, 935 및 937) 중 하나 이상에 의해 측정된 전압을 사용하도록 구성된다.

[0047] 또한, 일부 실시예에서, 바이어스 전압 공급 시스템(115)은 개개의 임피던스 매칭 네트워크(941-1 내지 941-N)를 통해 바이어스 전압 공급 노드(905)에 RF 바이어스 전압을 공급하도록 연결된 다수의(N개의) RF 생성기(939-1 내지 939-N)를 포함하며, 여기서 N은 1 이상이다. RF 생성기(939-1 내지 939-N) 각각은 제어기(911)와 양방향 데이터/신호 통신으로 연결된다. 바이어스 전압 공급 노드(905)에서, RF 생성기(939-1 내지 939-N)에 의해 출력된 RF 전압 신호는 전압 공급 시스템(901)에 의해 출력된 바이어스 전압 펄스식 파형(902)과 결합된다. RF 생성기(939-1 내지 939-N) 및 대응하는 임피던스 매칭 네트워크(941-1 내지 941-N)는 바이어스 전압 공급 시

스템(115)의 일부 실시예에서 구현된다. 그러나 바이어스 전압 공급 시스템(115)의 다른 실시예에서, RF 생성기(939-1 내지 939-N) 및 대응하는 임피던스 매칭 네트워크(941-1 내지 941-N)는 구현되지 않는다.

[0048] 도 10은 일부 실시예에 따라 전압 공급 시스템(901)에 의해 생성된 예시적인 바이어스 전압 펄스식 파형(902), 기판(105)의 최상부 표면(105T) 상의 대응하는 바이어스 전압 파형(1001), 및 에지 링(109)의 최상부 표면(109T) 상의 대응하는 바이어스 전압 파형(1003)을 도시한다. 바이어스 전압 펄스식 파형(902)은 바이어스 전압 단계 부분(Vstep)(902A) 및 시간적으로 변동되는 바이어스 전압 부분(dV/dT)(902B)을 포함한다. 바이어스 전압 파형(902)은 바이어스 전압 공급 노드(905) 상에서 생성된다. 따라서, 기판(105)의 최상부 표면(105T) 상의 바이어스 전압 파형(1001)은 제1 분기 회로(915)에 의해 수정된 바와 같은 바이어스 전압 파형(902)에 기초한다. 마찬가지로, 에지 링(109)의 최상부 표면(109T) 상의 바이어스 전압 파형(1003)은 제2 분기 회로(917)에 의해 수정된 바와 같은 바이어스 전압 파형(902)에 기초한다. 바이어스 전압 파형(1001)은 단계 부분(1001A) 및 경사 부분(1001B)을 포함한다. 바이어스 전압 파형(1003)은 단계 부분(1003A) 및 경사 부분(1003B)을 포함한다.

[0049] 제1 분기 회로(915) 내 션트 커패시터(921)는 기판(105)의 최상부 표면(105T) 상의 바이어스 전압 파형(1001)의 단계 부분(1001A)의 크기를 제어한다. 구체적으로, 션트 커패시터(921)의 커패시턴스 세팅은 바이어스 전압 단계 부분(Vstep)(902A)의 크기의 퍼센티지(0 내지 100%)에서 단계 부분(1001A)의 크기를 세팅하도록 제어될 수 있다. 션트 커패시터(921)가 제1 분기 회로(915)에서 분리되는 경우(또는 존재하지 않는 경우), 단계 부분(1001A)의 크기는, 1차 바이어스 전극(111)과 기판(105)의 최상부 표면(105T) 사이에 존재하는 기판(105) 및 기판 지지 구조(101)의 재료의 고유 용량성 효과(intrinsic capacitive effect)에 의존하여, 바이어스 전압 단계 부분(Vstep)(902A)의 크기의 고정된 퍼센티지이다. 바이어스 전압 단계 부분(Vstep)(902A)의 크기의 위에서 언급된 고정된 퍼센티지는 전압 공급 시스템(901)의 출력과 기판(105)의 최상부 표면(105T) 사이의 구조에 따라 의존한다. 예컨대, 필터(903), 임피던스 매칭 네트워크(941-1 내지 941-N), 전기적 연결(907, 909, 905 및 117)과 같은 구조에 스트레이 션트 커패시턴스(stray shunt capacitance)가 있을 수 있다. 또한, 바이어스 전압 단계 부분(Vstep)(902A)의 상승 시간이 플라즈마 시스를 통한 이온 이동 시간에 비해 비교적 길 때, 전압 공급 시스템(901)의 출력과 기판(105)의 최상부 표면(105T) 사이의 직렬 커패시턴스는 Vstep(902A)의 상승 시간 동안 이온 플럭스로 인해 Vstep(902A)의 크기의 위에서 언급된 고정된 퍼센티지를 감소시킬 수 있다. 예컨대, 일부 실시예에서, 일부 목적을 위해, 다양한 직렬 커패시턴스가 필터(903), 기판 지지 구조(101), 기판(105) 및/또는 전기적 연결(907, 909, 905 및 117)에 삽입될 수 있다. 직렬 커패시턴스로 인해 Vstep(902A) 크기의 위에서 언급한 고정된 퍼센티지의 감소는 Vstep(902A)의 상승 시간을 비교적 짧게(예컨대, Vstep << 1마이크로초) 함으로써 대부분 제거될 수 있다.

[0050] 제1 분기 회로(915) 내 직렬 커패시터(919)는 기판(105)의 최상부 표면(105T) 상에서 바이어스 전압 파형(1001)의 경사 부분(1001B)의 경사(시간에 대한 전압의 변화)를 제어한다. 전압이 1차 바이어스 전극(111)에 인가될 때, 플라즈마(107)로부터 기판(105)의 최상부 표면(105T)을 향하는 이온 전류가 있으며, 이는 기판(105)의 최상부 표면(105T) 상의 음전하를 방전시키고 이에 따라 시간이 지남에 따라 기판(105)의 최상부 표면(105T) 상의 음전압의 크기를 감소시킨다. 기판(105)의 최상부 표면(105T) 상의 음전압의 크기의 이러한 이온-유도된 감소를 보상하기 위해, 바이어스 전압 펄스식 파형(902)의 시간적으로 변동되는 바이어스 전압 부분(dV/dT)(902B)은 시간이 지남에 따른 바이어스 전압의 증가를 제공한다. 직렬 커패시터(919)의 커패시턴스 세팅은 기판(105)의 최상부 표면(105T) 상에서 음전하의 이온-유도된 방전을 보상하기 위해 기판(105)의 최상부 표면(105T) 상에서 시간의 함수로서 바이어스 전압의 변화를 튜닝하도록 제어된다. 일부 실시예에서, 직렬 커패시터(919)의 커패시턴스 세팅은 바이어스 전압 펄스식 파형(902)의 온-지속기간 동안 기판(105)의 최상부 표면(105T) 상에서 실질적으로 일정한 전압을 유지하도록 제어된다. 그러나 다른 실시예에서, 직렬 커패시터(919)의 커패시턴스 세팅은, 바이어스 전압 펄스식 파형(902)의 온-지속기간 동안 기판(105)의 최상부 표면(105T) 상에서 시간의 함수로서 전압의 원하는 변화(양의 dV/dT 및/또는 음의 dV/dT)를 달성하도록 제어된다. 직렬 커패시터(919)가 제1 분기 회로(915)에서 분리/우회된 경우(또는 존재하지 않는 경우), 바이어스 전압 펄스식 파형(902)의 온-지속기간 동안 기판(105)의 최상부 표면(105T) 상에서 시간의 함수로서 전압의 변화(dV/dT)는 바이어스 전압 펄스식 파형(902)의 시간적으로 변동되는 바이어스 전압 부분(dV/dT)(902B)을 따를 것이며, 기판(105) 및 기판 지지 구조(101)의 재료의 고유 용량성 효과에 기초하여 고정된 전압 크기 오프셋이 1차 바이어스 전극(111)과 기판(105)의 최상부 표면(105T) 사이에 존재한다. 일부 실시예에서, 위에서 언급된 고정된 전압 크기 오프셋은 또한 전압 공급 시스템(901)의 출력과 기판(105)의 최상부 표면(105T) 사이의 고유 직렬 커패시턴스에 기초할 수 있다. 일부 실시예에서, 위에서 언급된 고유 직렬 커패시턴스는 일부 목적을 위해, 필터(903), 기판 지지 구조(101), 기판(105) 및/또는 전기적 연결(907, 909, 905 및 117)에 삽입된 다양한 직렬 커패시턴스에 대응한다.

[0051] 제2 분기 회로(917) 내 션트 커패시터(925)는 에지 링(109)의 최상부 표면(109T) 상의 바이어스 전압 파형(1003)의 단계 부분(1003A)의 크기를 제어한다. 구체적으로, 션트 커패시터(925)의 커패시턴스 세팅은 바이어스 전압 단계 부분(Vstep)(902A)의 크기의 퍼센티지(0 내지 100%)에서 단계 부분(1003A)의 크기를 세팅하도록 제어될 수 있다. 션트 커패시터(925)가 제2 분기 회로(917)에서 분리되는 경우(또는 존재하지 않는 경우), 단계 부분(1003A)의 크기는, 에지 링 전극(113)과 에지 링(109)의 최상부 표면(109T) 사이에 존재하는 에지 링(109) 재료의 고유 용량성 효과(intrinsic capacitive effect)에 의존하여, 바이어스 전압 단계 부분(Vstep)(902A)의 크기의 고정된 퍼센티지이다. 일부 실시예에서, 단계 부분(1003A)의 크기는 또한 전압 공급 시스템(901)의 출력과 에지 링(109)의 최상부 표면(109T) 사이의 고유 직렬 커패시턴스에 기초할 수 있다. 일부 실시예에서, 위에서 언급된 고유 직렬 커패시턴스는 일부 목적을 위해, 필터(903), 에지 링(109) 및/또는 전기적 연결(907, 909, 905 및 119)에 삽입된 다양한 직렬 커패시턴스에 대응한다.

[0052] 제2 분기 회로(917) 내 직렬 커패시터(923)는 에지 링(109)의 최상부 표면(109T) 상에서 바이어스 전압 파형(1003)의 경사 부분(1003B)의 경사(시간에 대한 전압의 변화)를 제어한다. 전압이 에지 링 전극(113)에 인가될 때, 플라즈마(107)로부터 에지 링(109)의 최상부 표면(109T)을 향하는 이온 전류가 있으며, 이는 에지 링(109)의 최상부 표면(109T) 상의 음전하를 방전시키고 이에 따라 시간이 지남에 따라 에지 링(109)의 최상부 표면(109T) 상의 음전압의 크기를 감소시킨다. 에지 링(109)의 최상부 표면(109T) 상의 음전압의 크기의 이러한 이온-유도된 감소를 보상하기 위해, 바이어스 전압 펄스식 파형(902)의 시간적으로 변동되는 바이어스 전압 부분(dV/dT)(902B)은 시간이 지남에 따른 바이어스 전압의 증가를 제공한다. 직렬 커패시터(923)의 커패시턴스 세팅은 에지 링(109)의 최상부 표면(109T) 상에서 음전하의 이온-유도된 방전을 보상하기 위해 에지 링(109)의 최상부 표면(109T) 상에서 시간의 함수로서 바이어스 전압의 변화를 튜닝하도록 제어된다. 일부 실시예에서, 직렬 커패시터(923)의 커패시턴스 세팅은 바이어스 전압 펄스식 파형(902)의 온-지속기간 동안 에지 링(109)의 최상부 표면(109T) 상에서 실질적으로 일정한 전압을 유지하도록 제어된다. 그러나 다른 실시예에서, 직렬 커패시터(923)의 커패시턴스 세팅은, 바이어스 전압 펄스식 파형(902)의 온-지속기간 동안 에지 링(109)의 최상부 표면(109T) 상에서 시간의 함수로서 전압의 원하는 변화(양의 dV/dT 및/또는 음의 dV/dT)를 달성하도록 제어된다. 직렬 커패시터(923)가 제2 분기 회로(917)에서 분리/우회된 경우(또는 존재하지 않는 경우), 바이어스 전압 펄스식 파형(902)의 온-지속기간 동안 에지 링(109)의 최상부 표면(109T) 상에서 시간의 함수로서 전압의 변화(dV/dT)는 바이어스 전압 펄스식 파형(902)의 시간적으로 변동되는 바이어스 전압 부분(dV/dT)(902B)을 따를 것이며, 에지 링(109) 재료의 고유 용량성 효과에 기초하여 고정된 전압 크기 오프셋을 갖는 에지 링 전극(113)과 에지 링(109)의 최상부 표면(109T) 사이에 존재한다. 일부 실시예에서, 위에서 언급된 고정된 전압 크기 오프셋은 또한 전압 공급 시스템(901)의 출력과 에지 링(109)의 최상부 표면(109T) 사이의 고유 직렬 커패시턴스에 기초할 수 있다. 일부 실시예에서, 위에서 언급된 고유 직렬 커패시턴스는 일부 목적을 위해, 필터(903), 에지 링(109) 및/또는 전기적 연결(907, 909, 905 및 119)에 삽입된 다양한 직렬 커패시턴스에 대응한다.

[0053] 도 11a는 다양한 실시예에 따라 분할 회로(913)가 구성될 수 있는 다양한 방식의 차트를 도시한다. 분할 회로(913)의 주어진 구성은 직렬 커패시터(919), 션트 커패시터(921), 직렬 커패시터(923) 및 션트 커패시터(925)의 특정한 결합/분리 조합에 대응한다. 도 11b는 일부 실시예에 따라 직렬 커패시터(919), 션트 커패시터(921), 직렬 커패시터(923) 및 션트 커패시터(925)의 가능한 결합/분리 세팅을 도시하는 차트를 도시한다. 직렬 커패시터(919), 션트 커패시터(921), 직렬 커패시터(923) 및 션트 커패시터(925) 각각에 대해 도 11b에서 참조된 바와 같은 결합 지정 "예" 및 분리 지정 "아니오"는 분할 회로(913)의 다양한 가능한 구성을 설명하기 위해 도 11a의 차트에서 사용된다.

[0054] 직렬 커패시터(919)가 결합되면(직렬 커패시터(919) = "예"), 직렬 커패시터(919)의 입력 단자는 바이어스 전압 공급 노드(905)에 전기적으로 연결되고, 직렬 커패시터(919)의 출력 단자는 전기적 연결(117)을 통해 1차 바이어스 전극(111)에 전기적으로 연결된다. 직렬 커패시터(919)가 분리되면(직렬 커패시터(919) = "아니오"), 직렬 커패시터(919)는 전기적으로 우회되거나 제1 분기 회로(915)에 존재하지 않아서, 바이어스 전압 공급 노드(905)는 전기적 연결(117)을 통해 1차 바이어스 전극(111)에 직접 전기적으로 연결된다. 션트 커패시터(921)가 결합되면(션트 커패시터(921) = "예"), 션트 커패시터(921)의 입력 단자는 전기적 연결(117)을 통해 1차 바이어스 전극(111)에 전기적으로 연결되고, 션트 커패시터(921)의 출력 단자는 기준 접지 전위(927)에 전기적으로 연결된다. 션트 커패시터(921)가 분리되면(션트 커패시터(921) = "아니오"), 션트 커패시터(921)는 1차 바이어스 전극(111)으로부터 전기적으로 연결해제되거나 제1 분기 회로(915)에 존재하지 않는다.

[0055] 직렬 커패시터(923)가 결합되면(직렬 커패시터(923) = "예"), 직렬 커패시터(923)의 입력 단자는 바이어스 전압 공급 노드(905)에 전기적으로 연결되고, 직렬 커패시터(923)의 출력 단자는 전기적 연결(119)을 통해 에지 링

전극(113)에 전기적으로 연결된다. 직렬 커패시터(923)가 분리되면(직렬 커패시터(923) = "아니오"), 직렬 커패시터(923)는 전기적으로 우회되거나 제2 분기 회로(917)에 존재하지 않아서, 바이어스 전압 공급 노드(905)는 전기적 연결(119)을 통해 에지 링 전극(113)에 직접 전기적으로 연결된다. 션트 커패시터(925)가 결합되면(션트 커패시터(925) = "예"), 션트 커패시터(925)의 입력 단자는 전기적 연결(119)을 통해 에지 링 전극(113)에 전기적으로 연결되고, 션트 커패시터(925)의 출력 단자는 기준 접지 전위(927)에 전기적으로 연결된다. 션트 커패시터(925)가 분리되면(션트 커패시터(925) = "아니오"), 션트 커패시터(925)는 에지 링 전극(113)으로부터 전기적으로 연결해제되거나 제2 분기 회로(917)에 존재하지 않는다.

[0056] 도 12는 일부 실시예에 따라 바이어스 전압 펄스식 파형(902)과 함께 생성된 예시적인 RF 바이어스 전압 파형(1201)을 도시한다. RF 바이어스 전압 파형(1201)은 RF 생성기(939-1 내지 939-N) 중 하나 이상에 의해 생성되고 전압 공급 시스템(901)에 의해 생성된 바이어스 전압 펄스식 파형(902)과 조합하여 바이어스 전압 공급 노드(905)에 공급된다. 필터(903)는 RF 바이어스 전압 파형(1201)이 전압 공급 시스템(901) 내로 이동하는 것을 방지하도록 구성된다. 일부 실시예에서, 필터(903)는 RF 주파수 신호를 차단하도록 구성된 저역 통과 필터 또는 노치 필터이다. 일부 실시예에서, 바이어스 전압 펄스식 파형(902)은 RF 바이어스 전압 파형(1201)이 뒤따르는 기준 전압 파형을 설정한다. 분할 회로(913)로 인해, RF 바이어스 전압의 제1 부분이 1차 바이어스 전극(111)에 인가되고 RF 바이어스 전압의 제2 부분이 에지 링 전극(113)에 인가된다. RF 바이어스 전압의 제1 부분은 기판(105)의 최상부 표면(105T) 상에 RF 바이어스 전압 파형(1203)을 생성한다. RF 바이어스 전압의 제2 부분은 에지 링(109)의 최상부 표면(109T) 상에 RF 바이어스 전압 파형(1205)을 생성한다. 제1 분기 회로(915) 내 션트 커패시터(921)는 RF 바이어스 전압 파형(1203)의 크기를 제어한다. 마찬가지로, 제2 분기 회로(917) 내 션트 커패시터(925)는 RF 바이어스 전압 파형(1205)의 크기를 제어한다. 따라서 기판(105)의 최상부 표면(105T) 상에서의 RF 바이어스 전압의 크기 대 에지 링(109)의 최상부 표면(109T) 상에서의 RF 바이어스 전압의 크기의 비는 기판(105)의 최상부 표면(105T) 상에서의 바이어스 전압 파형(1001)의 크기 대 에지 링(109)의 최상부 표면(109T) 상에서의 바이어스 전압 파형(1003)의 크기의 비에 비례한다. 이전에 언급된 바와 같이, 바이어스 전압 펄스식 파형(902)과 함께 RF 바이어스 전압 파형(1201)을 생성하는 것은 선택적이다.

[0057] 도 13은 일부 실시예에 따라, 기판(105)의 외부 주변 에지 근처의 플라즈마 시스 경계 프로파일을 제어하기 위해 다양한 바이어스 전압 파형이 기판(105)의 최상부 표면(105T) 및 에지 링(109)의 최상부 표면(109T)에 인가되는, 도 3 내지 도 8과 관련하여 설명된 다양한 방법을 구현하기 위한 다른 바이어스 전압 공급 시스템(1301)을 도시한다. 바이어스 전압 공급 시스템(1301)은 제1 전압 공급 시스템(1302) 및 제2 전압 공급 시스템(1310)을 포함한다. 제1 전압 공급 시스템(1302)은 필터(1305) 및 전기적 연결(117)을 통해 1차 바이어스 전극(111)에 연결된 출력을 갖는 펄스식 전압 생성기(1303)를 포함한다. 펄스식 전압 생성기(1303)는 전압 공급 시스템(901)과 동일한 방식으로 구성된다. 따라서 펄스식 전압 생성기(1303)는 규정된 전압 파형(902-1)을 생성하고 1차 바이어스 전극(111)에 공급한다. 규정된 전압 파형(902-1)은 단계 부분(902A1) 및 경사 부분(902B1)을 포함한다. 필터(1305)는 RF 신호가 펄스식 전압 생성기(1303)에 진입하는 것을 방지하도록 구성된다. 다양한 실시예에서, 필터(1305)는 저역 통과 필터 또는 노치 필터이다.

[0058] 제1 전압 공급 시스템(1302)은 또한 선택적으로 개개의 임피던스 매칭 네트워크(1309-1 내지 1309-N)를 통해 1차 바이어스 전극(111)에 RF 바이어스 전압을 공급하도록 연결된 다수의(N개의) RF 생성기(1307-1 내지 1307-N)를 포함하며, 여기서 N은 1 이상이다. RF 생성기(1307-1 내지 1307-N) 각각은 제어기(911)와 양방향 데이터/신호 통신으로 연결된다. 제어기(911)는 펄스식 전압 생성기(1303) 및 RF 생성기(1307-1 내지 1307-N) 각각에 의해 출력된 바이어스 전압 파형을 동기화하도록 동작한다. RF 생성기(1307-1 내지 1307-N)에 의해 출력된 RF 전압 신호(들)는 전기적 연결(117) 상에서 펄스식 전압 생성기(1303)에 의해 출력된 바이어스 전압 펄스식 파형(902-1)과 결합된다. RF 생성기(1307-1 내지 1307-N) 및 대응하는 임피던스 매칭 네트워크(1309-1 내지 1309-N)는 제1 전압 공급 시스템(1302)의 일부 실시예에서 구현된다. 그러나 일부 실시예에서, RF 생성기(1307-1 내지 1307-N) 및 대응하는 임피던스 매칭 네트워크(1309-1 내지 1309-N)는 제1 전압 공급 시스템(1302)에서 구현되지 않는다.

[0059] 제2 전압 공급 시스템(1310)은 필터(1313) 및 전기적 연결(119)을 통해 에지 링 전극(113)에 연결된 출력을 갖는 펄스식 전압 생성기(1311)를 포함한다. 펄스식 전압 생성기(1311)는 전압 공급 시스템(901)과 동일한 방식으로 구성된다. 따라서 펄스식 전압 생성기(1311)는 규정된 전압 파형(902-2)을 생성하고 에지 링 전극(113)에 공급한다. 규정된 전압 파형(902-2)은 단계 부분(902A2) 및 경사 부분(902B2)을 포함한다. 필터(1313)는 RF 신호가 펄스식 전압 생성기(1311)에 진입하는 것을 방지하도록 구성된다. 다양한 실시예에서, 필터(1313)는 저역 통과 필터 또는 노치 필터이다.

[0060] 제2 전압 공급 시스템(1310)은 또한 선택적으로 개개의 임피던스 매칭 네트워크(1317-1 내지 1317-N)를 통해 에지 링 전극(113)에 RF 바이어스 전압을 공급하도록 연결된 다수의(N개의) RF 생성기(1315-1 내지 1315-N)를 포함하며, 여기서 N은 1 이상이다. RF 생성기(1315-1 내지 1315-N) 각각은 제어기(911)와 양방향 데이터/신호 통신으로 연결된다. 제어기(911)는 펄스식 전압 생성기(1311) 및 RF 생성기(1315-1 내지 1315-N) 각각에 의해 출력된 바이어스 전압 파형을 동기화하도록 동작한다. RF 생성기(1315-1 내지 1315-N)에 의해 출력된 RF 전압 신호(들)는 전기적 연결(119) 상에서 펄스식 전압 생성기(1311)에 의해 출력된 바이어스 전압 펄스식 파형(902-2)과 결합된다. RF 생성기(1315-1 내지 1315-N) 및 대응하는 임피던스 매칭 네트워크(1317-1 내지 1317-N)는 제2 전압 공급 시스템(1310)의 일부 실시예에서 구현된다. 그러나 일부 실시예에서, RF 생성기(1315-1 내지 1315-N) 및 대응하는 임피던스 매칭 네트워크(1317-1 내지 1317-N)는 제2 전압 공급 시스템(1310)에서 구현되지 않는다.

[0061] 일부 실시예에서, 바이어스 전압 펄스식 파형(902-1)은 바이어스 전압 펄스식 파형(902-1) 내의 각각의 펄스 사이클의 온-지속기간 동안 기판(105)의 최상부 표면(105T) 상에서 실질적으로 일정한 전압을 유지하도록 생성되고, 바이어스 전압 펄스식 파형(902-2)은 바이어스 전압 펄스식 파형(902-2) 내의 각각의 펄스 사이클의 온-지속기간 동안 에지 링(109)의 최상부 표면(109T) 상에서 실질적으로 일정한 전압을 유지하도록 생성되어서, 바이어스 전압 펄스식 파형(902-1 및 902-2)에서 펄스 사이클의 동시적 온-지속기간 동안 실질적으로 일정한 전압 차이가 유지되며, 여기서 실질적으로 일정한 전압 차이는 기판(105)과 에지 링(109) 사이의 트랜지션에 걸쳐 실질적으로 평평한 플라즈마 시스 경계를 유지하도록 정의된다. 일부 실시예에서, 바이어스 전압 펄스식 파형(902-1)의 단계 부분(902A1) 및 바이어스 전압 펄스식 파형(902-2)의 단계 부분(902A2)은 기판(105)의 최상부 표면(105T)과 에지 링(109)의 최상부 표면(109T) 사이에서 규정된 전압 차이를 달성하도록 동기식으로 제어된다. 또한, 일부 실시예에서, 바이어스 전압 펄스식 파형(902-1)의 경사 부분(902B1)은 바이어스 전압 펄스식 파형(902-1)의 각각의 펄스 사이클의 온-지속기간에 걸쳐 기판(105)의 최상부 표면(105T) 상에서 음전하의 이온-유도된 방전을 보상하도록 제어되어서, 기판(105)의 최상부 표면(105T) 상의 전압은 바이어스 전압 펄스식 파형(902-1)의 각각의 펄스 사이클의 온-지속기간 동안 실질적으로 일정하게 유지된다. 또한, 일부 실시예에서, 바이어스 전압 펄스식 파형(902-2)의 경사 부분(902B2)은 바이어스 전압 펄스식 파형(902-2)의 각각의 펄스 사이클의 온-지속기간에 걸쳐 에지 링(109)의 최상부 표면(109T) 상에서 음전하의 이온-유도된 방전을 보상하도록 제어되어서, 에지 링(109)의 최상부 표면(109T) 상의 전압은 바이어스 전압 펄스식 파형(902-2)의 각각의 펄스 사이클의 온-지속기간 동안 실질적으로 일정하게 유지된다.

[0062] 바이어스 전압 펄스식 파형(902-1 및 902-2)은 각각 도 3 내지 8에 관하여 설명된 다양한 방법을 구현하기 위해 필요에 따라 생성될 수 있다. 일부 실시예에서, 제어기(911)는 바이어스 전압 펄스식 파형(902-1 및 902-2)의 위상을 동기화하도록 동작한다. 일부 실시예에서, 제어기(911)는 바이어스 전압 펄스식 파형(902-1 및 902-2)의 위상 및 듀티 사이클 둘 모두를 동기화하도록 동작한다. 일부 실시예에서, 제어기(911)는 바이어스 전압 펄스식 파형(902-1 및 902-2) 사이에서 규정된 위상 시프트를 구현하도록 동작한다. 일부 실시예에서, 바이어스 전압 펄스식 파형(902-1 및 902-2)은 서로에 대하여 상이한 위상 및/상이한 다른 듀티 사이클을 갖도록 정의된다. 또한, 일부 실시예에서, 바이어스 전압 펄스식 파형(902-1 및 902-2) 중 하나 또는 둘 모두는 규정된 레벨 간 펄싱 방식을 구현하도록 정의된다. 바이어스 전압 펄스식 파형(902-1 및 902-2)은 서로에 대하여 개별적으로 그리고 독립적으로 제어 가능하다는 점이 이해되어야 한다.

[0063] 또한, 다양한 실시예에서, 임의의 수의 전압 센서 예컨대, 전압/전류 센서(VI 센서)는 바이어스 전압 공급 시스템(1301) 내에서 연결되어 특정 위치에서 실시간 전압을 측정하고, 이 측정된 실시간 전압을 제어기(911)에 전달할 수 있다. 일부 실시예에서, 제어기(911)는 펄스식 전압 생성기(1303), RF 생성기(1307-1 내지 1307-N), 펄스식 전압 생성기(1311) 및 RF 생성기(1315-1 내지 1315-N) 중 하나 이상의 동작을 제어하기 위해 제1 전압 공급 시스템(1302) 및/또는 제2 전압 공급 시스템(1310) 내에서 실시간 전압 측정을 사용하도록 구성된다.

[0064] 도 14는 일부 실시예에 따른, 예시적인 제어기(911)의 다이어그램을 도시한다. 일부 실시예에서, 제어기(911)는 프로세서(1409), 저장 하드웨어 유닛(HU)(1411)(예컨대, 메모리), 입력 HU(1401), 출력 HU(1405), 입력/출력(I/O) 인터페이스(1403), I/O 인터페이스(1407), 네트워크 인터페이스 제어기(NIC)(1415), 및 데이터 통신 버스(1413)를 포함한다. 프로세서(1409), 저장 HU(1411), 입력 HU(1401), 출력 HU(1405), I/O 인터페이스(1403), I/O 인터페이스(1407), 및 NIC(1415)는 데이터 통신 버스(1413)를 통해 서로 데이터 통신한다. 입력 HU(1401)의 예는 마우스, 키보드, 스타일러스, 데이터 획득 시스템, 데이터 획득 카드 등을 포함한다. 출력 HU(1405)의 예는 디스플레이, 스피커, 디바이스 제어기 등을 포함한다. NIC(1415)의 예는 네트워크 인터페이스 카드, 네트워크 어댑터 등을 포함한다. 다양한 실시예에서, NIC(1415)는 다른 것 중에서, 이더넷(Ethernet) 및/또는 이더

캣(EtherCAT)과 같은 하나 이상의 통신 프로토콜 및 연관된 물리 계층에 따라 동작하도록 구성된다. I/O 인터페이스(1403 및 1407) 각각은 I/O 인터페이스에 커플링된 상이한 하드웨어 유닛 사이의 호환성을 제공하도록 정의된다. 예컨대, I/O 인터페이스(1403)는 입력 HU(1401)로부터 수신된 신호를 데이터 통신 버스(1413)와 호환 가능한 형태, 진폭, 및/또는 속도로 변환하도록 정의될 수 있다. 또한, I/O 인터페이스(1407)는 데이터 통신 버스(1413)로부터 수신된 신호를 출력 HU(1405)와 호환 가능한 형태, 진폭, 및/또는 속도로 변환하도록 정의될 수 있다. 본원에서 설명된 다양한 동작이 제어기(911)의 프로세서(1409)에 의해 수행되지만, 일부 실시예에서, 다양한 동작은 제어기(911)의 다수의 프로세서에 의해 및/또는 제어기(911)에 연결된 다수의 컴퓨팅 시스템의 다수의 프로세서에 의해 수행될 수 있다는 것이 이해되어야 한다.

[0065] 다양한 실시예에서, 기판 플라즈마 프로세싱 시스템(100)은 기판(105)의 프로세싱 전, 동안, 및 후에 그 동작을 제어하기 위한 전자 장치와 통합되며, 여기서 전자 장치는 바이어스 전압 공급 시스템(115 및 1301)을 포함하는 기판 플라즈마 프로세싱 시스템(100)의 다양한 구성요소 및/또는 서브-부분을 제어하도록 구성되고 연결되는 제어기(911) 내에서 구현된다. 기판(105) 프로세싱 요건 및/또는 기판 플라즈마 프로세싱 시스템(100)의 특별한 구성에 의존하여, 제어기(911)는, 다른 것 중에서, 프로세스 가스(들)의 전달, 온도 세팅(예컨대, 가열 및/또는 냉각), 압력 세팅, 진공 세팅, 전력 세팅, RF 전력 공급 시스템 세팅, 전기 신호 주파수 세팅, 가스 유량 세팅, 유체 전달 세팅, 위치 및 동작 세팅, 바이어스 전압 공급 시스템 세팅, 기판 플라즈마 프로세싱 시스템(100)과 연결되거나 인터페이싱하는 로드록 내외로의 및/또는 기판 플라즈마 프로세싱 시스템(100) 내외로의 기판(105) 이송을 포함하여, 본원에 개시된 임의의 프로세스 및/또는 구성요소를 제어하도록 프로그래밍된다.

[0066] 다양한 실시예에서, 제어기(911)는, 다른 작업/동작 중에서, 명령을 수신하는 것, 명령을 발행하는 것, 디바이스 동작을 제어하는 것, 세정 동작을 가능하게 하는 것, 엔드포인트 측정을 가능하게 하는 것, 계측 측정(광학, 열, 전기 등)을 가능하게 하는 것과 같은 다양한 작업/동작을 지시 및 제어하는 다양한 집적 회로, 로직, 메모리, 및/또는 소프트웨어를 갖는 전자 장치로서 정의된다. 일부 실시예에서, 제어기(911) 내의 집적 회로는 다른 컴퓨팅 디바이스 중에서, 프로그램 명령을 저장하는 펌웨어, 디지털 신호 프로세서(DSP), 주문형 집적 회로(ASIC) 칩, 프로그램가능 로직 디바이스(PLD), 하나 이상의 마이크로프로세서, 및/또는 프로그램 명령(예컨대, 소프트웨어)을 실행하는 하나 이상의 마이크로제어기 중 하나 이상을 포함한다. 일부 실시예에서, 프로그램 명령은, 기판 플라즈마 프로세싱 시스템(100) 내의 기판(105) 상에 프로세스를 수행하기 위한 동작 파라미터를 정의하는, 다양한 개별 세팅(또는 프로그램 파일)의 형태로 제어기(911)에 통신된다. 일부 실시예에서, 동작 파라미터는, 기판(105) 상의 하나 이상의 층, 재료, 금속, 산화물, 실리콘, 실리콘 이산화물, 표면, 회로 및/또는 다이의 제작 동안 하나 이상의 프로세싱 단계를 달성하기 위해 프로세스 엔지니어에 의해 정의된 레시피에 포함된다.

[0067] 일부 실시예에서, 제어기(911)는 기판 플라즈마 프로세싱 시스템(100)과 통합되거나 그에 연결되는, 또는 그렇지 않다면 기판 플라즈마 프로세싱 시스템(100)에 네트워킹되는, 또는 이들의 조합인 컴퓨터의 일부이거나 그에 연결된다. 예컨대, 일부 실시예에서, 제어기(911)는 기판 플라즈마 프로세싱 시스템(100)에 의한 기판(105) 프로세싱의 제어를 위한 원격 액세스를 허용하는, "클라우드" 또는 팹 호스트 컴퓨터 시스템(fab host computer system)의 전부 또는 일부로 구현된다. 제어기(911)는 기판 플라즈마 프로세싱 시스템(100)에 대한 원격 액세스를 가능하게 하여, 제작 동작의 현재 진행의 모니터링을 제공하고, 과거 제작 동작의 이력의 검사를 제공하고, 복수의 제작 동작으로부터의 경향 또는 성능 메트릭의 검사를 제공하고, 프로세싱 파라미터의 변화를 제공하고, 후속 프로세싱 단계의 세팅을 제공하고, RF 전력 공급 시스템 동작 파라미터의 사양을 제공하고, 바이어스 전압 공급 시스템(115/1301) 동작 파라미터의 사양을 제공하고, 그리고/또는 새로운 기판 제작 프로세스의 개시를 제공한다.

[0068] 일부 실시예에서, 원격 컴퓨터, 이를테면, 서버 컴퓨터 시스템은 로컬 네트워크 및/또는 인터넷을 포함하는 컴퓨터 네트워크를 통해 제어기(911)에 프로세스 레시피를 제공한다. 원격 컴퓨터는 파라미터 및/또는 세팅의 엔트리 또는 프로그래밍을 가능하게 하는 사용자 인터페이스를 포함하며, 이는 그 후 원격 컴퓨터로부터 제어기(911)로 통신된다. 일부 예에서, 제어기(911)는 기판 플라즈마 프로세싱 시스템(100) 내에서 기판(105)을 프로세싱하기 위한 세팅의 형태로 명령을 수신한다. 설정은 기판(105) 상에서 수행될 프로세스의 유형 및 제어기(911)가 인터페이싱하거나 제어하는 도구/디바이스/구성요소의 유형에 특정된다는 것이 이해되어야 한다. 일부 실시예에서, 제어기(911)는, 이를테면, 기판(105) 상에서 규정된 프로세스를 수행하기 위해 기판 플라즈마 프로세싱 시스템(100)을 동작시키는 것과 같은, 공통 목적을 향해 작동하도록 함께 네트워킹되고 동기화되는 하나 이상의 이산 제어기(들)(911)를 포함하는 것에 의해 분산된다. 이러한 목적을 위한 분산된 제어기(911)의 예는 챔버 내의 프로세스를 제어하기 위해 결합되는 원격(이를테면, 플랫폼 레벨의 또는 원격 컴퓨터의 일부로서)에

위치된 하나 이상의 집적 회로와 통신하는 챔버 상의 하나 이상의 집적 회로를 포함한다.

[0069] 도 15는 일부 실시예에 따라 기판(105)의 플라즈마 프로세싱 동안 바이어스 전압을 공급하기 위한 방법의 흐름도를 도시한다. 본 방법은 바이어스 전압 공급 노드(905) 상에서 시간의 함수로서 규정된 전압 파형을 생성하기 위한 동작(1501)을 포함한다. 이 방법은 또한 기판 지지 표면(103) 상에 존재하는 기판(105)의 최상부 표면(105t) 상의 전압을 제어하기 위해 바이어스 전압 공급 노드(905)로부터 기판 지지 표면(103) 아래에 배치된 1차 바이어스 전극(111)에 규정된 전압 파형의 제1 버전을 송신하기 위한 동작(1503)을 포함한다. 방법은 또한 에지 링(109)의 최상부 표면(109t) 상의 전압을 제어하기 위해 기판 지지 표면(103)을 에워싸는 에지 링(109) 내에 배치된 에지 링 전극(113)에 규정된 전압 파형의 제2 버전을 송신하기 위한 동작(1505)을 포함한다.

[0070] 일부 실시예에서, 동작(1501)에서 규정된 전압 파형을 생성하는 단계는 시간적으로 일정한 전압 크기를 생성하는 단계, 시간적으로 변동되는 전압을 생성하는 단계, 및 바이어스 전압 공급 노드(905) 상에서 규정된 전압 파형을 형성하기 위해 시간적으로 일정한 전압 크기 및 시간적으로 변동되는 전압을 결합하는 단계를 포함한다. 일부 실시예에서, 시간적으로 변동되는 전압은 시간의 함수로서 실질적으로 선형으로 변동된다. 일부 실시예에서, 동작(1501)에서 생성되는 규정된 전압 파형은 진행중인 일련의 펄스 사이클로서 정의되는 펄스식 전압 파형이고, 각각의 펄스 사이클은 펄스식 전압 파형이 음전압을 갖는 온-지속기간 및 펄스식 전압 파형이 양전압을 갖는 오프-지속기간을 포함한다. 일부 실시예에서, 본 방법은 동작(1501)에서 바이어스 전압 공급 노드 상에서 규정된 전압 파형을 생성하는 것과 함께 바이어스 전압 공급 노드(905)에 라디오 주파수 신호를 공급하는 단계를 포함한다.

[0071] 일부 실시예에서, 방법은 바이어스 전압 공급 노드(905)로부터 에지 링 전극(113)으로 연장되는 전기 회로(917) 내의 직렬 커패시터(923) 및 션트 커패시터(925)를 사용하여 에지 링 전극(113)으로 송신되는 규정된 전압 파형의 제2 버전을 생성하는 단계를 포함한다. 일부 실시예에서, 방법은 동작(1501)에서 생성된 규정된 전압 파형에 대응하는 펄스식 전압 파형의 각각의 펄스 사이클의 온-지속기간 동안 기판(105)의 최상부 표면(105T)과 에지 링(109)의 최상부 표면(109T) 사이에 규정된 전압 차이를 설정하기 위해 션트 커패시터(925)를 제어하는 단계를 포함한다. 일부 실시예에서, 방법은 동작(1501)에서 생성된 규정된 전압 파형에 대응하는 펄스식 전압 파형의 각각의 펄스 사이클의 온-지속기간에 걸쳐 기판(105)의 최상부 표면(105T)과 에지 링(109)의 최상부 표면(109T) 사이의 규정된 전압 차이를 실질적으로 일정한 레벨로 유지하기 위해 직렬 커패시터(923)를 제어하는 단계를 포함한다. 일부 실시예에서, 방법은 시간의 함수로서 에지 링(109)의 최상부 표면(109t) 상의 전압을 변화시켜 시간의 함수로서 에지 링(109)의 최상부 표면 상의 전기적 방전을 보상하도록 직렬 커패시터(923)를 제어하는 단계를 포함한다.

[0072] 일부 실시예에서, 방법은 바이어스 전압 공급 노드(905)로부터 1차 바이어스 전극(111)으로 연장되는 제1 전기 회로(915) 내의 제1 직렬 커패시터(919) 및 제1 션트 커패시터(921)를 사용하여 1차 바이어스 전극(111)으로 송신되는 규정된 전압 파형의 제1 버전을 생성하는 단계를 포함한다. 일부 실시예에서, 방법은 또한 바이어스 전압 공급 노드(905)로부터 에지 링 전극(113)으로 연장되는 제2 전기 회로(917) 내의 제2 직렬 커패시터(923) 및 제2 션트 커패시터(925)를 사용하여 에지 링 전극(113)으로 송신되는 규정된 전압 파형의 제2 버전을 생성하는 단계를 포함한다. 일부 실시예에서, 방법은 동작(1501)에서 생성된 규정된 전압 파형에 대응하는 펄스식 전압 파형의 각각의 펄스 사이클의 온-지속기간 동안 기판(105)의 최상부 표면(105T)과 에지 링(109)의 최상부 표면(109T) 사이에 규정된 전압 차이를 설정하기 위해 제1 션트 커패시터(921) 및 제2 션트 커패시터(925)를 제어하는 단계를 포함한다. 일부 실시예에서, 방법은 동작(1501)에서 생성된 규정된 전압 파형에 대응하는 펄스식 전압 파형의 각각의 펄스 사이클의 온-지속기간에 걸쳐 기판(105)의 최상부 표면(105T)과 에지 링(109)의 최상부 표면(109T) 사이의 규정된 전압 차이를 실질적으로 일정한 레벨로 유지하기 위해 제1 직렬 커패시터(919) 및 제2 직렬 커패시터(923)를 제어하는 단계를 포함한다.

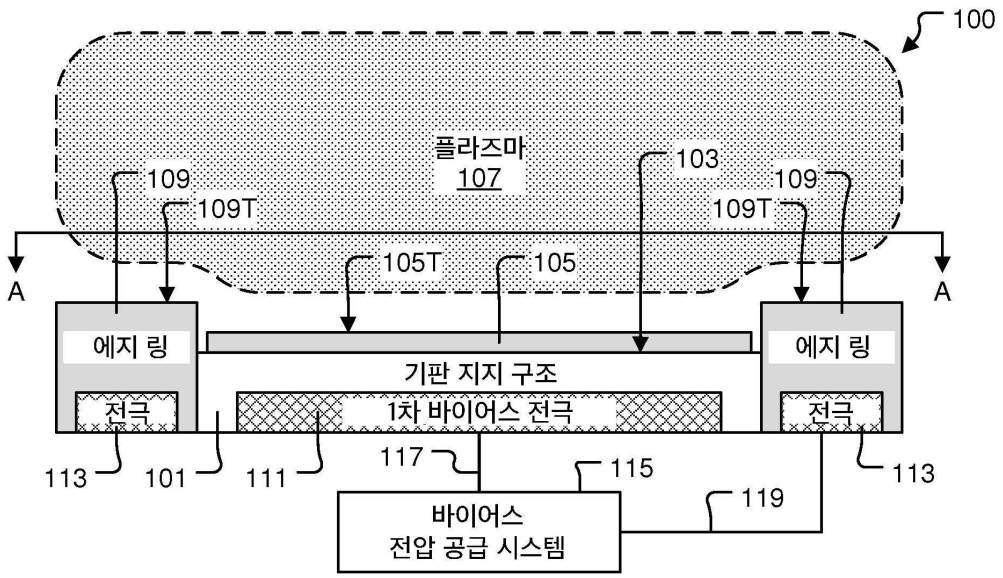
[0073] 본원에 설명된 다양한 실시예는 핸드-헬드(hand-held) 하드웨어 유닛, 마이크로프로세서 시스템, 마이크로프로세서-기반 또는 프로그래밍 가능 소비자 전자장치, 미니컴퓨터, 메인프레임 컴퓨터 등을 포함하는 다양한 컴퓨터 시스템 구성과 함께 실시될 수 있다. 본원에 설명된 다양한 실시예는 또한, 작업이 컴퓨터 네트워크를 통해 링크되는 원격 프로세싱 하드웨어 유닛에 의해 수행되는 분산된 컴퓨팅 환경과 함께 실시될 수 있다. 또한, 본원에 개시된 다양한 실시예는 컴퓨터 시스템에 저장된 데이터를 수반하는 다양한 컴퓨터-구현 동작의 수행을 포함한다는 것이 이해되어야 한다. 이러한 컴퓨터-구현 동작은 물리적인 양을 조작하는 동작이다. 다양한 실시예에서, 컴퓨터-구현 동작은 범용 컴퓨터 또는 특수 목적 컴퓨터 중 어느 하나에 의해 수행된다. 일부 실시예에서, 컴퓨터-구현 동작은 선택적으로 활성화된 컴퓨터에 의해 수행되고, 및/또는 컴퓨터 메모리에 저장된 하나 이상의 컴퓨터 프로그램에 의해 지시되거나, 컴퓨터 네트워크를 통해 얻어진다. 컴퓨터 프로그램 및/또

는 디지털 데이터가 컴퓨터 네트워크를 통해 얻어질 때, 디지털 데이터는 컴퓨터 네트워크 상의 다른 컴퓨터, 예컨대, 컴퓨팅 자원의 클라우드에 의해 프로세싱될 수 있다. 컴퓨터 프로그램 및 디지털 데이터는 비-일시적 컴퓨터-판독 가능 매체 상에 컴퓨터-판독 가능 코드로서 저장된다. 비-일시적 컴퓨터-판독 가능 매체는, 이후 컴퓨터 시스템에 의해 판독 가능한 데이터를 저장하는 임의의 데이터 저장 하드웨어 유닛, 예컨대, 메모리 디바이스 등이다. 비-일시적 컴퓨터-판독 가능 매체의 예는, 하드 드라이브, 네트워크 결합 저장소(network attached storage, NAS), ROM, RAM, CD-ROM(compact disc-ROM), CD-R(CD-recordable), CD-RW(CD-rewritable), DVD(digital video/versatile disc), 자기 테이프, 및 다른 광학 및 비-광학 데이터 저장 하드웨어 유닛을 포함한다. 일부 실시예에서, 컴퓨터 프로그램 및/또는 디지털 데이터는 커플링된 컴퓨터 시스템의 네트워크 내의 상이한 컴퓨터 시스템에 위치된 다수의 컴퓨터-판독 가능 매체 사이에 분배되어서, 컴퓨터 프로그램 및/또는 디지털 데이터는 분산형 방식으로 실행 및/또는 저장된다.

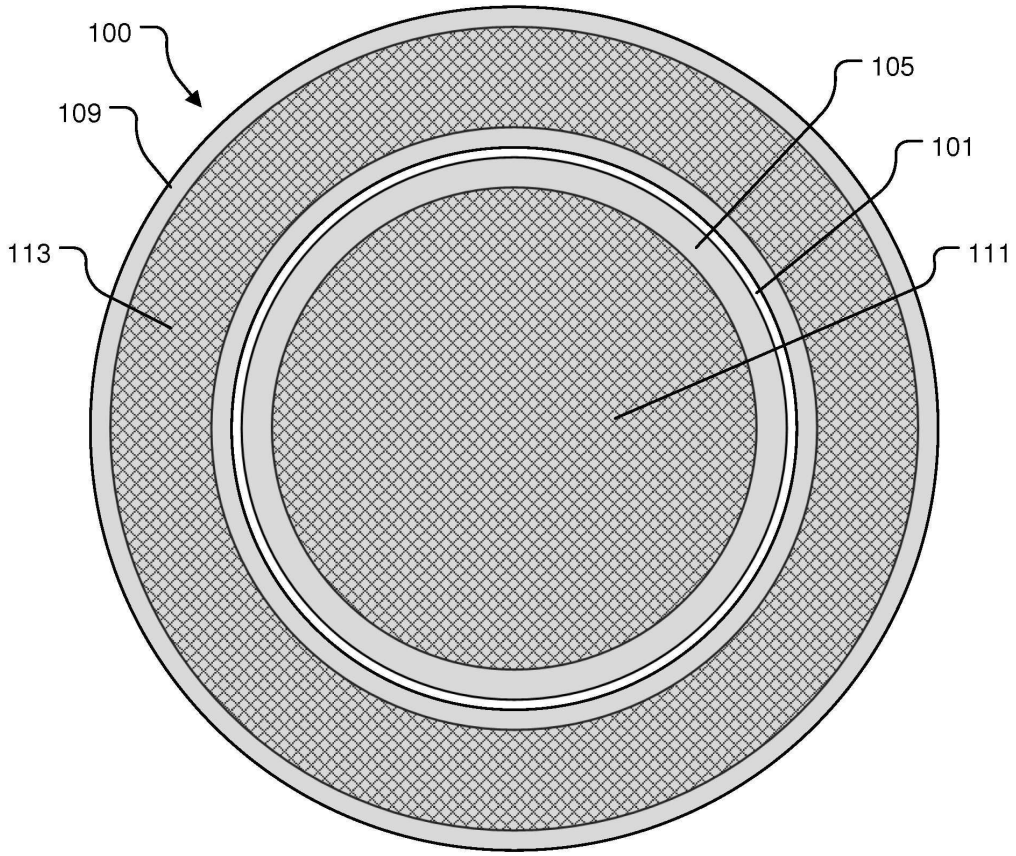
[0074] 위의 내용은 이해의 명확성을 목적으로 일부 상세를 포함하지만, 특정 변화 및 수정이 첨부된 청구항의 범위 내에서 실시될 수 있다는 것이 자명할 것이다. 예컨대, 본원에서 개시된 임의의 실시예로부터의 하나 이상의 특징은 본원에서 개시된 임의의 다른 실시예의 하나 이상의 특징과 조합될 수 있다는 것이 이해되어야 한다. 따라서, 본 실시예는 예시적이며 제한적이지 않는 것으로 고려되어야 하며, 청구되는 것은 본원에서 제공된 세부사항으로 한정되지 않고, 설명된 실시예의 범위 및 그의 등가물 내에서 수정될 수 있다.

도면

도면1a

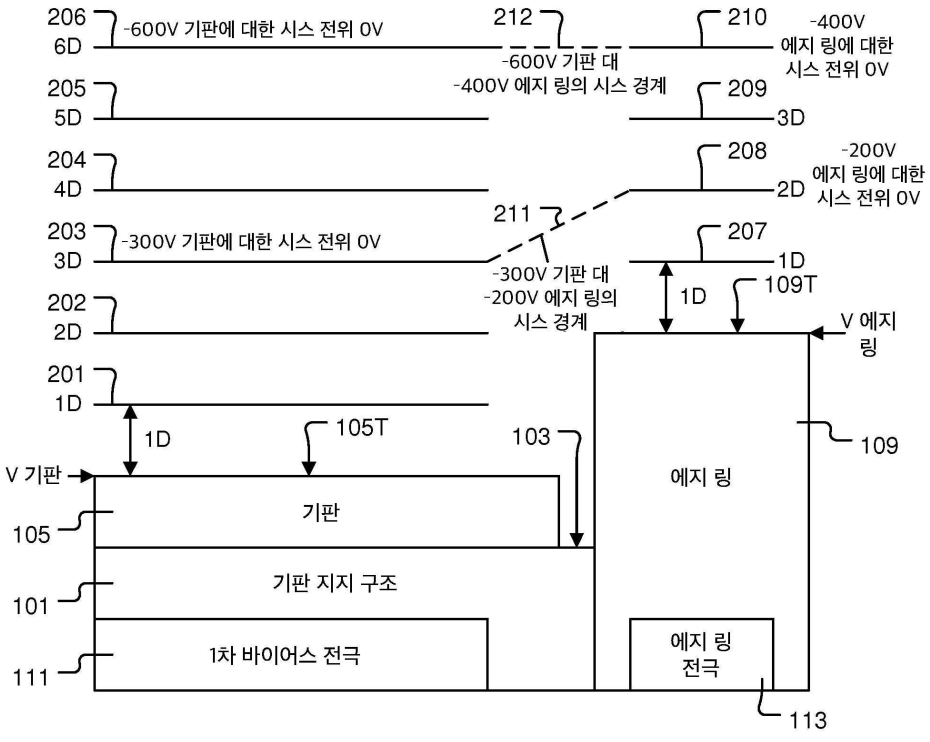


도면1b

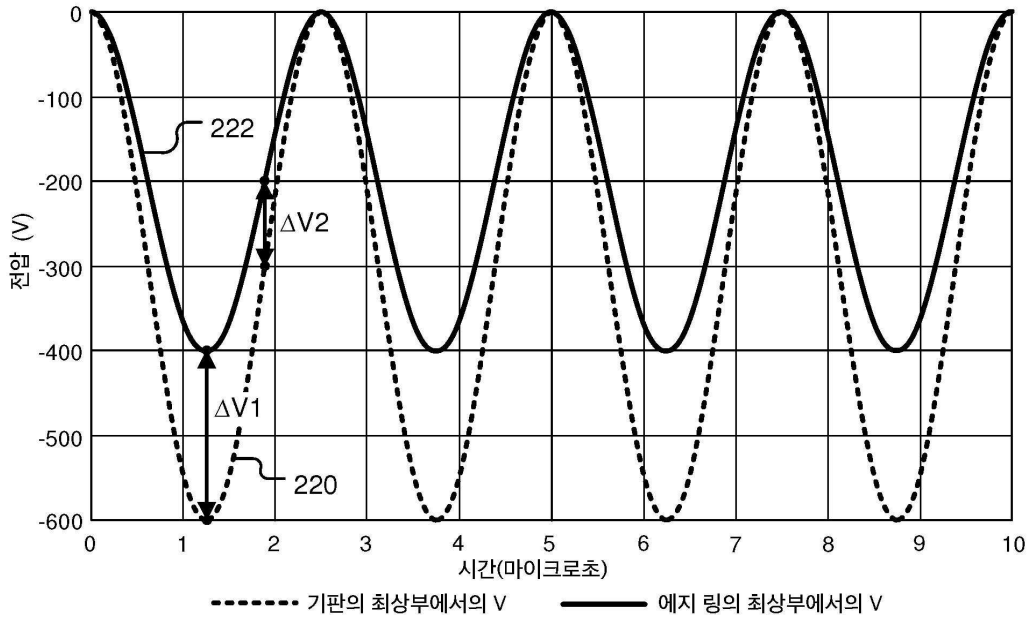


(뷰 A-A)

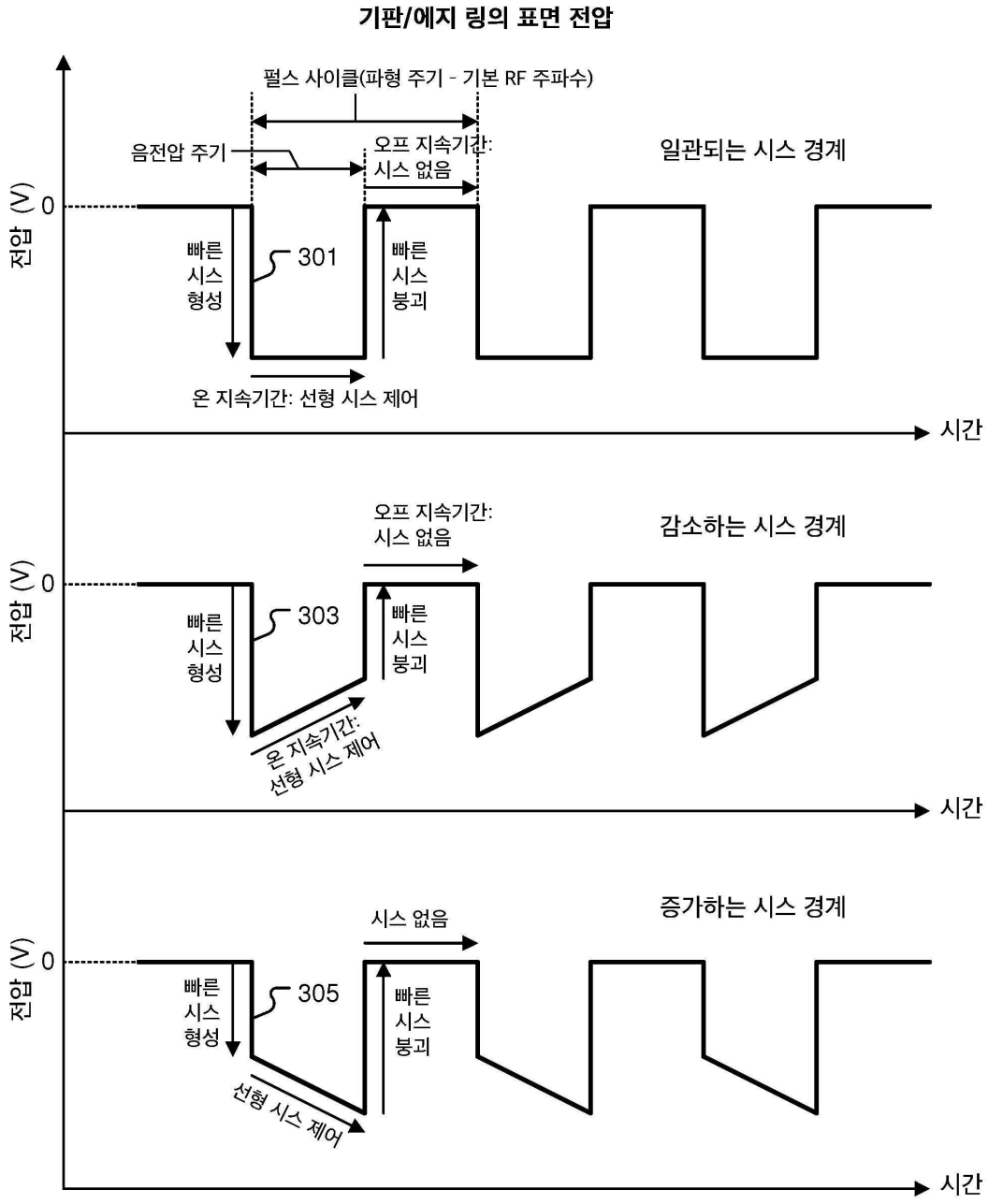
도면2a



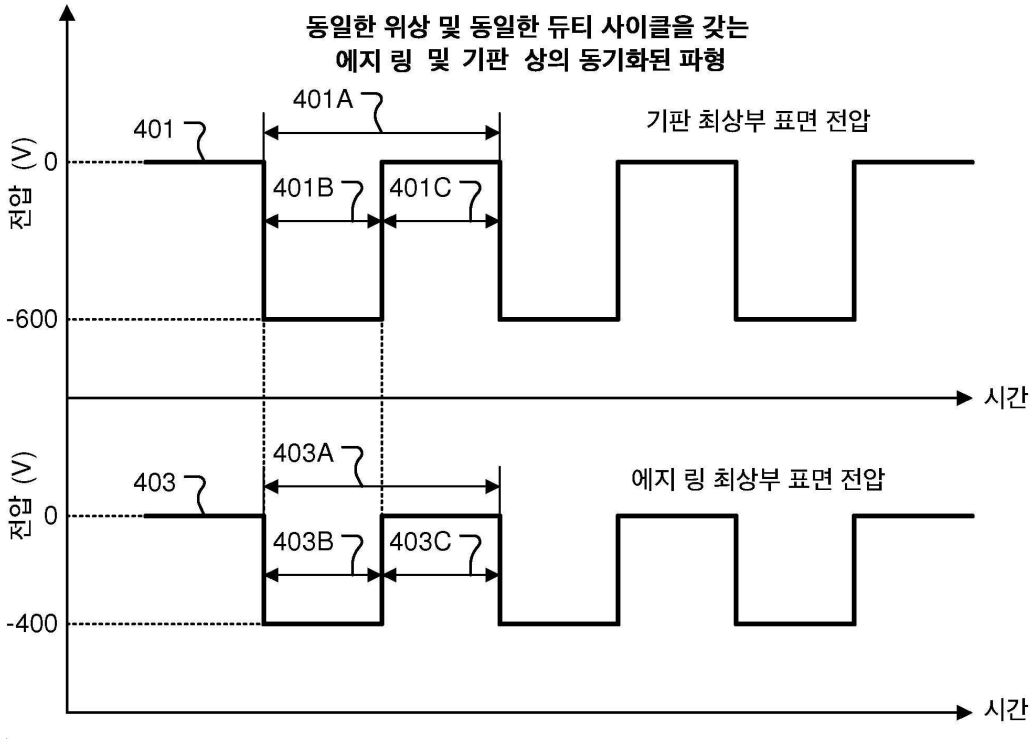
도면2b


0
-100
-200
-300
-400
-500
-600
전압 (V)
222
ΔV2
ΔV1
220
0
1
2
3
4
5
6
7
8
9
10
시간(마이크로초)
기판의 최상부에서의 V
에지 링의 최상부에서의 V

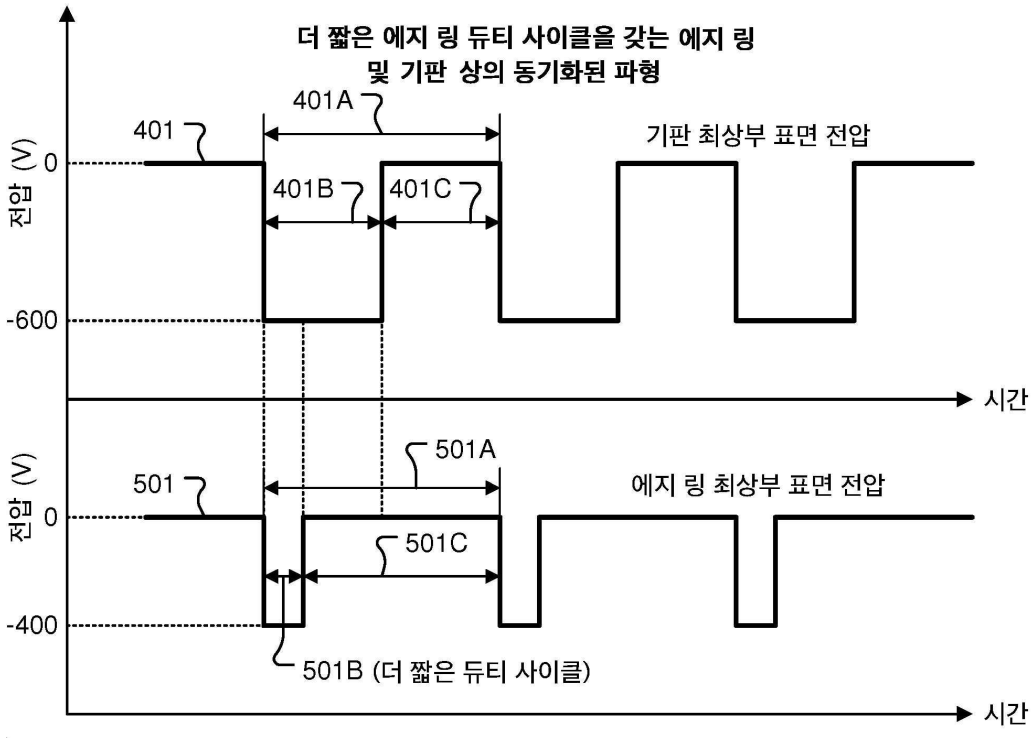
도면3


기판/에지 링의 표면 전압
펄스 사이클(파형 주기 - 기본 RF 주파수)
음전압 주기
오프 지속기간:
시스 없음
일관되는 시스 경계
전압 (V)
0
빠른
시스
형성
301
빠른
시스
붕괴
온 지속기간: 선형 시스 제어
시간
오프 지속기간:
시스 없음
감소하는 시스 경계
303
온 지속기간:
선형 시스 제어
시스 없음
증가하는 시스 경계
305
선형 시스 제어

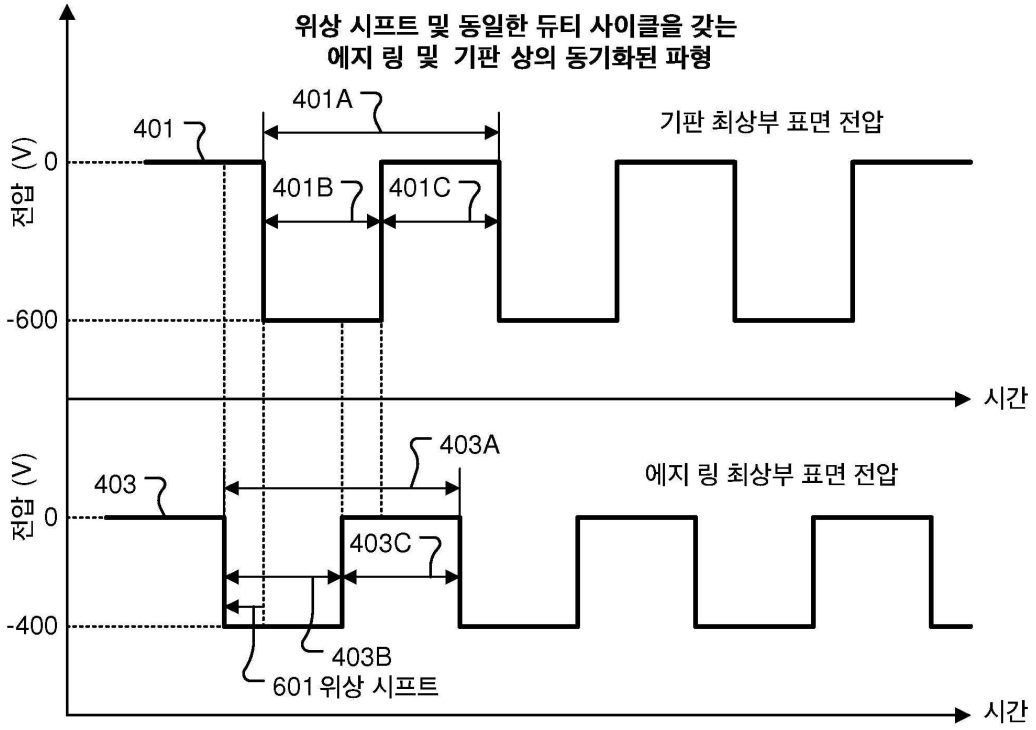
도면4


동일한 위상 및 동일한 듀티 사이클을 갖는
에지 링 및 기판 상의 동기화된 파형
401
401A
401B
401C
기판 최상부 표면 전압
전압 (V)
0
-600
시간
403
403A
403B
403C
에지 링 최상부 표면 전압
전압 (V)
0
-400
시간

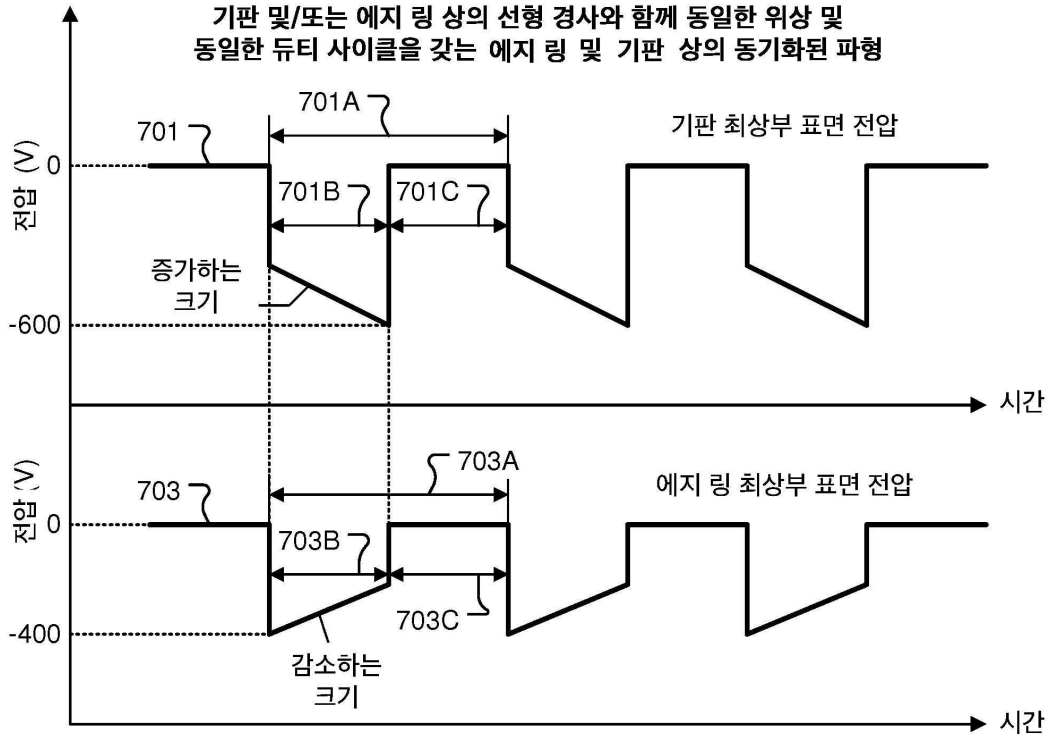
도면5


더 짧은 에지 링 듀티 사이클을 갖는 에지 링
및 기판 상의 동기화된 파형
401
401A
401B
401C
기판 최상부 표면 전압
전압 (V)
0
-600
시간
501
501A
501C
501B (더 짧은 듀티 사이클)
에지 링 최상부 표면 전압
전압 (V)
0
-400
시간

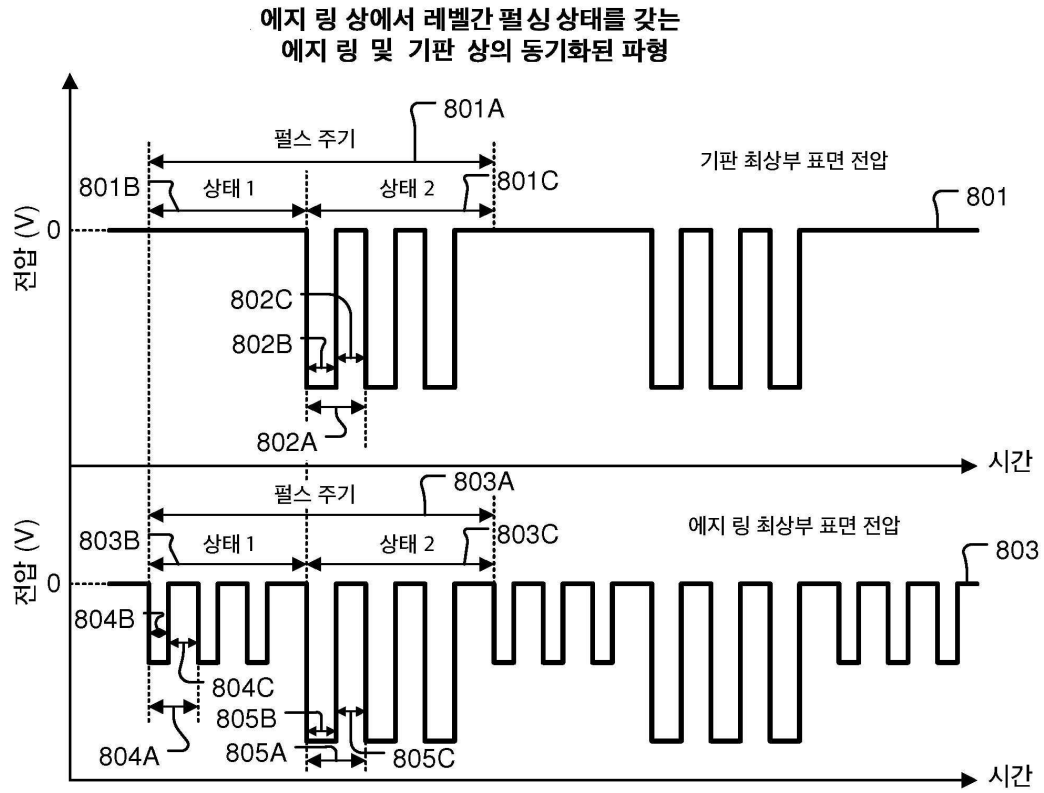
도면6


위상 시프트 및 동일한 듀티 사이클을 갖는
에지 링 및 기판 상의 동기화된 파형
401
401A
401B
401C
기판 최상부 표면 전압
전압 (V)
0
-600
시간
403
403A
403C
403B
601 위상 시프트
에지 링 최상부 표면 전압
전압 (V)
0
-400
시간

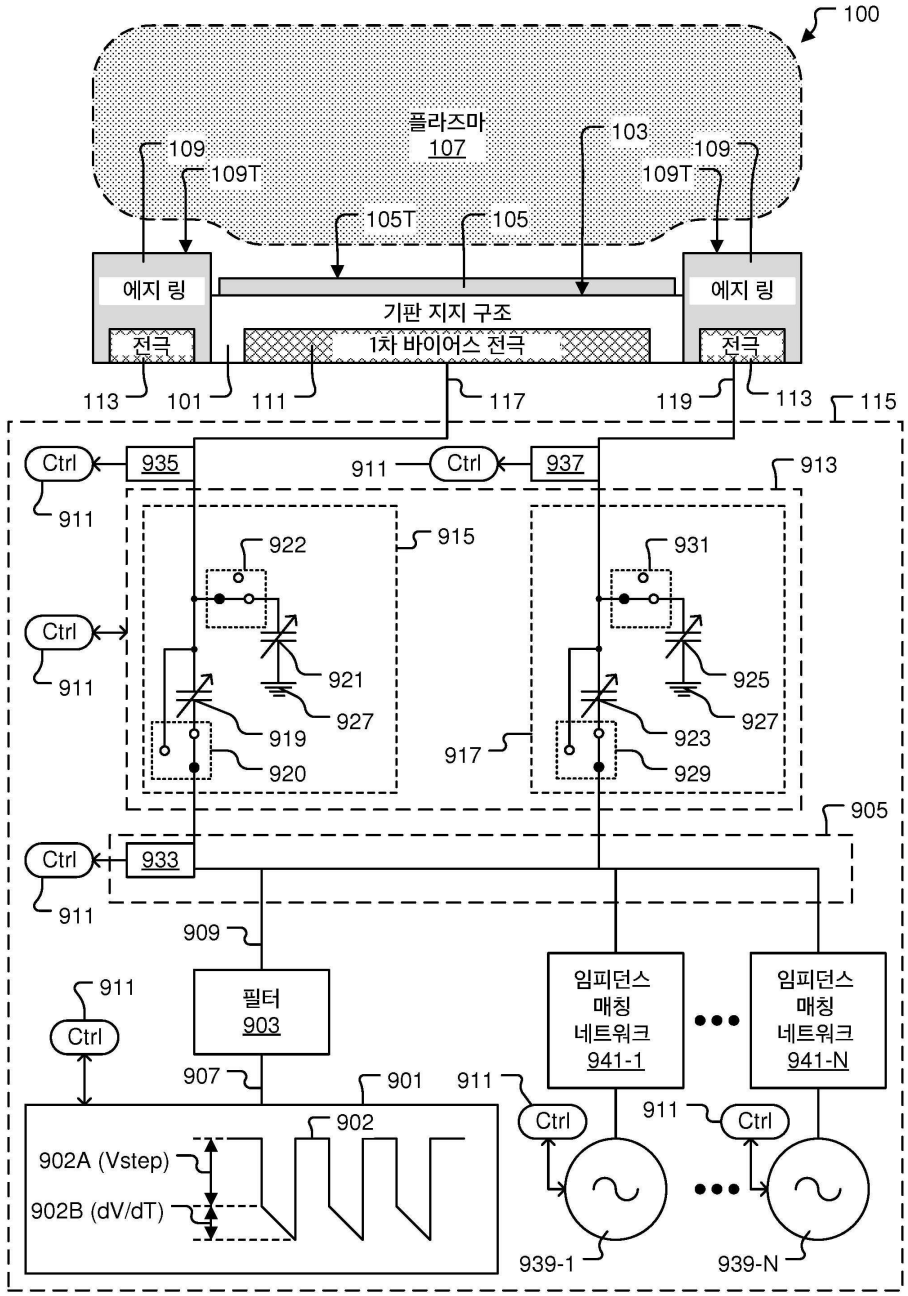
도면7


기판 및/또는 에지 링 상의 선형 경사와 함께 동일한 위상 및
동일한 듀티 사이클을 갖는 에지 링 및 기판 상의 동기화된 파형
701
701A
701B
701C
기판 최상부 표면 전압
증가하는
크기
전압 (V)
0
-600
시간
703
703A
703B
703C
에지 링 최상부 표면 전압
감소하는
크기
전압 (V)
0
-400
시간

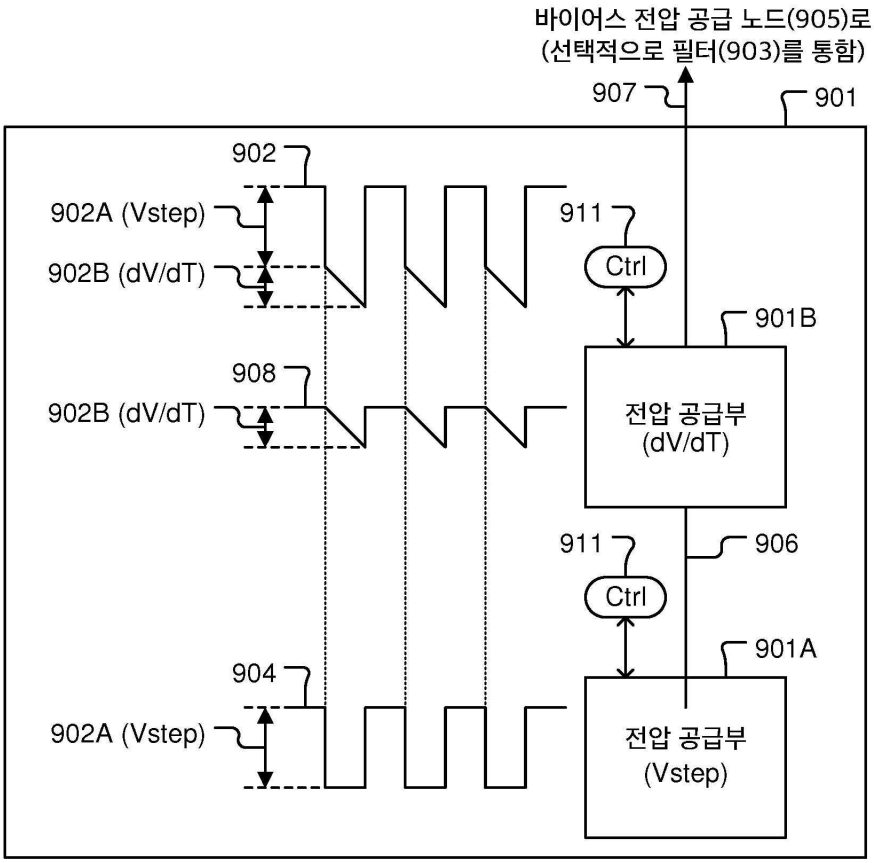
도면8


에지 링 상에서 레벨간 펄싱 상태를 갖는
에지 링 및 기판 상의 동기화된 파형
801A
펄스 주기
801B
상태 1
상태 2
801C
기판 최상부 표면 전압
801
전압 (V)
0
802C
802B
802A
시간
803A
펄스 주기
803B
상태 1
상태 2
803C
에지 링 최상부 표면 전압
803
전압 (V)
0
804B
804C
805B
804A
805A
805C
시간

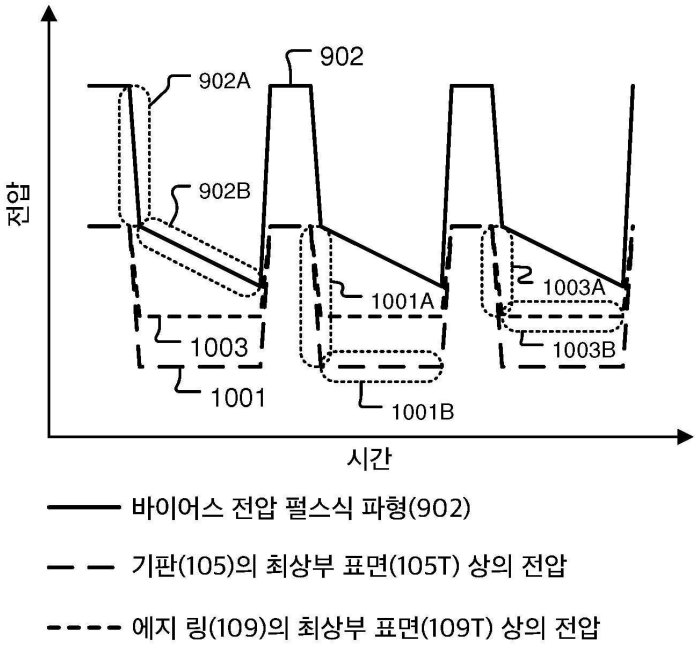
도면9a


100
플라즈마
107
109
109T
103
109
109T
105T
105
에지 링
에지 링
기판 지지 구조
전극
1차 바이어스 전극
전극
113
101
111
117
119
113
115
Ctrl
935
911
911
Ctrl
937
913
915
922
931
Ctrl
911
921
925
927
927
919
923
920
917
929
905
Ctrl
933
911
909
911
Ctrl
필터
903
907
901
911
902
902A (Vstep)
902B (dV/dT)
임피던스
매칭
네트워크
941-1
임피던스
매칭
네트워크
941-N
911
Ctrl
911
Ctrl
939-1
939-N

도면9b


바이어스 전압 공급 노드(905)로
(선택적으로 필터(903)를 통함)
907
901
902
902A (Vstep)
902B (dV/dT)
911
Ctrl
901B
908
902B (dV/dT)
전압 공급부
(dV/dT)
911
906
Ctrl
901A
904
902A (Vstep)
전압 공급부
(Vstep)

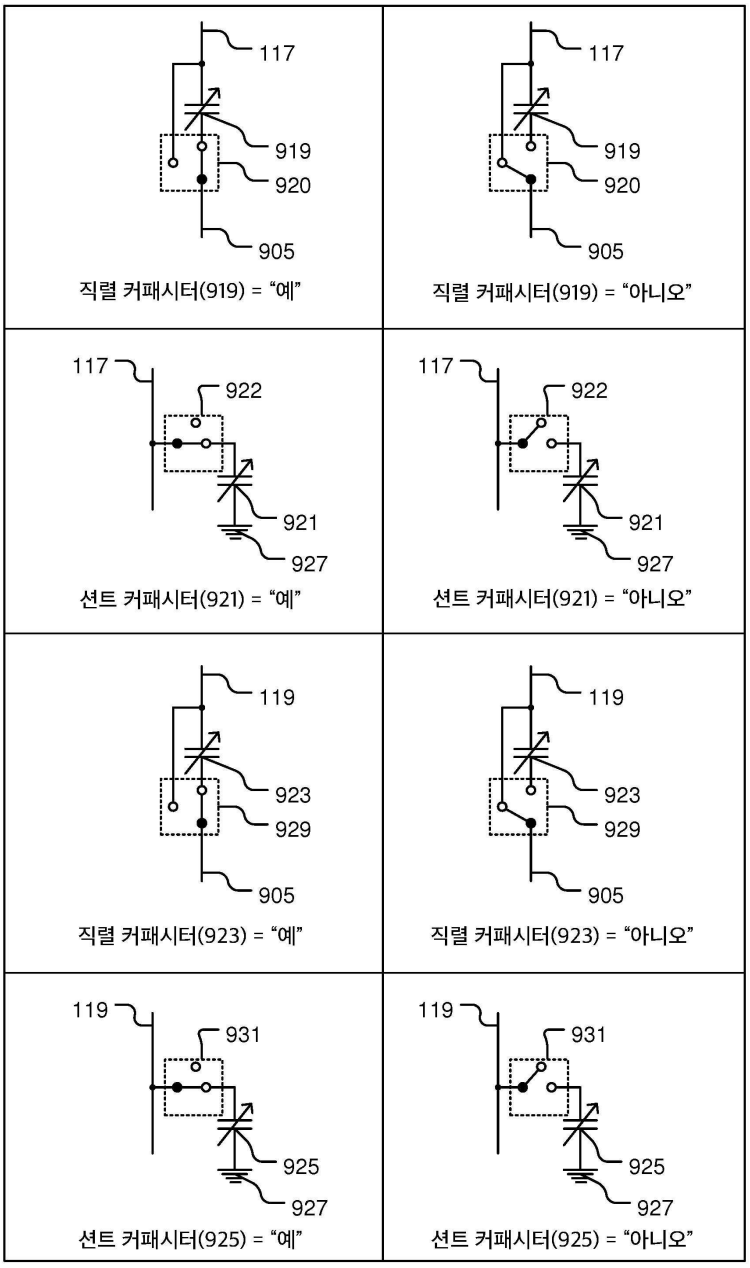
도면10


902
902A
902B
전압
1001A
1003A
1003
1003B
1001
1001B
시간
바이어스 전압 펄스식 파형(902)
기판(105)의 최상부 표면(105T) 상의 전압
에지 링(109)의 최상부 표면(109T) 상의 전압

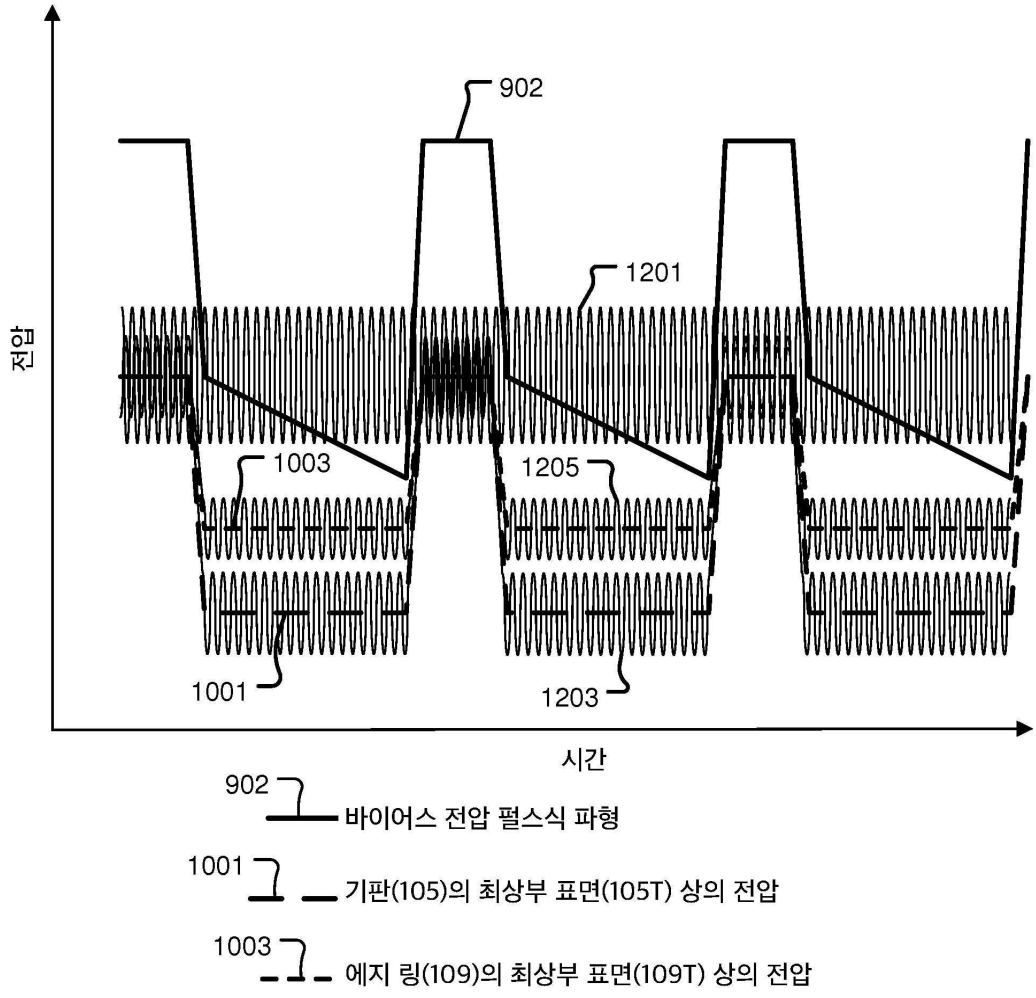
도면11a

분할 회로(913) 구성	제1 분기 회로(915)		제2 분기 회로(917)	
	직렬 커패시터 (919)	션트 커패시터 (921)	직렬 커패시터 (923)	션트 커패시터 (925)
1	아니오	아니오	예	예
2	예	예	아니오	아니오
3	예	예	예	예
4	아니오	아니오	아니오	예
5	아니오	예	아니오	예
6	아니오	예	아니오	아니오
7	예	예	예	아니오
8	예	예	아니오	예
9	예	아니오	예	예
10	아니오	예	예	예
11	예	아니오	예	아니오
12	아니오	예	예	아니오
13	예	아니오	아니오	예
14	예	아니오	아니오	아니오
15	아니오	아니오	예	아니오
16	아니오	아니오	아니오	아니오

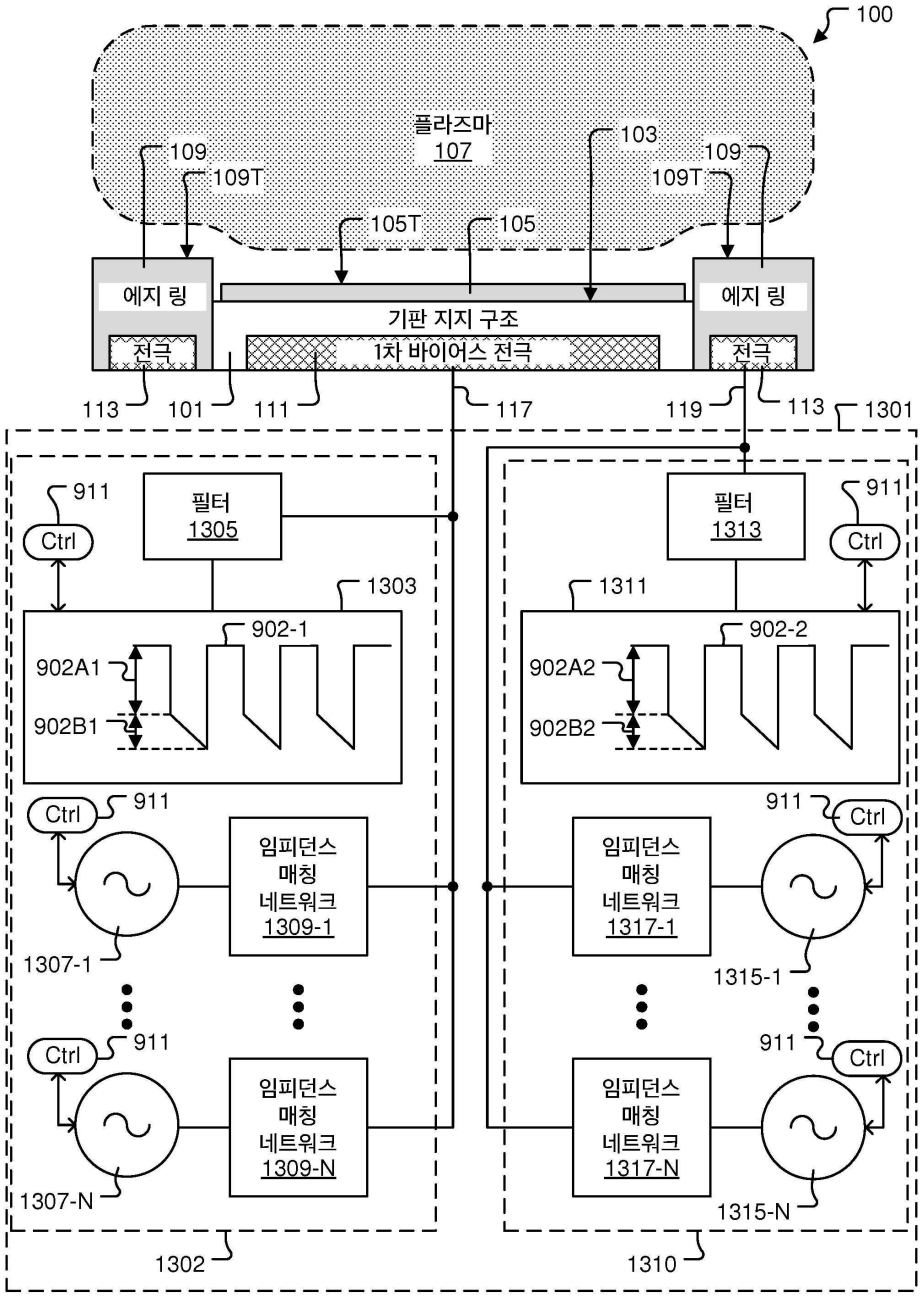
도면11b


117
919
920
905
직렬 커패시터(919) = "예"
117
919
920
905
직렬 커패시터(919) = "아니오"
117
922
921
927
션트 커패시터(921) = "예"
117
922
921
927
션트 커패시터(921) = "아니오"
119
923
929
905
직렬 커패시터(923) = "예"
119
923
929
905
직렬 커패시터(923) = "아니오"
119
931
925
927
션트 커패시터(925) = "예"
119
931
925
927
션트 커패시터(925) = "아니오"

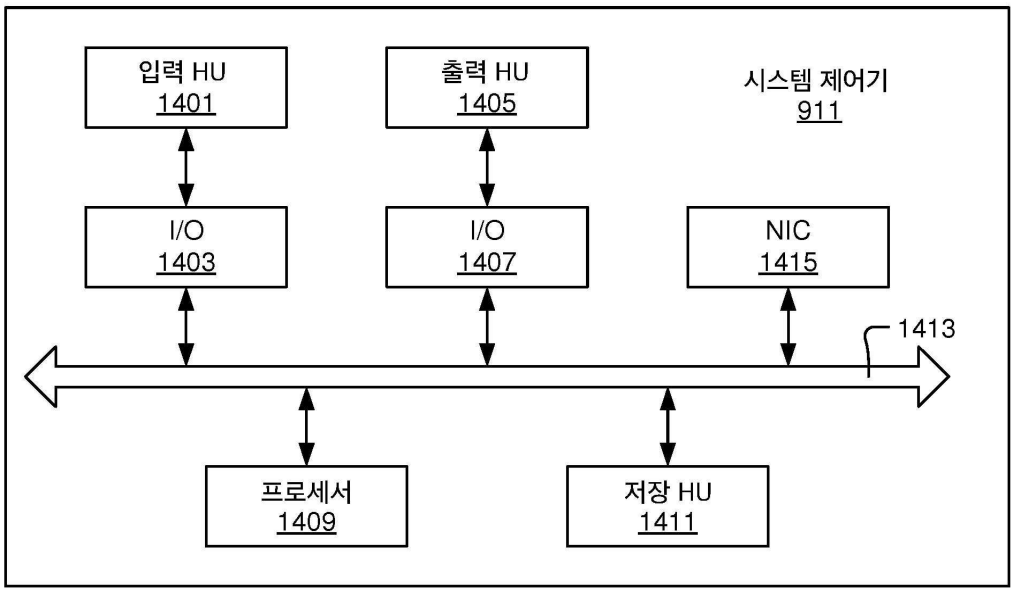
도면12


902
1201
전압
1003
1205
1001
1203
시간
902
바이어스 전압 펄스식 파형
1001
기판(105)의 최상부 표면(105T) 상의 전압
1003
에지 링(109)의 최상부 표면(109T) 상의 전압

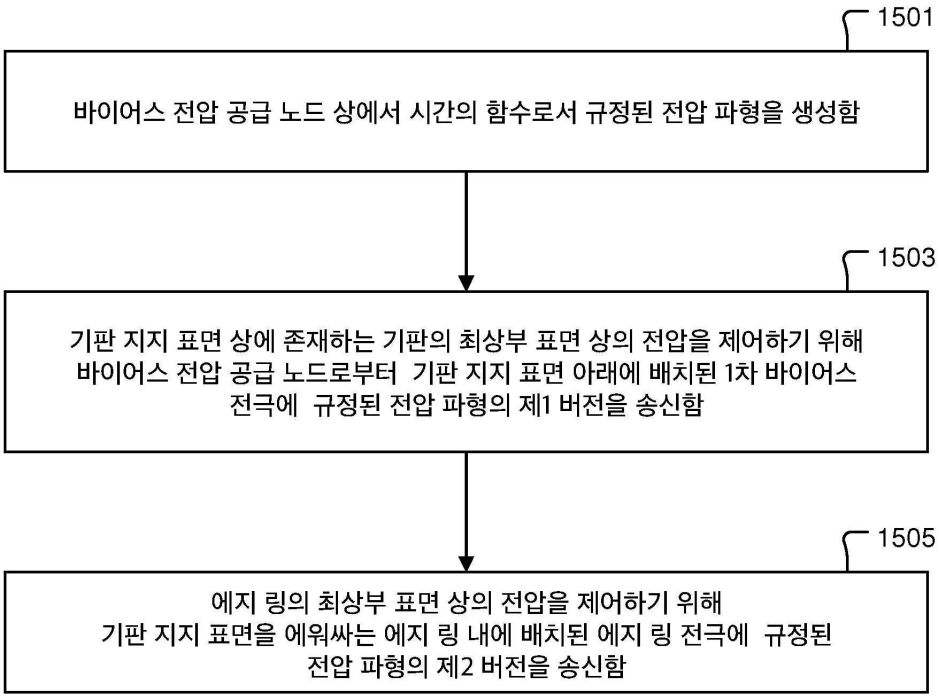
도면13


100
플라즈마
107
109
109T
103
109
109T
105T
105
에지 링
에지 링
기판 지지 구조
전극
1차 바이어스 전극
전극
113
101
111
117
119
113
1301
911
Ctrl
필터
1305
1303
902-1
902A1
902B1
911
Ctrl
임피던스
매칭
네트워크
1309-1
1307-1
911
Ctrl
임피던스
매칭
네트워크
1309-N
1307-N
1302
필터
1313
911
Ctrl
1311
902-2
902A2
902B2
911
Ctrl
임피던스
매칭
네트워크
1317-1
1315-1
911
Ctrl
임피던스
매칭
네트워크
1317-N
1315-N
1310

도면14


입력 HU
1401
출력 HU
1405
시스템 제어기
911
I/O
1403
I/O
1407
NIC
1415
1413
프로세서
1409
저장 HU
1411

도면15


1501
바이어스 전압 공급 노드 상에서 시간의 함수로서 규정된 전압 파형을 생성함
1503
기판 지지 표면 상에 존재하는 기판의 최상부 표면 상의 전압을 제어하기 위해 바이어스 전압 공급 노드로부터 기판 지지 표면 아래에 배치된 1차 바이어스 전극에 규정된 전압 파형의 제1 버전을 송신함
1505
에지 링의 최상부 표면 상의 전압을 제어하기 위해 기판 지지 표면을 에워싸는 에지 링 내에 배치된 에지 링 전극에 규정된 전압 파형의 제2 버전을 송신함