

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 美國；2002年10月25日；60/421,060
2. 美國；2003年10月22日；10/689,986
- 3.
- 4.
- 5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002年10月25日；60/421,060
2. 美國；2003年10月22日；10/689,986
- 3.
- 4.
- 5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

高次信號。

利用控制位在鎖相迴路回授路徑之脈衝吸收 (pulse-swallow) 分割器值可位移亂真雜訊信號。此分割器值可由積分三角調變器控制，即調變率設定在此電路中。壓制之雜訊包含相位雜訊及發生在該相位及頻率偵測器及/或PLL進料泵之不匹配產生之雜訊中至少一個。

依照另一實施例，本發明提供用以壓制雜訊之方法。利用將一參考信號調變，然後根據該調變參考信號由鎖相迴路產生頻率信號。執行該調變以確保原始信號及調變參考信號之諧波並不一致，至少在相當大範圍之頻率不一致。該調變參考信號較佳地只在諧波不一致時用來產生PLL頻率信號。此方法可用於對在此所述積分三角調變器執行之亂真雜訊壓制提供微調。

依照另一實施例，本發明提供之頻率產生器包含鎖相迴路根據參考信號產生頻率信號，及雜訊壓制器位移預定次之亂真信號到PLL之迴路頻寬外。該鎖相迴路包含迴路濾波器，及迴路頻寬由迴路濾波器之截止頻率定義，或和該濾波器之截止頻率和該PLL產生之頻率信號間之頻率範圍對應。該雜訊壓制器較佳地包含PLL回授迴路中之分頻器及一控制器，該控制器設定分頻器為執行亂真信號位移之值。該分頻器可為脈衝吸收 (pulse-swallow) 分配器及該控制器可為積分三角調變器。除了這些特性，雜訊壓制器可包含參考信號調變器用以將亂真信號微調壓制。

依照另一實施例，本發明提供用以控制鎖相迴路之系統

所要應用之需求。(R值可和PLL之設計規格有關(如若 $f_{ref}=19.2\text{ MHz}$, $R=1$), 及K值可和除頻器之設計有關)。故只有P, S, $N_{\Sigma\Delta}$ 及 $D_{\Sigma\Delta}$ 為未知值。

$D_{\Sigma\Delta}$ 。可以各種方式決定此參數。首先, 可以簡單之2的次方如 $2^{10}/2^{12}/2^{13}\dots$ 決定 $D_{\Sigma\Delta}$ 。在此情況, 當分母增加, 硬體複雜度亦增加, 及PLL之頻率解析度增加。故在精確度和硬體複雜度間需要有所妥協。第二, 若知道系統之頻率解析度(頻道間隔), 可由以下等式決定 $D_{\Sigma\Delta}$: $D_{\Sigma\Delta}=(f_{ref}/R)/f_{ch}$ 。例如在Korean CDMA系統, $f_{ref}=19.2\text{ MHz}$, $R=1$, 及 $f_{ch}=10\text{ kHz}$ 。由這些值, $D_{\Sigma\Delta}=1920$ 。

P, S, 及 $N_{\Sigma\Delta}$ 。這些參數是滿足以下關係: $f_{vco}=(f_{ref}/R) \times (KP+S+N_{\Sigma\Delta}/D_{\Sigma\Delta})$ 之整數值。若在此關係加上二或多個限制, 該解答是唯一的。第一個限制是 $0 \leq S < K$, 第二個限制是 $0 \leq N_{\Sigma\Delta} < D_{\Sigma\Delta}$ 。這些限制實際上為非算法上的, 而是實際的。因為許多應用之 $N_{\Sigma\Delta}$ 範圍超過 $D_{\Sigma\Delta}$, 積分三角調變器之硬體複雜度隨之增加。例如假設 $f_{ref}=19.2\text{ MHz}$, $R=1$, $f_{vco}=1920.192\text{ MHz}$, $K=8$, 及 $D_{\Sigma\Delta}=19200$ 。則項目 $(KP+S+N_{\Sigma\Delta}/D_{\Sigma\Delta})=100.01$, 其中 $KP+S=100$ 及 $N_{\Sigma\Delta}/D_{\Sigma\Delta}=0.01$, K, P及S均為整數值。故 $P=21$ 及 $S=4$ 限制 $S < K$ 使此整數解答是獨一的)及 $N_{\Sigma\Delta}=192$ 。

第二, 脈衝吸收(pulse-swallow)分頻器將壓控振盪器輸出 f_{vco} 除以等式(1)之值, 使輸入相位及頻率偵測器之比較頻率等於調變參考頻率, $f_{mod}=\frac{N_{mod}}{D_{mod}}f_{ref}$ 。

$$(K \cdot P + S) + \left(\frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}} \right) \quad (1)$$

因調變參考頻率 f_{mod} 和未調變參考頻率 f_{ref} 不同，需變更脈衝吸收 (pulse-swallow) 分頻器參數使得由回授迴路輸入該相位及頻率偵測器之信號和由該參考調變器輸出之調變參考頻率匹配。調變參考頻率 f_{mod} 在輸入到相位及頻率偵測器前可除以和可選擇之參考除法器 31 對應之值 R 。

等式 (1) 很清楚為達到想要之輸出頻率信號 f_{vco} (其如可為用於通訊收送器基帶信號回復電路之本地振盪器信號)，壓控振盪器輸出可除以回授迴路中等式 (1) 之值。若特定應用之參考除法器及除頻計數器值 R 及 K 為已知，可如以上解釋及由等式 (1) 對特定輸入頻率及 VCO 輸出頻率決定剩下之參數 (P, S, N)。

可由以下等式表示 PLL 之輸出頻率：

$$f_{\text{vco}} = \left(\frac{f_{\text{ref}}}{R} \right) \left(\frac{N_{\text{mod}}}{D_{\text{mod}}} \right) \left((K \cdot P + S) + \left(\frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}} \right) \right) \quad (2)$$

在等式 (2)，項目 $\left(\frac{f_{\text{ref}}}{R} \right) \left(\frac{N_{\text{mod}}}{D_{\text{mod}}} \right) (K \cdot P + S)$ 表示所要頻率 f_{vco} 之整數部分，項目 $\left(\frac{f_{\text{ref}}}{R} \right) \left(\frac{N_{\text{mod}}}{D_{\text{mod}}} \right) \left(\frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}} \right)$ 表示此頻率之分數部分。當 PLL 發生不匹配，在和所要頻率 f_{vco} 分數部分及此頻率諧波一致之頻率形成亂真雜訊信號。為能達成過濾掉所有或部分這些亂真信號所需之間隔，本發明控制一或多個以上等式之參數。

一開始控制積分三角調變器之調變率以達到所要之頻率間隔程度。這可由參照等式 (2) 之分數部分憑經驗了解，等式 (2) 和所要頻率 f_{vco} 及一次亂真信號 f_{spl} 間頻率偏移 (Δf) 對

調變率達成)，可控制 N_{mod} 及 D_{mod} 比做為在等式(2)分數部分執行之亂真信號位移微調方式。值 N_{mod} 及 D_{mod} 較佳地根據參考調變器之設計決定。

表1提供之值範例在輸入到等式(2)時，產生之頻率間隔 Δf 足以使亂真雜訊信號移到PLL迴路頻寬外。這些值反映在圖4以說明本發明之較佳性能。

f_{vco}	f_{ref}	R	N_{mod}	D_{mod}	K	P	S	$N_{\Sigma\Delta}$	$D_{\Sigma\Delta}$
905.29 MHz	19.68 MHz	1	8	9	4	12	3	11817	15744

表1中 $N_{\Sigma\Delta}$ 及 $D_{\Sigma\Delta}$ 分別設定為11817及15744，及參考信號調變器之調變率是8/9。將這些值插入等式(2)，算出PLL之輸出頻率 f_{vco} 為905.29 MHz。和此等式分數部分對應之值顯示本發明對此範例之較佳性能：

$$f_{\text{ref}} \cdot \frac{N_{\text{mod}}}{D_{\text{mod}}} \cdot \frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}} = 19.68 \cdot \frac{8}{9} \cdot \frac{11817}{15744} = 13.13 \text{ MHz} \quad (3)$$

如等式(3)所示，PLL不匹配產生之亂真雜訊信號出現在和等式(2)分數部分一致之頻率，算出為13.13 MHz。故在輸出頻率及一次亂真雜訊信號 f_{spi} 間之頻率間隔 Δf 為6.55 MHz。(此數目由將調變輸入參考信號 $(19.68 \cdot 8/9)$ 減掉13.13 MHz而得)。利用這些值，積分三角調變器將一次亂真信號移到PLL迴路頻寬外，故迴路濾波器之截止頻率 f_{cutoff} 可自輸出頻率消除這些及較高次雜訊信號。此範例雖使用8/9調變率及提供微解析調整，但可發現以其它參考調變率可達到其它頻率間隔。

在上述範例，截止頻率及/或迴路頻寬可根據系統之特定

應用需求決定，包含相位雜訊及亂真信號壓制需求。如所示，當載波 f_{vco} 增加而使頻率偏移(Δf)增加時，迴路濾波器之亂真信號 f_{sp} 有較大之壓制。雖非強制性，但參考調變可有利地使此頻率偏移增加。

在上述範例由設定積分三角調變器之調變率為相當大值，亦至少部分達到頻率間隔。加以比較可發現此比值小時，無法達到雜訊壓制需要之分隔。例如當 $\frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}}=1/1968$ 及P和S值分別為1及2，則在和使用未調變信號頻率相同之K及 f_{ref} 值時，所得頻率間隔為10 kHz。於大部分應用此間隔在PLL之迴路頻寬中，故無法被迴路濾波器壓制。

另外或替代地，在控制積分三角調變器值時，可調整使分子 $N_{\Sigma\Delta}$ 遠離分母 $D_{\Sigma\Delta}$ 之分諧波。這表示若積分三角調變器之分子及分母比 $\frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}}$ 接近 $D_{\Sigma\Delta}/2$ ， $D_{\Sigma\Delta}/4$ 及 $D_{\Sigma\Delta}/8$ ，參考調變可降低或去除該亂真信號。

故本發明有效壓制如PLL之頻率產生器之雜訊，其方式實質上改良信號雜訊比。將本發明和其它電路比較可明顯看出效果。例如在圖1(a)之相關技術系統，亂真雜訊信號和PLL輸出頻率間之頻率間隔等於10 kHz，顯示位在電路之迴路頻寬內(圖2)。因亂真信號在此頻寬內，圖1(a)PLL之迴路濾波器不能自輸出頻率移除亂真雜訊信號。結果此電路之輸出信號雜訊比較許多應用所要低。

相反地利用根據PLL迴路頻寬設定 $N_{\Sigma\Delta}$ 及 $D_{\Sigma\Delta}$ 參數至少一個為適當值，然後可選擇性地以 $\frac{N_{mod}}{D_{mod}}$ 將輸入參考頻率調變以

執行微調，本發明確保迴路不匹配產生之亂真雜訊在遠離PLL輸出頻率處形成，故可由迴路濾波器將之壓制。

本發明之系統除了達成較大之雜訊壓制，亦可有較快之鎖定時間，同時較已提出之其它系統使用較寬之迴路頻寬。這是因為PLL鎖定時間和迴路頻寬成反比。以較寬迴路頻寬作用可使本發明較其它PLL電路之鎖定時間降低，同時可使亂真信號壓制程度改良。所有這些優點使信號雜訊比改良，故得到較高品質之通訊收送器。

可以多種方式達到參考信號調變。將該參考頻率 f_{ref} 較佳地調變，以確使 f_{mod} 未靠近原始參考頻率 f_{ref} 之諧波。雖由積分三角調變器執行調變，最好以此方式執行調變以避免亂真雜訊信號再出現在PLL輸出之可能。可由參考以下範例而有所了解。

圖5(a)及5(b)分別顯示一原始參考頻率及依照本發明一範例產生之調變參考頻率諧波。圖5(a)所示之原始參考頻率諧波為 $N \cdot f_{ref}$, $(N+1) \cdot f_{ref}$, $(N+2) \cdot f_{ref}$ 等。圖5(b)根據調變率 $\frac{N_{mod}}{D_{mod}} = \frac{5}{6}$ 產生調變參考信號。故調變輸入參考頻率諧波出現在頻率為 $N \cdot (5/6)f_{ref}$, $(N+1) \cdot (5/6)f_{ref}$, $(N+2) \cdot (5/6)f_{ref}$ 等。

在此範例假設 N 為整數，並最好是6的倍數，其中調變參考頻率和原始參考信號諧波一致之區域以 X 表示。在此區域本發明可確認無效，因調變參考頻率不能壓制PLL輸出之亂真信號。這些原則可做為定義本發明之積分三角控制PLL作用範圍之基礎。即如圖5(a)及5(b)所示，調變參考頻率可

在調變參考頻率諧波等於原始參考頻率諧波前做為輸入到相位及頻率偵測器之比較頻率。

若晶片面積無限制，對既定之頻道可使用各種 N_{mod} 及 D_{mod} 值。例如可能希望 $N_{\text{mod}}/D_{\text{mod}}=5/6$ ，以使一頻道之亂真信號壓制，但另一頻道可能希望 $N_{\text{mod}}/D_{\text{mod}}=8/9$ 。另外任何既定頻道可能接受此二調變率。利用變更 $N_{\text{mod}}/D_{\text{mod}}$ 值，可達成多種可接受之頻率偏移以壓制亂真信號。可選擇和該系統最相容者(如特定硬體複雜度)。

圖6顯示可達到上述彈性之一種本發明參考調變器。此調變器由二個參考調變器51及52形成，及可包含選擇器53以對所用頻道選擇適當之調變率 $N_{\text{mod}}/D_{\text{mod}}$ 。第一調變器調變率 $5/6$ 及第二調變器調變率 $8/9$ 。雖顯示二個調變器，精於本技術者可了解本發明之參考調變器可包含不只二個調變器，如該通訊系統之各頻道或頻道組可提供一調變器。在此情形，各調變器對該頻道或頻道組有一特定及較佳地最佳選擇之調變率。對無亂真傾向之頻道，可省略或限制參考調變器，及參考時鐘可直接回授到內部PLL塊。

圖7顯示可架構本發明參考調變器以產生這些結果之另一方式。此調變器包含第一作用循環修正器70、頻率加倍器71、第二作用循環修正器72、分數除法器73、第三作用循環修正器74及另一分數除法器75。設定分數除法器為將其輸入信號乘上 $2/3$ 。但精於本技藝者可清楚視所需可使用其它分數值。

圖8(a)-8(g)顯示由圖7所示參考調變器各元件處理信號

之方式。圖 8(a)顯示輸入到參考調變器之原始參考頻率 f_{ref} 。圖 8(b)顯示第一作用循環修正器處理原始參考以由去除次諧波元件產生乾淨信號。圖 8(c)顯示頻率加倍器將第一作用循環修正器輸出之信號頻率加倍。這使得信號週期減半。圖 8(d)顯示第二作用循環修正器由去除次諧波清理頻率加倍器輸出。圖 8(e)顯示第二作用循環修正器之信號輸出乘上預定分數，在此範圍是 $2/3$ 。

圖 8(f)顯示第三作用循環修正器由去除次諧波清理第一分數除法器輸出。這使得信號週期增加程度和第一分數除法器執行之除法相同。

圖 8(g)顯示第三作用循環修正器之信號輸出乘上預定分數，在此範例亦是 $2/3$ 。這是為了產生調變參考頻率。再次處理此信號以去除次諧波，產生最終調變參考信號，其週期之增加量和第二分數除法器執行之除法成正比。

在上述參考調變器實施例，參考調變器之分子應和一不同，以增加 PLL 之作用範圍，同時防止亂真信號變換。事實上最好使用較高值之分子。分數除法器及頻率加倍器可用來產生此種分子。

例如在先前除法器範例，使用一頻率加倍器及二分數除法器產生調變參考信號，等於 $f_{mod} = \frac{N_{mod}}{D_{mod}} f_{ref} = \frac{8}{9} f_{ref}$ 。另外使用一頻率加倍器及二分數除法器產生調變信號，該二除法器使用相同之分數 $2/3$ 。這些雖是較佳值，但精於本技術者了解可使用任意數目之頻率乘法及除法電路，只要達到所要

之分數除法率 N_{mod}/D_{mod} 即可。

圖9顯示可架構本發明參考頻率調變器之另一方式。此調變器包含多個分頻器80和一混頻器81相連。分頻器將原始參考頻率 f_{ref} 乘上數值，在輸入到混頻器時產生想要之分數頻率。例如分頻器可輸出等於 $\frac{4}{9}f_{ref}$ 之信號。混頻器然後輸出等於 $\frac{8}{9}f_{ref}$ 之信號。混頻後利用帶通濾波器82過濾混頻器產生之不想要的諧波。然後使用限制器83產生形式為數位脈衝之調變參考頻率。

範例

表2顯示依照本發明可使用之範例值。要達到可接受之雜訊降低程度，選擇高 $\frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}}$ 率，以將亂真信號移到截止頻率外。另外將參考頻率 f_{ref} 以 $\frac{N_{mod}}{D_{mod}}$ 率調變，以確保 f_{mod} 之諧波不會接近原始參考頻率 f_{ref} 諧波。

最靠近N
for Fvco/Fref

Fvco	Fref	Fvco/Fref	R	K	P	S	N	D	N/D	Nmod	Dmod	Frefx Nmod/Dmod	Fvco/ (Frefx Nmod/Dmod)	R	K	P	S	Nnew	Dnew	Nnew/ Dnew
905.29	19.647	0.0051	1	4	11	3	1	1968	0.000508	8	9	17.498	52.875	1	4	13	0	1378	1574	0.875572
924.92	19.647	0.0051	1	4	11	3	1	1968	0.000508	8	9	17.498	51.000	1	4	13	2	9	1574	0.000572
944.65	19.648	0.0051	1	4	17	0	1	1968	0.000508	8	9	17.498	55.625	1	4	13	3	1377	1574	0.875572
964.38	19.649	0.0051	1	4	17	1	1	1968	0.000508	8	9	17.498	56.750	1	4	13	4	984	1574	0.625572
984.01	19.650	0.0051	1	4	17	2	1	1968	0.000508	8	9	17.498	56.750	1	4	13	5	984	1574	0.625572
1003.74	19.651	0.0051	1	4	17	3	1	1968	0.000508	8	9	17.498	56.750	1	4	13	6	984	1574	0.625572
1023.47	19.652	0.0051	1	4	17	4	1	1968	0.000508	8	9	17.498	56.750	1	4	13	7	984	1574	0.625572
1043.20	19.653	0.0051	1	4	17	5	1	1968	0.000508	8	9	17.498	56.750	1	4	13	8	984	1574	0.625572
1062.93	19.654	0.0051	1	4	17	6	1	1968	0.000508	8	9	17.498	56.750	1	4	13	9	984	1574	0.625572
1082.66	19.655	0.0051	1	4	17	7	1	1968	0.000508	8	9	17.498	56.750	1	4	13	10	984	1574	0.625572
1102.39	19.656	0.0051	1	4	14	0	1	1968	0.000508	8	9	17.498	63.000	1	4	16	3	9	1574	0.000572
1121.12	19.657	0.0051	1	4	14	1	1	1968	0.000508	8	9	17.498	64.125	1	4	16	0	1977	1574	0.125572
1141.59	19.658	0.0051	1	4	14	2	1	1968	0.000508	8	9	17.498	65.250	1	4	16	1	3945	1574	0.250572
1161.13	19.659	0.0051	1	4	14	3	1	1968	0.000508	8	9	17.498	66.375	1	4	16	2	5913	1574	0.375572

最差狀況雜訊範例

Nnew/Dnew率遠離0或1

範圍
示於圖5a, b。

表2

表2中 $\frac{N_{mod}}{D_{mod}} = 8/9$ ，及 N_{new} 及 D_{new} 分別和積分三角調變器值 $N_{\Sigma\Delta}$ 及 $D_{\Sigma\Delta}$ 對應。所示最差狀況雜訊在 905.29 MHz 及 1161.13 MHz 間。(N及D列形成和最差狀況雜訊對應之N/D率，如

N/D=1/1968。未包含N/D率=1967/1968，因其特性和表2所示相同。)最差狀況雜訊靠近多個參考時鐘頻率。所列範圍為46 f_{ref}到59 f_{ref}以為範例。另外使用8/9參考調變做為範例。要注意，依照如圖5之參考時鐘倍數或f_{vco}，積分三角調變率 $\frac{N_{new}}{D_{new}}$ 有一循環關係，如 $\frac{N_{new}}{D_{new}}$ 率=9/15744，1977/15744，...，11817/15744，13785/15744含重覆。

要知道表2所有值是最佳化的，例如當f_{vco}=944.65，積分三角調變率 $\frac{N_{new}}{D_{new}}$ =9/15744。這在使用參考調變率 $\frac{N_{mod}}{D_{mod}}$ =8/9時產生10 kHz頻率間隔。此10 kHz間隔在一些情形不足以達到亂真信號壓制。在此情形可變更參考信號調變率以產生足以達到可接受亂真信號壓制程度之頻率間隔。在考量之範例，這可由設定 $\frac{N_{mod}}{D_{mod}}$ =5/6達成。表3顯示這些調變率得到之結果比較。

最靠近N

f _{cc}	f _{vco} /f _{ref}	f _{vco}	f _{ref}	f _{vco} /f _{ref}	R	K	P	S	N	D	N/D	N _{mod} /D _{mod}	f _{ref} /N _{mod}	f _{vco} /N _{mod}	R	K	P	S	N _{new}	D _{new}	N _{new} /D _{new}
48	944.65	19.68	19.68	0.00051	4	12	0	0	1	1968	0.00051	8/9	19.68	157.44	4	12	0	0	15744	9	0.00051
48	944.65	19.68	19.68	0.00051	4	12	0	0	1	1968	0.00051	5/6	19.68	118.17	4	12	0	0	11817	5	0.00051

範圍

範圍

最差狀況雜訊範例

N_{new}/D_{new}率遠離0或1

表 3

利用調變率5/6取代8/9，得到以下頻率偏移：
f_{ref}*(N_{mod}/D_{mod})*(N_{new}/D_{new})=19.68*(5/6)*(5910/9840)=9.85 MHz。此偏移遠大於利用8/9調變率得到之10 kHz偏移，事實上在此範例大到足以將此亂真雜訊移到迴路濾波器之截止頻率外，故達到亂真信號壓制。由此範例很清楚控制

$\frac{N_{\text{mod}}}{D_{\text{mod}}}$ 及 $\frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}}$ 中至少一個及最好二者以壓制亂真信號，則改良

通訊系統接收器之信號雜訊比。

由上述說明，精於本技術者將清楚本發明之其它改良及變化。故在此雖只特別說明本發明之特定實施例，很明顯可進行多種改良而未偏移本發明之精神及範圍。

【圖式簡單說明】

圖 1(a)顯示相關技術之鎖相迴路電路，及圖 1(b)顯示可發生在相關技術鎖相迴路之不同類型不匹配，該不匹配產生亂真信號而使系統性能劣化。

圖 2顯示圖 1(a)之相關技術電路之亂真雜訊信號之產生。

圖 3顯示如本發明之鎖相迴路電路一實施例。

圖 4顯示本發明之系統及方法將亂真雜訊信號移到 PLL 迴路頻寬外，以使之由迴路濾波器去除之實施方式範例。

圖 5(a)及 5(b)顯示原始參考頻率及如本發明之一範例產生之調變參考頻率之諧波。

圖 6顯示本發明之參考調變器一實施例。

圖 7顯示本發明之參考調變器另一實施例。

圖 8(a)-8(g)顯示圖 7所示參考調變器各元件處理信號之方式。

圖 9顯示本發明之參考調變器一實施例。

【圖式代表符號說明】

- | | |
|-------|----------|
| 1, 22 | 相位及頻率偵測器 |
| 2, 23 | 迴路濾波器 |

伍、中文發明摘要：

本發明揭示之用以改良頻率產生器信號雜訊比之系統及方法，壓制內部產生器電路不匹配產生之雜訊及相位雜訊。這是由利用將亂真雜訊信號移到產生器迴路頻寬外之調變架構達成。當以此方式位移，利用如產生器信號路徑上之濾波器可將雜訊去除任何想要程式或整個去除。在一實施例，積分三角調變器控制位於鎖相迴路回授路徑之脈衝吸收(pulse-swallow)分頻器值，以達到想要之雜訊壓制程度。在另一實施例，將輸入到鎖相迴路之參考信號調變，以啟動雜訊壓制。在另一實施例，結合前述之調變形式以達到想要之頻率位移。由這些調變控制可實質上改良頻率產生器之信號雜訊比，同時達到較快之鎖定時間。

陸、英文發明摘要：

A system and method for improving the signal-to-noise ratio of a frequency generator suppresses phase noise and noise generated from mismatches in the internal generator circuits. This is accomplished using a modulation scheme which shifts spurious noise signals outside the loop bandwidth of the generator. When shifted in this manner, the noise signals may be removed entirely or to any desired degree using, for example, a filter located along the signal path of the generator. In one embodiment, a Sigma-Delta modulator controls the value of a pulse-swallow frequency divider situated along a feedback path of a phase-locked loop to achieve a desired level of noise suppression. In another embodiment, a reference signal input into a phase-locked loop is modulated to effect noise suppression. In another embodiment, the foregoing forms of modulation are combined to accomplish the desired frequency shift. Through these modulation techniques, the signal-to-noise ratio of the frequency generator may be substantially improved while simultaneously achieving faster lock times.

拾壹、圖式：

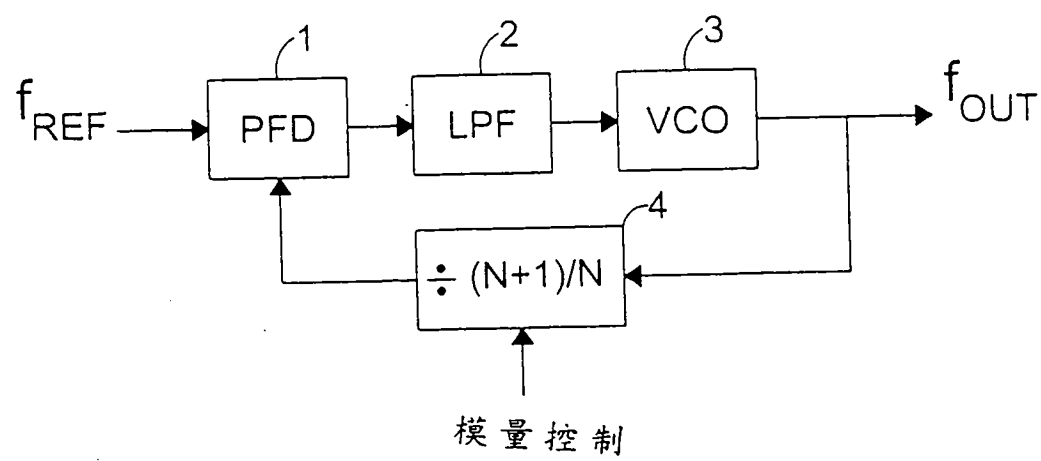
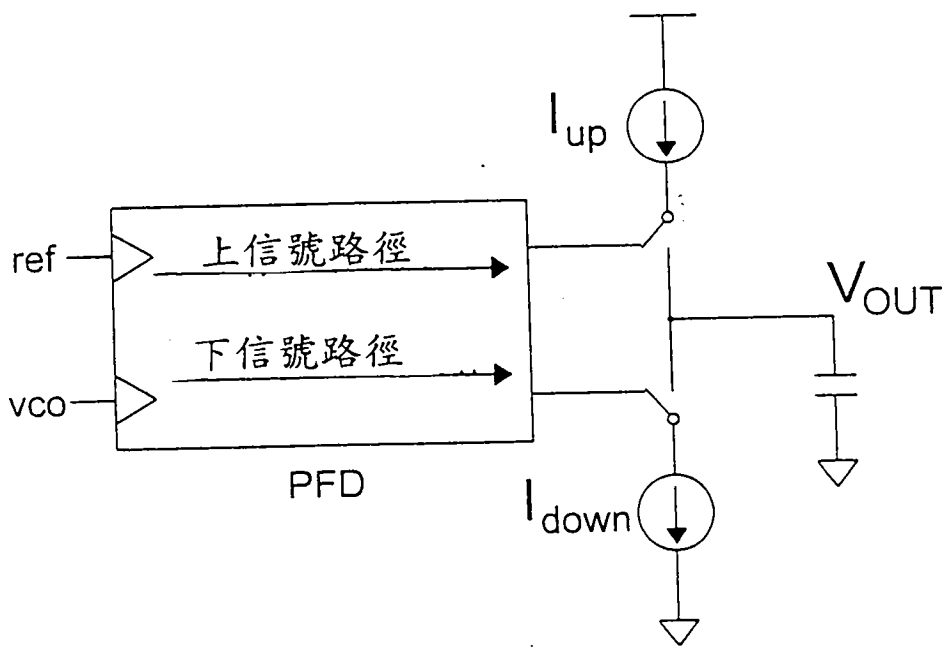


圖 1(a)
相關技術



- 1. 電流源不匹配： $I_{up} \neq I_{down}$
- 2. PFD不匹配：上信號路徑 $\neq$ 下信號路徑

圖 1(b)
相關技術

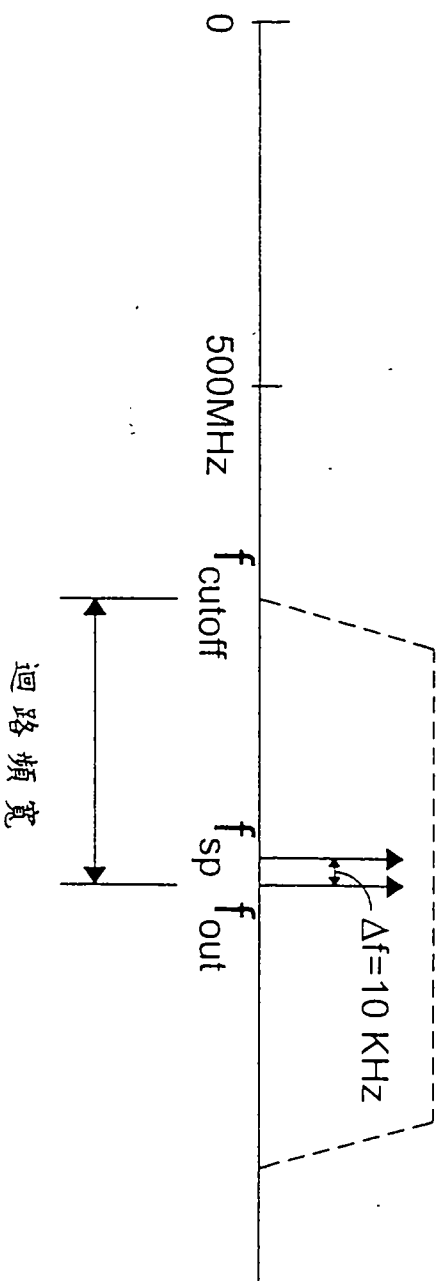


圖 2
相關技術

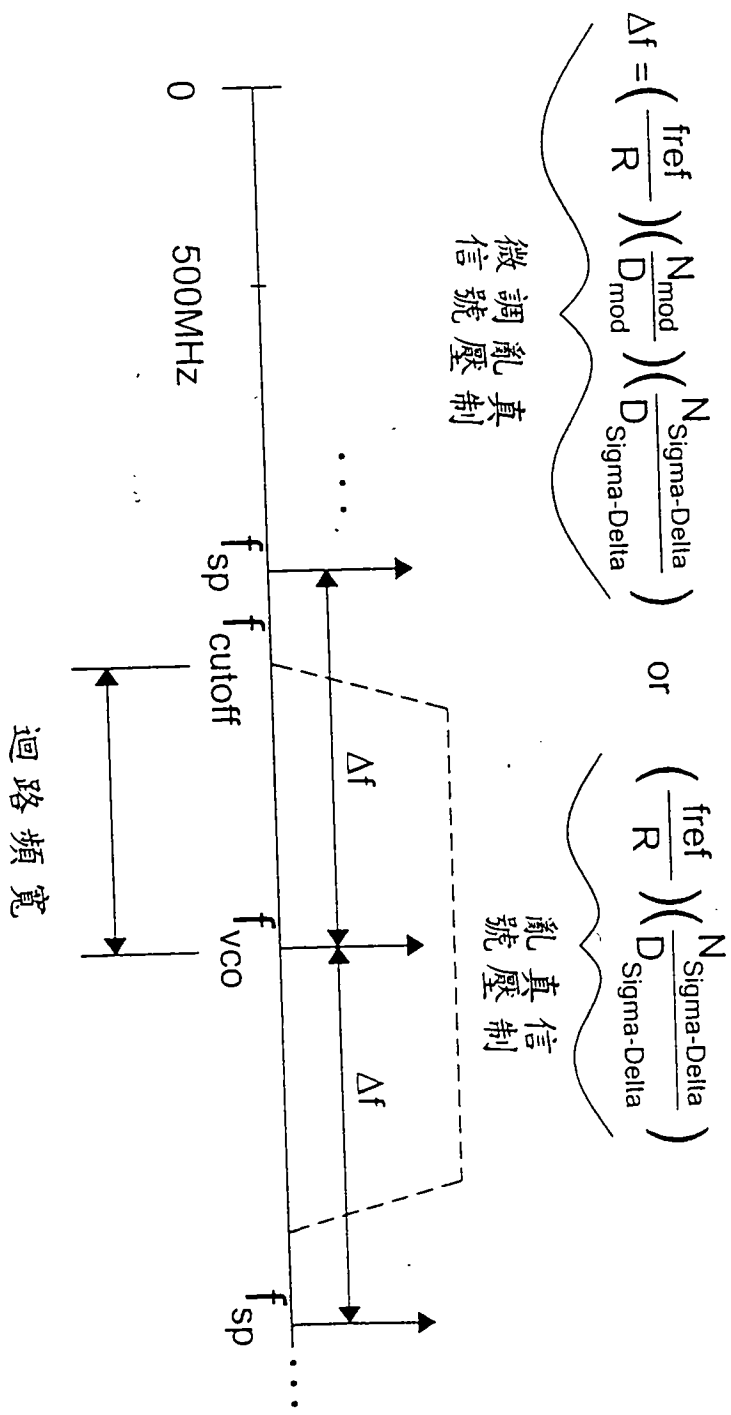
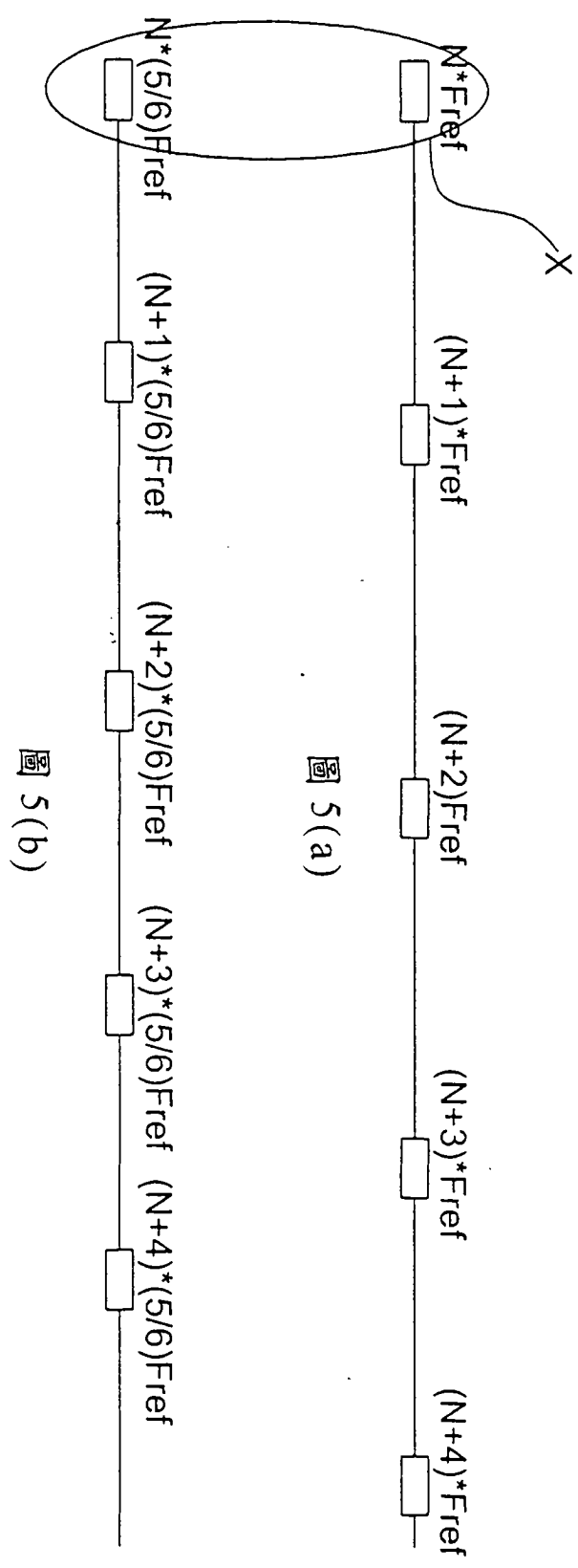


圖 4



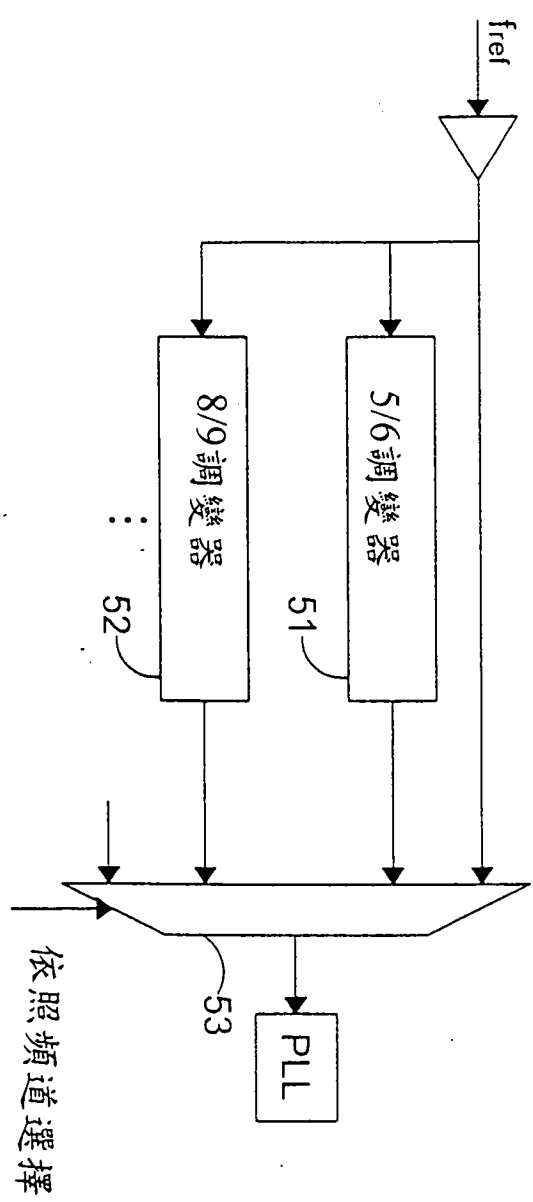


圖 6

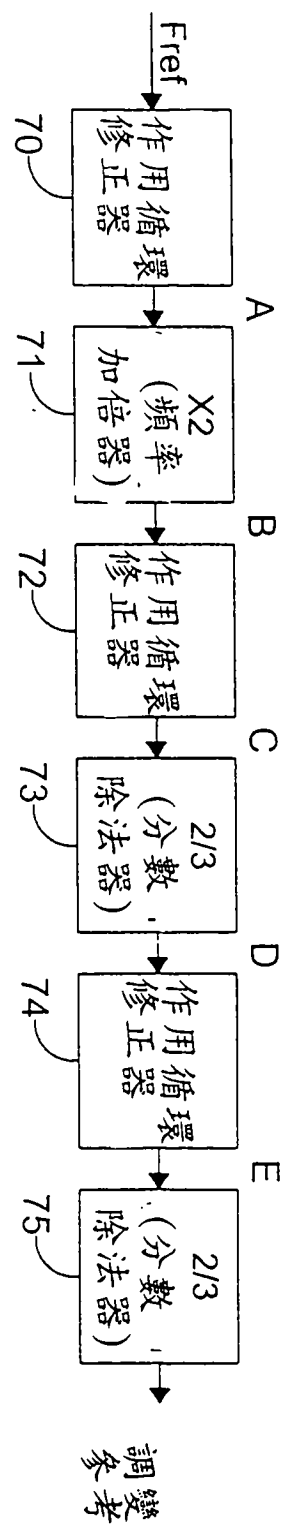


圖 7

圖 8(a)



圖 8(b)

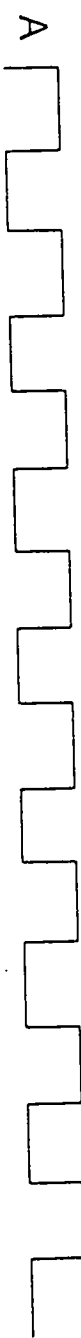


圖 8(c)

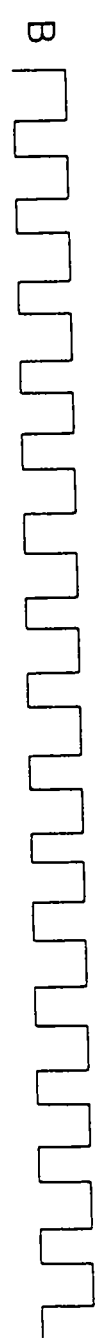


圖 8(d)

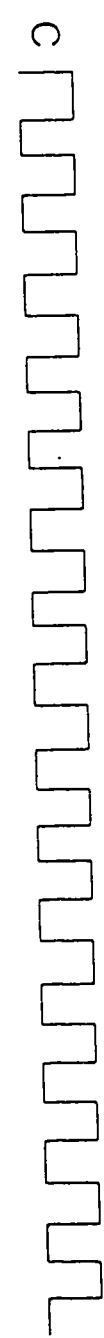


圖 8(e)

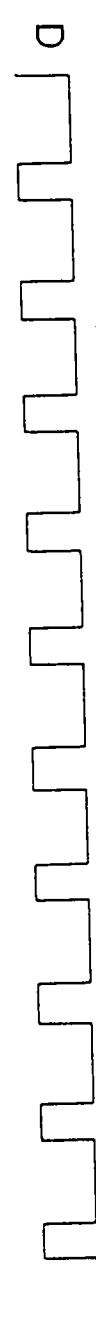


圖 8(f)

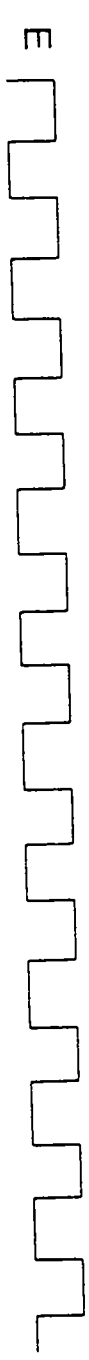
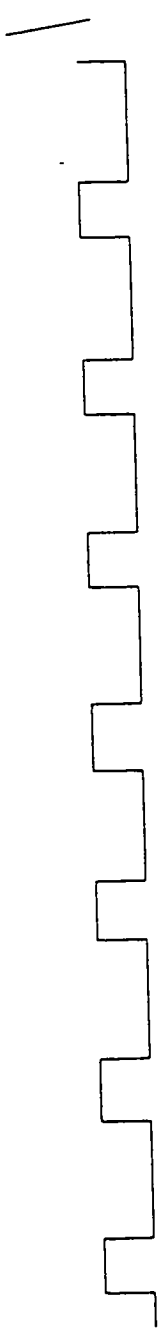


圖 8(g)



變
調
參
考

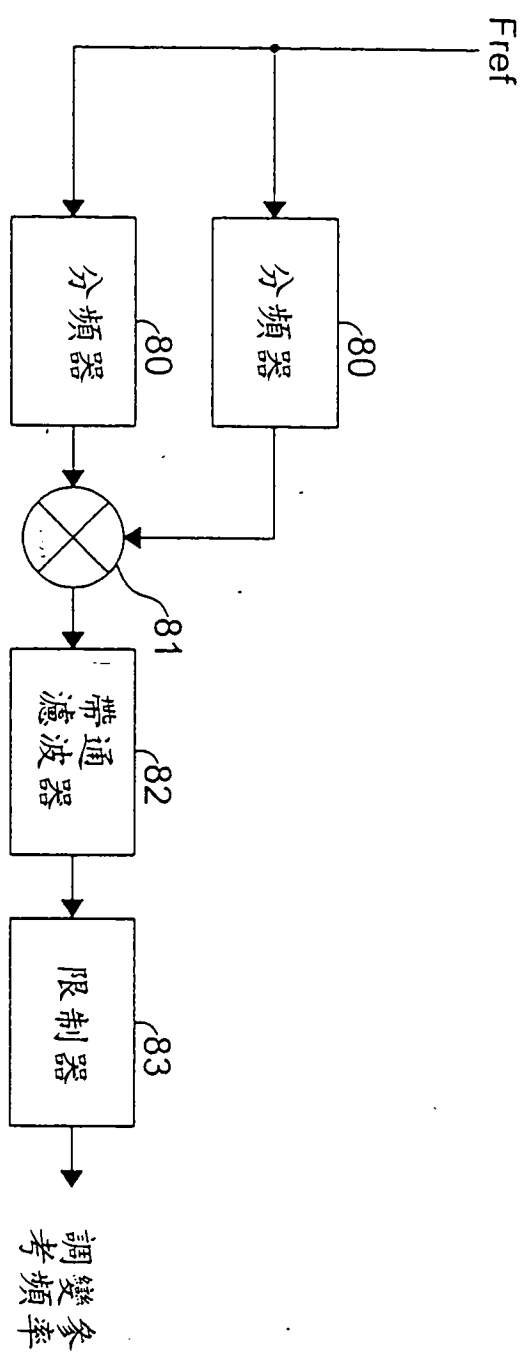


圖 9

公告本

97年6月6日修正替換頁

發明專利說明書

中文說明書替換頁(97年6月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：092129621

※ 申請日期：92.10.24

※ IPC 分類：H03L 7/06 (2006.01)

壹、發明名稱：(中文/英文)

用於鎖相迴路電路中壓制雜訊之系統及方法

SYSTEM AND METHOD FOR SUPPRESSING NOISE IN A PHASE-
LOCKED LOOP CIRCUIT

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商GCT半導體股份有限公司

GCT SEMICONDUCTOR, INC.

代表人：(中文/英文)

李京浩

KYEONGHO LEE

住居所或營業所地址：(中文/英文)

美國加州聖荷西市鈴木大道2121號

2121 RINGWOOD AVENUE SAN JOSE, CALIFORNIA 95131

U.S.A.

國籍：(中文/英文)

美國 U.S.A.

第 092129621 號專利申請案
中文說明書替換頁(97 年 6 月)

參、發明人：(共 6 人)

97年6月6日修正替換頁

姓 名：(中文/英文)

- | | |
|-----------------------|------------------------|
| 1.安勇和
YOUNGHO AHN | 2.宋英索
EUNSEOK SONG |
| 3.高儀度
YIDO KOO | 4.李將伍
JEONG-WOO LEE |
| 5.柏中白
JOONBAE PARK | 6.李京浩
KYEONGHO LEE |

住居所地址：(中文/英文)

- 1.韓國漢城市研瓊區新江5洞934-15號
934-15 SHINJUNG 5 DONG, YANGCHEON KU, SEOUL, KOREA
- 2.韓國漢城市所僑區班貝洞因王公寓15-405號
IMKWANG APT 15-405, BANGBAE-DONG, SEOCHO-KU,
SEOUL, KOREA
- 3.韓國漢城市所僑區班波2洞班波裘剛公寓225-307號
BANPO JOOGONG APT 225-307, BANPPO 2 DONG , SEOCHO
GU, SEOUL, KOREA
- 4.韓國漢城市揚登波區新齊7洞杉王公寓101-204號
SAMHWAN APT 101-204, SHINKIL-7 DONG, YOUNGDEUNGPO
GU, SEOUL, KOREA
- 5.韓國漢城市所僑區所僑洞杉彭公寓8-303號
SAMPOONG APT. 8-303, SEOCO-DONG, SEOCHO-GU, SEOUL,
KOREA
- 6.韓國漢城市瓦那區新林10洞三星山僑康公寓309-901號
SAMSUNG-SAN JOOKONG APT. 309-901, SHINLIM-10 DONG,
KWANAK GU, SEOUL, KOREA

國 籍：(中文/英文)

- | | |
|------|-------|
| 1.韓國 | KOREA |
| 2.韓國 | KOREA |
| 3.韓國 | KOREA |
| 4.韓國 | KOREA |
| 5.韓國 | KOREA |

玖、發明說明：優先性文件

本專利主張案2002年10月25日申請之美國專利序號60/421,060及2003年10月22日申請之美國專利申請(Attorney Docket No. GCTS-0029)之優先權。在2003年10月25日期限時，美國專利商標局將不會提供GCTS-0029之序號。

【發明所屬之技術領域】

本發明和於信號處理系統產生頻率信號有關。

【先前技術】

鎖相迴路(PLL)電路已用於許多有線及無線應用，用以產生載頻及定時參考信號。

圖1(a)顯示之PLL一般用於通訊收送器。此電路包含相位及頻率偵測器1，迴路濾波器2及壓控振盪器3輸出想要頻率之信號 f_{out} 。將振盪器和相位及頻率偵測器相連之回授迴路包含除法器4，將振盪器輸出除以值 $(N+1)/N$ 。模量控制電路將信號輸出到除法器，以控制值 N 。

上述類型之PLL已知在迴路頻寬和頻道間隔間需有所妥協。亦知道和比較頻率之頻道間隔相同。此關係常希望使PLL之迴路頻寬以因數10小於比較頻率。但迴路頻寬降到此值時會有一些缺點。

例如迴路頻寬不只影響頻道間隔，亦影響PLL之相位雜訊量及鎖定時間。事實上迴路頻寬和此二值成反比。故降低迴路頻寬為比比較頻率小因數10時，會使相位雜訊及鎖定時間相對增加，這是許多應用所不希望的。

上述PLL之另一缺點和第二種雜訊有關。此種雜訊出現之形式是由如電荷泵以及相位及頻率偵測器引起之不匹配產生之亂真信號。圖1(b)將之較詳細顯示，在電荷泵之上及下電流(或較精確地該電流源)間發生一不匹配。另一不匹配在相位及頻率偵測器之上及下信號路徑間發生，其中理想上不應有不匹配存在。這些不匹配產生之亂真信號行經整個主系統使性能降低，故和相位雜訊一樣，亦是不想要的。

圖2顯示這些亂真信號形成之方式。此圖中 f_{out} 和鎖相迴路輸出頻率對應，及 f_{cutoff} 和PLL迴路濾波器截止頻率對應。 f_{out} 和 f_{cutoff} 間差定義該電路迴路頻寬。作用時，沿迴路信號路徑之不匹配產生一或多個和輸出頻率 f_{out} 很接近之亂真信號 f_{sp} 。事實上亂真信號和輸出頻率接近到(Δf 很小)均位在電路之迴路頻寬內，故無法由迴路濾波器去除。這些未壓制之亂真信號另外使信號品質及主系統性能劣化。

由以上之描述很清楚需要於鎖相迴路電路中有效壓制雜訊之系統及方法，尤其是對具低雜訊及鎖定時間需求之主系統所用之迴路電路。

【發明內容】

本發明之一目的是提供於鎖相迴路電路中有效壓制雜訊之系統及方法。

本發明之另一目的是提供於鎖相迴路中壓制至少二種雜訊之系統及方法，該二雜訊即為在迴路信號路徑之不匹配產生之相位雜訊及亂真雜訊。

本發明之另一目的提供之系統及方法達到一或多個以上

目的，而未對鎖相迴路之迴路頻寬、作用頻率或任何其它功能參數加上任何限制。

本發明之另一目的提供之系統及方法達到一或多個以上目的，同時降低鎖相迴路之鎖定時間。

本發明之另一目的是利用鎖相迴路之迴路濾波器壓制至少一種上述雜訊。

本發明之另一目的是對積分三角調變器控制之鎖相迴路達到一或多個上述目的。

本發明之另一目的提供之控制系統達到一或多個上述目的，且亦將鎖相迴路之參考信號以將亂真雜訊壓制分解微調方式調變。

本發明這些及其它目的及優點利用提供壓制如鎖相迴路之頻率產生器輸出之雜訊之系統及方法而達成。這是由利用將亂真雜訊信號位移到產生器迴路頻寬外之調變架構而實行。當以此方式位移，可將雜訊信號利用如在產生器信號路徑之標準濾波器去除到任何想要程度或整個去除。結果實質上改良產生器之信號雜訊比、可增加迴路頻寬及可使鎖定時間較快。

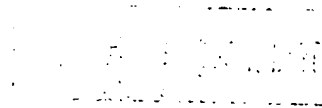
依照一實施例，本發明提供之雜訊壓制方法根據參考信號由相位迴路產生頻率信號，然後利用位移預定次之亂真信號到PLL迴路頻寬外，去除頻率信號之雜訊。可由迴路濾波器之截止頻率或替代由在濾波器截止頻率和輸出頻率間之頻率範圍定義迴路頻寬。要完全壓制雜訊需將一次亂真信號移到迴路頻寬外。但若應用需要或依希望可只壓制較

，包含分頻器分割PLL之頻率信號輸出及一控制器設定分頻器為使預定次之亂真雜訊信號移到PLL迴路頻寬外之值。可根據迴路濾波器之截止頻率定義迴路頻寬，及可控制分頻器值以實質上壓制所要之任何次亂真雜訊信號。該控制器可亦包含調變器，用以產生調變參考信號以將亂真信號微調壓制。

【實施方式】

本發明包含用於鎖相迴路電路中壓制雜訊之系統及方法各種實施例。依照一實施例，該系統及方法壓制和電荷泵以及相位及頻率偵測器有關之不匹配引起之雜訊。這是利用控制PLL回授路徑之割配器之積分三角調變器，使亂真雜訊元件移到電路作用迴路頻寬外達成。其它實施例利用將輸入到相位及頻率偵測器之參考頻率信號調變而壓制雜訊。還有其它實施例利用上述技術之組合壓制雜訊。經由這些實施例，亂真雜訊元件可遠離所要之PLL輸出頻率，故可被迴路濾波器去除。結果可實質上改良信號雜訊比及迴路頻寬，且相位雜訊及鎖定時間亦成比例下降。

參照圖3，本發明之系統及方法實施例包含參考調變器20及積分三角調變器30用以控制鎖相迴路之輸出頻率。鎖相迴路由以下元件形成，包含相位及頻率偵測器22、迴路濾波器(如低通或帶通濾波器)23、脈衝吸收(pulse-swallow)分頻器24，及壓控振盪器25用以輸出所要頻率 f_{vco} 之信號。分頻器包含程式計數器27及餘數計數器28，分別假設值P及S被積分三角調變器控制。



積分三角調變器根據參數 $N_{\Sigma\Delta}$ 及 $D_{\Sigma\Delta}$ 設定程式及餘數計數器值，以產生所要之輸出頻率 f_{vco} 。此輸出信號可用來將通訊收送器之信號調變或解調，或執行多種其它目的之任一目的。可由使用之特定除頻器決定 O ， S ， $N_{\Sigma\Delta}$ 及 $D_{\Sigma\Delta}$ 值。精於本技術者了解各種除頻器及其可用來設定計數器值之方式。例如參考Behzad Razavi之RF MICROELECTRONICS第8章。

若不修正，壓控振盪器之輸出頻率會有各種雜訊，包含和相位及頻率偵測器以及電荷泵有關之不匹配產生之亂真信號。此情形示於圖2，其中頻率間隔小到迴路濾波器無法移除亂真信號。本發明利用使亂真信號遠離PLL之輸出頻率 f_{vco} 而去除此及它種雜訊(包含相位雜訊)。這利用積分三角調變器調變而達成，此調變較佳地和PLL參考信號調變一起執行。

首先參考調變器將輸入參考信號 f_{ref} 以一數量調變，使此信號乘上值 $\frac{N_{mod}}{D_{mod}}$ 。如此形成調變參考信號 $f_{mod}=f_{ref}*\frac{N_{mod}}{D_{mod}}$ ，輸入到相位及頻率偵測器。要使此調變有效，因此下一或多個考量， N_{mod} 及 D_{mod} 值最好選擇整數：

1)該系統頻率範圍。若所需頻率範圍很窄，且在該範圍只有幾個頻道，可只使用一個參考調變器。但若該範圍很寬，一個參考調變器可能不足以達到所要之亂真信號壓制程度。在此情形可包含多個參考調變器，並將之選擇性選出以達到最佳壓制程度。表2及3(以下將較詳細討論)包含

可用於執行本發明參考信號調變之值 N_{mod} 及 D_{mod} 非限制性範例。若所需頻率範圍並未包含頻率944.65 MHz或1102.1 MHz，8/9調變即足以壓制。但若包含該頻率，應用頻道可使用如5/6之另一調變。此多參考調變器實施例，稍後將較詳細討論。

2)該系統所要之雜訊程度。

3)迴路濾波器頻寬，以下將加以解釋。迴路濾波器參數和參考頻率有關。若參考調變變更參考時鐘，應變更迴路濾波器參數。若原始參考時鐘和調變參考時鐘間差很小，只要如相位雜訊、亂真信號壓制及鎖定時間之系統規格容許，原始時鐘及調變時鐘可共用迴路濾波器。例如若一頻道之8/9調變及2/3調變顯示相同之亂真信號壓制，8/9調變可能較佳，因8/9調變參考信號較2/3調變參考信號接近原始參考頻率。

4)系統之硬體複雜度。例如當要達到想要亂真信號壓制程度可接受多個調變率(3/4，5/6，7/8，8/9等)時，所用硬體可能無法達到所有該等比率。故在依照本發明選擇調變率時，硬體可能是一考量因素。

在參考信號調變期間或之前預定時間，計算定義積分三角調變器調變率之值 $N_{\Sigma\Delta}$ 及 $D_{\Sigma\Delta}$ ，及和程式及餘數計數器值對應之P及S。這些參數加上除頻器29之參數K決定脈衝吸收(pulse-swallow)分頻器用來分配VCO輸出頻率之值。現詳加討論可計算參數 $N_{\Sigma\Delta}$ ， $D_{\Sigma\Delta}$ ，P及S之一方式。

最好在系統或架構級決定值 f_{vco} ，R，K及 f_{ref} ，以符合如

應。(此偏移亦可在亂真信號本身之相鄰次間存在)。

當積分三角調變器之調變率 $\frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}}$ 增加，頻率偏移(或亂真信號和所要輸出頻率間之距離)變大。在等式(2)之分數部分包含 $\frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}}$ ，故可確保形成之預定次亂真信號 f_{sp} 足以遠離所要輸出頻率 f_{vco} ，而可由信號路徑上之濾波器23去除。這可由如使等式(2)之分數部分，即 $N_{\Sigma\Delta}$ 及 $D_{\Sigma\Delta}$ 之比率很大而達成。這影響到 P 及 S 值，接著最後使 PLL 之脈衝吸收(pulse-swallow)回授分頻器值調整。

為了完全壓制雜訊，設定等式(2)之分數部分大到足使一次亂真信號移到迴路濾波器截止頻率之下。但視需要可設定該分數部分為其它適當值，以過濾較高次之亂真信號。在此情況雖達到較低程度之雜訊壓制，但可能需符合其它系統需求，故本發明是適當之解決方式。

圖4顯示調整值 $N_{\Sigma\Delta}$ 及 $D_{\Sigma\Delta}$ 如何可壓制 PLL 輸出之亂真雜訊信號。在此說明實施例 f_{vco} 和 PLL 之所要輸出頻率對應， f_{cutoff} 和迴路濾波器之截止頻率對應，及迴路頻寬和 f_{vco} 及 f_{cutoff} 間差對應。依照本發明算出等式(2)之分數部分，尤其是 $N_{\Sigma\Delta}$ 及 $D_{\Sigma\Delta}$ 比，大到足以使亂真雜訊信號 $f_{sp1}, f_{sp2}, \dots, f_{spN}$ 移到迴路頻寬外，故在此情形在可由迴路濾波器移除之截止頻率 f_{cutoff} 之下。此位移以頻率偏移 Δf 顯示。

可控制參考調變器20之 N_{mod} 及 D_{mod} 比，以再行調整分隔程度。即此參考調變器雖視為本發明之一非強制特性(如亂真雜訊壓制所需之頻率分隔可只由調整在 $N_{\Sigma\Delta}$ 及 $D_{\Sigma\Delta}$ 間形成之

3, 25	壓控振盪器
4	除法器
24	脈衝吸收分頻器
27	程式計數器
28	餘數計數器
29	除頻器
30	積分三角調變器
51, 52, 20	參考調變器
53	選擇器
70	第一作用循環修正器
71	分數加倍器
72	第二作用循環修正器
73	分數除法器
74	第三作用循環修正器
80	分頻器
81	混頻器
82	帶通濾波器
83	限制器

拾、申請專利範圍：

1. 一種雜訊壓制方法，包含：

根據參考信號，由PLL產生頻率信號；以及

藉由設定該PLL之一回授迴路中之一分頻器為一將預定階次之亂真信號位移到PLL迴路頻寬外之值，自該頻率信號去除雜訊，其中設定該分頻器包括：調整在該分頻器中一餘數計數器與一程式計數器至少一個為一將該預定階次之該亂真信號位移到該PLL迴路頻寬外之值。

2. 如申請專利範圍第1項之方法，其中該迴路頻寬由PLL之一迴路濾波器之一截止頻率定義。

3. 如申請專利範圍第1項之方法，其中該迴路頻寬和PLL產生之頻率信號及PLL之一迴路濾波器之一截止頻率間之一頻率範圍對應。

4. 如申請專利範圍第1項之方法，其中該雜訊之移除是藉由：

調整在該分頻器中該餘數計數器與該程式計數器至少一個為一將一第一階亂真信號位移到PLL迴路頻寬外之值。

5. 如申請專利範圍第1項之方法，其中該餘數計數器與該程式計數器至少一個由一積分三角調變器設定。

6. 如申請專利範圍第5項之方法，另包含：

根據PLL之迴路頻寬，計算積分三角調變器之一調變率；及

根據所算之積分三角調變器之該調變率設定該餘數計數器與該程式計數器至少一個之該值。

7. 如申請專利範圍第1項之方法，其中該亂真信號由和PLL之一相位及頻率偵測器以及一電荷泵中至少一個有關之不匹配產生。
8. 如申請專利範圍第1項之方法，其中該亂真信號由在PLL中之一電荷泵以及一相位及頻率偵測器中至少一個之不匹配產生。
9. 如申請專利範圍第8項之方法，其中在該電荷泵中之該不匹配包括介於上與下電流源之間之一不匹配。
10. 如申請專利範圍第8項之方法，其中該亂真信號由在該相位及頻率偵測器中介於上與下信號路徑之間之一不匹配產生。
11. 如申請專利範圍第1項之方法，其中根據一積分三角調變器之一調變率設定該分頻器之值，以移除該亂真信號。
12. 如申請專利範圍第1項之方法，進一步包含：將該參考信號之頻率位移到一分數固定值，用以輸入至該PLL之一相位及頻率偵測器，該分數固定值進一步位移該預定階次之該亂真信號。
13. 如申請專利範圍第1項之方法，其中同時調整該餘數計數器與該程式計數器以將該預定階次之該亂真信號位移到該PLL迴路頻寬外。
14. 如申請專利範圍第13項之方法，其中該餘數及程式計數器值根據積分三角調變器之調變率控制，控制該餘數及程式計數器值以產生將該預定階次亂真信號位移到該PLL迴路頻寬外之該值。

15. 如申請專利範圍第14項之方法，其中該PLL(f_{vco})之頻率

$$f_{vco} = \left(\frac{f_{ref}}{R} \right) \left((K \cdot P + S) + \left(\frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}} \right) \right)$$

信號依照以下等式產生：

其中， f_{ref} 是該參考信號之頻率，R是參考信號分頻器值，P是該程式計數器值，S是該餘數計數器值， $N_{\Sigma\Delta}$ 及 $D_{\Sigma\Delta}$ 是該參考信號之調變率，及K是脈衝吸收分頻器之預調整器值。

16. 如申請專利範圍第14項之方法，另包含：

將輸入到該PLL之該參考信號調變。

17. 如申請專利範圍第16項之方法，其中該PLL(f_{vco})之頻率

$$f_{vco} = \left(\frac{f_{ref}}{R} \right) \left(\frac{N_{mod}}{D_{mod}} \right) \left((K \cdot P + S) + \left(\frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}} \right) \right),$$

其中 f_{ref} 是該等參考信號之頻率，R是參考信號分頻器值， N_{mod} 及 D_{mod} 定義該參考信號之調變率，P是該程式計數器值，S是該餘數計數器值， $N_{\Sigma\Delta}$ 及 $D_{\Sigma\Delta}$ 是積分三角調變器之調變率，及K是脈衝吸收分頻器之預調整器值。

18. 如申請專利範圍第16項之方法，另包含：

在該調變參考信號之諧波和該未調變參考信號不一致時，利用該調變參考信號做為PLL之一比較信號。

19. 一種雜訊抑制方法，包含：

根據一參考信號由一PLL產生一頻率信號；以及

藉由設定在該PLL之一回授迴路中之一分頻器為一將一預定階次之一亂真雜訊信號位移到PLL之迴路頻寬外之值，自該頻率信號移除雜訊，其中該分頻器係一包括

一餘數計數器與一程式計數器之脈衝吸收分頻器，及其中根據一積分三角調變器之一調變率控制該餘數及程式計數器至少一個之值。

20. 如申請專利範圍第19項之方法，其中該調變率之一分子 $N_{\Sigma \Delta}$ 是該調變率之一分母 $D_{\Sigma \Delta}$ 之至少50%。

21. 如申請專利範圍第20項之方法，進一步包含：以一參考調變器調變該參考信號至該PLL中，其中該參考調變器具有一調變率 $N_{\text{mod}}/D_{\text{mod}}$ ，俾使 N_{mod} 是 D_{mod} 之至少50%。

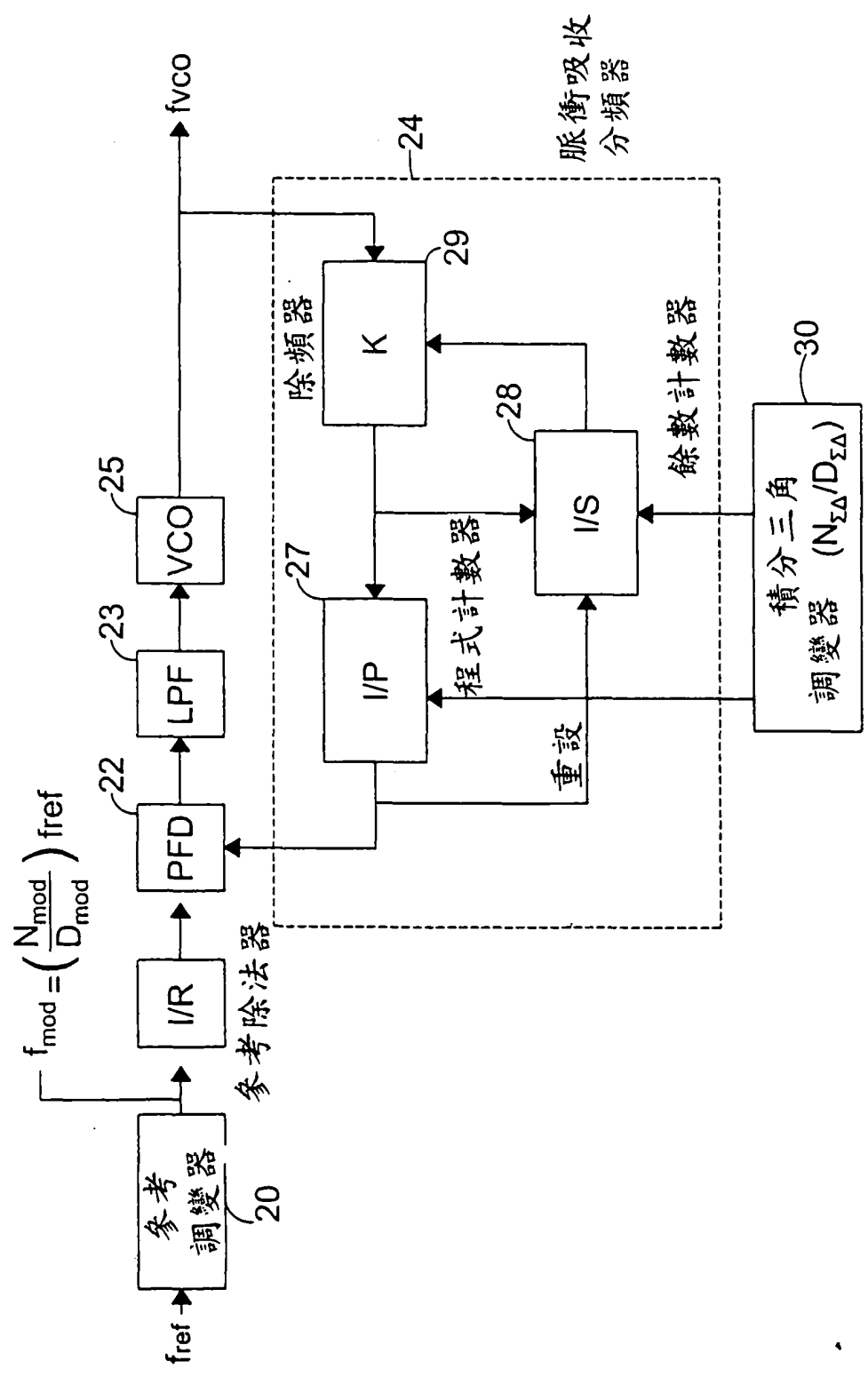


圖 3

柒、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件代表符號簡單說明：

20	參考調變器
22	相位及頻率偵測器
23	迴路濾波器
24	脈衝吸收分頻器
25	壓控振盪器
27	程式計數器
28	餘數計數器
29	除頻器
30	積分三角調變器

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)