

圖 1

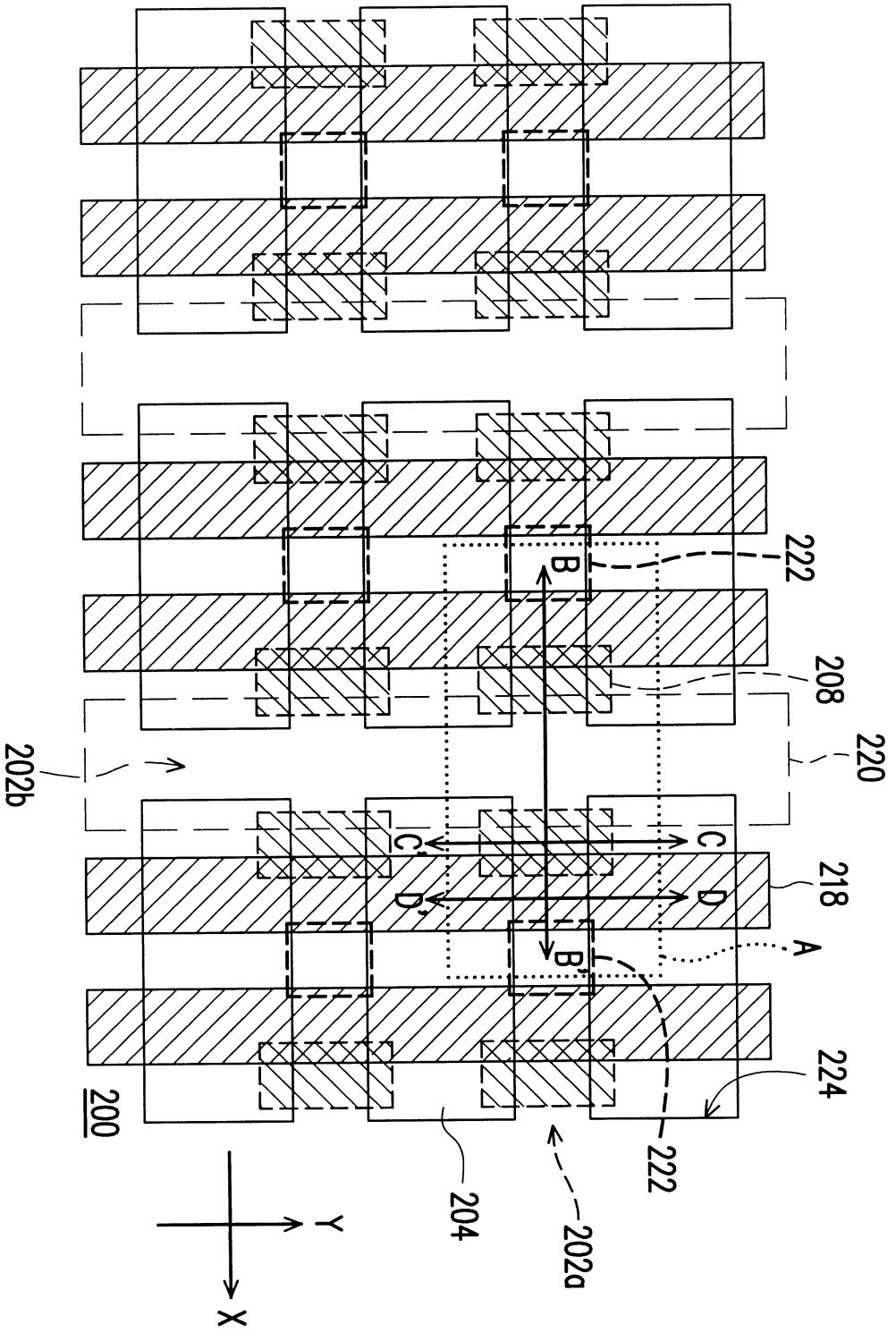


圖 2A

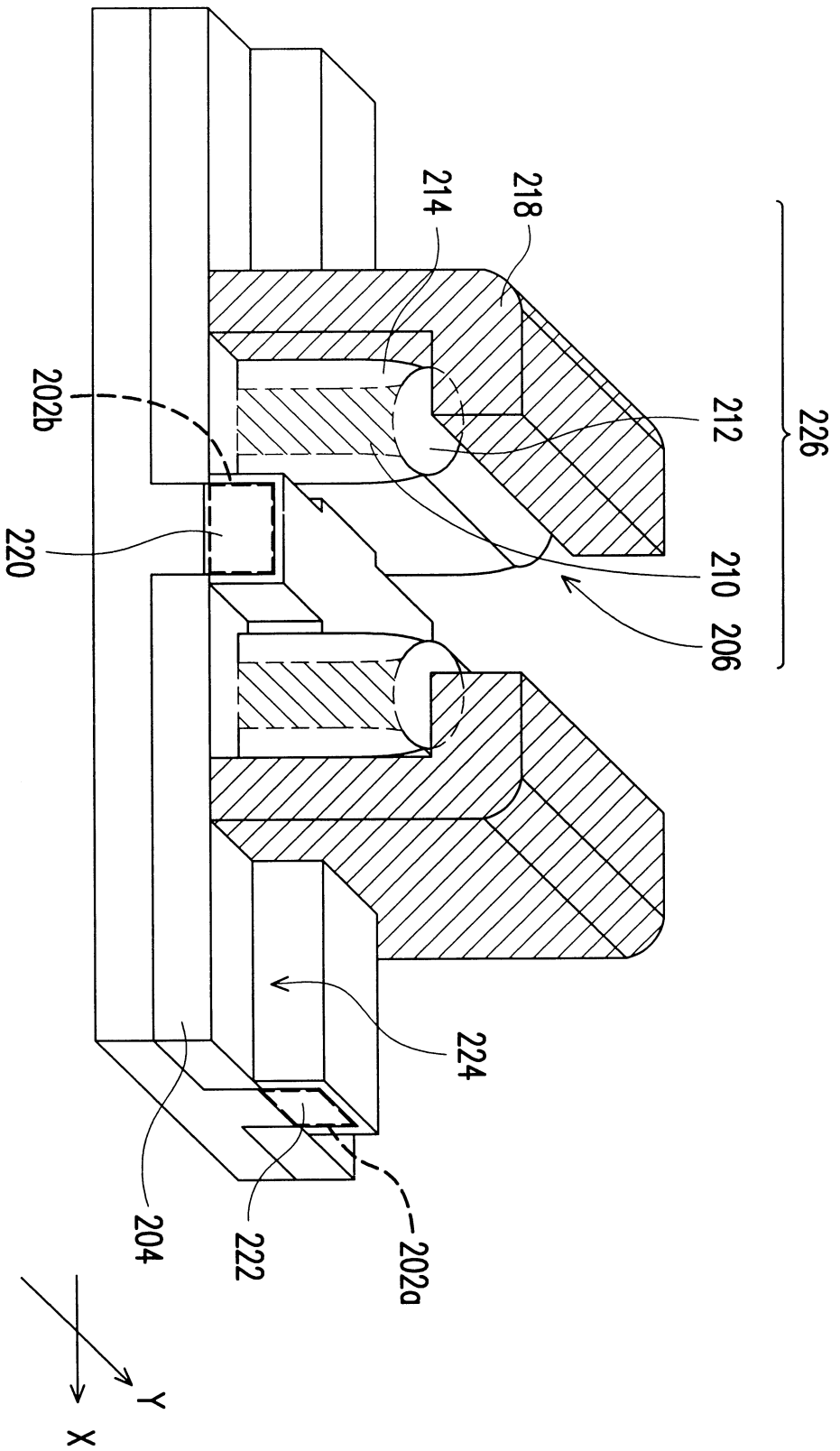


圖 2B

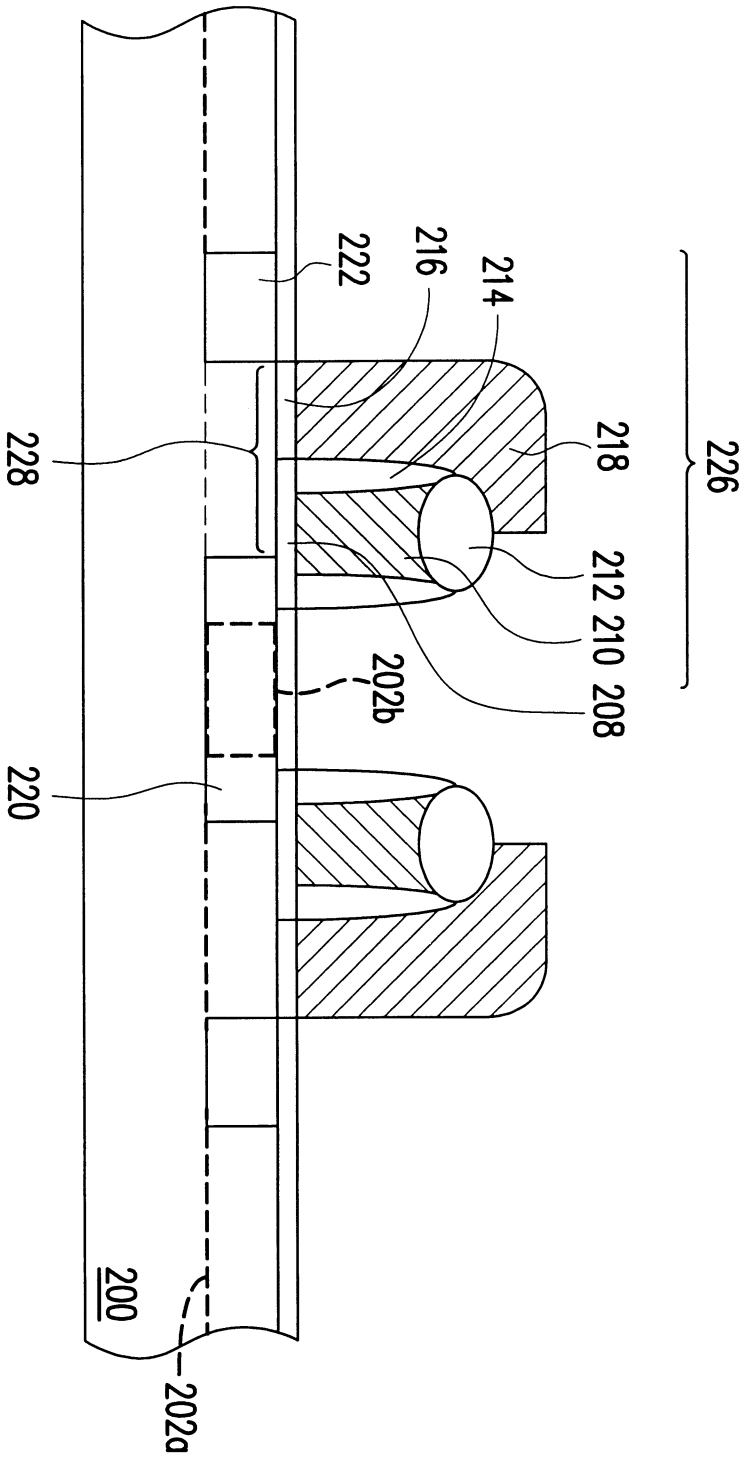


圖 2C

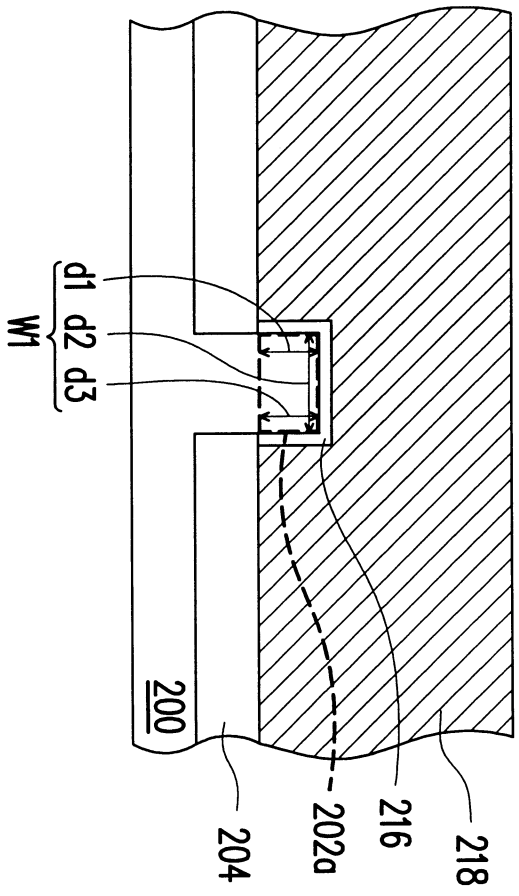


圖 2E

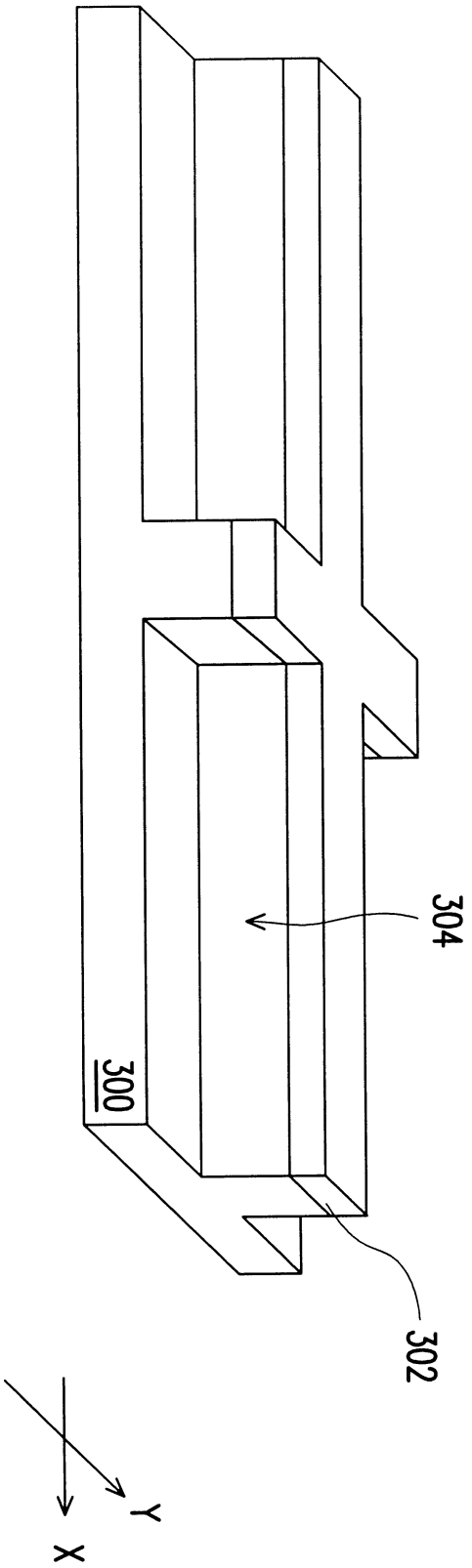


圖 3A

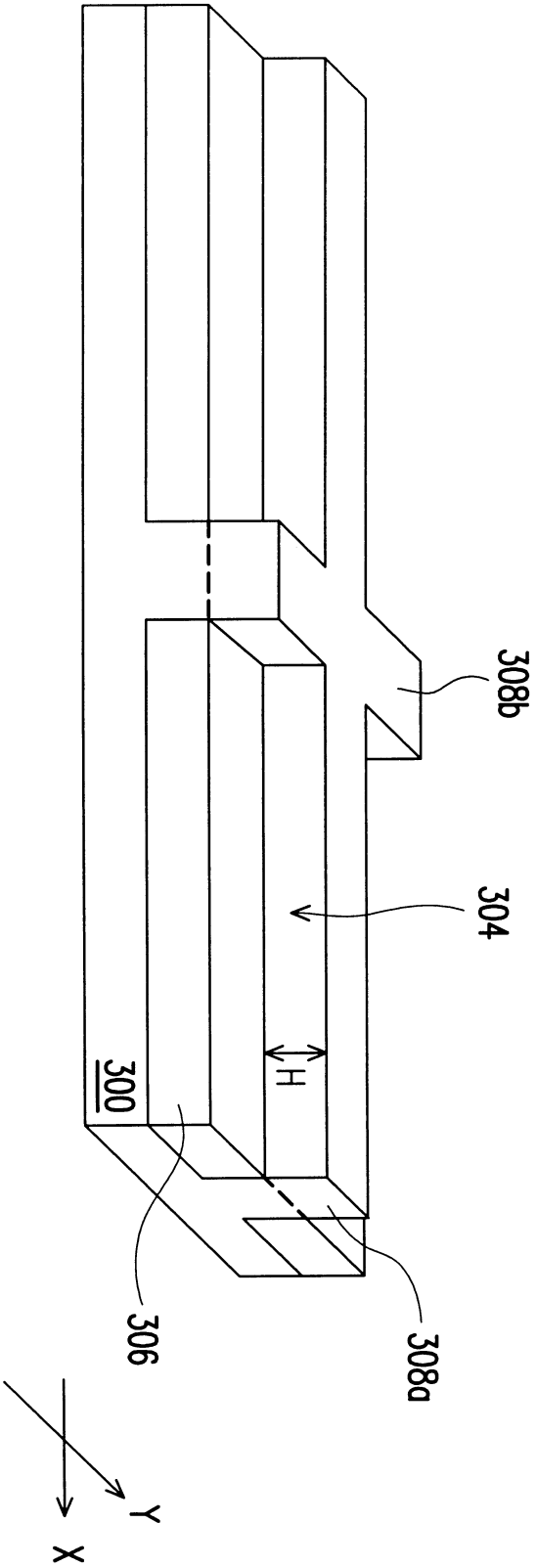


圖 3B

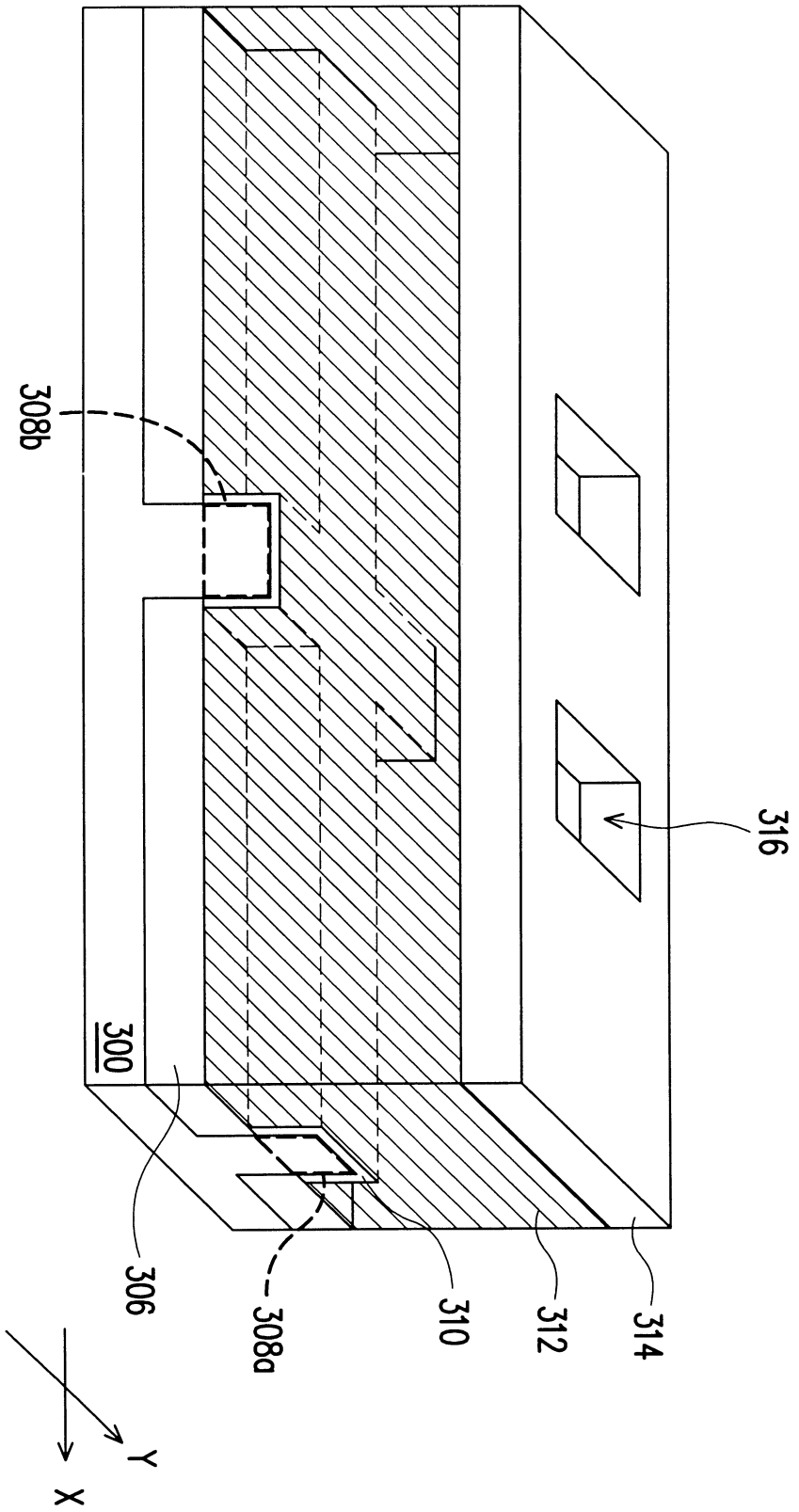


圖 3C

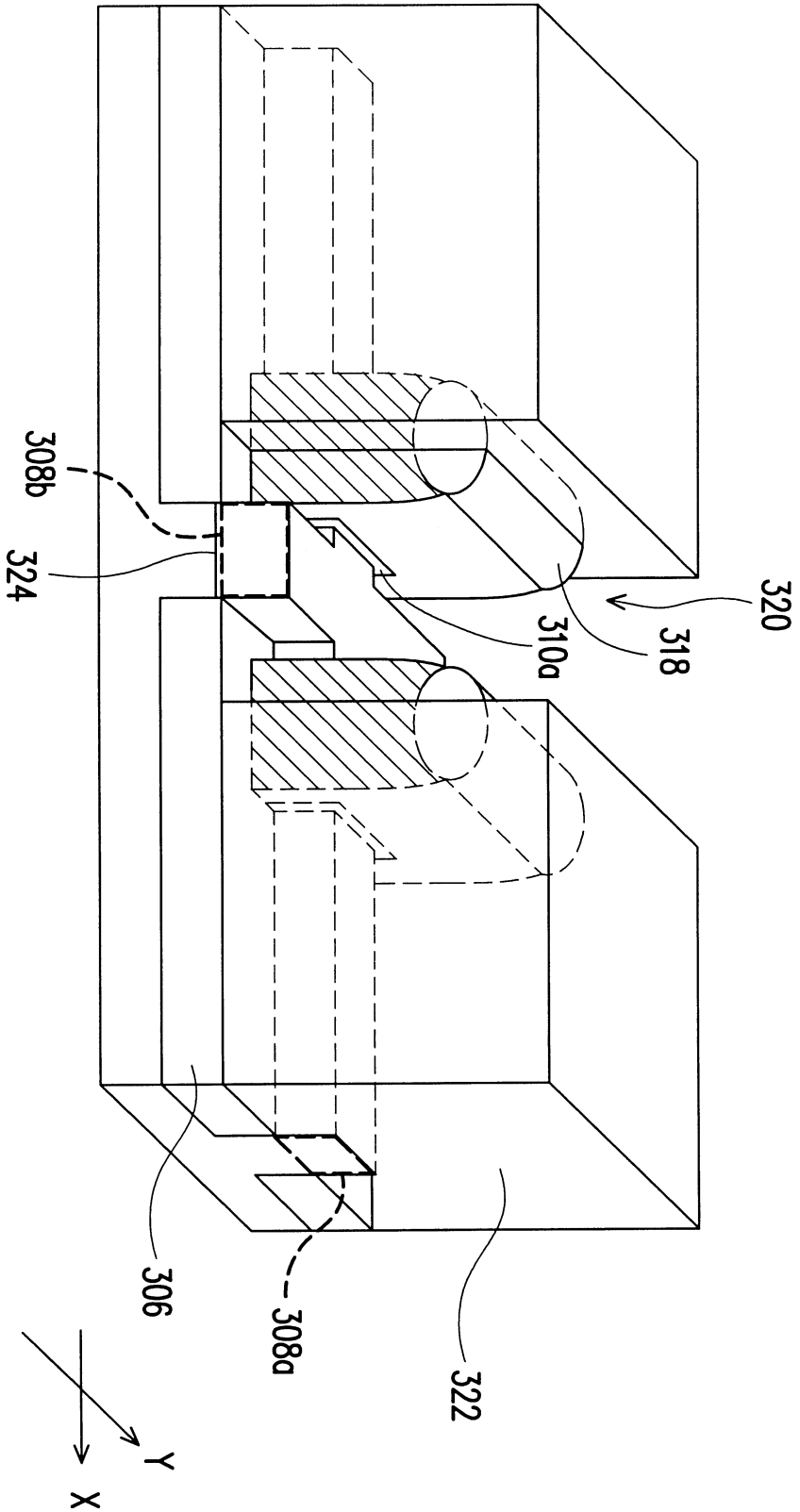


圖 3D

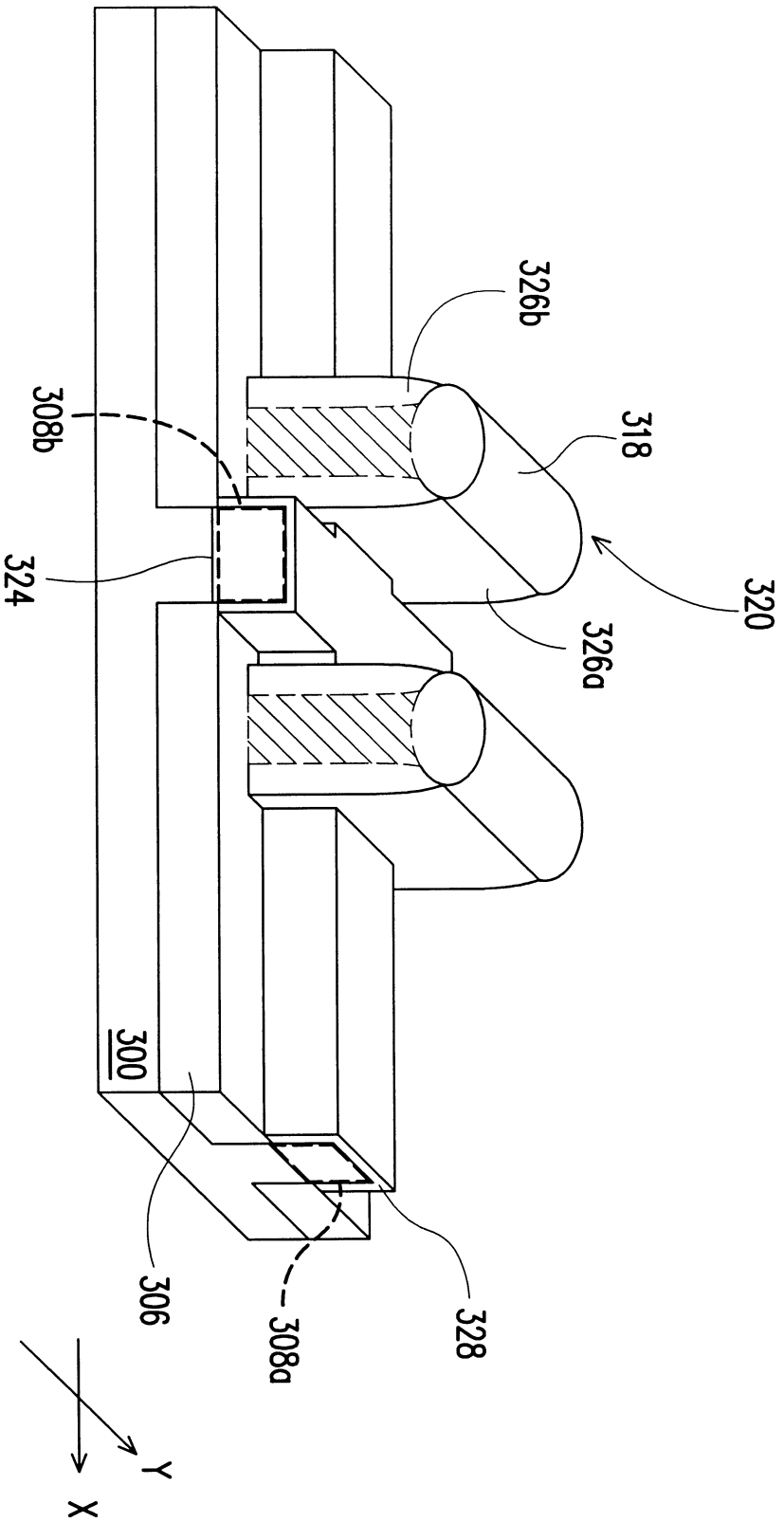


圖 3E

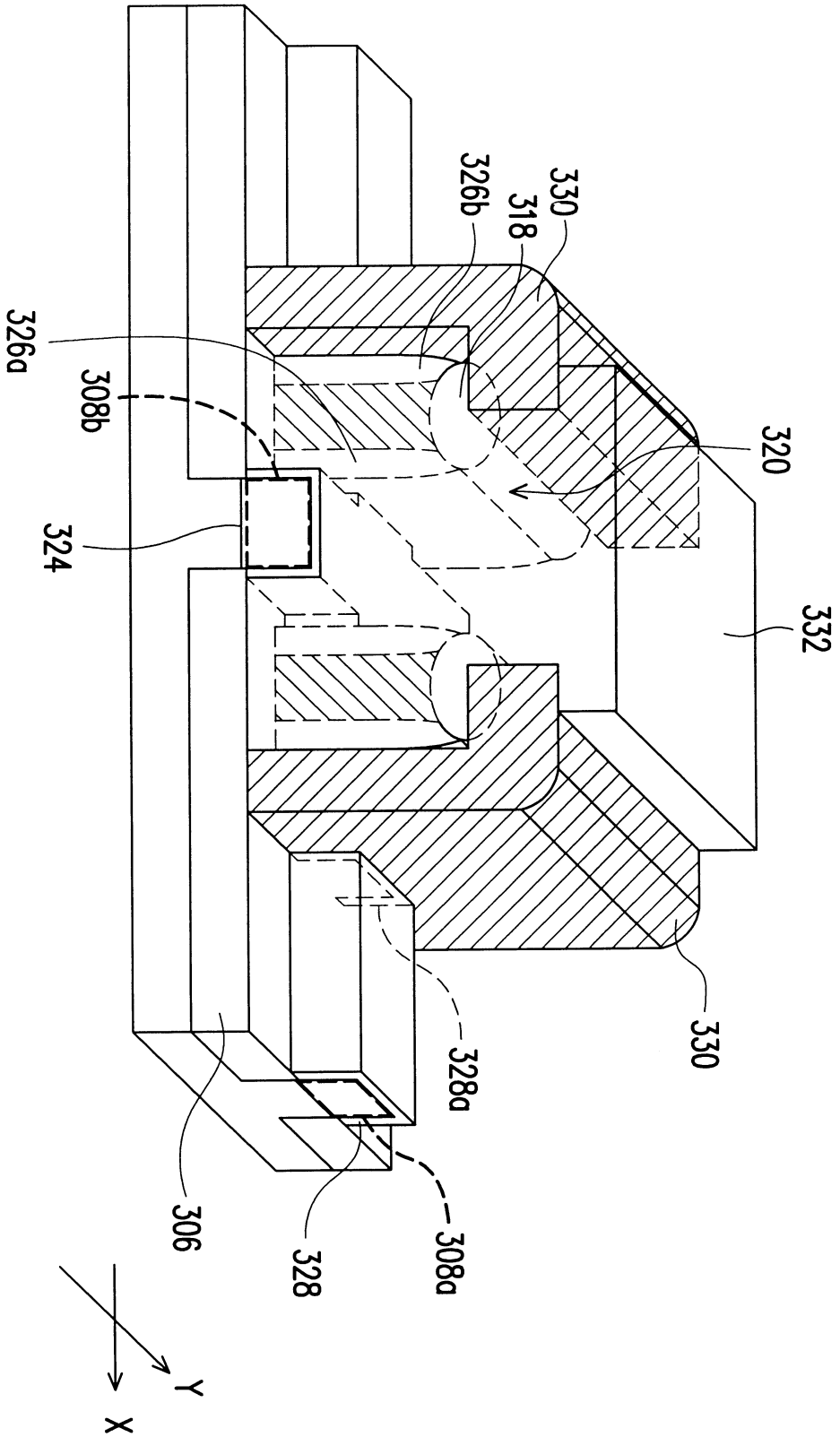


圖 3F

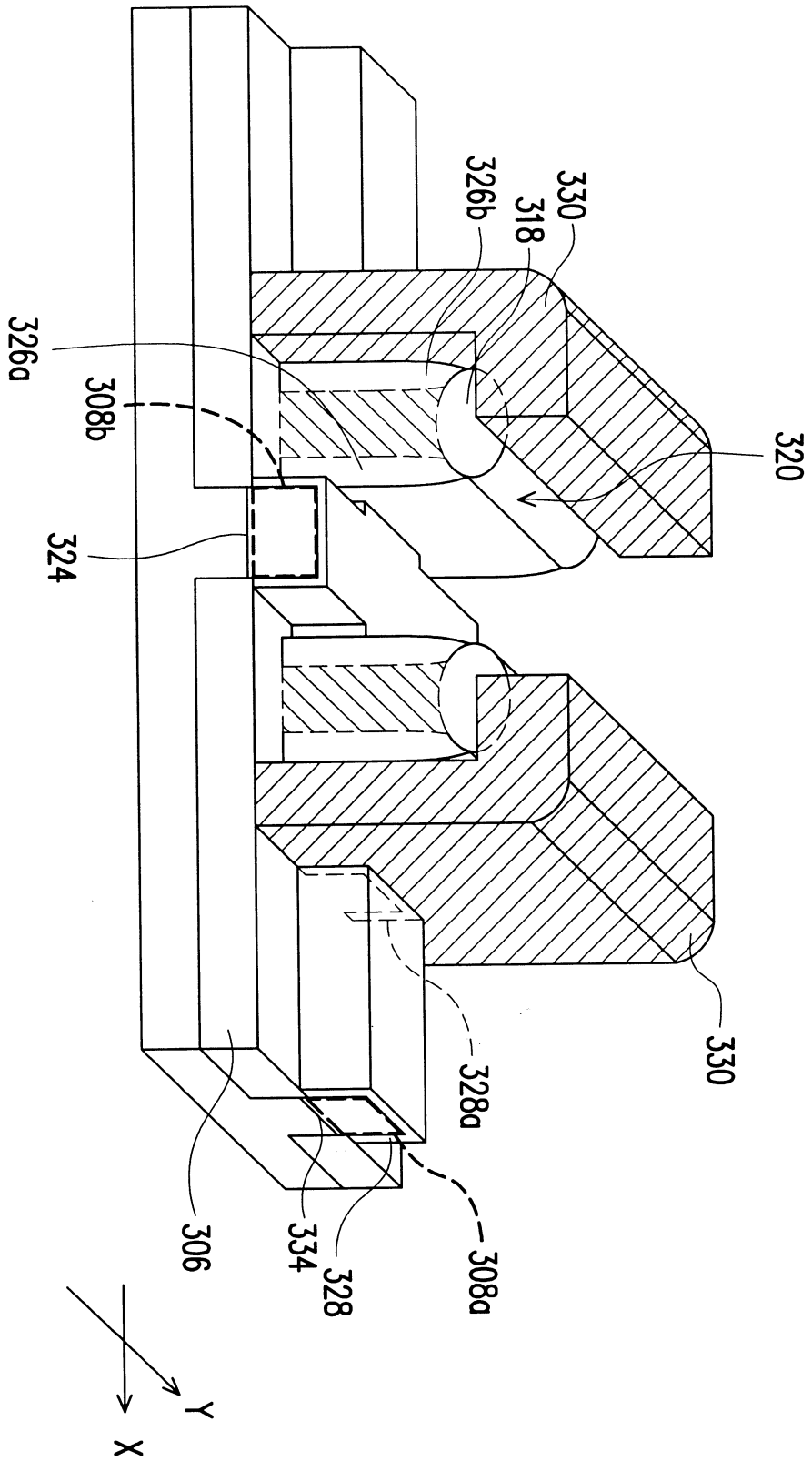


圖 3G

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94108717

※申請日期：94.3.21

※IPC 分類：H01L29/78

一、發明名稱：(中文/英文)

分離閘極快閃記憶體及其製造方法/SPLIT GATE
FLASH MEMORY AND MANUFACTURING
METHOD THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

力晶半導體股份有限公司/POWERCHIP SEMICONDUCTOR CORP.

代表人：(中文/英文) 黃崇仁/CHUNG-JENG HUANG

住居所或營業所地址：(中文/英文)

新竹科學工業園區力行一路 12 號/NO. 12, LI-HSIN RD. I,
SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.

國籍：(中文/英文) 中華民國/TW

三、發明人：(共 3 人)

姓名：(中文/英文)

1 張格榮/ Ko-Hsing Chang

2 鍾武宗/ CHUNG WU TSUNG

3 黃宗正/ HUANG TSUNG CHENG

國籍：(中文/英文) 中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種半導體元件，且特別是有關於一種分離閘極快閃記憶體及其製造方法。

【先前技術】

快閃記憶體元件由於具有可多次進行資料之存入、讀取、抹除等動作，且存入之資料在斷電後也不會消失之優點，所以已成為個人電腦和電子設備所廣泛採用的一種非揮發性記憶體元件。

典型的快閃記憶體元件係以摻雜的多晶矽製作浮置閘極(Floating Gate)與控制閘極(Control Gate)。而且，浮置閘極與控制閘極之間以介電層相隔，而浮置閘極與基底間係以穿隧氧化層(Tunnel Oxide)相隔。當對快閃記憶體進行寫入/抹除(Write/Erase)資料之操作時，係藉由於控制閘極與源極/汲極區施加偏壓，以使電子注入浮置閘極或使電子從浮置閘極拉出。而在讀取快閃記憶體中的資料時，係於控制閘極上施加一工作電壓，此時浮置閘極的帶電狀態會影響其下通道(Channel)的開/關，而此通道之開/關即為判讀資料值「0」或「1」之依據。

當上述快閃記憶體在進行資料之抹除時，由於從浮置閘極排出的電子數量不易控制，故易使浮置閘極排出過多電子而帶有正電荷，謂之過度抹除(Over-erase)。當此過度抹除現象太過嚴重時，甚至會使浮置閘極下方之通道在控制閘極未加工作電壓時，即持續呈導通狀態，而導致資料

之誤判。

為了解決元件過度抹除的問題，目前業界提出一種分離閘極(Split Gate)快閃記憶體。圖 1 所繪示為一種習知之分離閘極快閃記憶胞之結構剖面圖。請參照第 1 圖，此快閃記憶胞由基底 100 起，依序為穿隧介電層 102、浮置閘極 104、閘間介電層 106(Inter-gate Dielectric)與選擇閘極 108，其中選擇閘極 108 除位於浮置閘極 104 上方之外，尚有一部分延伸至基底 100 上方，且與基底 100 間以選擇閘極介電層 110 相隔。源極區 112 位於浮置閘極 104 一側之基底 100 中，汲極區 114 則位於延伸至基底 100 之選擇閘極 108 一側之基底 100 中。如此則當過度抹除現象太過嚴重，而使浮置閘極 104 下方通道在選擇閘極 108 未加工作電壓狀態下即持續打開時，選擇閘極 108 下方的通道仍能保持關閉狀態，使得汲極區 114 與源極區 112 無法導通，而能防止資料之誤判。

然而，由於分離閘極結構需要較大的分離閘極區域而具有較大的記憶胞尺寸，因此其記憶胞尺寸較堆疊式閘極結構之記憶胞尺寸大，而產生所謂無法增加元件集積度之問題。

而且，隨著積體電路正以更高的集積度朝向小型化的元件發展，記憶胞之尺寸可藉由減小記憶胞的閘極長度方式來達成。但是，閘極長度變小會縮短了穿隧氧化層下方的通道長度(Channel Length)，於是在程式化此記憶胞時，汲極區與源極區之間就容易發生不正常的電性貫通(Punch

Through)，如此將嚴重影響此記憶胞的電性表現。

【發明內容】

本發明的目的在於提供一種分離閘極快閃記憶體及其製造方法，此分離閘極記憶胞具有三維(Three dimension)的通道路徑，而具有較長之通道寬度，因此可以提高記憶體元件之積集度。

本發明提出一種分離閘極快閃記憶體，由基底、至少一主動層、多數個元件隔離層、至少一記憶胞所構成。主動層設置於基底上，且突出基底表面。多數個元件隔離層分別設置於主動層之兩側，且這些元件隔離層之表面低於主動層之表面。記憶胞設置於基底上。此記憶胞由堆疊閘極結構、選擇閘極、源極區與汲極區所構成。堆疊閘極結構至少包括浮置閘極，且此浮置閘極跨過主動層。選擇閘極設置於堆疊閘極結構之第一側，且跨過主動層。源極區設置於堆疊閘極結構之第二側的主動層中，且延伸至浮置閘極下方，其中第二側與第一側相對。汲極區設置於選擇閘極一側之主動層中。

在上述之分離閘極快閃記憶體中，更包括一閘間介電層設置於堆疊閘極結構之側壁。此閘間介電層之材質可為氧化矽。

在上述之分離閘極快閃記憶體中，更包括一選擇閘極介電層設置於選擇閘極與主動層之間。此選擇閘極介電層之材質可為氧化矽。

在上述之分離閘極快閃記憶體中，堆疊閘極結構包括一穿隧介電層設置於浮置閘極與主動層之間。此穿隧介電

層之材質可為氧化矽。

在上述之分離閘極快閃記憶體中，堆疊閘極結構包括一頂蓋層設置於浮置閘極與選擇閘極之間。浮置閘極之材質、選擇閘極之材質可為摻雜多晶矽。

本發明又提出一種分離閘極快閃記憶體，由基底、多數個第一主動層、多數個第二主動層、多數個元件隔離層、第一記憶胞以及第二記憶胞所構成。多數個第一主動層設置於基底上，這些第一主動層在第一方向上平行排列且突出基底表面。多數個第二主動層設置於基底上，這些第二主動層在第二方向上平行排列，第一方向與第二方向交錯。多數個元件隔離層分別設置於第一主動層兩側，且這些元件隔離層之表面低於第一主動層之表面。第一記憶胞設置於基底上，且跨過第一主動層。此第一記憶胞包括堆疊閘極結構、選擇閘極、源極區與汲極區。堆疊閘極結構至少包括浮置閘極，其中浮置閘極跨過第一主動層。選擇閘極設置於堆疊閘極結構之第一側，且跨過第一主動層。源極區設置於浮置閘極之第二側的第一主動層中，第二側與第一側相對。汲極區設置於選擇閘極一側之第一主動層中。第二記憶胞設置於基底上，且跨過第一主動層，此第二記憶胞與第一記憶胞具有相同且對稱的結構，且第二記憶胞與第一記憶胞共用源極區。

在上述之分離閘極快閃記憶體中，第二記憶胞與第一記憶胞之源極區包括設置在第二主動層中。而且，選擇閘極在第二方向上串接在一起。

在上述之分離閘極快閃記憶體中，更包括一閘間介電

層設置於堆疊閘極結構之側壁。閘間介電層之材質可為氧化矽。

在上述之分離閘極快閃記憶體中，更包括一選擇閘極介電層設置於該選擇閘極與第一主動層之間。選擇閘極介電層之材質可為氧化矽。

在上述之分離閘極快閃記憶體中，堆疊閘極結構包括一穿隧介電層設置於浮置閘極與第一主動層之間。穿隧介電層之材質可為氧化矽。

在上述之分離閘極快閃記憶體中，堆疊閘極結構包括一頂蓋層設置於浮置閘極與選擇閘極之間。

本發明之分離閘極快閃記憶體，由於記憶胞具有三維(Three dimension)的通道路徑，而使通道寬度變大，於是記憶胞之尺寸也可以縮小，而可以增加元件集積度。

本發明提出一種分離閘極快閃記憶體之製造方法，首先提供基底。於此基底上形成突出基底表面的主動層後，於主動層兩側形成多數個元件隔離層，且這些元件隔離層之表面低於主動層之表面。於基底上形成至少包括浮置閘極的堆疊閘極結構，其中浮置閘極跨過主動層。然後，於堆疊閘極結構之第一側的主動層中形成源極區，並於堆疊閘極結構之第二側的側壁與主動層上形成選擇閘極。之後，於選擇閘極一側的主動層中形成汲極區。

在上述之分離閘極快閃記憶體之製造方法中，堆疊閘極結構包括：設置於浮置閘極與主動層之間的穿隧介電層與設置於浮置閘極上的頂蓋層。

在上述之分離閘極快閃記憶體之製造方法中，於基底

上形成堆疊閘極結構之步驟如下。首先，於基底上依序形成介電層、第一導體層與罩幕層。然後，圖案化此罩幕層以形成暴露部分第一導體層之開口。接著，於暴露之第一導體層上形成頂蓋層後，移除罩幕層。之後，以頂蓋層為罩幕，蝕刻第一導體層、介電層而形成堆疊閘極結構。

在上述之分離閘極快閃記憶體之製造方法中，於堆疊閘極結構之第二側的側壁與主動層上形成選擇閘極之步驟係先於基底上形成第二導體層，然後圖案化第二導體層，而於堆疊閘極結構之第二側的側壁、主動層上形成選擇閘極。

在上述之分離閘極快閃記憶體之製造方法中，於基底上形成堆疊閘極結構的步驟後，可於堆疊閘極結構之側壁形成閘間介電層，並於堆疊閘極結構之第二側的主動層上形成選擇閘極介電層。於堆疊閘極結構之側壁形成閘間介電層之步驟可為熱氧化法。

在上述之分離閘極快閃記憶體之製造方法中，於基底上形成主動層之方法包括於基底中形成多數個溝渠。

本發明又提出一種分離閘極快閃記憶體之製造方法，首先，提供基底，並於此基底上形成在第一方向上平行排列的多數個第一主動層與在第二方向上平行排列的多數個第二主動層，第一方向與第二方向交錯，且第一主動層與第二主動層突出基底表面。接著，於第一主動層與第二主動層兩側形成多數個元件隔離層，且這些元件隔離層之表面低於第一主動層與第二主動層之表面。然後，於基底上形成多數個堆疊閘極結構，這些堆疊閘極結構排列成一陣

列，各堆疊閘極結構至少包括浮置閘極，其中浮置閘極分別跨過第一主動層。接著，於兩相鄰之堆疊閘極結構之間的部分第一主動層與第二主動層中分別形成多數個源極區，在第二方向上之源極區分別由第二主動層串接在一起。於堆疊閘極結構之一側壁與第一主動層上分別形成多數個選擇閘極，在第二方向上之各個選擇閘極彼此相連。之後，於選擇閘極的與源極區相對之一側的第一主動層中分別形成多數個汲極區。

在上述之分離閘極快閃記憶體之製造方法中，各堆疊閘極結構包括：設置於浮置閘極與主動層之間的穿隧介電層與設置於浮置閘極上的頂蓋層。

在上述之分離閘極快閃記憶體之製造方法中，於基底上形成堆疊閘極結構之步驟如下。首先，於基底上依序形成介電層、第一導體層與罩幕層。然後，圖案化此罩幕層以形成暴露部分第一導體層之多數個開口。接著，於暴露之第一導體層上形成頂蓋層後，移除罩幕層。之後，以頂蓋層為罩幕，蝕刻第一導體層、介電層而形成堆疊閘極結構。

在上述之分離閘極快閃記憶體之製造方法中，於堆疊閘極結構之一側壁與第一主動層上分別形成選擇閘極之步驟係先於基底上形成第二導體層，然後圖案化第二導體層，以於堆疊閘極結構之側壁、第一主動層上形成選擇閘極。

在上述之分離閘極快閃記憶體之製造方法中，於基底上形成堆疊閘極結構的步驟後，包括分別於堆疊閘極結構

之側壁形成閘間介電層，並分別於堆疊閘極結構之一側的第一主動層上形成選擇閘極介電層。

在上述之分離閘極快閃記憶體之製造方法中，於堆疊閘極結構之側壁形成閘間介電層之步驟包括熱氧化法。

在上述之分離閘極快閃記憶體之製造方法中，於基底上形成第一主動層與第二主動層之方法包括於基底中形成多數個溝渠。

本發明之分離閘極快閃記憶體之製造方法，由於浮置閘極與選擇閘極皆形成在主動層上，並跨過主動層。因此，記憶胞形成三維(Three dimension)的通道路徑，而具有較大的通道寬度。另一方面，通道寬度變大，記憶胞之尺寸則可以縮小，而可以增加元件集積度。

而且，通道的寬度可以由溝渠之深度與填入溝渠內的元件隔離層之厚度來決定。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

圖 2A 所繪示為本發明之分離閘極快閃記憶體的一較佳實施例的上視圖。圖 2B 為所繪示為圖 2A 中 A 部分的立體結構圖。圖 2C 為所繪示為圖 2A 中沿 B-B' 線的結構剖面圖。圖 2D 為所繪示為圖 2A 中沿 C-C' 線的結構剖面圖。圖 2E 為所繪示為圖 2A 中沿 D-D' 線的結構剖面圖。

首先，請參照圖 2A 至圖 2E，以說明本發明之分離閘極快閃記憶體，本發明快閃記憶胞是由基底 200、主動層

202a、主動層 202b、元件隔離層 204、堆疊閘極結構 206、閘間介電層 214、選擇閘極介電層 216、選擇閘極 218、源極區 220 與汲極區 222 所構成。

基底 200 例如是矽基底。在此基底 200 中設置有突出基底 200 表面的多數主動層 202a、主動層 202b。這些主動層 202a、主動層 202b 例如是在基底 200 中形成多數個溝渠 224，而定義出來的。主動層 202a 例如是在 X 方向上平行排列，且在 X 方向上延伸而呈條狀。主動層 202b 例如是在 Y 方向上平行排列。X 方向與 Y 方向交錯。亦即，主動層 202a 與主動層 202b 交錯。

元件隔離層 204 分別設置於主動層 202a、主動層 202b 兩側，亦即例如是設置於溝渠 224 中，以隔離於基底 200 與堆疊閘極結構 206 及選擇閘極 218 之間，且元件隔離層 204 之表面例如是低於主動層 202a、主動層 202b 之表面。亦即，主動層 202a、主動層 202b 突出元件隔離層 204 表面略呈鰭狀(Fin)。元件隔離層 204 之材質例如是氧化矽。

堆疊閘極結構 206 例如是由穿隧介電層 208、浮置閘極 210、頂蓋層 212 所構成。浮置閘極 210 設置於基底 200 上，且跨過主動層 202a，而穿隧介電層設置於浮置閘極 204 與主動層 202a 之間。浮置閘極 210 之材質例如是摻雜多晶矽。穿隧介電層設置於浮置閘極 204 與基底 200 之間，其材質例如是氧化矽。頂蓋層 206 設置於浮置閘極 204 上，其材質例如是氧化矽。

閘間介電層 214 例如是設置於堆疊閘極結構 206 之側壁。閘間介電層 214 之材質例如是氧化矽。

選擇閘極 218 例如是設置於堆疊閘極結構 206 之一側，且跨過主動層 202a。如圖 2A 所示，選擇閘極 218 例如在 Y 方向上串接在一起。選擇閘極 218 之材質例如是摻雜多晶矽。

選擇閘極介電層 216 例如是設置於選擇閘極 214 與主動層 202a 之間。選擇閘極介電層 216 之材質例如是氧化矽。源極區 220 例如是設置於堆疊閘極結構 206 之另一側的主動層 202a 與主動層 202b 中。在 Y 方向上的源極區 220 例如是由主動層 202b 而連接在一起，並延伸至各記憶胞的浮置閘極 210 下方。汲極區 222 例如是設置於選擇閘極 218 一側之主動層 202a 中。其中源極區 220 與汲極區 222 隔著堆疊閘極結構 206 與選擇閘極 218 而相對。

堆疊閘極結構 206(包括：穿隧介電層 208、浮置閘極 210、頂蓋層 212)、選擇閘極 218、選擇閘極介電層 216、閘間介電層 214、源極區 220 與汲極區 222 構成一個記憶胞 226。在基底 200 上形成有多數個記憶胞 226，這些記憶胞 226 例如是排列成一陣列。如圖 2B 所示，相鄰的兩個記憶胞 226 例如是具有相同且對稱的結構，且共用一個源極區 220。

請參照圖 2B、圖 2C、圖 2D 及圖 2E，由於記憶胞 226 的浮置閘極 210 與選擇閘極 218 皆跨在呈鰭狀的主動層 202a 上。因此，記憶胞 226 具有三維(Three dimension)的通道路徑，而使通道 228 寬度變大。舉例來說，如圖 2D 所示，浮置閘極 210 下方的通道寬度 $W1$ 是距離 $d1$ 、 $d2$ 、 $d3$ 之總和；如圖 2E 所示，選擇閘極 210 下方的通道寬度

W2 也是距離 d1、d2、d3 之總和。於是記憶胞之尺寸可以縮小，而可以增加元件集積度。

而且，由於通道 228 的寬度是距離 d1、d2、d3 之總和，而距離 d1、d3 可以由溝渠 224 之深度與填入溝渠 224 內的元件隔離層 204 之厚度來決定。

圖 3A 至圖 3G 所繪示為本發明較佳實施例之一種分離閘極快閃記憶胞的製造流程圖，其係用以說明本發明之快閃記憶體的製造方法。其中，圖 3A 至圖 3G 為圖 2A 中 A 部分的製造流程立體圖。

首先，請參照圖 3A，提供一基底 300，此基底 300 例如是矽基底。於此基底 300 上形成一層單幕層 302。此單幕層 302 之材質例如是氮化矽。單幕層 302 的形成方法例如是化學氣相沈積法。當然，單幕層 302 與基底 300 之間也可以形成一層襯墊層(pad oxide)(未圖示)。襯墊層之材質例如是氧化矽。襯墊層的形成方法例如是熱氧化法。接著，圖案化此單幕層 302 後，以單幕層 302 為單幕，移除部分基底 300，而於基底 300 中形成溝渠 304，並定義出主動區。移除部分基底 300 之方法例如是反應性離子蝕刻法。

接著，請參照圖 3B，於溝渠 302 中形成元件隔離層 306，且元件隔離層 306 之上表面低於基底 300 之上表面。其中，基底 300 突出元件隔離層 306 之上表面的部分，係稱為主動層 308a 與主動層 308b。主動層 308a 例如是在 X 方向上延伸而呈條狀。主動層 308b 例如是在 Y 方向上延伸而呈條狀。X 方向與 Y 方向交錯。亦即，主動層 308a 與主動層 308b 交錯。在本實施例中，雖然只繪示有一條主

動層 308a 與一條主動層 308b，但是實際上可如圖 2A 所示那樣，主動層 308a 與主動層 308b 也可以是多數條，主動層 308a 在 X 方向上平行排列，主動層 308b 在 Y 方向上平行排列。

元件隔離層 306 之形成方法例如是先於基底 300 上形成一層絕緣材料層(未圖示)，此絕緣材料層之厚度大於溝渠 304 之深度與罩幕層 302 之厚度的總和。然後，進行平坦化步驟，使絕緣材料層之表面平坦化。使絕緣材料層之表面平坦化的方法例如是化學機械研磨法。之後，再移除部分絕緣材料層，使絕緣材料層之上表面低於基底 300 之上表面，而形成元件隔離層 306。移除部分絕緣材料層包括回蝕刻法。其中主動層 308 的高度 H 可以由溝渠 304 之深度與元件隔離層 206 之厚度來決定。此高度 H 會影響後續形成之記憶胞的通道寬度。

在元件隔離層 306 形成之後，移除罩幕層 302。罩幕層之移除方法例如是濕式蝕刻法。

接著，請參照圖 3C，在基底 300 上形成一層介電層 310，此介電層 310 之材質例如是氧化矽，介電層 310 之形成方法例如是熱氧化法(Thermal Oxidation)。

接著，於介電層 310 上形成一層導體層 312，其材質例如是摻雜的多晶矽，此導體層 312 之形成方法例如是利用化學氣相沈積法形成一層未摻雜多晶矽層後，進行離子植入步驟以形成之；或者以臨場植入摻質的方式，利用化學氣相沈積法而形成之。

然後，於導體層 312 上形成一層罩幕層 314，此罩幕

層 314 之材質例如是氮化矽，其形成方法例如是化學氣相沈積法(Chemical Vapor Deposition, CVD)。接著，圖案化罩幕層 314 以於罩幕層 314 中形成多個暴露導體層 312 之開口 316。

接著，請參照圖 3D，於開口 316 所暴露之導體層 312 上形成一層頂蓋層 318，此頂蓋層 318 之材質例如是氧化矽，其形成方法例如是熱氧化法。頂蓋層 318 形成之後，移除罩幕層 314。然後，以頂蓋層 318 為自行對準(Self-Alignment)罩幕，蝕刻導體層 312、介電層 310 直到曝露出基底 300，而形成導體層 312a 與穿隧介電層 310a。頂蓋層 318、導體層 312a、穿隧介電層 310a 構成堆疊閘極結構 312，且導體層 312a 係作為記憶胞之浮置閘極。

接著，於基底 300 上形成一圖案化光阻層 322，此圖案化光阻層 322 暴露預定形成源極之區域。然後，進行一離子植入步驟，於堆疊閘極結構 320 一側之基底 300 中形成源極區 324。源極區 324 例如是形成於兩相鄰之堆疊閘極結構 320 之間的主動層 308a 與主動層 308b 中。在 Y 方向上的源極區 324 例如是由主動層 308b 而連接在一起。亦即，後續形成之相鄰的兩個記憶胞會共用一個源極區 324。

接著，請參照圖 3E，移除圖案化光阻層 322 後，於堆疊閘極結構 320 之側壁形成閘間介電層 326a 與閘間介電層 326b。閘間介電層 326a 與閘間介電層 326b 之材質例如是氧化矽或者是氧化矽/氮化矽，閘間介電層 326a 與閘間介電層 326b 的形成方法例如是熱氧化法。當然，閘間介電層 326a 與閘間介電層 326b 之形成方法也可以採用先以熱氧

化法形成一層氧化矽層，再利用化學氣相沈積法形成一層氧化矽層或氮化矽層後，進行非等向性蝕刻步驟，移除部分氧化矽層與氮化矽層而形成之。

然後，於基底 300(主動層 308a 與主動層 308b)上形成一層介電層 328。此介電層 328 之材質例如是氧化矽，其形成方法例如是熱氧化法(Thermal Oxidation)。當然，在源極區 324 上方也會形成介電層 328，而且在閘間介電層 326a、326b 表面也會形成一層薄的氧化矽層。當閘間介電層 326a、326b 之材質例如是氧化矽/氮化矽時，在此步驟後，則會使閘間介電層 326a、326b 形成氧化矽/氮化矽/氧化矽結構。

接著，請參照圖 3F，於堆疊閘極結構 312 之形成有閘間介電層 326b 一側的側壁形成選擇閘極 330。選擇閘極 330 之形成步驟例如是先於基底 300 上形成一層導體材料層(未圖示)，然後圖案化導體材料層而形成之。選擇閘極 330 之材質例如是摻雜的多晶矽，其例如是利用化學氣相沈積法形成一層未摻雜多晶矽層後，進行離子植入步驟以形成之；或者以臨場植入摻質的方式，利用化學氣相沈積法而形成之。其中，在選擇閘極 330 與主動層 308a 之間的介電層 328 係作為選擇閘極介電層 328a。

接著，於基底 300 上形成另一層圖案化光阻層 332，此圖案化光阻層 332 覆蓋住源極區 324 上方之區域，並暴露預定形成汲極之區域。

接著，請參照圖 3G，進行一離子植入步驟，而於選擇

閘極 330 一側的基底 300(主動層 308a)中形成一汲極區 334。接著，再移除圖案化光阻層 332。後續完成分離閘極快閃記憶體之製程為習知技藝者所周知，在此不再贅述。

在上述實施例中，由於浮置閘極 312a 與選擇閘極 330 皆形成在主動層 308a 上，並跨過主動層 308a。因此，記憶胞形成三維(Three dimension)的通道路徑，而具有較大的通道寬度。而且，通道的寬度可以由溝渠 304 之深度與填入溝渠 304 內的元件隔離層 306 之厚度來決定。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 所繪示為一種習知之分離閘極快閃記憶胞之結構剖面圖。

圖 2A 所繪示為本發明之分離閘極快閃記憶體的一較佳實施例的上視圖。

圖 2B 為所繪示為圖 2A 中 A 部分的立體結構圖。

圖 2C 為所繪示為圖 2A 中沿 B-B' 線的結構剖面圖。

圖 2D 為所繪示為圖 2A 中沿 C-C' 線的結構剖面圖。

圖 2E 為所繪示為圖 2A 中沿 D-D' 線的結構剖面圖。

第 3A 圖至第 3G 圖所繪示為本發明之分離閘極快閃記憶體的一較佳實施例的製造流程剖面圖，

【主要元件符號說明】

100、200、300：基底
102、208、310a：穿隧介電層
104、210、312a：浮置閘極
106、214、326a、326b：閘間介電層
108、218、330：選擇閘極
110、216、328a：選擇閘極介電層
112、220、324：源極區
114、222、334：汲極區
202a、202b、308a、308b：主動層
204、306：元件隔離層
206、320：堆疊閘極結構
212、318：頂蓋層
224、304：溝渠
226：記憶胞
228：通道
302、314：罩幕層
310、328：介電層
312：導體層
316：開口
322、332：圖案化光阻層
W1、W2：寬度
d1、d2、d3：距離
H：高度

五、中文發明摘要：

一種分離閘極快閃記憶體，具備有基底、至少一主動層、多數個元件隔離層、至少一記憶胞。主動層設置於基底上，且突出基底表面。元件隔離層分別設置於主動層之兩側，且元件隔離層之表面低於主動層之表面。記憶胞設置於基底上。記憶胞包括堆疊閘極結構、選擇閘極、源極區與汲極區。堆疊閘極結構至少包括跨過主動層的浮置閘極。選擇閘極設置於堆疊閘極結構之第一側，且跨過主動層。源極區設置於堆疊閘極結構之第二側的主動層中，且延伸至浮置閘極下方，其中第二側與第一側相對。汲極區設置於選擇閘極一側之主動層中。

六、英文發明摘要：

A split gate flash memory includes a substrate, an active layer, device isolation layers and memory cells. The active layer is formed on the substrate and protruding the surface of the substrate. The device isolation layers are formed on the sides of the active layer. The surface of the device isolation layers is lower than the surface of the substrate. The memory cells include stacked gate structures, select gates, source regions and drain regions. The stacked gate includes a floating gate across the active layer. The select gates across the active layer are formed on one side of the stacked gate structures. The source regions are formed in the active layers of the other side of

the stacked gate structures. The drain regions are formed in the in the active layers of one side of select gates.

七、指定代表圖：

(一)本案指定代表圖為：圖(2B)。

(二)本代表圖之元件符號簡單說明：

- 200：基底
- 202a、202b：主動層
- 204：元件隔離層
- 206：堆疊閘極結構
- 210：浮置閘極
- 212：頂蓋層
- 214：閘間介電層
- 218：選擇閘極
- 220：源極區
- 222：汲極區
- 224：溝渠
- 226：記憶胞

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

十、申請專利範圍：

1.一種分離閘極快閃記憶體，包括：

一基底；

至少一主動層，設置於該基底上，且突出該基底表面；

多數個元件隔離層，分別設置於該主動層之兩側，且該些元件隔離層之表面低於該主動層之表面；

至少一記憶胞，設置於該基底上，該記憶胞包括：

一堆疊閘極結構，該堆疊閘極結構至少包括一浮置閘極，其中該浮置閘極跨過該主動層；

一選擇閘極，設置於該堆疊閘極結構之一第一側，且跨過該主動層；

一源極區，設置於該堆疊閘極結構之一第二側的該主動層中，且延伸至該浮置閘極下方，其中該第二側與該第一側相對；以及

一汲極區，設置於該選擇閘極一側之該主動層中。

2.如申請專利範圍第 1 項所述之分離閘極快閃記憶體，更包括一閘間介電層，設置於該堆疊閘極結構之側壁。

3.如申請專利範圍第 2 項所述之分離閘極快閃記憶體，其中該閘間介電層之材質包括氧化矽。

4.如申請專利範圍第 1 項所述之分離閘極快閃記憶體，更包括一選擇閘極介電層，設置於該選擇閘極與該主動層之間。

5.如申請專利範圍第 4 項所述之分離閘極快閃記憶體，其中該選擇閘極介電層之材質包括氧化矽。

6.如申請專利範圍第 1 項所述之分離閘極快閃記憶體

體，其中該堆疊閘極結構包括一穿隧介電層，設置於該浮置閘極與該主動層之間。

7.如申請專利範圍第 6 項所述之分離閘極快閃記憶體，其中該穿隧介電層之材質包括氧化矽。

8.如申請專利範圍第 1 項所述之分離閘極快閃記憶體，其中該堆疊閘極結構包括一頂蓋層，設置於該浮置閘極與該選擇閘極之間。

9.如申請專利範圍第 1 項所述之分離閘極快閃記憶體，其中該浮置閘極之材質、該選擇閘極之材質包括摻雜多晶矽。

10.一種分離閘極快閃記憶體，包括：

一基底；

多數個第一主動層，設置於該基底上，該些第一主動層在一第一方向上平行排列且突出該基底表面；

多數個第二主動層，設置於該基底上，該些第二主動層在一第二方向上平行排列，該第一方向與該第二方向交錯；

多數個元件隔離層，分別設置於該些第一主動層兩側，且該些元件隔離層之表面低於該些第一主動層之表面；

一第一記憶胞，設置於該基底上，且跨過該第一主動層，該第一記憶胞包括：

一堆疊閘極結構，該堆疊閘極結構至少包括一浮置閘極，其中該浮置閘極跨過該第一主動層；

一選擇閘極，設置於該堆疊閘極結構之一第一側，且跨過該第一主動層；

一源極區，設置於該浮置閘極之一第二側的該第一主動層中，該第二側與該第一側相對；以及

一汲極區，設置於該選擇閘極一側之該第一主動層中；以及

一第二記憶胞，設置於該基底上，且跨過該第一主動層，該第二記憶胞與該第一記憶胞具有相同且對稱的結構，且該第二記憶胞與該第一記憶胞共用該源極區。

11.如申請專利範圍第 10 項所述之分離閘極快閃記憶體，其中該第二記憶胞與該第一記憶胞之該源極區包括設置在該些第二主動層中。

12.如申請專利範圍第 10 項所述之分離閘極快閃記憶體，其中該選擇閘極，在該第二方向上串接在一起。

13.如申請專利範圍第 10 項所述之分離閘極快閃記憶體，更包括一閘間介電層，設置於該堆疊閘極結構之側壁。

14.如申請專利範圍第 13 項所述之分離閘極快閃記憶體，其中該閘間介電層之材質包括氧化矽。

15.如申請專利範圍第 10 項所述之分離閘極快閃記憶體，更包括一選擇閘極介電層，設置於該選擇閘極與該第一主動層之間。

16.如申請專利範圍第 15 項所述之分離閘極快閃記憶體，其中該選擇閘極介電層之材質包括氧化矽。

17.如申請專利範圍第 10 項所述之分離閘極快閃記憶體，其中該堆疊閘極結構包括一穿隧介電層，設置於該浮置閘極與該第一主動層之間。

18.如申請專利範圍第 17 項所述之分離閘極快閃記憶體

體，其中該穿隧介電層之材質包括氧化矽。

19.如申請專利範圍第 10 項所述之分離閘極快閃記憶體，其中該堆疊閘極結構包括一頂蓋層，設置於該浮置閘極與該選擇閘極之間。

20. 一種分離閘極快閃記憶體之製造方法，包括：

提供一基底；

該基底上形成一主動層，該主動層突出該基底表面；

於該主動層兩側形成多數個元件隔離層，且該些元件隔離層之表面低於該主動層之表面；

於該基底上形成一堆疊閘極結構，該堆疊閘極結構至少包括一浮置閘極，其中該浮置閘極跨過該主動層；

於該堆疊閘極結構之一第一側的該主動層中形成一源極區；

於該堆疊閘極結構之一第二側的側壁與該主動層上形成一選擇閘極；以及

於該選擇閘極一側的該主動層中形成一汲極區。

21.如申請專利範圍第 20 項所述之分離閘極快閃記憶體之製造方法，其中該堆疊閘極結構包括：

一穿隧介電層，設置於該浮置閘極與該主動層之間；
以及

一頂蓋層，設置於該浮置閘極上。

22.如申請專利範圍第 21 項所述之分離閘極快閃記憶體之製造方法，其中於該基底上形成該堆疊閘極結構之步驟包括：

於該基底上依序形成一介電層、一第一導體層與一單

幕層；

圖案化該罩幕層以形成暴露部分該第一導體層之一開口；

於暴露之該第一導體層上形成該頂蓋層；

移除該罩幕層；

以該頂蓋層為罩幕，蝕刻該第一導體層、該介電層而形成該堆疊閘極結構。

23.如申請專利範圍第 20 項所述之分離閘極快閃記憶體之製造方法，其中於該堆疊閘極結構之該第二側的側壁與該第一主動層上形成該選擇閘極之步驟包括：

於該基底上形成一第二導體層；以及

圖案化該第二導體層，而於該堆疊閘極結構之該第二側的側壁、該第一主動層上形成該選擇閘極。

24.如申請專利範圍第 20 項所述之分離閘極快閃記憶體之製造方法，其中於該基底上形成該堆疊閘極結構的步驟後包括於該堆疊閘極結構之側壁形成一閘間介電層；以及

於該堆疊閘極結構之該第二側的該主動層上形成一選擇閘極介電層。

25.如申請專利範圍第 24 項所述之分離閘極快閃記憶體之製造方法，其中於該堆疊閘極結構之側壁形成該閘間介電層之步驟包括熱氧化法。

26.如申請專利範圍第 20 項所述之分離閘極快閃記憶體之製造方法，其中該基底上形成該主動層之方法包括於該基底中形成多數個溝渠。

27. 一種分離閘極快閃記憶體之製造方法，包括：
提供一基底；

該基底上形成多數個第一主動層與多數個第二主動層，該些第一主動層在一第一方向上平行排列，該些第二主動層在一第二方向上平行排列，該第一方向與該第二方向交錯，且該些第一主動層與該些第二主動層突出該基底表面；

於該些第一主動層與該些第二主動層兩側形成多數個元件隔離層，且該些元件隔離層之表面低於該些第一主動層與該些第二主動層之表面；

於該基底上形成多數個堆疊閘極結構，該些堆疊閘極結構排列成一陣列，各該些堆疊閘極結構至少包括一浮置閘極，其中該些浮置閘極分別跨過該些第一主動層；

於兩相鄰之該些堆疊閘極結構之間的部分該些第一主動層與該些第二主動層中分別形成多數個源極區，在該第二方向上之該些源極區分別由該些第二主動層串接在一起；

於該些堆疊閘極結構之一側壁與該些第一主動層上分別形成多數個選擇閘極，在該第二方向上之各該些選擇閘極彼此相連；以及

於該些選擇閘極的與該些源極區相對之一側的該些第一主動層中分別形成多數個汲極區。

28.如申請專利範圍第 27 項所述之分離閘極快閃記憶體之製造方法，其中各該些堆疊閘極結構包括：

一穿隧介電層，設置於該浮置閘極與該主動層之間；

以及

一頂蓋層，設置於該浮置閘極上。

29.如申請專利範圍第 28 項所述之分離閘極快閃記憶體之製造方法，其中於該基底上形成該些堆疊閘極結構之步驟包括：

於該基底上依序形成一介電層、一第一導體層與一罩幕層；

圖案化該罩幕層以形成暴露部分該第一導體層之多數個開口；

於暴露之該第一導體層上形成該些頂蓋層；

移除該罩幕層；

以該些頂蓋層為罩幕，蝕刻該第一導體層、該介電層而形成該些堆疊閘極結構。

30.如申請專利範圍第 27 項所述之分離閘極快閃記憶體之製造方法，其中於該些堆疊閘極結構之一側壁與該些第一主動層上分別形成該些選擇閘極之步驟包括：

於該基底上形成一第二導體層；以及

圖案化該第二導體層，以於該些堆疊閘極結構之側壁、該些第一主動層上形成該些選擇閘極。

31.如申請專利範圍第 27 項所述之分離閘極快閃記憶體之製造方法，其中於該基底上形成該些堆疊閘極結構的步驟後包括分別於該些堆疊閘極結構之側壁形成一閘間介電層；以及

分別於該些堆疊閘極結構之一側的該些第一主動層上形成一選擇閘極介電層。

32.如申請專利範圍第 31 項所述之分離閘極快閃記憶體之製造方法，其中於該些堆疊閘極結構之側壁形成該閘間介電層之步驟包括熱氧化法。

33.如申請專利範圍第 27 項所述之分離閘極快閃記憶體之製造方法，其中該基底上形成該些第一主動層與該些第二主動層之方法包括於該基底中形成多數個溝渠。

the stacked gate structures. The drain regions are formed in the in the active layers of one side of select gates.

七、指定代表圖：

(一)本案指定代表圖為：圖(2B)。

(二)本代表圖之元件符號簡單說明：

- 200：基底
- 202a、202b：主動層
- 204：元件隔離層
- 206：堆疊閘極結構
- 210：浮置閘極
- 212：頂蓋層
- 214：閘間介電層
- 218：選擇閘極
- 220：源極區
- 222：汲極區
- 224：溝渠
- 226：記憶胞

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無