

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ G11C 11/34	(45) 공고일자 2000년 10월 16일
(21) 출원번호 10-1997-0024997	(11) 등록번호 10-0269568
(22) 출원일자 1997년 06월 17일	(24) 등록일자 2000년 07월 21일
(30) 우선권 주장 96-341867 1996년 12월 20일 일본(JP)	(65) 공개번호 특 1998-0063336
(73) 특허권자 후지쓰 가부시끼가이샤 아끼구사 나오유키	(43) 공개일자 1998년 10월 07일
(72) 발명자 일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1-1 야마구치 슈사쿠 일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1반 1고, 후지쓰 가부시끼가이샤나이 하타케야마 아츠시 일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1반 1고, 후지쓰 가부시끼가이샤나이 다키타 마사토 일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1반 1고, 후지쓰 가부시끼가이샤나이 아이카와 다다오 일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1반 1고, 후지쓰 가부시끼가이샤나이 모치즈키 히로히코 일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1반 1고, 후지쓰 가부시끼가이샤나이	
(74) 대리인 조태연	

심사관 : 박준영

(54) 반도체 집적 회로

요약

출력 회로용 전원 전압을 입력하는 전원 단자와, 출력 회로 이외의 내부 회로용 전원 전압을 입력하는 전원 단자를 구비하는 반도체 집적 회로에 관한 것으로, 전원 기동시에, 데이터 버스를 공유하는 동일한 반도체 집적 회로간에 관통 전류가 흐르지 않도록 하여, 소비 전력의 감소화를 도모한다.

전원 전압 VDD가 상승했을 경우에는 VDD 상승 검출 신호 STT를 출력 제어 회로(15)에 공급하고, 인버터(16)의 출력을 L레벨로 하여 pMOS 트랜지스터(41) 및 nMOS 트랜지스터(44)를 OFF로 하며, 전원 전압 VDDQ가 상승했을 경우에는, VDDQ 상승 검출 신호 STTQ를 출력 회로(38)에 공급하고, nMOS 트랜지스터(45,46)를 OFF로 하여 pMOS 트랜지스터(41) 및 nMOS 트랜지스터(44)를 OFF로 한다.

대표도

도3

명세서

도면의 간단한 설명

도 1은 종래의 동기 DRAM의 일례의 주요부를 나타내는 회로도.

도 2는 도 1에 도시된 종래의 동기 DRAM이 갖는 문제점을 설명하기 위한 파형도.

도 3은 본 발명의 실시의 제 1 형태의 주요부를 나타내는 회로도.

도 4는 본 발명의 실시의 제 1 형태가 구비하는 VDD 상승 검출 회로의 동작을 나타내는 파형도.

도 5는 본 발명의 실시의 제 1 형태가 구비하는 VDDQ 상승 검출 회로의 동작을 나타내는 파형도.

도 6은 본 발명 실시의 제 2 형태의 주요부를 나타내는 회로도.

도면의 주요 부분에 대한 부호의 설명

12: VDD 전원선 36: VDDQ 전원선

39: 데이터 단자

발명의 상세한 설명**발명의 목적****발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 출력 회로에 공급해야 할 전원 전압을 입력하기 위한 전원 단자와, 출력 회로 이외의 내부 회로에 공급해야 할 전원 전압을 입력하기 위한 전원 단자를 구비하는 반도체 집적 회로에 관한 것이다.

근래, 마이크로 프로세서의 고속화에 따라, 반도체 기억 장치에 있어서도 고속화가 요구되고 있고, 예컨대, 동기·다이내믹·랜덤·액세스·메모리, 소위, 동기 DRAM에 있어서도, 그 예외는 아니다.

그래서, 동기 DRAM에 있어서는, 출력 회로용 전원과, 출력 회로 이외의 내부 회로용 전원을 분리하고, 또, 2개 또는 4개의 적은 수의 출력 회로를 단위로서 독립의 전원 전압을 공급하도록 하여, 수십 pF라는 큰 용량에 대한 충방전을 고속으로 행함으로써 대전류를 소비하는 출력 회로의 동작의 안정성을 확보하는 기술이 사용되고 있다.

출력 회로용 전원 전압 VDDQ와, 출력 회로 이외의 내부 회로용 전원 전압 VDD와는 전압치를 달리하는 경우도 있지만, 통상, 동일한 전압치, 예컨대, 3.3[V]로 되는 경우가 많다.

그런데, 동기 DRAM을 사용하는 시스템 중에는 복수의 동기 DRAM을 탑재하여, 이들 복수의 동기 DRAM의 데이터 단자를 공통의 외부 데이터 버스에 접속하는 것이 있다.

이러한 시스템에 있어서는, 동작 상태시, 리드·명령이 입력된 동기 DRAM만이 외부 데이터 버스를 구동하고, 다른 동기 DRAM은 데이터 단자를 하이·임피던스 상태(개방 상태)로 하는 것으로, 복수의 동기 DRAM이 서로 반대의 전압 방향으로 외부 데이터 버스를 구동하여 복수의 동기 DRAM 사이에 큰 관통 전류가 흐르는 것을 회피하도록 하고 있다.

도 1은 종래의 동기 DRAM의 일례의 주요부를 나타내는 회로도이다. 도 1에서, (1)은 데이터 단자, (2)는 데이터 단자(1)에 출력 데이터 DQ를 출력하는 출력 회로, (3)은 출력 회로용 전원 전압 VDDQ(=3.3[V])를 공급하는 VDDQ 전원선이다.

또한, (4)는 메모리 코어부로부터 출력된 리드 데이터 RD에 기초하여 출력 회로(2)의 출력 동작을 제어하는 출력 제어 회로, (5)는 출력 회로 이외의 내부 회로용 전원 전압 VDD(=3.3[V])를 공급하는 VDD 전원선이다.

또한, (6)은 전원 기동시에 출력 회로 이외의 내부 회로용 전원 전압VDD를 감시하고, 출력 회로 이외의 내부 회로용 전원 전압 VDD의 상승을 검출했을 때에는 VDD 상승 검출 신호 STT를 출력 제어 회로(4)에 공급하여, 데이터 단자(1)가 하이·임피던스 상태가 되도록 출력 제어 회로(4)를 제어하는 VDD 상승 검출 회로이다.

이 동기 DRAM은 전원 기동시, 출력 회로 이외의 내부 회로용 전원 전압 VDD의 상승을 검출했을 때에는 데이터 단자(1)를 하이·임피던스 상태로 함으로써, 외부 데이터 버스를 공유하고 있는 동기 DRAM 사이에 관통 전류가 흐르지 않도록 한다고 하는 것이다.

그러나, 동기 DRAM을 사용하는 시스템에 의해서는, 전원 기동시, 출력 회로용 전원 전압 VDDQ와, 출력 회로 이외의 내부 회로용 전원 전압 VDD가 동시에 상승한다고는 할 수 없고, 어느쪽인가가 미리 상승해 버리는 경우가 있다.

여기서, 도 1에 도시된 동기 DRAM에 의하면, 출력 회로 이외의 내부 회로용 전원 전압 VDD가, 출력 회로용 전원 전압 VDDQ보다도 미리 상승해 버리는 경우에는 출력 회로용 전원 전압 VDDQ가 상승하기 전에 데이터 단자(1)를 하이·임피던스 상태로 하여, 외부 데이터 버스를 공유하고 있는 동기 DRAM 사이에 관통 전류가 흐르지 않도록 할 수 있다.

그러나, 도 2에 도시된 바와 같이, 출력 회로용 전원 전압 VDDQ가 출력 회로 이외의 내부 회로용 전원 전압 VDD보다도 미리 상승해 버리는 경우에는, 출력 회로(2)는 출력 제어 회로(4)에 제어되어 데이터 단자(1)를 하이·임피던스 상태로 하기 전에, 출력 회로용 전원 전압 VDDQ가 공급되어 버리고, 외부 데이터 버스를 공유하고 있는 동기 DRAM 사이에 관통 전류가 흘러 버리는 경우가 발생된다.

발명이 이루고자 하는 기술적 과제

본 발명은, 이러한 점을 감안하여, 출력 회로에 공급해야 할 전원 전압을 입력하기 위한 전원 단자와, 출력 회로 이외의 내부 회로에 공급해야 할 전원 전압을 입력하기 위한 전원 단자를 구비하는 반도체 집적 회로로서, 전원 기동시에, 외부 데이터 버스를 공유하는 동일한 반도체 집적 회로사이에 관통 전류가 흐르지 않도록 하여, 소비 전력의 감소화를 도모할 수 있도록 한 반도체 집적 회로를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명중, 제 1 발명(제 1 항 기재의 반도체 집적 회로)은 제 1 전원 전압이 인가되는 제 1 전원 단자와, 제 2 전원 전압이 인가되는 제 2 전원 단자와, 제 1 전원 전압을 감시하고, 제 1 전원 전압의 상승을 검출했을 때에는 펄스형의 제 1 전원 전압 상승 검출 신호를 출력하는 제 1 전원 전압 상승 검출 회로와, 제 2 전원 전압을 감시하며, 제 2 전원 전압의 상승을 검출했을 때에는 펄스형의 제 2 전원 전압 상승 검출 신호를 출력하는 제 2 전원 전압 상승 검출 회로와, 제 1 전원 전압이 공급되며, 제 1 전원 전

압 상승 검출 회로가 제 1 전원 전압의 상승을 검출했을 때에는 제 1 전원 전압 상승 검출 신호로 제어되고, 데이터 단자를 하이·임피던스 상태로 하며, 데이터 출력 동작시에는, 데이터 단자에 데이터를 출력하는 출력 회로와, 제 2 전원 전압이 공급되고, 제 2 전원 전압 상승 검출 회로가 제 2 전원 전압의 상승을 검출했을 때에는 제 2 전원 전압 상승 검출 신호로 제어되어, 출력 회로가 데이터 단자를 하이·임피던스 상태로 하도록 출력 회로를 제어하며, 데이터 출력 동작시에는, 내부 회로로부터 부여되는 데이터에 기초하여 출력 회로의 출력 동작을 제어하는 출력 제어 회로를 구비하는 것이다.

본 제 1 발명에 따르면, 전원 기동시, 제 1 전원 전압이 상승했을 경우에는, 출력 회로는 제 1 전원 전압 상승 검출 신호로 제어되어, 데이터 단자를 하이·임피던스 상태로 하고, 제 2 전원 전압이 상승했을 경우에는, 출력 제어 회로는 제 2 전원 전압 상승 검출 신호로 제어되어, 출력 회로가 데이터 단자를 하이·임피던스 상태로 하도록 출력 회로를 제어한다.

따라서, 전원 기동시, 제 1 전원 전압 또는 제 2 전원 전압중 어느 하나가 미리 상승해 버리는 경우에도, 데이터 단자를 하이·임피던스 상태로 할 수 있다.

본 발명중 제 2 발명(제 2 항에 기재한 반도체 집적 회로)은 제 1 발명에 있어서, 출력 회로는 제 1 전원 전압이 공급되고, 입력단에 출력 제어 회로로부터 제 1 출력 제어 신호가 공급되는 제 1 인버터와, 소스를 제 1 전원 전압을 공급하는 제 1 전원선에 접속하고, 드레인을 데이터 단자에 접속하며, 게이트를 제 1 인버터의 출력단에 접속한 p 채널 절연 게이트형 전계 효과 트랜지스터와, 제 1 전원 전압이 공급되고, 입력단에 출력 제어 회로로부터 제 2 출력 제어 신호가 공급되는 제 2 인버터와, 제 1 전원 전압이 공급되고, 입력단을 제 2 인버터의 출력단에 접속한 제 3 인버터와, 드레인을 데이터 단자에 접속하고, 소스를 접지선에 접속하고, 게이트를 제 3 인버터의 출력단에 접속한 n 채널 절연 게이트형 전계 효과 트랜지스터와, 일단을 제 1 인버터의 입력단에 접속하고, 타단을 접지선에 접속하며, 제 1 전원 전압 상승 검출 신호에 의해 도통으로 되는 제 1 스위치 소자와, 일단을 제 2 인버터의 입력단에 접속하고, 타단을 접지선에 접속하며, 제 1 전원 전압 상승 검출 신호에 의해 도통으로 되는 제 2 스위치 소자를 구비하여 구성된다고 하는 것이다.

본 제 2 발명에 의하면, 제 1 발명과 같이, 전원 기동시, 제 1 전원 전압 또는 제 2 전원 전압중 어느 하나가 미리 상승해 버리는 경우에도 데이터 단자를 하이·임피던스 상태로 할 수 있고, 또한, 출력 회로는 간단한 회로 구성으로 충분하다.

본 발명중, 제 3 발명(제 3 항에 기재한 반도체 집적 회로)은 제 1 발명에 있어서, 출력 회로는, 일단을 접지선에 접속하고, 제 1 출력 제어 회로로부터 출력되는 제 1 출력 제어 신호에 의해 도통·비도통이 제어되는 제 1 스위치 소자와, 제 1 전원 전압이 공급되며, 입력단을 제 1 스위치 소자의 타단에 접속한 제 1 인버터와, 제 1 전원 전압이 공급되고, 입력단을 제 1 인버터의 출력단에 접속하고, 출력단을 제 1 인버터의 입력단에 접속한 제 2 인버터와, 제 1 전원 전압이 공급되며, 입력단을 제 1 인버터의 출력단에 접속한 제 3 인버터와, 일단을 제 3 인버터의 입력단에 접속하고, 타단을 접지선에 접속하며, 출력 제어 회로로부터 출력되는 제 2 출력 제어 신호에 의해, 도통·비도통이 제어되는 제 2 스위치 소자와, 소스를 제 1 전원 전압을 공급하는 제 1 전원선에 접속하고, 드레인을 데이터 단자에 접속하며, 게이트를 제 3 인버터의 출력단에 접속한 p 채널 절연 게이트형 전계 효과 트랜지스터와, 일단을 접지선에 접속하고, 제 1 출력 제어 회로로부터 출력되는 제 3 출력 제어 신호에 의해 도통·비도통이 제어되는 제 3 스위치 소자와, 제 1 전원 전압이 공급되며, 입력단을 제 3 스위치 소자의 타단에 접속한 제 4 인버터와, 제 1 전원 전압이 공급되고, 입력단을 제 4 인버터의 출력단에 접속하며, 출력단을 제 4 인버터의 입력단에 접속한 제 5 인버터와, 제 1 전원 전압이 공급되고, 입력단을 제 5 인버터의 출력단에 접속한 제 6 인버터와, 일단을 제 6 인버터의 입력단에 접속하고, 타단을 접지선에 접속하며, 출력 제어 회로로부터 출력되는 제 4 출력 제어 신호에 의해 도통·비도통이 제어되는 제 4 스위치 소자와, 드레인을 데이터 단자에 접속하고, 소스를 접지선에 접속하며, 게이트를 제 6 인버터의 출력단에 접속한 n 채널 절연 게이트형 전계 효과 트랜지스터와, 일단을 제 3 인버터의 입력단에 접속하고, 타단을 접지선에 접속하며, 제 1 전원 전압 상승 검출 신호에 의해 도통으로 되는 제 5 스위치 소자와, 일단을 제 6 인버터의 입력단에 접속하고, 타단을 접지선에 접속하며, 제 1 전원 전압 상승 검출 신호에 의해 도통으로 되는 제 6 스위치 소자를 구비하여 구성된다고 하는 것이다.

이 제 3 발명에 의하면, 제 1 발명과 동일하게, 전원 기동시, 제 1 전원 전압 또는 제 2 전원 전압중 어느 하나가 미리 상승해 버리는 경우에도 데이터 단자를 하이·임피던스 상태로 할 수 있지만, 제 1, 제 2 인버터로 래치 회로가 구성되고, 제 4, 제 5 인버터로 래치 회로가 구성되므로, 전원 기동시, 제 2 발명의 경우보다도 긴 기간, 데이터 단자를 하이·임피던스 상태로 할 수 있다.

이하, 도 3~도 6을 참조하여, 본 발명의 실시의 제 1 형태 및 제 2 형태에 대해서, 본 발명을 동기 DRAM에 적용한 경우를 예를 들어 설명한다.

제 1 형태 · · · 도 3~도 5

도 3은 본 발명의 실시의 제 1 형태의 주요부를 나타내는 회로도이다. 도 3중, (10)은 외부 클럭 CLK가 입력되는 외부 클럭 단자, (11)은 외부 클럭 단자(10)에 인가되는 외부 클럭 CLK을 반전 증폭하는 클럭 버퍼이다.

또한, (12)는 출력 회로 이외의 내부 회로용 전원 전압 VDD(=3.3[V])를 공급하는 VDD 전원선이고, 이 VDD 전원선(12)은, 외부로부터 공급되는 출력 회로 이외의 내부 회로용 전원 전압 VDD가 인가되는 전원 단자(도시하지 않음)에 접속되어 있다.

또한, (13)은 내부 회로용 전원 전압 VDD를 감시하고, 도 4에 도시된 바와 같이, 내부 회로용 전원 전압 VDD의 상승을 검출할 때에는 펄스형 VDD 상승 검출 신호 STT를 출력하는 VDD 상승 검출 회로이다.

또한, (14)는 데이터의 출력 동작을 규제하는 출력 인에이블 신호/OE를 출력하는 출력 인에이블 신호 발생 회로이고, 이 출력 인에이블 신호/OE는 VDD 상승 검출 회로(13)로부터 VDD 상승 검출 신호 STT가 출력된 경우에는 출력 인에이블 신호/OE를 고논리 레벨(이하, H레벨이라 함)으로 하고, 그 후, 리드 명령이

입력되며, CAS 대기로 결정되는 데이터 출력 사이클이 되면, 출력 인에이블 신호/OE를 저논리 레벨(이하, L레벨이라 함)로 하는 것이다.

또한, (15)는 클럭·버퍼(11)로부터 출력되는 클럭/CLK과, VDD 상승 검출 회로(13)로부터 출력되는 VDD 상승 검출 신호 STT와, 출력 인에이블 신호 발생 회로(14)로부터 출력되는 출력 인에이블 신호/OE와, 메모리 코어부(도시하지 않음)로부터 독출된 리드 데이터 RD가 입력되는 출력 제어 회로이다.

출력 제어 회로(15)에 있어서, (16)은 VDD 상승 검출 신호 STT를 반전하는 인버터, (17)은 클럭·버퍼(11)로부터 출력되는 클럭/CLK과 인버터(16)의 출력을 NAND 처리하는 NAND 회로이다.

또한, (18)은 리드 데이터 RD를 반전하는 인버터, (19)는 인버터(18)의 출력과 출력 인에이블 신호/OE를 NOR 처리하는 NOR 회로, (20)은 NOR 회로(19)의 출력을 반전하는 인버터이다.

또한, (21)은 리드 데이터 RD와 출력 인에이블 신호/OE를 NOR 처리하는 NOR 회로, (22)는 NOR 회로(21)의 출력을 반전하는 인버터이다.

또한, (23)은 NAND 회로(17)의 출력을 반전하는 인버터, (24)는 NAND 회로(17)의 출력에 의해서 도통(이하, ON이라 함), 비도통(이하, OFF라 함)이 제어되는 nMOS 트랜지스터(25)와, 인버터(23)의 출력에 의해서 ON, OFF가 제어되는 pMOS 트랜지스터(26)로 이루어지는 전송 게이트 회로이다.

또한, (27)은 NAND 회로(17)의 출력에 의해서 ON, OFF가 제어되는 nMOS 트랜지스터(28)와, 인버터(23)의 출력에 의해서 ON, OFF가 제어되는 pMOS 트랜지스터(29)로 이루어지는 전송 게이트 회로이다.

또한, (30)은 인버터(20)의 출력을 래치한다, 인버터(31,32)로 이루어지는 래치 회로, (33)은 인버터(22)의 출력을 래치하는, 인버터(34,35)로 이루어지는 래치 회로이다.

또, 인버터(16,18,20,22,23,31,32,34,35), NAND 회로(17) 및 NOR 회로(19,21)는 전원 전압으로서, 출력 회로 이외의 내부 회로용 전원 전압 VDD가 공급되는 것이다.

또한, (36)은 출력 회로용 전원 전압 VDDQ(=3.3[V])를 공급하는 VDDQ 전원선이고, 이 VDDQ 전원선(36)은 출력 회로용 전원 전압 VDDQ가 인가되는 전원 단자(도시하지 않음)에 접속되어 있다.

또한, (37)은 출력 회로용 전원 전압 VDDQ를 감시하여, 도 5에 도시된 바와 같이, 출력 회로용 전원 전압 VDDQ의 상승을 검출할 때에는 펄스형의 VDDQ 상승 검출 신호 STTQ를 출력하는 VDD 상승 검출 회로이다.

또한, (38)은 래치 회로(30,33)의 출력 및 VDDQ 상승 검출 신호 STTQ가 입력되는 출력 회로, (39)는 출력 회로(38)로부터 출력 데이터 DQ가 출력되는 데이터 단자이다.

출력 회로(38)에 있어서, (40)은 래치 회로(30)의 출력을 반전하는 인버터, (41)은 소스를 VDDQ 전원선(36)에 접속하고, 드레인을 데이터 단자(39)에 접속하며, 게이트를 인버터(40)의 출력단에 접속하여, 인버터(40)의 출력에 의해 ON, OFF가 제어되는 pMOS 트랜지스터이다.

또한, (42)는 래치 회로(33)의 출력을 반전하는 인버터, (43)은 인버터(42)의 출력을 반전하는 인버터, (44)는 드레인을 데이터 단자(39)에 접속하고, 소스를 접지선에 접속하며, 게이트를 인버터(43)의 출력단에 접속하여, 인버터(43)의 출력에 의해 ON, OFF가 제어되는 nMOS 트랜지스터이다.

또한, (45)는 드레인을 인버터(40)의 입력단에 접속하고, 소스를 접지선에 접속하며, VDDQ 상승 검출 신호 STTQ에 의해 ON으로 되는 스위치 소자를 이루는 nMOS 트랜지스터이다.

또한, (46)은 드레인을 인버터(42)의 입력단에 접속하고, 소스를 접지선에 접속하며, VDDQ 상승 검출 신호 STTQ에 의해 ON으로 되는 스위치 소자를 이루는 nMOS 트랜지스터이다.

또, 인버터(40,42,43)는 전원 전압으로서, 출력 회로용 전원 전압VDDQ가 공급되는 것이다.

이와 같이 구성된 본 발명의 실시의 제 1 형태에 있어서는, 전원 기동시, 출력 회로 이외의 내부 회로용 전원 전압 VDD가 상승한 경우에는 VDD 상승 검출 회로(13)로부터 VDD 상승 검출 신호 STT가 출력된다.

이 결과, 인버터(16)의 출력=L레벨, NAND 회로(17)의 출력=H레벨, 인버터(23)의 출력=L레벨이 되고, 전송 게이트 회로(24)=ON, 전송 게이트 회로(27)=ON이 된다.

또한, 이 경우에는, 출력 인에이블 신호/OE=H레벨이 되고, NOR 회로(19)의 출력=L레벨, 인버터(20)의 출력=H레벨, 인버터(31)의 출력=L레벨, 인버터(40)의 출력=H레벨, pMOS 트랜지스터(41)=OFF가 된다.

또한, NOR 회로(21)의 출력=L레벨, 인버터(22)의 출력=H레벨, 인버터(34)의 출력=L레벨, 인버터(42)의 출력=H레벨, 인버터(43)의 출력=L레벨, nMOS 트랜지스터(44)=OFF가 된다.

이와 같이, 전원 기동시, 출력 회로 이외의 내부 회로용 전원 전압 VDD가 상승한 경우에는, 출력 제어 회로(15)는 VDD 상승 검출 신호 STT로 제어되고, pMOS 트랜지스터(41)=OFF, nMOS 트랜지스터(44)=OFF가 되도록 출력 회로(38)를 제어한다.

따라서, 출력 회로 이외의 내부 회로용 전원 전압 VDD가 출력 회로용 전원 전압 VDDQ보다도 미리 상승해 버리는 경우에도, 데이터 단자(39)를 하이·임피던스 상태로 할 수 있다.

또한, 전원 기동시에, 전원 전압 VDDQ가 상승한 경우에는, VDDQ 상승 검출 회로(37)로부터 VDDQ 상승 검출 신호 STTQ가 출력된다.

이 결과, nMOS 트랜지스터(45)=ON, 인버터(40)의 입력=L레벨, 인버터(40)의 출력=H레벨, pMOS 트랜지스터(41)=OFF가 된다.

또한, nMOS 트랜지스터(46)=ON, 인버터(42)의 입력=L레벨, 인버터(42)의 출력=H레벨, 인버터(43)의 출력=L레벨, nMOS 트랜지스터(44)=OFF가 된다.

이와 같이, 전원 기동시, 출력 회로용 전원 전압 VDDQ가 상승한 경우에는, 출력 회로(38)는 VDDQ 상승 검출 신호 STTQ로 제어되고, pMOS 트랜지스터(41)=OFF, nMOS 트랜지스터(44)=OFF가 된다.

따라서, 출력 회로용 전원 전압 VDDQ가 출력 회로 이외의 내부 회로용 전원 전압 VDD보다도 미리 상승해 버리는 경우에도, 데이터 단자(39)를 하이·임피던스 상태로 할 수 있다.

그리고, 출력 회로 이외의 내부 회로용 전원 전압 VDD가 상승한 후에는 VDD 상승 검출 신호 STT는 하강하고, 인버터(16)의 출력=H레벨이 되며, NAND 회로(17)는 클럭 버퍼(11)의 출력/CLK에 대하여 인버터로서 기능하게 된다.

또한, 출력 회로용 전원 전압 VDDQ가 상승한 후에는, VDDQ 상승 검출 신호 STTQ는 하강하고, nMOS 트랜지스터(45)=OFF, nMOS 트랜지스터(46)=OFF가 된다.

여기서, 데이터 출력 사이클시가 아닌 경우에는, 출력 인에이블 신호/OE=H레벨이 되므로, 이 경우에는, NOR 회로(19)의 출력=L레벨, 인버터(20)의 출력=H레벨이 되는 동시에, NOR 회로(21)의 출력=L레벨, 인버터(22)의 출력=H레벨이 된다.

그리고, 외부 클럭 CLK이 H레벨이 되면, 클럭 버퍼(11)의 출력/CLK=L레벨, NAND 회로(17)의 출력=H레벨, 인버터(23)의 출력=L레벨, 전송 게이트 회로(24)=ON, 전송 게이트 회로(27)=ON이 된다.

이 결과, 인버터(20)의 출력인 H레벨은, 래치 회로(30)에 래치되고, 인버터(31)의 출력=L레벨, 인버터(40)의 출력=H레벨, pMOS 트랜지스터(41)=OFF가 된다.

또한, 인버터(22)의 출력인 H레벨은 래치 회로(33)에 래치되고, 인버터(34)의 출력=L레벨, 인버터(42)의 출력=H레벨, 인버터(43)의 출력=L레벨, nMOS 트랜지스터(44)=OFF가 된다.

이와 같이, 데이터 출력 사이클시가 아닌 경우에는, 출력 제어 회로(15)는 pMOS 트랜지스터(41)=OFF, nMOS 트랜지스터(44)=OFF가 되도록 출력 회로(38)를 제어하므로, 데이터 단자(39)는 하이·임피던스 상태가 된다.

이것에 대하여, 데이터 출력 사이클시에 있어서는, 출력 인에이블 신호/OE=L레벨이 되므로, 이 경우에는, NOR 회로(19)는, 인버터(18)의 출력에 대하여 인버터로서 기능하는 동시에, NOR 회로(21)는 리드 데이터 RD에 대하여 인버터로서 기능하게 된다.

그래서, 리드 데이터 RD=H레벨의 경우에는, 인버터(18)의 출력=L레벨, NOR 회로(19)의 출력=H레벨, 인버터(20)의 출력=L레벨이 되는 동시에, NOR 회로(21)의 출력=L레벨, 인버터(22)의 출력=H레벨이 된다.

그리고, 외부 클럭 CLK가 H레벨이 되면, 클럭 버퍼(11)의 출력/CLK=L레벨, NAND 회로(17)의 출력=H레벨, 인버터(23)의 출력=L레벨, 전송 게이트 회로(24)=ON, 전송 게이트 회로(27)=ON이 된다.

이 결과, 인버터(20)의 출력인 L레벨은 래치 회로(30)에 래치되고, 인버터(31)의 출력=H레벨, 인버터(40)의 출력=L레벨, pMOS 트랜지스터(41)=ON이 된다.

또한, 인버터(22)의 출력인 H레벨은 래치 회로(33)에 래치되고, 인버터(34)의 출력=L레벨, 인버터(42)의 출력=H레벨, 인버터(43)의 출력=L레벨, nMOS 트랜지스터(44)=OFF가 된다.

이와 같이, 데이터 출력 사이클시에 있어서, 리드 데이터 RD=H레벨의 경우에는, 출력 제어 회로(15)는 pMOS 트랜지스터(41)=ON, nMOS 트랜지스터(44)=OFF가 되도록 출력 회로(38)를 제어하므로, 데이터 단자(39)에 출력되는 출력 데이터 DQ는 H레벨이 된다.

이것에 대하여, 리드 데이터 RD=L레벨의 경우에는, 인버터(18)의 출력=H레벨, NOR 회로(19)의 출력=L레벨, 인버터(20)의 출력=H레벨이 되는 동시에, NOR 회로(21)의 출력=H레벨, 인버터(22)의 출력=L레벨이 된다.

그리고, 외부 클럭 CLK가 H레벨이 되면, 클럭 버퍼(11)의 출력/CLK=L레벨, NAND 회로(17)의 출력=H레벨, 인버터(23)의 출력=L레벨, 전송 게이트 회로(24)=ON, 전송 게이트 회로(27)=ON이 된다.

이 결과, 인버터(20)의 출력인 H레벨은 래치 회로(30)에 래치되고, 인버터(31)의 출력=L레벨, 인버터(40)의 출력=H레벨, pMOS 트랜지스터(41)=OFF가 된다.

또한, 인버터(22)의 출력인 L레벨은 래치 회로(33)에 래치되고, 인버터(34)의 출력=H레벨, 인버터(42)의 출력=L레벨, 인버터(43)의 출력=H레벨, nMOS 트랜지스터(44)=ON이 된다.

이와 같이, 데이터 출력 사이클시에 있어서, 리드 데이터 RD=L레벨의 경우에는, 출력 제어 회로(15)는 pMOS 트랜지스터(41)=OFF, nMOS 트랜지스터(44)=ON이 되도록 출력 회로(38)를 제어하므로, 데이터 단자(39)에 출력되는 출력 데이터 DQ는 L레벨이 된다.

이상과 같이, 본 발명의 실시의 제 1 형태에 따르면, 전원 기동시, 출력 회로용 전원 전압 VDDQ 및 출력 회로 이외의 내부 회로용 전원 전압 VDD중 어느 하나가 미리 상승해 버리는 경우에도, 데이터 단자(39)를 하이·임피던스 상태로 할 수 있으므로, 동일한 외부 데이터 버스에 접속되어 있는 다른 동기 DRAM과의 사이에 관통 전류가 흐르는 것을 회피하여, 소비 전력의 감소화를 도모할 수 있다.

제 2 형태 · · · 도 6

도 6은 본 발명의 실시의 제 2 형태의 주요부를 나타내는 회로도이고, 본 발명의 실시의 제 2 형태는 본 발명의 실시의 제 1 형태가 구비하는 출력 제어 회로(15) 및 출력 회로(38)대신에, 이들 출력 제어 회로(15) 및 출력 회로(38)와 회로 구성이 다른 출력 제어 회로(48) 및 출력 회로(49)를 설치하여, 기타에 대해서는, 본 발명의 실시의 제 1 형태와 동일하게 구성한 것이다.

그래서, 출력 제어 회로(48)에 있어서, (50)은 VDD 상승 검출 신호 STT를 반전하는 인버터, (51)은 클럭

· 버퍼(11)로부터 출력되는 클럭/CLK와 인버터(50)의 출력을 NAND 처리하는 NAND 회로이다.

또한, (52)는 리드 데이터 RD를 반전하는 인버터, (53)은 인버터(52)의 출력과 출력 인에이블 신호/OE를 NOR 처리하는 NOR 회로, (54)는 NOR 회로(53)의 출력을 반전하는 인버터이다.

또한, (55)는 리드 데이터 RD와 출력 인에이블 신호/OE를 NOR 처리하는 NOR 회로, (56)는 NOR 회로(55)의 출력을 반전하는 인버터이다.

또한, (57)은 NAND 회로(51)의 출력과 NOR 회로(53)의 출력을 NAND 처리하는 NAND 회로, (58)은 NAND 회로(57)의 출력을 반전하는 인버터이다.

또한, (59)는 NAND 회로(51)의 출력과 인버터(54)의 출력을 NAND 처리하는 NAND 회로, (60)은 NAND 회로(59)의 출력을 반전하는 인버터이다.

또한, (61)은 NAND 회로(51)의 출력과 인버터(56)의 출력을 NAND 처리하는 NAND 회로, (62)는 NAND 회로(61)의 출력을 반전하는 인버터이다.

또한, (63)은 NAND 회로(51)의 출력과 NOR 회로(55)의 출력을 NAND 처리하는 NAND 회로, (64)는 NAND 회로(63)의 출력을 반전하는 인버터이다.

또, 인버터(50,52,54,56,58,60,62,64), NAND 회로(51,57,59,61,63) 및 NOR 회로(53,55)는 전원 전압으로서, 출력 회로 이외의 내부 회로용 전원 전압 VDD가 공급되는 것이다.

또한, 출력 회로(49)에 있어서, (66)은 소스를 접지선에 접속하고, 게이트를 인버터(58)의 출력단에 접속하며, 인버터(58)의 출력에 의해 ON, OFF가 제어되는 스위치 소자를 이루는 nMOS 트랜지스터이다.

또한, (67)은 소스를 접지선에 접속하고, 게이트를 인버터(60)의 출력단에 접속하며, 인버터(60)의 출력에 의해 ON, OFF가 제어되는 스위치 소자를 이루는 nMOS 트랜지스터이다.

또한, (68)은 소스를 접지선에 접속하고, VDDQ 상승 검출 신호 STTQ에 의해 ON이 되는 스위치 소자를 이루는 nMOS 트랜지스터이다.

또한, (69)는 인버터(70,71)로 이루어지는 래치 회로이고, 이 래치 회로(69)는 인버터(71)의 출력단과 인버터(70)의 입력단과의 접속점을 nMOS 트랜지스터(66)의 드레인에 접속하며, 인버터(70)의 출력단과 인버터(71)의 입력단과의 접속점을 nMOS 트랜지스터(67,68)의 드레인에 접속되어 있다.

또한, (72)은 인버터(70)의 출력을 반전하는 인버터, (73)은 소스를 VDDQ 전원선(36)에 접속하고, 드레인을 데이터 단자(39)에 접속하며, 게이트를 인버터(72)의 출력단에 접속하여, 인버터(72)의 출력에 의해 ON, OFF가 제어되는 pMOS 트랜지스터이다.

또한, (74)는 소스를 접지선에 접속하고, 게이트를 인버터(62)의 출력단에 접속하며, 인버터(62)의 출력에 의해 ON, OFF가 제어되는 스위치 소자를 이루는 nMOS 트랜지스터이다.

또한, (75)는 소스를 접지선에 접속하고, VDDQ 상승 검출 신호 STTQ에 의해 ON이 되는 스위치 소자를 이루는 nMOS 트랜지스터이다.

또한, (76)은 소스를 접지선에 접속하고, 게이트를 인버터(64)의 출력단에 접속하며, 인버터(64)의 출력에 의해 ON, OFF가 제어되는 스위치 소자를 이루는 nMOS 트랜지스터이다.

또한, (77)은 인버터(78,79)로 이루어지는 래치 회로이고, 이 래치 회로(77)는 인버터(79)의 출력단과 인버터(78)의 입력단과의 접속점을 nMOS 트랜지스터(74,75)의 드레인에 접속하고, 인버터(78)의 출력단과 인버터(79)의 입력단과의 접속점을 nMOS 트랜지스터(76)의 드레인에 접속하고 있다.

또한, (80)은 인버터(78)의 출력을 반전하는 인버터, (81)은 드레인을 데이터 단자(39)에 접속하고, 소스를 접지선에 접속하며, 게이트를 인버터(80)의 출력단에 접속하여, 인버터(80)의 출력에 의해 ON, OFF가 제어되는 nMOS 트랜지스터이다.

또, 인버터(70,71,72,78,79,80)는 전원 전압으로서, 출력 회로용 전원 전압 VDDQ가 공급되는 것이다.

이와 같이 구성된 본 발명의 실시의 제 2 형태에 있어서는, 전원 기동시, 전원 전압 VDD가 상승한 경우에는, VDD 상승 검출 회로(13)로부터 VDD 상승 검출 신호 STT가 출력된다.

이 결과, 인버터(50)의 출력=L레벨, NAND 회로(51)의 출력=H레벨이 되고, NAND 회로(57)는 NOR 회로(53)의 출력에 대하여 인버터로서 기능하며, NAND 회로(59)는 인버터(54)의 출력에 대하여 인버터로서 기능하고, NAND 회로(61)는 인버터(56)의 출력에 대하여 인버터로서 기능하며, NAND 회로(63)는 NOR 회로(55)의 출력에 대하여 인버터로서 기능하게 된다.

또한, 이 경우에는 출력 인에이블 신호/OE=H 레벨이 되고, NOR 회로(53)의 출력=L레벨, NAND 회로(57)의 출력=H레벨, 인버터(58)의 출력=L레벨, nMOS 트랜지스터(66)=OFF가 되는 동시에, 인버터(54)의 출력=H레벨, NAND 회로(59)의 출력=L레벨, 인버터(60)의 출력=H레벨, nMOS 트랜지스터(67)=ON이 된다.

이 결과, 인버터(72)의 입력=L레벨, 인버터(72)의 출력=H레벨, pMOS 트랜지스터(73)=OFF가 된다.

또한, NOR 회로(55)의 출력=L레벨, 인버터(56)의 출력=H레벨, NAND 회로(61)의 출력=L레벨, 인버터(62)의 출력=H레벨, nMOS 트랜지스터(74)=ON이 되는 동시에, NAND 회로(63)의 출력=H레벨, 인버터(64)의 출력=L레벨, nMOS 트랜지스터(76)=OFF가 된다.

이 결과, 인버터(78)의 입력=L레벨, 인버터(78)의 출력=H레벨, 인버터(80)의 출력=L레벨, nMOS 트랜지스터(81)=OFF가 된다.

이와 같이, 전원 기동시, 출력 회로 이외의 내부 회로용 전원 전압 VDD가 상승한 경우에는, 출력 제어 회로(48)는 VDD 상승 검출 신호 STT 및 출력 인에이블 신호/OE로 제어되고, pMOS 트랜지스터(73)=OFF, nMOS

트랜지스터(81)=OFF가 되도록 출력 회로(49)를 제어한다.

따라서, 출력 회로 이외의 내부 회로용 전원 전압 VDD가 출력 회로용 전원 전압 VDDQ보다도 미리 상승해 버리는 경우에도, 데이터 단자(39)를 하이·임피던스 상태로 할 수 있다.

이것에 대하여, 전원 기동시에, 출력 회로용 전원 전압 VDDQ가 상승한 경우에는, VDDQ 상승 검출 회로(37)로부터 VDDQ 상승 검출 신호 STTQ가 출력된다.

이 결과, nMOS 트랜지스터(68)=ON이 되고, 인버터(72)의 입력=L레벨, 인버터(72)의 출력=H레벨, pMOS 트랜지스터(73)=OFF가 된다.

또한, nMOS 트랜지스터(75)=ON이 되고, 인버터(78)의 입력=L레벨, 인버터(78)의 출력=H레벨, 인버터(80)의 출력=L레벨, nMOS 트랜지스터(81)=OFF가 된다.

이와 같이, 전원 기동시, 출력 회로용 전원 전압 VDDQ가 상승한 경우에는, 출력 회로(48)는 VDDQ 상승 검출 신호 STTQ로 제어되며, pMOS 트랜지스터(73)=OFF, nMOS 트랜지스터(81)=OFF로 한다.

따라서, 출력 회로용 전원 전압 VDDQ가 출력 회로 이외의 내부 회로용 전원 전압 VDD보다도 미리 상승해 버리는 경우에도, 데이터 단자(39)를 하이·임피던스 상태로 할 수 있다.

그리고, 출력 회로 이외의 내부 회로용 전원 전압 VDD가 상승한 후에는, VDD 상승 검출 신호 STT는 하강하고, 인버터(50)의 출력=H레벨이 되며, NAND 회로(51)는 클럭·버퍼(11)의 출력/CLK에 대하여 인버터로서 기능한다.

또한, 출력 회로용 전원 전압 VDDQ가 상승한 후에는 VDDQ 상승 검출 신호 STTQ는 하강하고, nMOS 트랜지스터(68,75)=OFF가 된다.

여기서, 데이터 출력 사이클시가 아닌 경우에는, 출력 인에이블 신호/OE=H레벨이 되므로, 이 경우에는, NOR 회로(53)의 출력=L레벨, 인버터(54)의 출력=H레벨이 되는 동시에, NOR 회로(55)의 출력=L레벨, 인버터(56)의 출력=H레벨이 된다.

여기서, 외부 클럭 CLK=H레벨이 되면, 클럭 버퍼(11)의 출력/CLK=L레벨, NAND 회로(51)의 출력=H레벨이 된다.

이 결과, NAND 회로(57)의 출력=H레벨, 인버터(58)의 출력=L레벨, nMOS 트랜지스터(66)=OFF가 되는 동시에, NAND 회로(59)의 출력=L레벨, 인버터(60)의 출력=H레벨, nMOS 트랜지스터(67)=ON이 된다.

이 결과, 인버터(72)의 입력=L레벨, 인버터(72)의 출력=H레벨, pMOS 트랜지스터(73)=OFF가 된다.

또한, NAND 회로(61)의 출력=L레벨, 인버터(62)의 출력=H레벨, nMOS 트랜지스터(74)=ON이 되는 동시에, NAND 회로(63)의 출력=H레벨, 인버터(64)의 출력=L레벨, nMOS 트랜지스터(76)=OFF가 된다.

이 결과, 인버터(78)의 입력=L레벨, 인버터(78)의 출력=H레벨, 인버터(80)의 출력=L레벨, nMOS 트랜지스터(81)=OFF가 된다.

이와 같이, 데이터 출력 사이클시가 아닌 경우에는, 출력 제어 회로(48)는 pMOS 트랜지스터(73)=OFF, nMOS 트랜지스터(81)=OFF가 되도록 출력 회로(49)를 제어하므로, 데이터 단자(39)는 하이·임피던스 상태가 된다.

이것에 대하여, 데이터 출력 사이클시에 있어서는, 출력 인에이블 신호/OE=L레벨이 되므로, 이 경우에는 NOR 회로(53)는 인버터(52)의 출력에 대하여 인버터로서 기능하고, NOR 회로(55)는 리드 데이터 RD에 대하여 인버터로서 기능하게 된다.

그래서, 리드 데이터 RD=H레벨의 경우에는, 인버터(52)의 출력=L레벨, NOR 회로(53)의 출력=H레벨, 인버터(54)의 출력=L레벨이 되는 동시에, NOR 회로(55)의 출력=L레벨, 인버터(56)의 출력=H레벨이 된다.

그래서, 외부 클럭 CLK=H레벨이 되면, 클럭 버퍼(11)의 출력/CLK=L레벨, NAND 회로(51)의 출력=H레벨이 된다.

이 결과, NAND 회로(57)의 출력=L레벨, 인버터(58)의 출력=H레벨, nMOS 트랜지스터(66)=ON이 되는 동시에, NAND 회로(59)의 출력=H레벨, 인버터(60)의 출력=L레벨, nMOS 트랜지스터(67)=OFF가 된다.

따라서, 인버터(70)의 입력=L레벨, 인버터(70)의 출력=H레벨, 인버터(72)의 출력=L레벨, pMOS 트랜지스터(73)=ON이 된다.

또한, NAND 회로(61)의 출력=L레벨, 인버터(62)의 출력=H레벨, nMOS 트랜지스터(74)=ON이 되는 동시에, NAND 회로(63)의 출력=H레벨, 인버터(64)의 출력=L레벨, nMOS 트랜지스터(76)=OFF가 된다.

이 결과, 인버터(78)의 입력=L레벨, 인버터(78)의 출력=H레벨, 인버터(80)의 출력=L레벨, nMOS 트랜지스터(81)=OFF가 된다.

이와 같이, 데이터 출력 사이클시에 있어서, 리드 데이터 RD=H레벨의 경우에는, 출력 제어 회로(48)는 pMOS 트랜지스터(73)=ON, nMOS 트랜지스터(81)=OFF가 되도록 출력 회로(49)를 제어하므로, 데이터 단자(39)에 출력되는 출력 데이터 DQ는 H레벨이 된다.

이것에 대하여, 리드 데이터 RD=L레벨의 경우에는, 인버터(52)의 출력=H레벨, NOR 회로(53)의 출력=L레벨, 인버터(54)의 출력=H레벨이 되는 동시에, NOR 회로(55)의 출력=H레벨, 인버터(56)의 출력=L레벨이 된다.

여기서, 외부 클럭 CLK=H레벨이 되면, 클럭 버퍼(11)의 출력/CLK=L레벨, NAND 회로(51)의 출력=H레벨이 된다.

이 결과, NAND 회로(57)의 출력=H레벨, 인버터(58)의 출력=L레벨, nMOS 트랜지스터(66)=OFF가 되는 동시에, NAND 회로(59)의 출력=L레벨, 인버터(60)의 출력=H레벨, nMOS 트랜지스터(67)=ON이 된다.

따라서, 인버터(72)의 입력=L레벨, 인버터(72)의 출력=H레벨, pMOS 트랜지스터(73)=OFF가 된다.

또한, NAND 회로(61)의 출력=H레벨, 인버터(62)의 출력=L레벨, nMOS 트랜지스터(74)=OFF가 되는 동시에, NAND 회로(63)의 출력=L레벨, 인버터(64)의 출력=H레벨, nMOS 트랜지스터(76)=ON이 된다.

따라서, 인버터(80)의 입력=L레벨, 인버터(80)의 출력=H레벨, nMOS 트랜지스터(81)=ON이 된다.

이와 같이, 데이터 출력 사이클시에 있어서, 리드 데이터 RD=L 레벨의 경우에는, 출력 제어 회로(48)는 pMOS 트랜지스터(73)=OFF, nMOS 트랜지스터(81)=ON이 되도록 출력 회로(49)를 제어하므로, 데이터 단자(39)에 출력되는 출력 데이터 DQ는 L레벨이 된다.

이상과 같이, 본 발명의 실시의 제 2 형태에 따르면, 전원 기동시, 출력 회로용 전원 전압 VDDQ 및 출력 회로 이외의 내부 회로용 전원 전압 VDD중 어느 하나가 미리 상승해 버리는 경우에도, 데이터 단자(39)를 하이·임피던스 상태로 할 수 있으므로, 동일한 외부 데이터 버스에 접속되어 있는 다른 동기 DRAM과의 사이에 관통 전류가 흐르는 것을 회피하며, 소비 전력의 감소화를 도모할 수 있다.

또한, 본 발명의 실시의 제 2 형태에 따르면, 래치 회로(69,77)를 설치하고 있으므로, 출력 회로용 전원 전압 VDDQ의 상승과, 출력 회로 이외의 내부 회로용 전원 전압 VDD의 상승과의 사이의 시간차가 큰 경우에 있어서도, 동일한 외부 데이터 버스에 접속되어 있는 다른 동기 DRAM과의 사이에 관통 전류가 흐르는 것을 회피할 수 있다.

또, 본 발명은 출력 회로 이외의 내부 회로용 전원 전압 VDD를 강압하는 전압 강압 회로를 내장하여, 출력 회로 및 출력 제어 회로 이외의 내부 회로를 전원 전압 VDD보다도 저전압으로 동작시키도록 구성되는 반도체 집적 회로나, 전원 전압 VDD가 전원 전압 VDDQ보다도 저전압으로 되어 있는 반도체 집적 회로에 있어서도 적용할 수 있다.

본 발명중, 제 1 발명(제 1 항에 기재한 반도체 집적 회로)에 따르면, 전원 기동시, 제 1 전원 전압 또는 제 2 전원 전압중 어느 하나가 미리 상승해 버리는 경우에도, 데이터 단자를 하이·임피던스 상태로 할 수 있으므로, 동일한 외부 데이터 버스에 접속되어 있는 다른 반도체 집적 회로와의 사이에 관통 전류가 흐르는 것을 회피하고, 소비 전력의 감소화를 도모할 수 있다.

본 발명중, 제 2 발명(제 2 항에 기재한 반도체 집적 회로)에 따르면, 전원 기동시, 제 1 전원 전압 또는 제 2 전원 전압중 어느 하나가 미리 상승해 버리는 경우에도, 데이터 단자를 하이·임피던스 상태로 할 수 있으므로, 동일한 외부 데이터 버스에 접속되어 있는 다른 반도체 집적 회로와의 사이에 관통 전류가 흐르는 것을 회피하고, 소비 전력의 감소화를 도모할 수 있고, 또한, 출력 회로는 간단한 회로 구성으로 충분하다.

본 발명중, 제 3 발명(제 3 항에 기재한 반도체 집적 회로)에 따르면, 전원 기동시, 제 1 전원 전압 또는 제 2 전원 전압중 어느 하나가 미리 상승해 버리는 경우에도, 데이터 단자를 하이·임피던스 상태로 할 수 있으므로, 동일한 외부 데이터 버스에 접속되어 있는 다른 반도체 집적 회로와의 사이에 관통 전류가 흐르는 것을 회피하고, 소비 전력의 감소화를 도모할 수 있지만, 제 1 발명의 경우보다도 긴 기간, 데이터 단자를 하이·임피던스 상태로 할 수 있으므로, 특히, 제 1 전원 전압의 상승과 제 2 전원 전압의 상승과의 사이의 시간차가 큰 경우가 존재하는 환경에서 사용하는 경우에 효과적이다.

발명의 효과

이상 설명한 바와 같이, 본 발명의 반도체 집적 회로는 출력 회로에 공급해야 할 전원 전압을 입력하기 위한 전원 단자와, 출력 회로 이외의 내부 회로에 공급해야 할 전원 전압을 입력하기 위한 전원 단자를 구비하여, 전원 기동시에 외부 데이터 버스를 공유하는 동일한 반도체 집적 회로사이에 관통 전류가 흐르지 않도록 하므로써, 소비 전력의 감소화를 도모할 수 있다.

(57) 청구의 범위

청구항 1

제 1 전원 전압이 인가되는 제 1 전원 단자와,

제 2 전원 전압이 인가되는 제 2 전원 단자와,

상기 제 1 전원 전압을 감시하고, 상기 제 1 전원 전압의 상승을 검출했을 때에는 펄스형의 제 1 전원 전압 상승 검출 신호를 출력하는 제 1 전원 전압 상승 검출 회로와,

상기 제 2 전원 전압을 감시하고, 상기 제 2 전원 전압의 상승을 검출했을 때에는 펄스형의 제 2 전원 전압 상승 검출 신호를 출력하는 제 2 전원 전압 상승 검출 회로와,

상기 제 1 전원 전압이 공급되고, 상기 제 1 전원 전압 상승 검출 회로가 상기 제 1 전원 전압의 상승을 검출했을 때에는 상기 제 1 전원 전압 상승 검출 신호로 제어되고, 데이터 단자를 하이·임피던스 상태로 하며, 데이터 출력 동작시에는 상기 데이터 단자에 데이터를 출력하는 출력 회로와,

상기 제 2 전원 전압이 공급되고, 상기 제 2 전원 전압 상승 검출 회로가 상기 제 2 전원 전압의 상승을 검출했을 때에는 상기 제 2 전원 전압 상승 검출 신호로 제어되어, 상기 출력 회로가 상기 데이터 단자를 하이·임피던스 상태로 하도록 상기 출력 회로를 제어하며, 데이터 출력 동작시에는 내부 회로로부터 부여되는 데이터에 기초하여 상기 출력 회로의 출력 동작을 제어하는 출력 제어 회로를 구비하는 것을 특징으로 하는 반도체 집적 회로.

청구항 2

제 1 항에 있어서, 상기 출력 회로는,

상기 제 1 전원 전압이 공급되고, 입력단에 상기 출력 제어 회로로부터 제 1 출력 제어 신호가 공급되는 제 1 인버터와,

소스를 상기 제 1 전원 전압을 공급하는 제 1 전원선에 접속하고, 드레인을 상기 데이터 단자에 접속하며, 게이트를 상기 제 1 인버터의 출력단에 접속된 p 채널 절연 게이트형 전계 효과 트랜지스터와,

상기 제 1 전원 전압이 공급되고, 입력단에 상기 출력 제어 회로로부터 제 2 출력 제어 신호가 공급되는 제 2 인버터와,

상기 제 1 전원 전압이 공급되고, 입력단을 상기 제 2 인버터의 출력단에 접속한 제 3 인버터와,

드레인을 상기 데이터 단자에 접속하고, 소스를 접지선에 접속하며, 게이트를 상기 제 3 인버터의 출력단에 접속한 n 채널 절연 게이트형 전계 효과 트랜지스터와,

일단을 상기 제 1 인버터의 입력단에 접속하고, 타단을 상기 접지선에 접속하며, 상기 제 1 전원 전압 상승 검출 신호에 의해 도통으로 되는 제 1 스위치 소자와,

일단을 상기 제 2 인버터의 입력단에 접속하고, 타단을 상기 접지선에 접속하며, 상기 제 1 전원 전압 상승 검출 신호에 의해 도통으로 되는 제 2 스위치 소자를 구비하는 것을 특징으로 하는 반도체 집적 회로.

청구항 3

제 1 항에 있어서, 상기 출력 회로는,

일단을 접지선에 접속하고, 상기 제 1 출력 제어 회로로부터 출력되는 제 1 출력 제어 신호에 의해, 도통·비도통이 제어되는 제 1 스위치 소자와,

상기 제 1 전원 전압이 공급되고, 입력단을 상기 제 1 스위치 소자의 타단에 접속한 제 1 인버터와,

상기 제 1 전원 전압이 공급되고, 입력단을 상기 제 1 인버터의 출력단에 접속하며, 출력단을 상기 제 1 인버터의 입력단에 접속한 제 2 인버터와,

상기 제 1 전원 전압이 공급되고, 입력단을 상기 제 1 인버터의 출력단에 접속한 제 3 인버터와,

일단을 상기 제 3 인버터의 입력단에 접속하고, 타단을 상기 접지선에 접속하며, 상기 출력 제어 회로로부터 출력되는 제 2 출력 제어 신호에 의해 도통·비도통이 제어되는 제 2 스위치 소자와,

소스를 상기 제 1 전원 전압을 공급하는 제 1 전원선에 접속하고, 드레인을 상기 데이터 단자에 접속하며, 게이트를 상기 제 3 인버터의 출력단에 접속한 p 채널 절연 게이트형 전계 효과 트랜지스터와,

일단을 접지선에 접속하고, 상기 제 1 출력 제어 회로로부터 출력되는 제 3 출력 제어 신호에 의해 도통·비도통이 제어되는 제 3 스위치 소자와,

상기 제 1 전원 전압이 공급되고, 입력단을 상기 제 3 스위치 소자의 타단에 접속한 제 4 인버터와,

상기 제 1 전원 전압이 공급되고, 입력단을 상기 제 4 인버터의 출력단에 접속하며, 출력단을 상기 제 4 인버터의 입력단에 접속한 제 5 인버터와,

상기 제 1 전원 전압이 공급되고, 입력단을 상기 제 5 인버터의 출력단에 접속한 제 6 인버터와,

일단을 상기 제 6 인버터의 입력단에 접속하고, 타단을 상기 접지선에 접속하며, 상기 출력 제어 회로로부터 출력되는 제 4 출력 제어 신호에 의해 도통·비도통이 제어되는 제 4 스위치 소자와,

드레인을 상기 데이터 단자에 접속하고, 소스를 접지선에 접속하며, 게이트를 상기 제 6 인버터의 출력단에 접속한 n 채널 절연 게이트형 전계 효과 트랜지스터와,

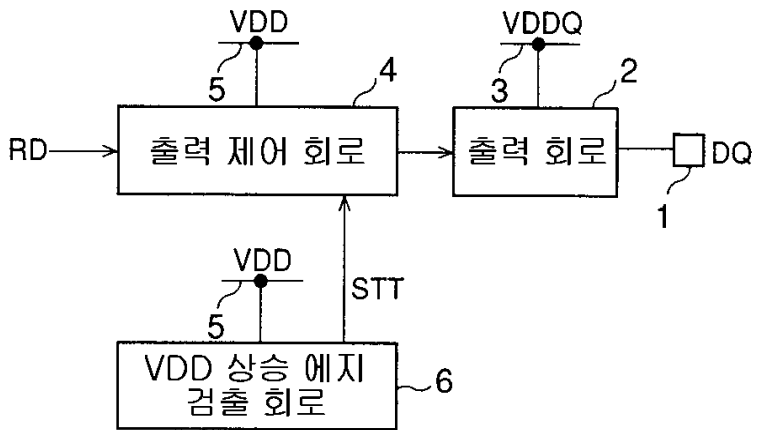
일단을 상기 제 3 인버터의 입력단에 접속하고, 타단을 상기 접지선에 접속하며, 상기 제 1 전원 전압 상승 검출 신호에 의해 도통으로 되는 제 5 스위치 소자와,

일단을 상기 제 6 인버터의 입력단에 접속하고, 타단을 상기 접지선에 접속하며, 상기 제 1 전원 전압 상승 검출 신호에 의해 도통으로 되는 제 6 스위치 소자를 구비하는 것을 특징으로 하는 반도체 집적 회로.

도면

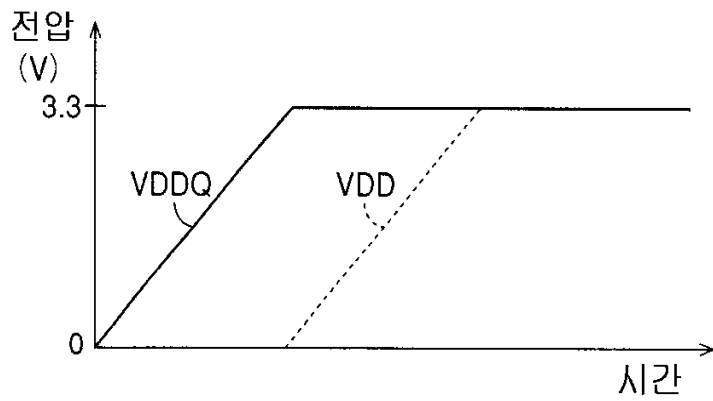
도면1

(종래 기술)

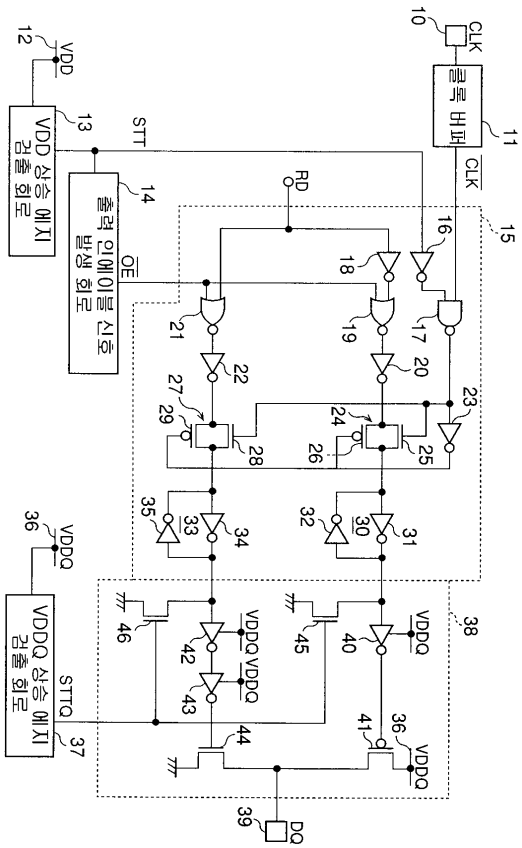


도면2

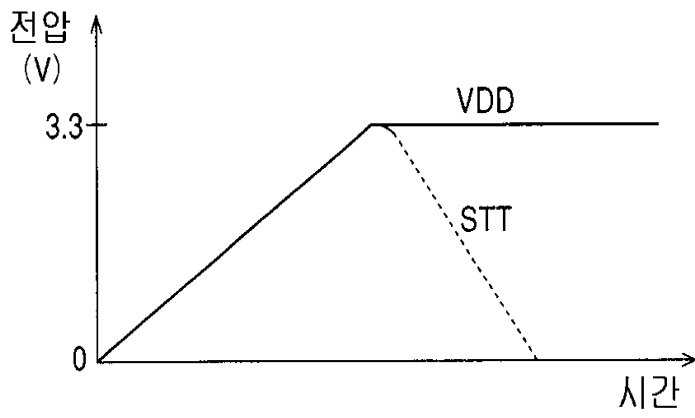
(종래 기술)



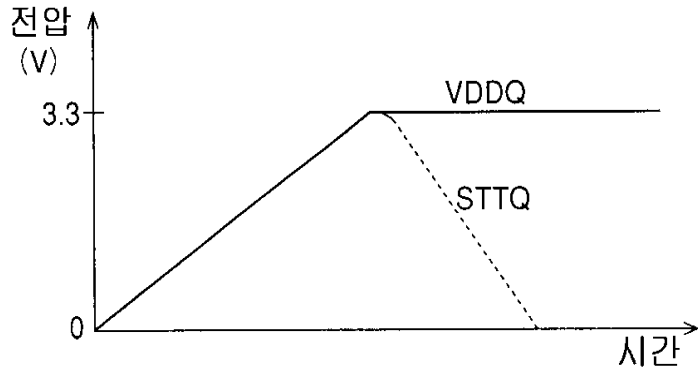
도면3



도면4



도면5



도면6

