

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3746719号
(P3746719)

(45) 発行日 平成18年2月15日(2006.2.15)

(24) 登録日 平成17年12月2日(2005.12.2)

(51) Int. Cl.

H O 1 L 21/60 (2006.01)

F I

H O 1 L 21/92 G O 2 R

H O 1 L 21/60 3 1 1 S

請求項の数 2 (全 9 頁)

(21) 出願番号 特願2002-75863 (P2002-75863)
 (22) 出願日 平成14年3月19日(2002.3.19)
 (65) 公開番号 特開2003-273148 (P2003-273148A)
 (43) 公開日 平成15年9月26日(2003.9.26)
 審査請求日 平成16年8月19日(2004.8.19)

(73) 特許権者 000000376
 オリンパス株式会社
 東京都渋谷区幡ヶ谷2丁目43番2号
 (74) 代理人 100069420
 弁理士 奈良 武
 (72) 発明者 島山 智之
 東京都渋谷区幡ヶ谷2丁目43番2号 オ
 リンパス光学工業株式会社内

審査官 中澤 登

(56) 参考文献 特開平08-330311 (JP, A)
 特開平08-023011 (JP, A)
 特開平06-333982 (JP, A)

最終頁に続く

(54) 【発明の名称】 フリップチップ実装方法

(57) 【特許請求の範囲】

【請求項1】

半導体素子と回路基板とを、バンプを用いて電氣的に接続するフリップチップ実装方法において、

前記回路基板の電極上に第1の金バンプを形成し、

この第1の金バンプよりバンプ径が小さい複数の第2の金バンプを、その間に隙間が生じるようにして前記第1の金バンプ上に形成し、

前記半導体素子の電極上に、第3の金バンプを形成し、

この第3の金バンプの一部が、前記複数の第2の金バンプの間の隙間に嵌合するようにして接触させ、前記回路基板上に前記半導体素子を実装することを特徴とするフリップチップ実装方法。

【請求項2】

前記金バンプがボールボンディング法により形成されることを特徴とする請求項1に記載のフリップチップ実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フリップチップ実装方法に関し、詳しくは、半導体素子と回路基板とを、多段バンプを用いて電氣的に接続するフリップチップ実装方法に関するものである。

【0002】

【従来の技術】

従来、半導体素子を回路基板上に実装するフリップチップ実装方法としては、特開平 8 - 1786 号公報に開示されたものが知られている。

【0003】

同公報に開示されたフリップチップ実装方法により得られる実装形態は、図 8 に示すように、半導体素子を含むパッケージ 101、そのパッケージ 101 上の電極 102、はんだバンプ 103a、はんだバンプ 103b、樹脂 104、回路基板 105、回路基板 105 上の電極 106 から構成されている。

【0004】

このようなフリップチップ実装方法では、パッケージ 101 上の電極 102 上にはんだバンプ 103a を接合した後、はんだバンプ 103a の上面を除く側面を覆うように樹脂 104 を付着させ硬化する。次に、はんだバンプ 103a の上面にはんだバンプ 103b を接合し、多段バンプを形成する。

【0005】

その後、回路基板 105 上の電極 106 と、はんだバンプ 103b とを接合しフリップチップ実装が完了する。

【0006】

図 8 に示す従来例では、はんだバンプ 103a の側面を樹脂 104 で覆うことにより、はんだバンプ 103a とはんだバンプ 103b とを溶融接合する際に、はんだバンプ 103a が表面張力による横方向の膨らみを発生しないため、安定した形状を有する多段バンプを形成可能であるというものである。

【0007】**【発明が解決しようとする課題】**

しかしながら、図 8 に示す従来例の場合、(1) 熱で溶融するはんだバンプであるために、隣接するはんだバンプ間でブリッジする危険性が高く、狭バンプピッチで多段バンプを形成することが困難である。(2) 樹脂 104 を付着硬化するための作業時間が必要であり、バンプ形成時間が長くなる。という問題があった。

【0008】

本発明は、上記事情に鑑みてなされたものであり、狭バンプピッチを有する多段バンプを短時間で形成し、回路基板上に半導体素子を能率よく実装できるフリップチップ実装方法を提供することを目的とする。

【0009】**【課題を解決するための手段】**

請求項 1 記載の発明は、半導体素子と回路基板とを、バンプを用いて電氣的に接続するフリップチップ実装方法において、前記回路基板の電極上に第 1 の金バンプを形成し、この第 1 の金バンプよりバンプ径が小さい複数の第 2 の金バンプを、その間に隙間が生じるようにして前記第 1 の金バンプ上に形成し、前記半導体素子の電極上に、第 3 の金バンプを形成し、この第 3 の金バンプの一部が、前記複数の第 2 の金バンプの間の隙間に嵌合するようにして接触させ、前記回路基板上に前記半導体素子を実装することを特徴とするものである。

【0010】

この発明では、半導体素子と回路基板とをバンプを用いて電氣的に接続するフリップチップ実装方法において、回路基板の電極上に形成した第 1 の金バンプ上に、バンプ径が第 1 の金バンプより小さい複数の第 2 の金バンプをその間に隙間が生じるように形成し、半導体素子の電極上には第 3 の金バンプを形成し、この第 3 の金バンプの一部を前記複数の第 2 の金バンプの間の隙間に嵌合するようにして接触するものであるから、半導体素子と回路基板の間隔を大きくすることができ、かつ、実装強度を高めることができるとともに、実装時に多少の位置ずれが生じても接触不良になりにくく歩留まりの高いフリップチップ実装品を得ることができる。

【0011】

10

20

30

40

50

請求項 2 記載の発明は、請求項 1 に記載のフリップチップ実装方法であって、前記金バンプがボールボンディング法により形成されることを特徴とするものである。

【 0 0 1 2 】

この発明では、請求項 1 に記載の発明と同様な効果を奏するとともに、金バンプの形成に際して、基部を形成したところでワイヤを切断し、この基部をバンプとして用いるボールボンディング法を採用するので、短時間で多段バンプを形成し、フリップチップ実装能率を向上することが可能である。

【 0 0 1 9 】

【発明の実施の形態】

以下に本発明の実施の形態について詳細に説明する。尚、以下の各実施の形態 1 乃至 4 においては、金の 3 段バンプを用いてフリップチップを実装する例で説明している。 10

【 0 0 2 0 】

(実施の形態 1)

(構成)

図 1 乃至図 3 は本発明の実施の形態 1 を示すものであり、図 1 は実施の形態 1 のフリップチップ実装方法により半導体素子が実装された回路基板の断面図、図 2 は、実施の形態 1 の 3 段バンプの形成過程を示す断面図、図 3 は実施の形態 1 のフリップチップ実装方法の工程を示す断面図である。

【 0 0 2 1 】

図 1 に示すように、本実施の形態 1 により得られる電子機器は、半導体素子 1、半導体素子 1 上の電極 2、電極 2 上に形成された第 1 の金バンプ 3 a、第 2 の金バンプ 3 b、第 3 の金バンプ 3 c、回路基板 4、回路基板 4 上の電極 5、半導体素子 1 と回路基板 4 の間を 20 接着固定した異方性導電接着剤 6 から構成されている。

【 0 0 2 2 】

(作用)

図 2 (a) に示すように、3 段バンプは、まず半導体素子 1 の電極 2 上に、ボールボンディング法により金属接合で第 1 の金バンプ 3 a を形成する。このボールボンディング法は、半導体素子 1 を組み立てる際に用いられるワイヤボンディング装置がベアチップの電極と外部に接続する電極との間にワイヤを形成するのに対して、基部を形成したところでワイヤを切断し、この基部 (ボール) をバンプとして用いるものである。 30

【 0 0 2 3 】

第 1 の金バンプ 3 a の先端には、引きちぎり痕 7 a が存在する。ここでは引きちぎり痕 7 a をそのままにしているが、場合によっては平面プレート (図示せず) を押し当て先端をレベリングしてもよい。

【 0 0 2 4 】

次に、図 2 (b) に示すように、第 1 の金バンプ 3 a 上に前記ボールボンディング法で第 2 の金バンプ 3 b を形成する。さらに、図 2 (c) に示すように、第 2 の金バンプ 3 b 上に前記ボールボンディング法で第 3 の金バンプ 3 c を形成する。

【 0 0 2 5 】

ここで、図 2 (b)、(c) における 7 b 及び 7 c は、前記引きちぎり痕 7 a と同様に金バンプ形成時に発生する引きちぎり痕である。ここでは、半導体素子 1 の電極 2 上に 3 段バンプを形成したが、回路基板 4 の電極 5 上に形成してもよい。 40

【 0 0 2 6 】

図 3 (a) に示すように、3 段バンプが形成された半導体素子を、回路基板 4 の電極 5 と相対するように位置合わせした後、異方性導電接着剤 6 を回路基板 4 上に塗布する。場合によっては、異方性導電接着剤 6 を回路基板 4 に塗布した後、位置合わせしてもよい。

【 0 0 2 7 】

次に、図 3 (b) に示すように、半導体素子 1 の上面から熱と圧力を加え、金バンプ 3 c と電極 5 を接触し、3 段バンプを塑性変形させた後、異方性導電接着剤 6 を硬化収縮させて、金バンプ 3 c と電極 5 との電氣的接続をとる。こうして、フリップチップを実装した 50

回路基板 4 を製造する。

【 0 0 2 8 】

このように異方性導電接着剤 6 を塗布するに際して、特に電極 5 をよける必要もなく金バンプ 3 c と電極 5 を圧接すれば電氣的接続が得られる。

【 0 0 2 9 】

ここでは、3 段バンプとしたが形成するバンプの段数を替えることにより半導体素子 1 と回路基板 4 との間の距離を調整できる。

【 0 0 3 0 】

なお、異方性導電接着剤 6 に対して熱を効率的に伝えるために、回路基板 4 を加熱してもよい。

10

【 0 0 3 1 】

(効果)

上述したフリップチップ実装方法によれば、バンプを溶融せずに接続しているので、バンプ間のブリッジが発生しない。また、金バンプ 3 a、3 b、3 c を同一形状にしているとともに、半導体素子 1 か又は回路基板 4 の一方にのみ金バンプ 3 a、3 b、3 c を形成することにより、バンプ製造工程が簡略で少工程数で済み、加工費を最小にできる利点がある。

【 0 0 3 2 】

(実施の形態 2)

(構成)

20

図 4 及び図 5 を参照して、本発明の実施の形態 2 を説明する。図 4 は、実施の形態 2 のフリップチップ実装方法により半導体素子 1 が実装された回路基板 4 を示す断面図である。図 5 は、実施の形態 2 の 3 段バンプの形成過程を示す断面図である。

【 0 0 3 3 】

本実施の形態 2 は、実施の形態 1 と以下の点で異なる。即ち、図 4 に示すように、金バンプ 3 d、金バンプ 3 e、金バンプ 3 f の順にバンプ径が小さい 3 段バンプ構成としている。

【 0 0 3 4 】

(作用)

図 5 (a) に示すように、本実施の形態 2 の 3 段バンプを形成するには、まず半導体素子 1 の電極 2 上に、バンプ径が最大の金バンプ 3 d を形成する。次に、図 5 (b) に示すように金バンプ 3 d 上にバンプ径の小さい金バンプ 3 e を形成する。さらに、図 5 (c) に示すように金バンプ 3 e 上にバンプ径が最小の金バンプ 3 f を形成し、3 段バンプが完成する。これ以降の工程は実施の形態 1 の場合と同様である。

30

【 0 0 3 5 】

(効果) 上述したフリップチップ実装方法によれば、実施の形態 1 の効果を発揮することに加えて、多段バンプ形成工程において、バンプ形成中心位置が多少ずれてもバンプ構造が不安定にならないのでバンプ倒れが発生しにくく、バンプ形成工程の歩留まりが高くなるという効果を奏する。

【 0 0 3 6 】

(実施の形態 3)

(構成)

40

図 6 を参照して、本発明の実施の形態 3 について説明する。図 6 は、本実施の形態 3 のフリップチップ実装方法の工程を示す断面図である。

【 0 0 3 7 】

本実施の形態 3 は、異方性導電接着剤を用いていない点で実施の形態 1 の場合と異なり、これ以外の工程は実施の形態 1 と同様である。

【 0 0 3 8 】

(作用)

図 6 (a) に示すように、半導体素子 1 の電極 2 上に金バンプ 3 a、3 b、の 2 段ダンプ

50

を形成し、一方で回路基板 4 の電極 5 上に金バンプ 3 g を形成する。

【0039】

次に、図 6 (b) に示すように、2 段バンプが形成された半導体素子 1 を、回路基板 4 の電極 5 と相対するように位置合わせした後、半導体素子 1 の上面から熱と圧力を加え、金バンプ 3 b と金バンプ 3 g を接触させ、金属接合させて金バンプ 3 b と金バンプ 3 g との電氣的接続をとる。こうしてフリップチップを実装した回路基板 4 を製造する。

【0040】

尚、金バンプ 3 b と金バンプ 3 g との接合部の信頼性を向上させるためこれら金バンプ 3 b と金バンプ 3 g とを接続した後に半導体素子 1 と回路基板 4 との間に絶縁性接着剤を注入、硬化してもよい。

10

【0041】

(効果)

上述した本実施の形態 3 のフリップチップ実装方法によれば、実施の形態 1 の場合と同様な効果を発揮することに加えて、金バンプ 3 b と金バンプ 3 g とを接合する金 - 金接合のフリップチップ実装方法であるため、金バンプと電極とを接触させる実施の形態 1、2 の実装方法に比べて、多段バンプを有する回路基板 4 を製造することが容易であるという利点がある。

【0042】

(実施の形態 4)

(構成)

20

図 7 を参照して、本発明の実施の形態 4 について説明する。図 7 は、本実施の形態 4 のフリップチップ実装方法の工程を示す断面図である。

【0043】

本実施の形態 4 は、実施の形態 3 と比べ、回路基板 4 の電極 5 に形成した金バンプ 3 h と、この金バンプ 3 h 上に形成した金バンプ 3 i を備え、金バンプ 3 i のバンプ径を金バンプ 3 h よりも小径とした点が異なるものである。

【0044】

(作用)

図 7 (a) に示すように、半導体素子 1 の電極 2 上に金バンプ 3 a を形成し、一方で回路基板 4 の電極 5 上に金バンプ 3 h を形成する。さらに、金バンプ 3 h 上に複数の小径の金バンプ 3 i を形成する。

30

【0045】

次に、図 7 (b) に示すように、金バンプ 3 a が形成された半導体素子 1 を、回路基板 4 の電極 5 と相対するように位置合わせした後、半導体素子 1 の上面から熱と圧力を加え、金バンプ 3 a と小径の金バンプ 3 i とを引きちぎり痕 7 a が金バンプ 3 i の間の隙間に嵌合するようにして接触させ、かつ、金属接合させて金バンプ 3 a と金バンプ 3 i との電氣的接続をとる。こうしてフリップチップを実装した回路基板 4 を製造する。

【0046】

(効果)

本実施の形態 4 のフリップチップ実装方法によれば、実施の形態 1 乃至 3 の場合と同様な効果を発揮することに加え、金バンプ 3 a と金バンプ 3 i が嵌合する状態で接触しかつ金属接合するために、接合強度が強い金 - 金接合の多段バンプを備えた回路基板 4 を製造できるという効果も奏する。

40

【0047】

【発明の効果】

本発明によれば、フリップチップ実装を行う場合に、半導体素子と回路基板の間隔を大きくすることができ、かつ、実装強度を高めることができるとともに、実装時に多少の位置ずれが生じて接触不良になりにくく歩留まりの高いフリップチップ実装品を得ることができるフリップチップ実装方法を提供することができる。

【図面の簡単な説明】

50

【図 1】本発明の実施の形態 1 のフリップチップ実装方法により半導体素子が実装された回路基板を示す断面図である。

【図 2】実施の形態 1 の 3 段バンパの形成過程を示す断面図である。

【図 3】実施の形態 1 のフリップチップ実装方法の工程を示す断面図である。

【図 4】実施の形態 2 のフリップチップ実装方法により半導体素子が実装された回路基板を示す断面図である。

【図 5】実施の形態 2 の 3 段バンパの形成過程を示す断面図である

【図 6】実施の形態 3 のフリップチップ実装方法の工程を示す断面図である .

【図 7】実施の形態 4 のフリップチップ実装方法の工程を示す断面図である。

【図 8】従来のフリップチップ実装方法により半導体素子が実装された回路基板を示す断面図である。 10

【符号の説明】

1 半導体素子

2 電極

3 a 金バンパ

3 b 金バンパ

3 c 金バンパ

3 d 金バンパ

3 e 金バンパ

3 f 金バンパ

3 g 金バンパ

3 h 金バンパ

3 i 金バンパ

4 回路基板

5 電極

6 異方性導電接着剤

7 a 引きちぎり痕

7 b 引きちぎり痕

7 c 引きちぎり痕

7 d 引きちぎり痕

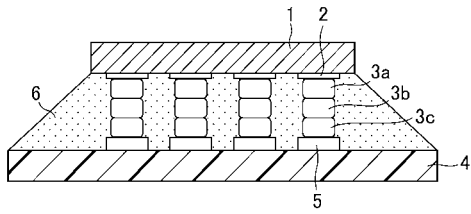
7 e 引きちぎり痕

7 f 引きちぎり痕

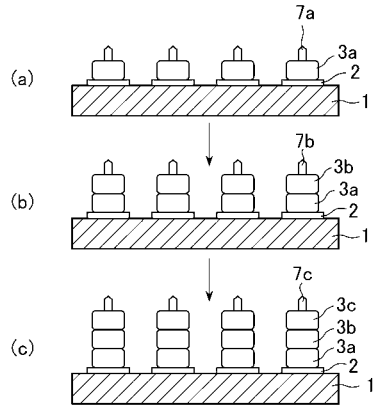
20

30

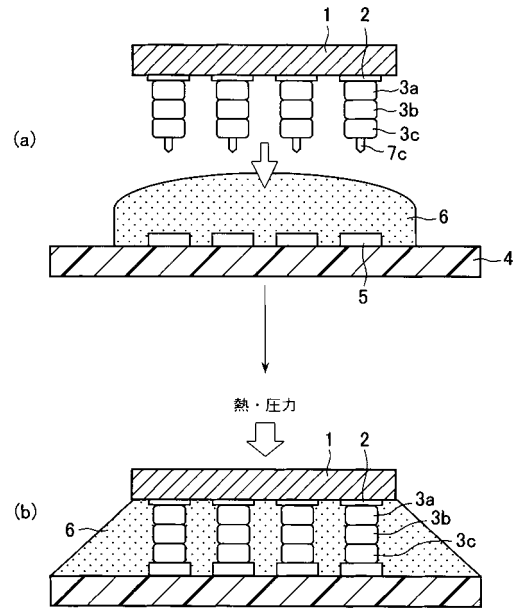
【図 1】



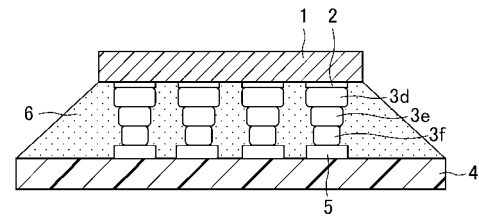
【図 2】



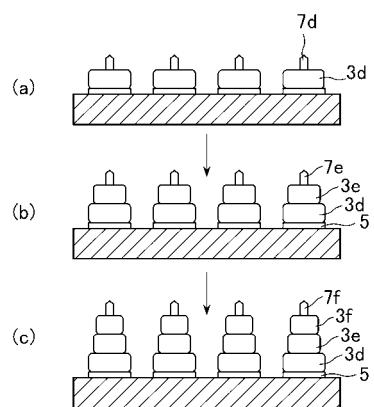
【図 3】



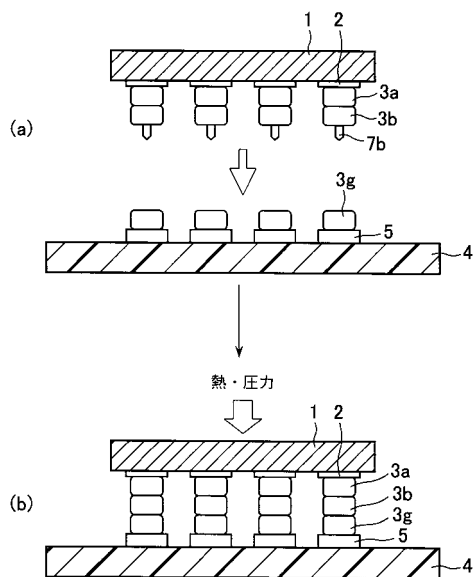
【図 4】



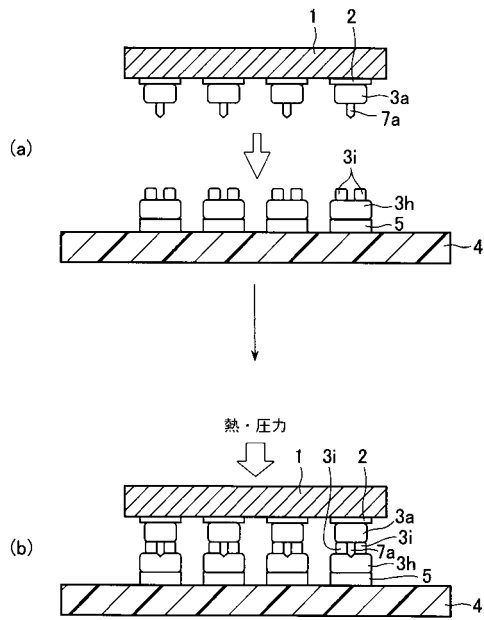
【図 5】



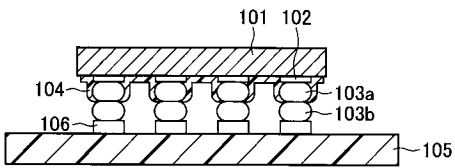
【図 6】



【 図 7 】



【 図 8 】



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/60

H01L 21/60 311