



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0061017
(43) 공개일자 2025년05월08일

(51) 국제특허분류(Int. Cl.)
H10N 70/20 (2023.01) G06N 3/04 (2023.01)
H10N 70/00 (2024.01)
(52) CPC특허분류
H10N 70/253 (2024.05)
G06N 3/049 (2023.01)
(21) 출원번호 10-2023-0144116
(22) 출원일자 2023년10월25일
심사청구일자 2023년10월25일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
전석우
서울특별시 서대문구 연희로20길 45, 201호 (연희동, 골든빌라)
윤태식
울산광역시 울주군 언양읍 유니스트길 50, 401동 601호
(뒷면에 계속)
(74) 대리인
박상열, 최내윤

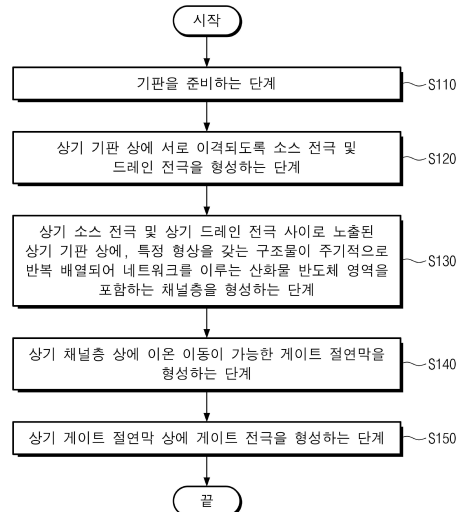
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 3차원 인공결정립 채널층 적용 기반 멤트랜지스터 및 그 제조 방법

(57) 요약

멤트랜지스터의 제조 방법이 제공된다. 상기 멤트랜지스터의 제조 방법은, 기판을 준비하는 단계, 상기 기판 상에 서로 이격되도록 소스 전극 및 드레인 전극을 형성하는 단계, 상기 소스 전극 및 상기 드레인 전극 사이로 노출된 상기 기판 상에, 특정 형상을 갖는 구조물이 주기적으로 반복 배열되어 네트워크를 이루는 산화물 반도체 영역을 포함하는 채널층을 형성하는 단계, 상기 채널층 상에 이온 이동이 가능한 게이트 절연막을 형성하는 단계, 및 상기 게이트 절연막 상에 게이트 전극을 형성하는 단계를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

H10N 70/011 (2023.02)

H10N 70/823 (2023.02)

(72) 발명자

장건호

대전광역시 유성구 어은로58길 26, 304호

한지민

서울특별시 양천구 목2동 223-1, 3층

최명우

경기도 남양주시 별내중앙로 36-23, 1910호 (별내동)

배광민

경기도 광명시 가림일로 79, 106동 1402호 (철산동, 도덕파크타운)

정보영

경상남도 창원시 마산회원구 회원남로 65, 204동 1003호 (회원동, e편한세상창원파크센트럴 (2단지))

노태운

울산광역시 울주군 언양읍 유니스트길 50, 309동 1211호

이 발명을 지원한 국가연구개발사업

과제고유번호	1711183784
과제번호	2022M3H4A1A04068923
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	나노소재기술개발
연구과제명	3D 인공결정립 제어를 통한 저전력 아날로그 메모리스트 소자 개발
기 여 율	1/1
과제수행기관명	고려대학교
연구기간	2023.01.01 ~ 2023.12.31

명세서

청구범위

청구항 1

기관을 준비하는 단계;

상기 기관 상에 서로 이격되도록 소스 전극 및 드레인 전극을 형성하는 단계;

상기 소스 전극 및 상기 드레인 전극 사이로 노출된 상기 기관 상에, 특정 형상을 갖는 구조물이 주기적으로 반복 배열되어 네트워크를 이루는 산화물 반도체 영역을 포함하는 채널층을 형성하는 단계;

상기 채널층 상에 이온 이동이 가능한 게이트 절연막을 형성하는 단계; 및

상기 게이트 절연막 상에 게이트 전극을 형성하는 단계를 포함하는 멤트랜지스터의 제조 방법.

청구항 2

제1 항에 있어서,

상기 채널층을 형성하는 단계는,

상기 소스 전극 및 상기 드레인 전극 사이로 노출된 상기 기관 상에, 특정 형상을 갖는 구조물이 주기적으로 반복 배열되어 네트워크를 이루는 고분자 주형을 형성하는 단계;

상기 고분자 주형 상에 산화물 반도체 물질을 증착하는 단계; 및

상기 산화물 반도체 물질을 잔존시키고 상기 고분자 주형을 제거하는 단계를 포함하는 멤트랜지스터의 제조 방법.

청구항 3

제2 항에 있어서,

상기 고분자 주형을 형성하는 단계는,

상기 소스 전극 및 상기 드레인 전극 사이로 노출된 상기 기관 상에 포토레지스트를 코팅하는 단계; 및

근접장 나노 패터닝(Proximity-field nano Patterning) 방법으로, 상기 포토레지스트를 패터닝하는 단계를 포함하는 멤트랜지스터의 제조 방법.

청구항 4

제2 항에 있어서,

상기 채널층을 형성하는 단계는,

상기 산화물 반도체 물질을 잔존시키고 상기 고분자 주형을 제거하는 단계 이후,

잔존된 상기 산화물 반도체 물질을 절연체 물질에 함침시키는 단계를 더 포함하는 멤트랜지스터의 제조 방법.

청구항 5

제4 항에 있어서,

잔존된 상기 산화물 반도체 물질은 상기 산화물 반도체 영역을 형성하고 상기 절연체 물질은 절연체 영역을 형성하여,

상기 채널층은 상기 산화물 반도체 영역 및 상기 산화물 반도체 영역을 둘러싸는 절연체 영역을 포함하는 멤트랜지스터의 제조 방법.

청구항 6

제2 항에 있어서,

상기 고분자 주형은 플라즈마 식각 방법으로 제거되는 것을 포함하는 멤트랜지스터의 제조 방법.

청구항 7

제1 항에 있어서,

상기 게이트 절연막을 형성하는 단계 이후 상기 게이트 전극을 형성하는 단계 이전 상기 게이트 절연막 상에 누설 방지막을 형성하는 단계를 더 포함하고,

상기 게이트 전극은 상기 누설 방지막 상에 형성되는 것을 포함하는 멤트랜지스터의 제조 방법.

청구항 8

기판;

상기 기판 상에 서로 이격되도록 배치되는 소스 전극 및 드레인 전극;

상기 소스 전극 및 상기 드레인 전극 사이로 노출되는 상기 기판 상에 배치되고, 산화물 반도체 영역을 포함하는 채널층;

상기 채널층 상에 배치되고, 이온 이동이 가능한 게이트 절연막; 및

상기 게이트 절연막 상에 배치되는 게이트 전극을 포함하되,

상기 채널층의 상기 산화물 반도체 영역은 특정 형상을 갖는 구조물이 상기 채널층의 두께 방향으로 주기적으로 반복 배열되어 네트워크를 이루는 영역으로 정의되는 것을 포함하는 멤트랜지스터.

청구항 9

제8 항에 있어서,

상기 채널층의 상기 산화물 반도체 영역은 상기 구조물이 상기 채널층의 폭 방향, 또는 길이 방향 중에서 적어도 어느 하나의 방향으로 주기적으로 반복 배열되어 3차원 네트워크를 이루는 영역으로 정의되는 것을 포함하는 멤트랜지스터.

청구항 10

제8 항에 있어서,

상기 산화물 반도체 영역은, 인듐-갈륨-아연-산화물(IGZO), 인듐-아연-산화물(IZO), 아연 산화물(ZnO), 및 주석 산화물(SnO) 중 어느 하나를 포함하는 멤트랜지스터.

청구항 11

제8 항에 있어서,

상기 채널층은 절연체 영역을 더 포함하되, 상기 절연체 영역은 상기 게이트 채널층 내 상기 산화물 반도체 영역을 둘러싸는 영역으로 정의되는 것을 포함하는 멤트랜지스터.

청구항 12

제8 항에 있어서,

상기 게이트 절연막은 리튬 코발트 산화물(LiCoO_2), 리튬 산화물(Li_2O), 세륨 산화물(CeO_2), 알루미늄 산화물(Al_2O_3), 및 hafnium 산화물(HfO_2) 중 어느 하나를 포함하는 멤트랜지스터.

청구항 13

제8 항에 있어서,

상기 게이트 절연막 및 상기 게이트 전극 사이에 배치되는 누설 방지막을 더 포함하는 멤트랜지스터.

청구항 14

제8 항에 있어서,

상기 채널층 및 상기 게이트 절연막 사이에 배치되는 이온 배리어를 더 포함하되,

상기 이온 배리어는 알루미늄 산화물(Al_2O_3) 및 hafnium 산화물(HfO_2) 중 어느 하나를 포함하는 멤트랜지스터.

발명의 설명

기술 분야

[0001] 본 발명은 멤트랜지스터 및 그 제조 방법에 관한 것으로서, 보다 구체적으로는 3차원 인공결정립이 채널층에 적용된 멤트랜지스터 및 그 제조 방법에 관련된 것이다.

배경 기술

[0002] 최근, 반도체 소자의 Moore의 법칙 한계 도달 및 기존 폰 노이만 구조 (Von Neumann architecture)가 갖는 비효율성으로 인해 뇌의 시냅스를 모방한 인공지능 뉴로모픽 회로 기술에 대한 관심이 높아지고 있다. 멤트랜지스터 소자는 비휘발성, 가역적인 저항 변화 및 아날로그 구동 방식으로 인해 뉴로모픽 기술을 구현하기 위한 차세대 반도체 소자로서 주목받고 있다.

[0003] 특히 게이트 전극을 가지는 3단자 멤트랜지스터 소자는 학습과 신호처리를 여러 단자를 통해 분리 수행이 가능하고, 2단자 소자에 비해 유연한 동작 구현과 간섭 효과를 최소화할 수 있다는 장점이 있으며, 뉴로모픽 회로에서 중요한 요소인 가중치 변화 조절이 용이하다는 장점이 있어 많은 관심을 받고 있다.

[0004] 그러나, 채널 및 게이트 산화물층이 박막 구조 기반인 기존 2차원 평면 형태의 멤트랜지스터 소자의 경우, 2차원의 채널층과 게이트 산화물층의 물리적으로 한정된 계면 면적으로 인해 물성 변화를 유도하여 소자의 컨덕턴스를 변화시키는데 한계가 존재한다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 일 기술적 과제는, 3차원 인공결정립 채널층 적용 기반 멤트랜지스터 및 그 제조 방

법을 제공하는 데 있다.

- [0006] 본 발명이 해결하고자 하는 다른 기술적 과제는, 소자의 스케일 다운 시에도 신뢰성 있는 동작 전류의 변화 또는 컨덕턴스의 변화를 유도할 수 있는 멤트랜지스터 및 그 제조 방법을 제공하는 데 있다.
- [0007] 본 발명이 해결하고자 하는 또 다른 기술적 과제는, 컨덕턴스 조절의 안정성이 향상된 멤트랜지스터 및 그 제조 방법을 제공하는 데 있다.
- [0008] 본 발명이 해결하고자 하는 또 다른 기술적 과제는, 시냅스 가중치 변화의 안정성이 확보될 수 있는 멤트랜지스터 및 그 제조 방법을 제공하는 데 있다.
- [0009] 본 발명이 해결하고자 하는 또 다른 기술적 과제는, 이온 이동 분포에 따른 시간의존적 시냅스 거동 구현이 가능해질 수 있는 멤트랜지스터 및 그 제조 방법을 제공하는 데 있다.
- [0010] 본 발명이 해결하고자 하는 또 다른 기술적 과제는, 문턱전압의 아날로그 변화에 의한 드레인 전류 변화의 안정성이 향상될 수 있는 멤트랜지스터 및 그 제조 방법을 제공하는 데 있다.
- [0011] 본 발명이 해결하고자 하는 또 다른 기술적 과제는, 문턱전압과 그에 따른 드레인 전류의 시간의존적 가중치 변화 구현이 가능해질 수 있는 멤트랜지스터 및 그 제조 방법을 제공하는 데 있다.
- [0012] 본 발명이 해결하고자 하는 기술적 과제는 상술된 것에 제한되지 않는다.

과제의 해결 수단

- [0013] 상기 기술적 과제를 해결하기 위해, 본 발명은 멤트랜지스터의 제조 방법을 제공한다.
- [0014] 일 실시 예에 따르면, 상기 멤트랜지스터의 제조 방법은, 기판을 준비하는 단계, 상기 기판 상에 서로 이격되도록 소스 전극 및 드레인 전극을 형성하는 단계, 상기 소스 전극 및 상기 드레인 전극 사이로 노출된 상기 기판 상에, 특정 형상을 갖는 구조물이 주기적으로 반복 배열되어 네트워크를 이루는 산화물 반도체 영역을 포함하는 채널층을 형성하는 단계, 상기 채널층 상에 이온 이동이 가능한 게이트 절연막을 형성하는 단계, 및 상기 게이트 절연막 상에 게이트 전극을 형성하는 단계를 포함할 수 있다.
- [0015] 일 실시 예에 따르면, 상기 채널층을 형성하는 단계는, 상기 소스 전극 및 상기 드레인 전극 사이로 노출된 상기 기판 상에, 특정 형상을 갖는 구조물이 주기적으로 반복 배열되어 네트워크를 이루는 고분자 주형을 형성하는 단계, 상기 고분자 주형 상에 산화물 반도체 물질을 증착하는 단계, 및 상기 산화물 반도체 물질을 잔존시키고 상기 고분자 주형을 제거하는 단계를 포함할 수 있다.
- [0016] 일 실시 예에 따르면, 상기 고분자 주형을 형성하는 단계는, 상기 소스 전극 및 상기 드레인 전극 사이로 노출된 상기 기판 상에 포토레지스트를 코팅하는 단계, 및 근접장 나노 패터닝(Proximity-field nano Patterning) 방법으로, 상기 포토레지스트를 패터닝하는 단계를 포함할 수 있다.
- [0017] 일 실시 예에 따르면, 상기 채널층을 형성하는 단계는, 상기 산화물 반도체 물질을 잔존시키고 상기 고분자 주형을 제거하는 단계 이후, 잔존된 상기 산화물 반도체 물질을 절연체 물질에 함침시키는 단계를 더 포함할 수 있다.
- [0018] 일 실시 예에 따르면, 잔존된 상기 산화물 반도체 물질은 상기 산화물 반도체 영역을 형성하고 상기 절연체 물질은 절연체 영역을 형성하여, 상기 채널층은 상기 산화물 반도체 영역 및 상기 산화물 반도체 영역을 둘러싸는 절연체 영역을 포함할 수 있다.
- [0019] 일 실시 예에 따르면, 상기 고분자 주형은 플라즈마 식각 방법으로 제거되는 것을 포함할 수 있다.
- [0020] 일 실시 예에 따르면, 상기 게이트 절연막을 형성하는 단계 이후 상기 게이트 전극을 형성하는 단계 이전 상기 게이트 절연막 상에 누설 방지막을 형성하는 단계를 더 포함하고, 상기 게이트 전극은 상기 누설 방지막 상에 형성되는 것을 포함할 수 있다.
- [0022] 상기 기술적 과제를 해결하기 위해, 본 발명은 멤트랜지스터를 제공한다.
- [0023] 일 실시 예에 따르면, 상기 멤트랜지스터는 기판, 상기 기판 상에 서로 이격되도록 배치되는 소스 전극 및 드레인 전극, 상기 소스 전극 및 상기 드레인 전극 사이로 노출되는 상기 기판 상에 배치되고, 산화물 반도체 영역

을 포함하는 채널층, 상기 채널층 상에 배치되고, 이온 이동이 가능한 게이트 절연막, 및 상기 게이트 절연막 상에 배치되는 게이트 전극을 포함하되, 상기 채널층의 상기 산화물 반도체 영역은 특정 형상을 갖는 구조물이 상기 채널층의 두께 방향으로 주기적으로 반복 배열되어 네트워크를 이루는 영역으로 정의되는 것을 포함할 수 있다.

[0024] 일 실시 예에 따르면, 상기 채널층의 상기 산화물 반도체 영역은 상기 구조물이 상기 채널층의 폭 방향, 또는 길이 방향 중에서 적어도 어느 하나의 방향으로 주기적으로 반복 배열되어 3차원 네트워크를 이루는 영역으로 정의되는 것을 포함할 수 있다.

[0025] 일 실시 예에 따르면, 상기 산화물 반도체 영역은, 인듐-갈륨-아연-산화물(IGZO), 인듐-아연-산화물(IZO), 아연 산화물(ZnO), 및 주석 산화물(SnO) 중 어느 하나를 포함할 수 있다.

[0026] 일 실시 예에 따르면, 상기 채널층은 절연체 영역을 더 포함하되, 상기 절연체 영역은 상기 게이트 채널층 내 상기 산화물 반도체 영역을 둘러싸는 영역으로 정의되는 것을 포함할 수 있다.

[0027] 일 실시 예에 따르면, 상기 게이트 절연막은 리튬 코발트 산화물(LiCoO₂), 리튬 산화물(Li₂O), 세륨 산화물(CeO₂), 알루미늄 산화물(Al₂O₃), 및 하프늄 산화물(HfO₂) 중 어느 하나를 포함할 수 있다.

[0028] 일 실시 예에 따르면, 상기 멤트랜지스터는 상기 게이트 절연막 및 상기 게이트 전극 사이에 배치되는 누설 방지막을 더 포함할 수 있다.

[0029] 일 실시 예에 따르면, 상기 멤트랜지스터는 상기 채널층 및 상기 게이트 절연막 사이에 배치되는 이온 배리어를 더 포함하되, 상기 이온 배리어는 알루미늄 산화물(Al₂O₃) 및 하프늄 산화물(HfO₂) 중 어느 하나를 포함할 수 있다.

발명의 효과

[0030] 본 발명의 실시 예에 따른 멤트랜지스터는 기판, 상기 기판 상에 서로 이격되도록 배치되는 소스 전극 및 드레인 전극, 상기 소스 전극 및 상기 드레인 전극 사이로 노출되는 상기 기판 상에 배치되고, 산화물 반도체 영역 및 절연체 영역을 포함하는 채널층, 상기 채널층 상에 배치되고, 이온 이동이 가능한 게이트 절연막, 상기 게이트 절연막 상에 배치되는 누설 방지막, 및 상기 누설 방지막 상에 배치되는 게이트 전극을 포함하되, 상기 채널층의 상기 산화물 반도체 영역은 특정 형상을 갖는 구조물이 상기 채널층의 두께 방향, 폭 방향, 또는 길이 방향 중에서 적어도 어느 하나의 방향으로 주기적으로 반복 배열되어 3차원 네트워크를 이루는 영역으로 정의되고, 상기 절연체 영역은 상기 산화물 반도체 영역을 둘러싸는 영역으로 정의될 수 있다.

[0031] 이에 따라, 상기 채널층은 상기 산화물 반도체 영역의 연속적인 계면 구조와 넓은 계면 면적에 의해 이온의 순차적이고 정렬된 이동이 가능해짐으로, 컨덕턴스 조절의 안정성이 향상될 수 있다. 또한, 시냅스 가중치 변화의 안정성이 확보될 수 있고, 이온 이동 분포에 따른 시간의존적 시냅스 거동 구현이 가능해질 수 있다.

도면의 간단한 설명

[0032] 도 1은 본 발명의 실시 예에 따른 멤트랜지스터의 제조 방법을 설명하기 위한 순서도이다.

도 2는 본 발명의 실시 예에 따른 멤트랜지스터의 제조 방법 중 S110 단계 및 S120 단계를 설명하기 위한 도면이다.

도 3은 본 발명의 실시 예에 따른 멤트랜지스터의 제조 방법 중 S130 단계를 설명하기 위한 도면이다.

도 4는 본 발명의 실시 예에 따른 멤트랜지스터의 제조 방법 중 S130 단계를 구체적으로 설명하기 위한 순서도이다.

도 5는 본 발명의 실시 예에 따른 멤트랜지스터의 제조 방법 중 S131 단계를 설명하기 위한 도면이다.

도 6은 본 발명의 실시 예에 따른 멤트랜지스터의 제조 방법 중 S132 단계를 설명하기 위한 도면이다.

도 7은 본 발명의 실시 예에 따른 멤트랜지스터의 제조 방법 중 S133 단계를 설명하기 위한 도면이다.

도 8은 본 발명의 실시 예에 따른 멤트랜지스터의 제조 방법 중 S134 단계를 설명하기 위한 도면이다.

도 9는 본 발명의 실시 예에 따른 멤트랜지스터의 제조 방법 중 S140 단계를 설명하기 위한 도면이다.

도 10은 본 발명의 실시 예에 따른 멤트랜지스터의 제조 방법 중 S145 단계를 설명하기 위한 도면이다.

도 11은 본 발명의 실시 예에 따른 멤트랜지스터의 제조 방법 중 S150 단계를 설명하기 위한 도면이다.

도 12 및 도 13은 본 발명의 제1 변형 예에 따른 멤트랜지스터의 제조 방법 중 채널층의 형성 과정을 설명하기 위한 도면이다.

도 14는 본 발명의 제2 변형 예에 따른 멤트랜지스터의 제조 방법을 설명하기 위한 순서도이다.

도 15는 본 발명의 제2 변형 예에 따른 멤트랜지스터의 제조 방법 중 S310 단계를 설명하기 위한 도면이다.

도 16 및 도 17은 본 발명의 제2 변형 예에 따른 멤트랜지스터의 제조 방법 중 S320 단계를 설명하기 위한 도면이다.

도 18 및 도 19는 본 발명의 제2 변형 예에 따른 멤트랜지스터의 제조 방법 중 S330 단계를 설명하기 위한 도면이다.

도 20은 본 발명의 제2 변형 예에 따른 멤트랜지스터의 제조 방법 중 S340 단계를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0033] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시 예를 상세히 설명할 것이다. 그러나 본 발명의 기술적 사상은 여기서 설명되는 실시 예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시 예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0034] 본 명세서에서, 어떤 구성요소가 다른 구성요소 상에 있다고 언급되는 경우에 그것은 다른 구성요소 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 구성요소가 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다.

[0035] 또한, 본 명세서의 다양한 실시 예들에서 제1, 제2, 제3 등의 용어가 다양한 구성요소들을 기술하기 위해서 사용되었지만, 이들 구성요소들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 구성요소를 다른 구성요소와 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시 예에 제 1 구성요소로 언급된 것이 다른 실시 예에서는 제 2 구성요소로 언급될 수도 있다. 여기에 설명되고 예시되는 각 실시 예는 그것의 상보적인 실시 예도 포함한다. 또한, 본 명세서에서 '및/또는'은 전후에 나열한 구성요소들 중 적어도 하나를 포함하는 의미로 사용되었다.

[0036] 명세서에서 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함한다. 또한, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 구성요소 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 구성요소 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 배제하는 것으로 이해되어서는 안 된다. 또한, 본 명세서에서 "연결"은 복수의 구성요소들 간접적으로 연결하는 것, 및 직접적으로 연결하는 것을 모두 포함하는 의미로 사용된다.

[0037] 또한, 하기에서 본 발명을 설명함에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 것이다.

[0039] 실시 예에 따른 멤트랜지스터 및 그 제조 방법

[0040] 도 1은 본 발명의 실시 예에 따른 멤트랜지스터의 제조 방법을 설명하기 위한 순서도이고, 도 2는 본 발명의 실시 예에 따른 멤트랜지스터의 제조 방법 중 S110 단계 및 S120 단계를 설명하기 위한 도면이고, 도 3은 본 발명의 실시 예에 따른 멤트랜지스터의 제조 방법 중 S130 단계를 설명하기 위한 도면이고, 도 4는 본 발명의 실시 예에 따른 멤트랜지스터의 제조 방법 중 S130 단계를 구체적으로 설명하기 위한 순서도이고, 도 5는 본 발명의 실시 예에 따른 멤트랜지스터의 제조 방법 중 S131 단계를 설명하기 위한 도면이고, 도 6은 본 발명의 실시 예에 따른 멤트랜지스터의 제조 방법 중 S132 단계를 설명하기 위한 도면이고, 도 7은 본 발명의 실시 예에 따른 멤트랜지스터의 제조 방법 중 S133 단계를 설명하기 위한 도면이고, 도 8은 본 발명의 실시 예에 따른 멤트랜지스터의 제조 방법 중 S134 단계를 설명하기 위한 도면이고, 도 9는 본 발명의 실시 예에 따른 멤트랜지스터의 제조 방법 중 S140 단계를 설명하기 위한 도면이고, 도 10은 본 발명의 실시 예에 따른 멤트랜지스터의 제조 방법 중 S145 단계를 설명하기 위한 도면이고, 도 11은 본 발명의 실시 예에 따른 멤트랜지스터의 제조 방법 중

S150 단계를 설명하기 위한 도면이다.

- [0041] 도 1 및 도 2를 참조하면, 기판(100)이 준비된 후(S110) 상기 기판(110) 상에 소스 전극(310) 및 드레인 전극(320)이 형성될 수 있다(S120). 상기 소스 전극(310) 및 상기 드레인 전극(320)은 상기 기판(100)의 상부면과 평행한 방향으로 서로 이격되도록 형성될 수 있다. 일 실시 예에 따르면, 상기 소스 전극(310) 및 상기 드레인 전극(320)은 금속을 포함할 수 있다. 예를 들어, 상기 소스 전극(310) 및 상기 드레인 전극(320)이 포함하는 상기 금속은, 알루미늄(Al) 및 몰리브데넘(Mo) 중 어느 하나를 포함할 수 있다. 상기 소스 전극(310) 및 상기 드레인 전극(320)이 포함하는 상기 금속의 종류는 제한되지 않는다. 일 실시 예에 따르면, 상기 소스 전극(310) 및 상기 드레인 전극(320)은 Thermal evaporator 방법으로 형성될 수 있다. 이와 달리, 다른 실시 예에 따르면, 상기 소스 전극(310) 및 상기 드레인 전극(320)은 RF magnetron sputtering 방법으로 형성될 수 있다. 상기 소스 전극(310) 및 상기 드레인 전극(320)을 형성하기 위한 방법은 제한되지 않는다.
- [0042] 도 1 및 도 3을 참조하면, 상기 소스 전극(310) 및 상기 드레인 전극(320) 사이로 노출된 상기 기판(100) 상에 채널층(200)이 형성될 수 있다(S130). 상기 채널층(200)의 형성 방법은 도 4 내지 도 8을 참조하여 구체적으로 설명된다.
- [0043] 도 4 및 도 5를 참조하면, 상기 기판(100) 상에 특정 형상을 갖는 구조물이 주기적으로 반복 배열되어 네트워크를 이루는 고분자 주형(PM)이 형성될 수 있다(S131). 일 실시 예에 따르면, 상기 고분자 주형(PM)을 형성하는 단계(S131)는, 상기 기판(100) 상에 포토레지스트를 코팅하는 단계, 및 근접장 나노 패터닝(Proximity-field nano Patterning) 방법으로 상기 포토레지스트를 패터닝하는 단계를 포함할 수 있다. 즉, 상기 고분자 주형(PM)은 근접장 나노 패터닝 방법으로 패터닝된 포토레지스트로 정의될 수 있다. 상술된 바와 같이, 근접장 나노 패터닝 방법으로 형성된 상기 고분자 주형(PM)은 3차원 인공결정립 구조를 가질 수 있다. 일반적으로 자연에 존재하는 결정립의 경우 불특정 형상의 구조물이 불연속적이고 불규칙적으로 배열되는 반면, 3차원 인공결정립은 특정 형상을 갖는 구조물이 주기적으로 반복 배열되어 네트워크를 이룰 수 있다. 이에 따라, 근접장 나노 패터닝 방법으로 형성된 상기 고분자 주형(PM)은 특정 형상을 갖는 구조물이 주기적으로 반복 배열되어 네트워크를 이룰 수 있다.
- [0044] 도 4 및 도 6을 참조하면, 상기 고분자 주형(PM) 상에 산화물 반도체 물질(SOM)이 증착될 수 있다(S132). 일 실시 예에 따르면, 상기 산화물 반도체 물질은 인듐-갈륨-아연-산화물(IGZO), 인듐-아연-산화물(IZO), 아연 산화물(ZnO), 및 주석 산화물(SnO) 중 어느 하나를 포함할 수 있다.
- [0045] 도 4 및 도 7을 참조하면, 상기 산화물 반도체 물질(SOM)은 잔존시키고 상기 고분자 주형(PM)은 제거될 수 있다(S133). 일 실시 예에 따르면, 상기 고분자 주형(PM)은 플라즈마 식각 방법으로 제거될 수 있다. 상기 고분자 주형(PM)이 제거되는 경우, 상기 산화물 반도체 물질(SOM)은 상기 고분자 주형(PM) 상에 증착된 형태가 유지될 수 있다. 즉, 상기 고분자 주형(PM)이 제거된 상기 산화물 반도체 물질(SOM)은 특정 형상을 갖는 구조물이 주기적으로 반복 배열되어 네트워크를 이룰 수 있다.
- [0046] 도 4 및 도 8을 참조하면, 잔존된 상기 산화물 반도체 물질(SOM)이 절연체 물질(ILM)에 함침될 수 있다(S134). 이에 따라, 상기 절연체 물질(ILM)은 상기 고분자 주형(PM)이 제거된 영역 및 상기 산화물 반도체 물질(SOM) 사이의 빈 공간을 채울 수 있다. 이로 인해, 상기 기판(100) 상에 상기 채널층(200)이 형성될 수 있다. 일 실시 예에 따르면, 상기 절연체 물질(ILM)은 하프늄 산화물(HfO₂), 알루미늄 산화물(Al₂O₃), 및 세륨 산화물(CeO₂) 중 어느 하나를 포함할 수 있다.
- [0047] 상술된 바와 같은 방법으로 형성된 상기 채널층(200)은 산화물 반도체 영역(A₁) 및 절연체 영역(A₂)으로 구분될 수 있다. 구체적으로, 상기 산화물 반도체 영역(A₁)은 특정 형상을 갖는 구조물이 상기 채널층(200)의 두께 방향, 폭 방향, 또는 길이 방향 중에서 적어도 어느 하나의 방향으로 주기적으로 반복 배열되어 3차원 네트워크를 이루는 영역으로 정의될 수 있다. 이와 달리, 상기 절연체 영역(A₂)은 상기 채널층(200) 내 상기 산화물 반도체 영역(A₁)을 둘러싸는 영역으로 정의될 수 있다.
- [0048] 도 1 및 도 9를 참조하면, 상기 채널층(200) 상에 게이트 절연막(400)이 형성될 수 있다(S140). 일 실시 예에 따르면, 상기 게이트 절연막(400)은 이온 이동이 가능한 물질을 포함할 수 있다. 예를 들어, 상기 게이트 절연막(400)은 리튬 코발트 산화물(LiCoO₂), 리튬 산화물(Li₂O), 세륨 산화물(CeO₂), 알루미늄 산화물(Al₂O₃), 및 하프늄 산화물(HfO₂) 중 어느 하나를 포함할 수 있다. 일 실시 예에 따르면, 상기 게이트 절연막(400)은 스퍼터링(sputtering) 방법으로 형성될 수 있다. 보다 구체적으로, 상기 게이트 절연막(400)은 RF magnetron

sputtering 방법으로 형성될 수 있다. 이와 달리, 다른 실시 예에 따르면, 상기 게이트 절연막(400)은 원자층 증착법(Atomic Layer Deposition, ALD)으로 형성될 수 있다. 상기 게이트 절연막(400)을 형성하기 위한 방법은 제한되지 않는다.

[0049] 일 실시 예에 따르면, 상기 채널층(200) 및 상기 게이트 절연막(400) 사이에 이온 배리어가 형성될 수 있다. 상기 이온 배리어는 상기 게이트 절연막(400) 내 이온들이 상기 채널층(200)으로 드리프트되는 문제점을 방지할 수 있다. 상기 이온 배리어는 금속 산화물을 포함할 수 있다. 예를 들어, 상기 금속 산화물은 알루미늄 산화물(Al_2O_3) 및 hafnium 산화물(HfO_2) 중 어느 하나를 포함할 수 있다. 상기 이온 배리어가 포함하는 상기 금속 산화물의 종류는 제한되지 않는다. 일 실시 예에 따르면, 상기 이온 배리어는 스퍼터링(sputtering) 방법으로 형성될 수 있다. 보다 구체적으로, 상기 이온 배리어는 RF magnetron sputtering 방법으로 형성될 수 있다. 이와 달리, 다른 실시 예에 따르면, 상기 이온 배리어는 원자층 증착법(Atomic Layer Deposition, ALD)으로 형성될 수 있다. 상기 이온 배리어를 형성하기 위한 방법은 제한되지 않는다.

[0050] 도 10을 참조하면, 상기 게이트 절연막(400) 상에 누설 방지막(500)이 형성될 수 있다(S145). 상기 누설 방지막(500)은 후술되는 게이트 전극(600)의 누설을 방지할 수 있다. 일 실시 예에 따르면, 상기 누설 방지막(500)은 실리콘 산화물(SiO_2), 알루미늄 산화물(Al_2O_3), 및 hafnium 산화물(HfO_2) 중 어느 하나를 포함할 수 있다. 일 실시 예에 따르면, 상기 누설 방지막(500)은 스퍼터링(sputtering) 방법으로 형성될 수 있다. 보다 구체적으로, 상기 누설 방지막(500)은 RF magnetron sputtering 방법으로 형성될 수 있다. 이와 달리, 다른 실시 예에 따르면, 상기 누설 방지막(500)은 원자층 증착법(Atomic Layer Deposition, ALD)으로 형성될 수 있다. 상기 누설 방지막(500)을 형성하기 위한 방법은 제한되지 않는다.

[0051] 도 1 및 도 11을 참조하면, 상기 누설 방지막(500) 상에 게이트 전극(600)이 형성될 수 있다(S150). 일 실시 예에 따르면, 상기 게이트 전극(600)은 금속을 포함할 수 있다. 예를 들어, 상기 게이트 전극(600)이 포함하는 상기 금속은, 알루미늄(Al) 및 몰리브덴(Mo) 중 어느 하나를 포함할 수 있다. 상기 게이트 전극(600)이 포함하는 상기 금속의 종류는 제한되지 않는다. 일 실시 예에 따르면, 상기 게이트 전극(600)은 Thermal evaporator 방법으로 형성될 수 있다. 이와 달리, 다른 실시 예에 따르면, 상기 게이트 전극(600)은 RF magnetron sputtering 방법으로 형성될 수 있다. 상기 게이트 전극(600)을 형성하기 위한 방법은 제한되지 않는다.

[0052] 결과적으로, 본 발명의 실시 예에 따른 메모리셀은 기판(100), 상기 기판(100) 상에 서로 이격되도록 배치되는 소스 전극(310) 및 드레인 전극(320), 상기 소스 전극(310) 및 상기 드레인 전극(320) 사이로 노출되는 상기 기판(100) 상에 배치되고, 산화물 반도체 영역(A_1) 및 절연체 영역(A_2)을 포함하는 채널층(200), 상기 채널층(200) 상에 배치되고, 이온 이동이 가능한 게이트 절연막(400), 상기 게이트 절연막(400) 상에 배치되는 누설 방지막(500), 및 상기 누설 방지막(500) 상에 배치되는 게이트 전극(600)을 포함하되, 상기 채널층(200)의 상기 산화물 반도체 영역(A_1)은 특정 형상을 갖는 구조물이 상기 채널층(200)의 두께 방향, 폭 방향, 또는 길이 방향 중에서 적어도 어느 하나의 방향으로 주기적으로 반복 배열되어 3차원 네트워크를 이루는 영역으로 정의되고, 상기 절연체 영역(A_2)은 상기 산화물 반도체 영역(A_1)을 둘러싸는 영역으로 정의될 수 있다.

[0053] 이에 따라, 상기 채널층(200)은 상기 산화물 반도체 영역(A_1)의 연속적인 계면 구조와 넓은 계면 면적에 의해 이온의 순차적이고 정렬된 이동이 가능해짐으로, 컨덕턴스 조절의 안정성이 향상될 수 있다. 또한, 시냅스 가중치 변화의 안정성이 확보될 수 있고, 이온 이동 분포에 따른 시간의존적 시냅스 거동 구현이 가능해질 수 있다.

[0054] 또한, 본 발명에 실시 예에 따른 메모리셀 및 그 제조 방법을 설명함에 있어 채널층이 하부에 배치되고 하부에 배치된 채널층 상에 게이트 절연막 및 게이트 전극이 형성된 구조가 설명되었지만, 하부에 게이트 전극이 먼저 형성된 후 하부에 배치된 게이트 전극 상에 게이트 절연막과 채널층이 형성된 구조(inverted staggered structure)에도 상술된 구성들이 적용될 수 있다.

[0056] 이상, 본 발명의 실시 예에 따른 메모리셀 및 그 제조 방법이 설명되었다. 이하, 본 발명의 변형 예들에 따른 메모리셀 및 그 제조 방법이 설명된다.

[0057] 제1 변형 예에 따른 메모리셀 및 그 제조 방법

[0058] 도 12 및 도 13은 본 발명의 제1 변형 예에 따른 메모리셀의 제조 방법 중 채널층의 형성 과정을 설명하기 위한 도면이다.

- [0059] 본 발명의 제1 변형 예에 따른 멤트랜지스터의 제조 방법은, 도 1 내지 도 11을 참조하여 설명된 상기 실시 예에 따른 멤트랜지스터의 제조 방법과 같을 수 있다. 다만, 상기 제1 변형 예에 따른 멤트랜지스터의 제조 방법은, 도 12 및 도 13에 도시된 바와 같이, 상기 채널층(200)을 형성하는 단계(S130)에서, S132 단계 이후 S133 단계가 생략된 상태에서 S134 단계가 수행될 수 있다.
- [0060] 즉, 상기 고분자 주형(PM) 상에 상기 산화물 반도체 물질(SOM)을 증착한 이후, 상기 고분자 주형(PM)을 제거하지 않은 상태에서 상기 절연체 물질(ILM)에 함침될 수 있다. 이에 따라, 상기 제1 변형 예에 따른 멤트랜지스터의 채널층(200)은 특정 형상을 갖는 구조물이 주기적으로 반복 배열되어 네트워크를 이루는 고분자 주형(PM), 상기 고분자 주형(PM)상에 증착된 산화물 반도체 물질(SOM), 및 상기 고분자 주형(PM)과 상기 산화물 반도체 물질(SOM)을 둘러싸는 절연체 물질(ILM)을 포함할 수 있다. 이로 인해, 상기 고분자 주형(PM)이 이온 저장층으로 사용될 수 있을 뿐만 아니라, 상기 고분자 주형(PM)을 제거하기 위한 공정이 수행되지 않음으로, 상기 채널층(200)을 형성하기 위한 공정이 간소화될 수 있다.
- [0061] **제2 변형 예에 따른 멤트랜지스터 및 그 제조 방법**
- [0062] 도 14는 본 발명의 제2 변형 예에 따른 멤트랜지스터의 제조 방법을 설명하기 위한 순서도이고, 도 15는 본 발명의 제2 변형 예에 따른 멤트랜지스터의 제조 방법 중 S310 단계를 설명하기 위한 도면이고, 도 16 및 도 17은 본 발명의 제2 변형 예에 따른 멤트랜지스터의 제조 방법 중 S320 단계를 설명하기 위한 도면이고, 도 18 및 도 19는 본 발명의 제2 변형 예에 따른 멤트랜지스터의 제조 방법 중 S330 단계를 설명하기 위한 도면이고, 도 20은 본 발명의 제2 변형 예에 따른 멤트랜지스터의 제조 방법 중 S340 단계를 설명하기 위한 도면이다.
- [0063] 도 14 및 도 15를 참조하면, 기판(100) 상에 서로 이격되도록 소스 전극(310) 및 드레인 전극(320)이 형성된 기판 구조체(ST)가 준비될 수 있다(S10). 상기 소스 전극(310) 및 상기 드레인 전극(320)은 상기 기판(100)의 상부면과 평행한 방향으로 서로 이격되도록 형성될 수 있다. 일 실시 예에 따르면, 상기 소스 전극(310) 및 상기 드레인 전극(320)은 금속을 포함할 수 있다. 예를 들어, 상기 소스 전극(310) 및 상기 드레인 전극(320)이 포함하는 상기 금속은, 알루미늄(Al) 및 몰리브덴(Mo) 중 어느 하나를 포함할 수 있다. 상기 소스 전극(310) 및 상기 드레인 전극(320)이 포함하는 상기 금속의 종류는 제한되지 않는다. 일 실시 예에 따르면, 상기 소스 전극(310) 및 상기 드레인 전극(320)은 Thermal evaporator 방법으로 형성될 수 있다. 이와 달리, 다른 실시 예에 따르면, 상기 소스 전극(310) 및 상기 드레인 전극(320)은 RF magnetron sputtering 방법으로 형성될 수 있다. 상기 소스 전극(310) 및 상기 드레인 전극(320)을 형성하기 위한 방법은 제한되지 않는다.
- [0064] 도 14, 도 16, 및 도 17을 참조하면, 상기 소스 전극(310) 및 상기 드레인 전극(320) 사이로 노출된 상기 기판(100) 상에 채널층(200)이 형성될 수 있다(S320). 상기 채널층(200)의 형성 방법은 상기 실시 예에 따른 멤트랜지스터의 제조 방법에서 설명된 채널층(200)의 형성 방법과 같을 수 있다. 이에 따라, 구체적인 설명은 생략된다.
- [0065] 도 14, 도 18, 및 도 19를 참조하면, 상기 채널층(200) 상에 게이트 절연막(400)이 형성될 수 있다(S330). 일 실시 예에 따르면, 상기 게이트 절연막(400)을 형성하는 단계(S330)는 상기 채널층(200) 상에 특정 형상을 갖는 구조물이 주기적으로 반복 배열되어 네트워크를 이루는 고분자 주형(PM)을 형성하는 단계, 상기 고분자 주형(PM) 상에 이온 전도체 물질(ICM)을 증착하는 단계, 상기 이온 전도체 물질(ICM)은 잔존시키고 상기 고분자 주형(PM)은 제거하는 단계, 및 잔존된 상기 이온 전도체 물질(ICM)을 이온 부도체 물질(ISM)에 함침시키는 단계를 포함할 수 있다.
- [0066] 즉, 상기 게이트 절연막(400)의 형성 방법은, 도 4 내지 도 8을 참조하여 설명된 상기 실시 예에 따른 멤트랜지스터의 채널층 형성 방법과 같되, 상기 고분자 주형(PM) 상에 증착되는 물질로서 산화물 반도체 물질(SOM)이 아닌 이온 전도체 물질(ICM)이 사용되고, 함침 용액으로서 절연체 물질(ILM)이 아닌 이온 부도체 물질(ISM)이 사용되는 차이점이 있다.
- [0067] 일 실시 예에 따르면, 상기 이온 전도체 영역이 포함하는 이온 전도체 물질은 채널층의 전도도를 변화시킬 수 있는 다른 종류의 이온을 포함할 수 있다. 일 실시 예에 따르면, 상기 이온 전도체 물질(ICM)은 리튬 이온 전도체 물질 및 산소 이온 전도체 물질 중 어느 하나의 이온 전도체 물질을 포함할 수 있다. 예를 들어, 상기 리튬 이온 전도체 물질은 리튬 코발트 산화물(LiCoO₂) 및 리튬 산화물(Li₂O) 중 어느 하나를 포함할 수 있다. 예를 들어, 상기 산소 이온 전도체 물질은 하프늄 산화물(HfO₂), 탄탈럼 산화물(Ta₂O₃), 세륨 산화물(CeO₂), 니켈 산화물(NiO), 및 아연 산화물(ZnO) 중 어느 하나를 포함할 수 있다. 일 실시 예에 따르면, 상기 이온 부도체 물질(ISM)은 리튬 이온 부도체 물질 및 산소 이온 부도체 물질 중 어느 하나의 이온 부도체 물질을 포함할 수 있다.

예를 들어, 상기 리튬 이온 부도체 물질은 실리콘 산화물(SiO_2)을 포함할 수 있다. 예를 들어, 상기 산소 이온 부도체 물질은 실리콘 산화물(SiO_2) 및 실리콘 질화물(Si_3N_4) 중 어느 하나를 포함할 수 있다.

[0068] 이에 따라, 상기 게이트 절연막(400)은 도 19에 도시된 바와 같이, 특정 형상을 갖는 구조물이 주기적으로 배열되어 네트워크를 이루는 이온 전도체 영역(A_3) 및 상기 이온 전도체 영역(A_3)을 둘러싸는 이온 부도체 영역(A_4)을 포함할 수 있다.

[0069] 상술된 바와 같은 구조를 갖는 상기 게이트 절연막(400)은 상기 이온 전도체 영역(A_3)의 연속적인 계면 구조와 넓은 계면 면적에 의해 이온 및 전하가 순차적으로 이동될 수 있으므로, 문턱전압과 그에 따른 드레인 전류의 아날로그 변화 안정성이 향상될 수 있다. 이로 인해, 상기 멤트랜지스터는 동작 안정성 및 신뢰성이 향상될 수 있다. 또한, 문턱전압과 그에 따른 드레인 전류의 제어가 용이해질 수 있으므로, 문턱전압과 그에 따른 드레인 전류의 시간의존적 가중치 변화 구현이 가능해질 수 있다.

[0070] 도 14 및 도 20을 참조하면, 상기 게이트 절연막(400) 상에 게이트 전극(600)이 형성될 수 있다(S340). 일 실시 예에 따르면, 상기 게이트 전극(600)은 금속을 포함할 수 있다. 예를 들어, 상기 게이트 전극(600)이 포함하는 상기 금속은, 알루미늄(Al) 및 폴리브데늄(Mo) 중 어느 하나를 포함할 수 있다. 상기 게이트 전극(600)이 포함하는 상기 금속의 종류는 제한되지 않는다. 일 실시 예에 따르면, 상기 게이트 전극(600)은 Thermal evaporator 방법으로 형성될 수 있다. 이와 달리, 다른 실시 예에 따르면, 상기 게이트 전극(600)은 RF magnetron sputtering 방법으로 형성될 수 있다. 상기 게이트 전극(600)을 형성하기 위한 방법은 제한되지 않는다.

[0071] 일 실시 예에 따르면, 상기 게이트 절연막(400) 및 상기 게이트 전극(600) 사이에는 누설 방지막(500)이 배치될 수 있다. 상기 누설 방지막(500)은 상기 게이트 전극(600)의 누설을 방지할 수 있다. 일 실시 예에 따르면, 상기 누설 방지막(500)은 실리콘 산화물(SiO_2), 알루미늄 산화물(Al_2O_3), 및 하프늄 산화물(HfO_2) 중 어느 하나를 포함할 수 있다. 일 실시 예에 따르면, 상기 누설 방지막(500)은 스퍼터링(sputtering) 방법으로 형성될 수 있다. 보다 구체적으로, 상기 누설 방지막은 RF magnetron sputtering 방법으로 형성될 수 있다. 이와 달리, 다른 실시 예에 따르면, 상기 누설 방지막(500)은 원자층 증착법(Atomic Layer Deposition, ALD)으로 형성될 수 있다. 상기 누설 방지막(500)을 형성하기 위한 방법은 제한되지 않는다.

[0073] 이상, 본 발명을 바람직한 실시 예를 사용하여 상세히 설명하였으나, 본 발명의 범위는 특정 실시 예에 한정되는 것은 아니며, 첨부된 특허청구범위에 의하여 해석되어야 할 것이다. 또한, 이 기술분야에서 통상의 지식을 습득한 자라면, 본 발명의 범위에서 벗어나지 않으면서도 많은 수정과 변형이 가능함을 이해하여야 할 것이다.

부호의 설명

[0074]

100: 기판

200: 채널층

310, 320: 소스 전극, 드레인 전극

330: 이온 배리어

400: 게이트 절연막

500: 누설 방지막

600: 게이트 전극

ST: 기판 구조체

SOM: 산화물 반도체 물질

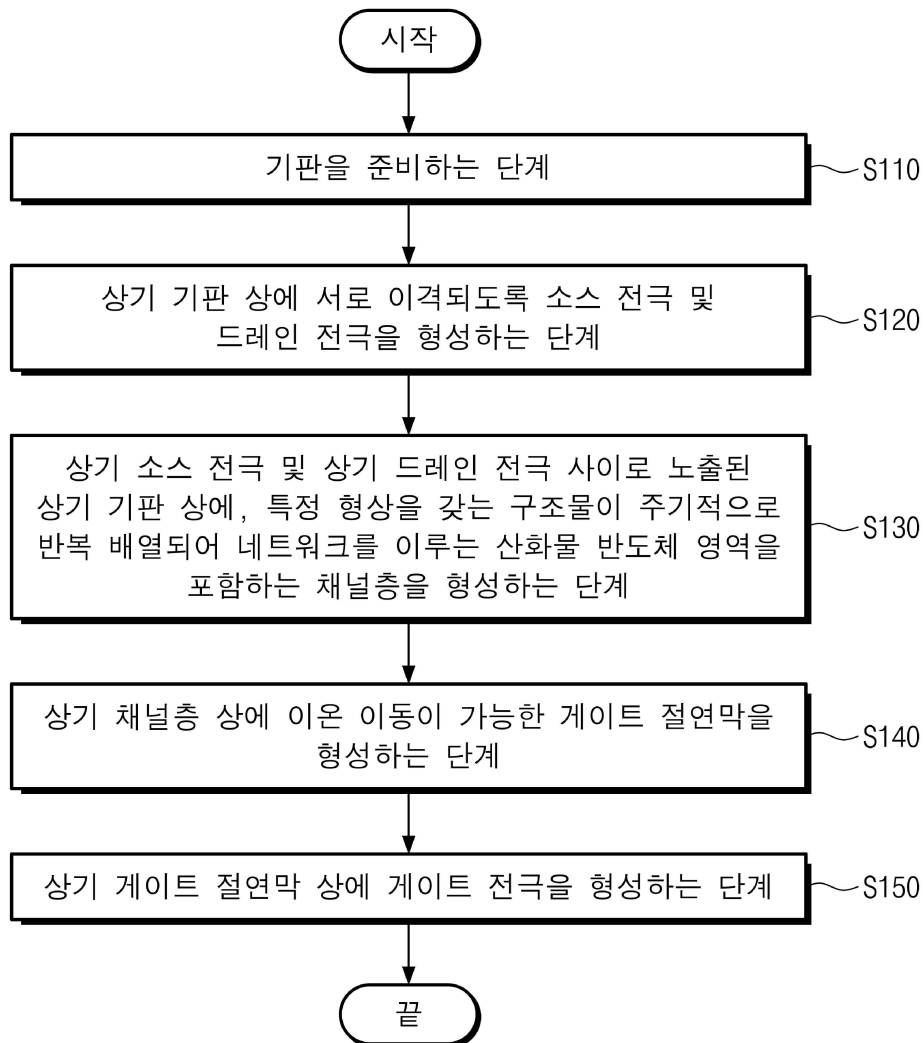
ILM: 절연체 물질

ICM: 이온 전도체 물질

ISM: 이온 부도체 물질

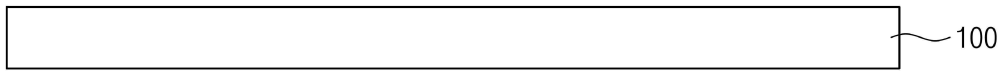
도면

도면1



도면2

S110

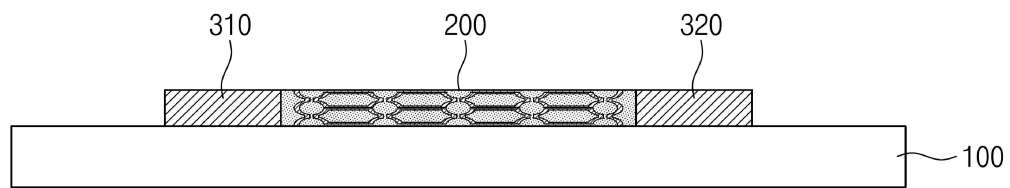


S120

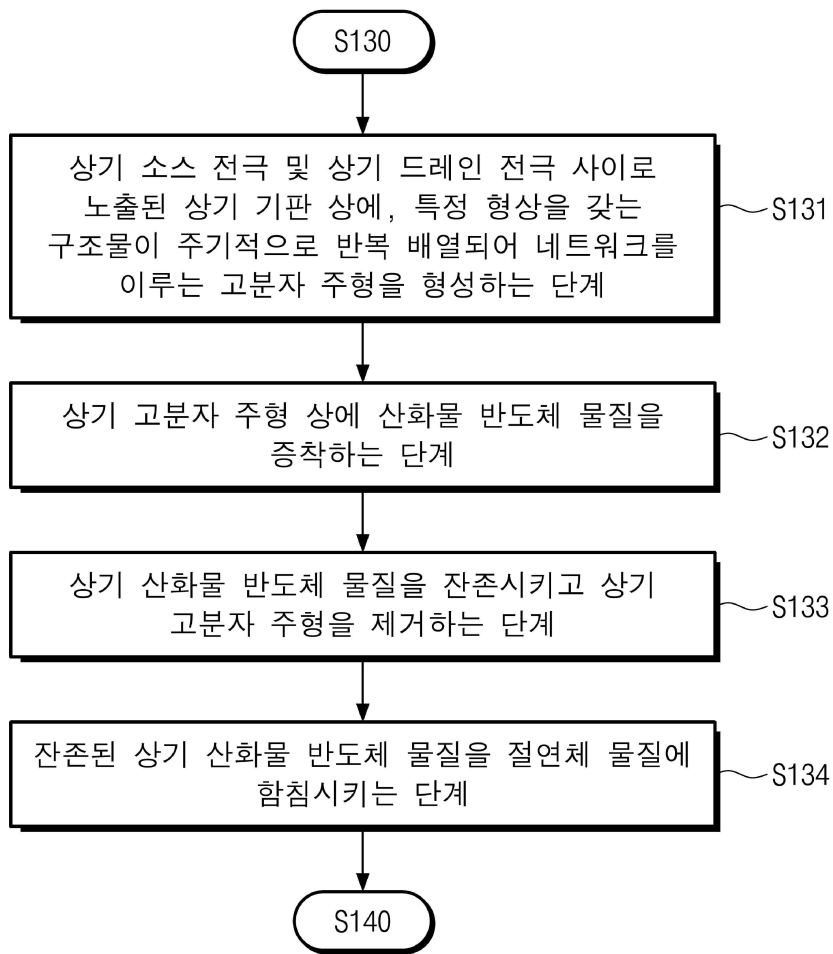


도면3

S130

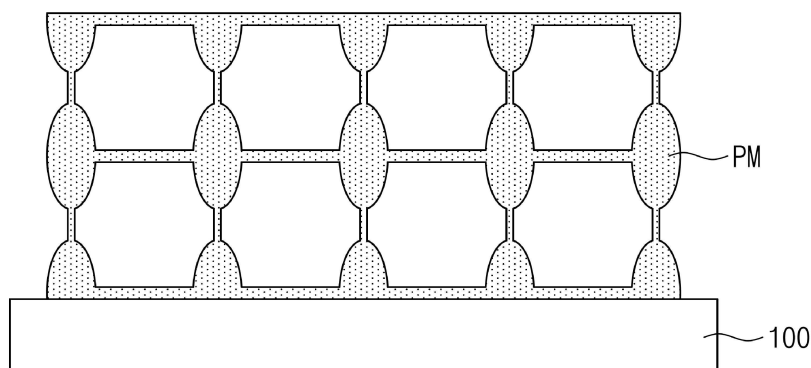


도면4



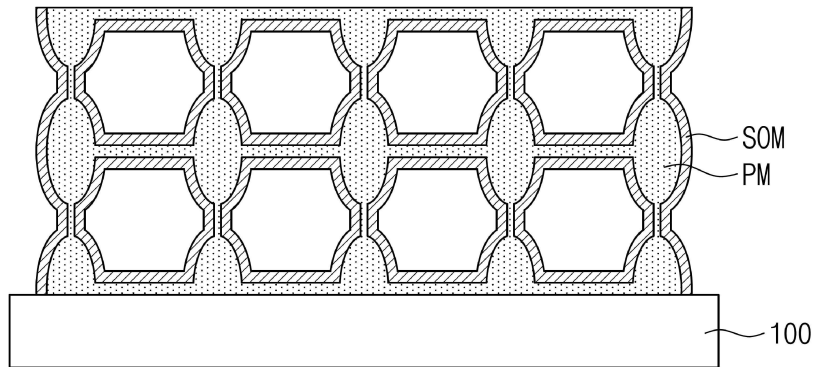
도면5

S131



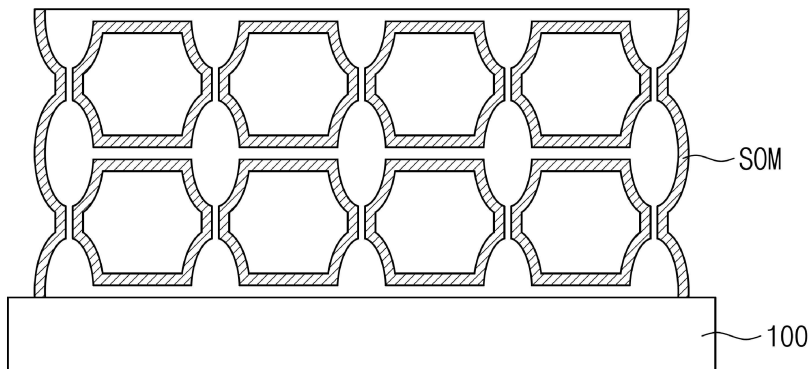
도면6

S132



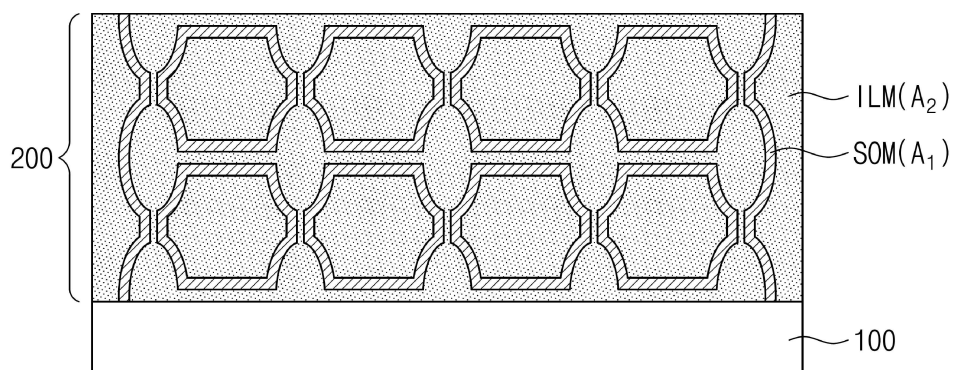
도면7

S133



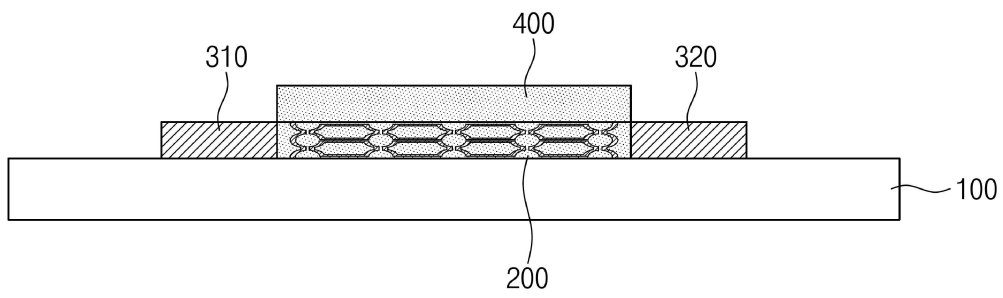
도면8

S134



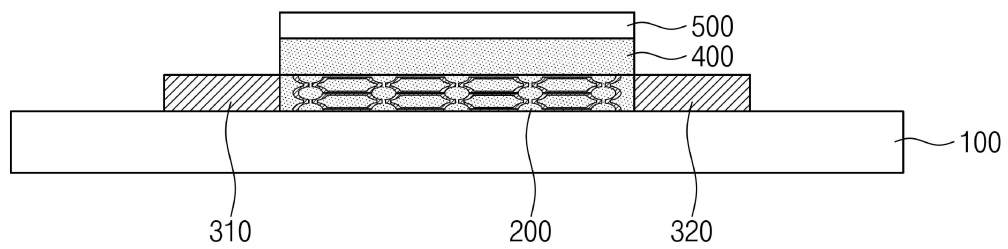
도면9

S140



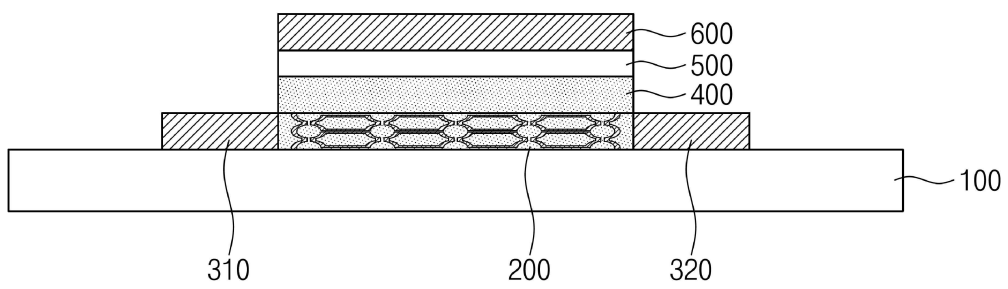
도면10

S145



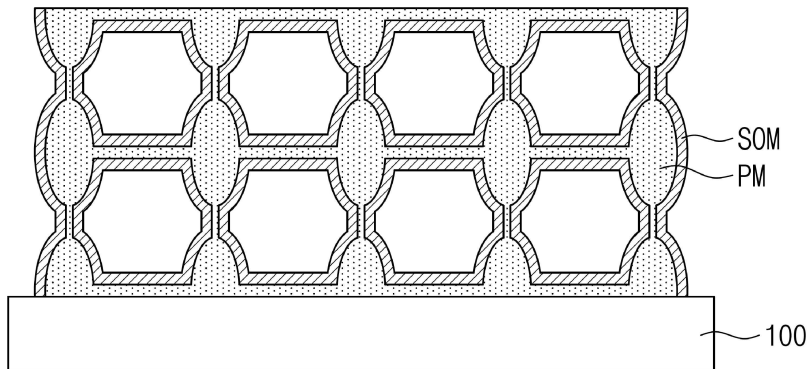
도면11

S150



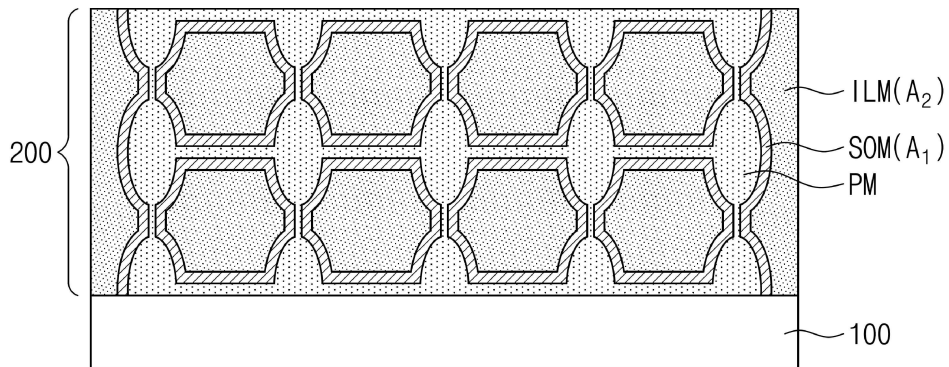
도면12

S132

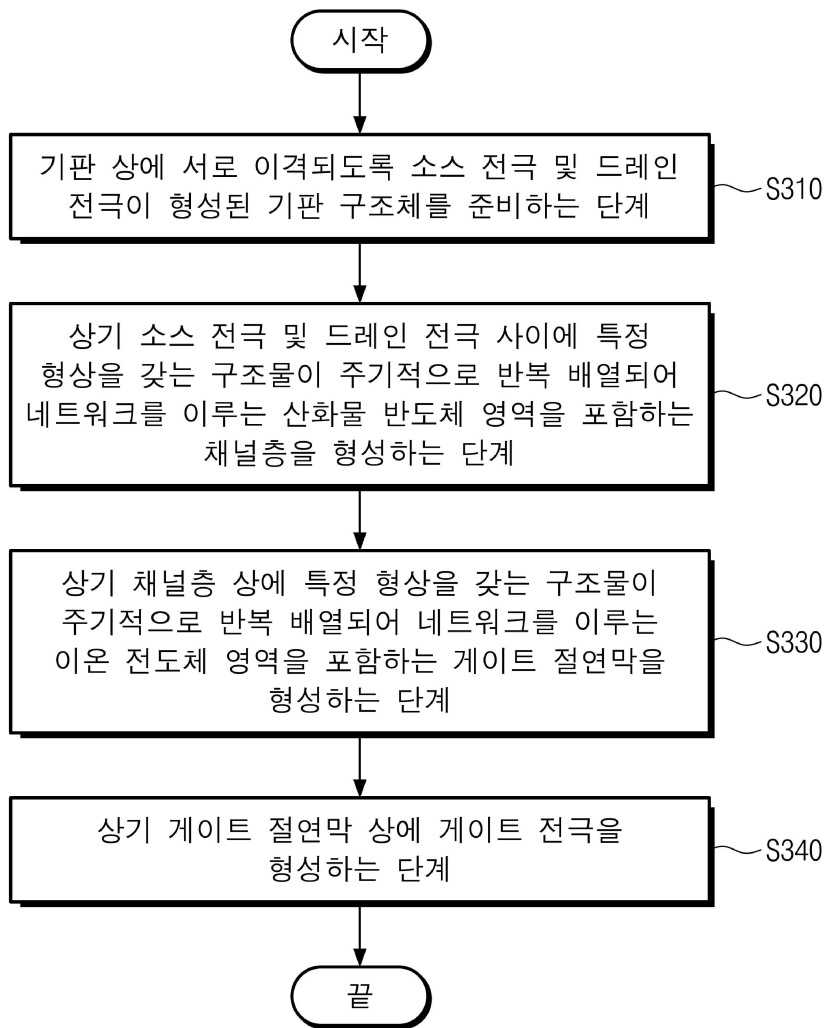


도면13

S134



도면14



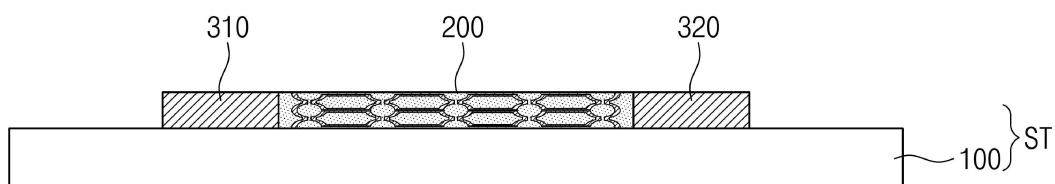
도면15

S310

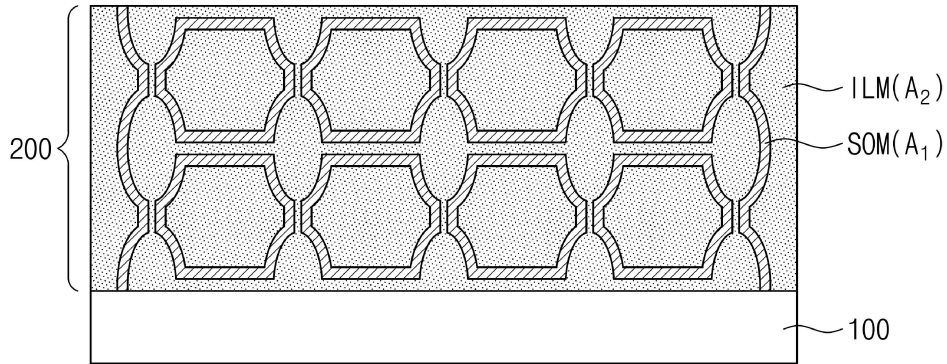


도면16

S320

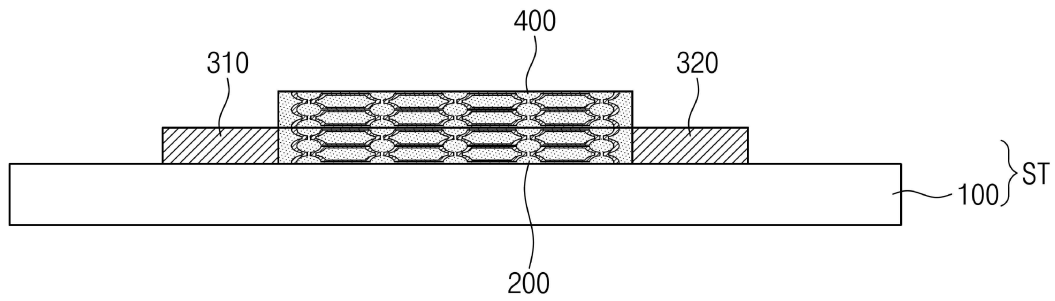


도면17

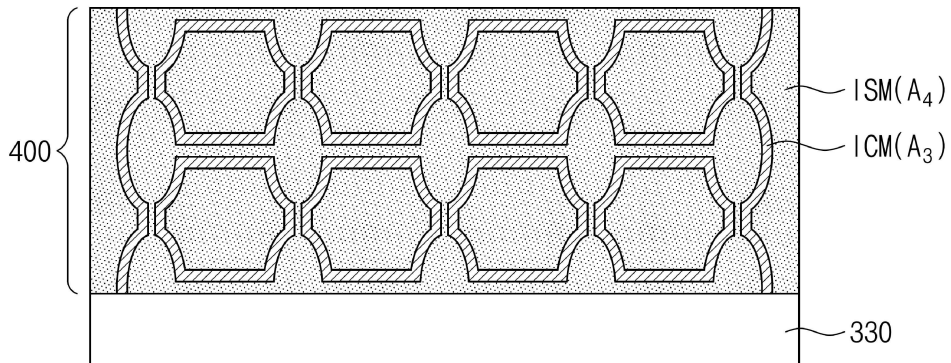


도면18

S330



도면19



도면20

S340

