

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 2 区分
 【発行日】平成 19 年 6 月 28 日 (2007.6.28)

【公開番号】特開 2004-163919 (P2004-163919A)
 【公開日】平成 16 年 6 月 10 日 (2004.6.10)
 【年通号数】公開・登録公報 2004-022
 【出願番号】特願 2003-361179 (P2003-361179)
 【国際特許分類】

G 0 9 G 3/30 (2006.01)

G 0 9 G 3/20 (2006.01)

H 0 1 L 51/50 (2006.01)

【F I】

G 0 9 G 3/30 H

G 0 9 G 3/20 6 1 2 L

G 0 9 G 3/20 6 3 1 B

G 0 9 G 3/20 6 3 1 D

G 0 9 G 3/20 6 3 3 U

G 0 9 G 3/20 6 4 1 E

H 0 5 B 33/14 A

【手続補正書】

【提出日】平成 19 年 5 月 15 日 (2007.5.15)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

データを記憶する第 1 および第 2 のメモリと、前記第 1 および第 2 のメモリの書き込みまたは読み取りを選択する第 1 および第 2 のメモリセレクトと、前記第 1 および第 2 のメモリへの書き込みを行う第 1 の論理回路と、前記第 1 および第 2 のメモリからの読み取りを行い出力を行う第 2 の論理回路と、

前記第 1 および第 2 のメモリへの書き込みと読み取りの役割を決定し、前記第 1 の論理回路が書き込みを終了し、かつ前記第 2 の論理回路が読み取りを終了した時点で前記第 1 および第 2 のメモリの役割を入れ替える手段と、
を有することを特徴とする表示装置。

【請求項 2】

データを記憶する第 1 および第 2 のメモリと、前記第 1 および第 2 のメモリの書き込みまたは読み取りを選択する第 1 および第 2 のメモリセレクトと、前記第 1 および第 2 のメモリへの書き込みを行う第 1 の論理回路と、前記第 1 および第 2 のメモリからの読み取りを行い出力を行う第 2 の論理回路と、

前記第 1 および第 2 のメモリへの書き込みと読み取りの役割を決定し、前記第 1 の論理回路が書き込みを終了し、かつ前記第 2 の論理回路が読み取りを終了した時点で前記第 1 および第 2 のメモリの役割を入れ替える手段と、

供給された信号を時間階調で表示するための信号に変換する手段と、
を有することを特徴とする表示装置。

【請求項 3】

データを記憶する第 1 および第 2 のメモリと、前記第 1 および第 2 のメモリの書き込み

または読み取りを選択する第 1 および第 2 のメモリセクタと、前記第 1 および第 2 のメモリへの書き込みを行う第 1 の論理回路と、前記第 1 および第 2 のメモリからの読み取りを行い出力を行う第 2 の論理回路と、

前記第 1 および第 2 のメモリへの書き込みと読み取りの役割を決定し、前記第 1 の論理回路が書き込みを終了し、かつ前記第 2 の論理回路が読み取りを終了した時点で前記第 1 および第 2 のメモリの役割を入れ替える手段と、

同期信号が入力された時点で前記第 1 および第 2 のメモリの役割が入れ替わっている場合に前記第 1 の論理回路を書き込み状態にする手段と、
を有することを特徴とする表示装置。

【請求項 4】

データを記憶する第 1 および第 2 のメモリと、前記第 1 および第 2 のメモリの書き込みまたは読み取りを選択する第 1 および第 2 のメモリセクタと、前記第 1 および第 2 のメモリへの書き込みを行う第 1 の論理回路と、前記第 1 および第 2 のメモリからの読み取りを行い出力を行う第 2 の論理回路と、

同期信号を表す第 1 の信号と、

前記第 1 の論理回路の状態を表す第 2 の信号と、

前記第 2 の論理回路の状態を表す第 3 の信号と、

前記第 1 および第 2 のメモリへの書き込みと読み取りの役割を決定し、前記第 1 の論理回路が書き込みを終了し、かつ前記第 2 の論理回路が読み取りを終了した時点で反転し前記第 1 および第 2 のメモリの役割を入れ替える第 4 の信号と、
を有することを特徴とする表示装置。

【請求項 5】

データを記憶する第 1 および第 2 のメモリと、前記第 1 および第 2 のメモリの書き込みまたは読み取りを選択する第 1 および第 2 のメモリセクタと、前記第 1 および第 2 のメモリへの書き込みを行う第 1 の論理回路と、前記第 1 および第 2 のメモリからの読み取りを行い出力を行う第 2 の論理回路と、

同期信号を表す第 1 の信号と、

前記第 1 の論理回路の状態を表す第 2 の信号と、

前記第 2 の論理回路の状態を表す第 3 の信号と、

前記第 1 および第 2 のメモリへの書き込みと読み取りの役割を決定し、前記第 1 の論理回路と前記第 2 の論理回路の状態によって反転し前記第 1 および第 2 のメモリの役割を入れ替える第 4 の信号と、
を有し、

前記第 2 の信号は、前記第 1 の論理回路が書き込みを終了した時点で第 2 の状態になり、

前記第 3 の信号は、前記第 1 の論理回路が書き込みを終了した時点で第 2 の状態になり、
前記第 2 の論理回路が読み取りを終了した時点で第 1 の状態になり、

前記第 4 の信号は、前記第 3 の信号が前記第 2 の状態から前記第 1 の状態になるタイミングで反転し、

前記第 2 の信号は、前記第 1 の信号が入力された時点でかつ前記第 4 の信号が反転されている場合に第 1 の状態になり、

前記第 2 の信号が前記第 1 の状態のときに前記第 1 の論理回路は書き込み状態になることを特徴とする表示装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記第 1 および第 2 のメモリと前記第 1 および第 2 のメモリへの書き込みを行う第 1 の論理回路と前記第 1 および第 2 のメモリからの読み取りを行い出力を行う第 2 の論理回路が表示部と基板上に一体形成されていることを特徴とする表示装置。

【請求項 7】

点灯時間の長さで階調を表現する表示装置において、

データを記憶する第 1 および第 2 のメモリと、前記第 1 および第 2 のメモリの書き込みまたは読み取りを選択する第 1 および第 2 のメモリセクタと、書き込み装置と、読み取り装置と、

前記書き込み装置と前記読み取り装置の状態から前記第 1 および前記第 2 のメモリへの書き込みと読み取りの役割を決定する手段と、を有し、

前記メモリへの書き込みと読み取りの役割を決定する手段は、

前記書き込み装置が前記第 1 のメモリまたは前記第 2 のメモリへの書き込みを終了し、且つ前記読み取り装置が前記第 1 のメモリまたは前記第 2 のメモリから読み取りを終了した時点で、前記第 1 および第 2 のメモリセクタが選択する前記第 1 のメモリおよび前記第 2 のメモリを切り替える回路と、

同期信号が入力された時点で前記第 1 のメモリおよび前記第 2 のメモリを切り替えていた場合に、前記書き込み装置を書き込みの状態にする回路と、
を有することを特徴とする表示装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、

前記第 1 のメモリセクタは前記第 1 のメモリまたは前記第 2 のメモリへの書き込みを選択し、前記第 2 のメモリセクタは前記第 1 のメモリまたは前記第 2 のメモリへの読み取りを選択することを特徴とする表示装置。

【請求項 9】

請求項 1 乃至請求項 7 のいずれか一項において、

前記第 1 のメモリセクタは前記第 1 のメモリへの書き込みまたは読み取りを選択し、前記第 2 のメモリセクタは前記第 2 のメモリへの書き込みまたは読み取りを選択することを特徴とする表示装置。

【請求項 10】

点灯時間の長さで階調を表現する表示装置において、

供給されたデータを時間階調で表示するための信号に変換する制御回路を備え、

前記制御回路は、

データを記憶する第 1 のメモリ及び第 2 のメモリと、

前記第 1 のメモリ又は前記第 2 のメモリへの書き込みを行う書き込み装置と、

前記第 1 のメモリ又は前記第 2 のメモリからの読み取りを行い出力を行う読み取り装置と、

前記書き込み装置と前記読み取り装置の状態から前記第 1 のメモリ及び前記第 2 のメモリへの書き込み及び読み取りの役割を決定する手段と、

前記第 1 のメモリ又は前記第 2 のメモリへの書き込みを選択する書き込み用メモリセクタ及び前記第 1 のメモリ又は前記第 2 のメモリからの読み取りを選択する出力用メモリセクタと、を備え、

前記メモリへの書き込み及び読み取りの役割を決定する手段は、

前記書き込み装置が前記書き込み用メモリセクタの選択する前記第 1 のメモリ又は前記第 2 のメモリへの書き込みを終了し、且つ前記読み取り装置が前記出力用メモリセクタの選択する前記第 1 のメモリ又は前記第 2 のメモリから読み取りを終了した時点で、前記書き込み用メモリセクタ及び出力用メモリセクタが選択する前記第 1 のメモリ及び前記第 2 のメモリを切り替える回路と、

同期信号が入力された時点で前記書き込み用メモリセクタ及び前記出力用メモリセクタが選択する前記第 1 のメモリ及び前記第 2 のメモリを切り替えていた場合に、前記書き込み装置を書き込みの状態にする回路と、

を備えることで前記書き込み装置と前記読み取り装置の同期を取ることを特徴とする表示装置。

【請求項 11】

点灯時間の長さで階調を表現する表示装置において、

供給されたデータを時間階調で表示するための信号に変換する制御回路を備え、

前記制御回路は、

データを記憶する第 1 のメモリ及び第 2 のメモリと、

前記第 1 のメモリ又は前記第 2 のメモリへの書き込みを行う書き込み装置と、

前記第 1 のメモリ又は前記第 2 のメモリからの読み取りを行い出力を行う読み取り装置と、

前記書き込み装置と前記読み取り装置の状態から前記第 1 のメモリ及び前記第 2 のメモリへの書き込み及び読み取りの役割を決定する手段と、

前記第 1 のメモリへの書き込み又は読み取りを選択する第 1 のメモリセクタ及び前記第 2 のメモリへの書き込み又は読み取りを選択する第 2 のメモリセクタと、を備え、

前記メモリへの書き込み及び読み取りの役割を決定する手段は、

前記第 1 又は第 2 のメモリセクタにより書き込みが選択された前記第 1 又は第 2 のメモリへの書き込みを終了し、且つ前記第 1 又は第 2 のメモリセクタにより読み取りが選択された前記第 1 又は第 2 のメモリから前記読み取り装置が読み取りを終了した時点で、前記第 1 のメモリセクタ及び前記第 2 のメモリセクタが選択する前記第 1 のメモリ及び前記第 2 のメモリを切り替える回路と、

同期信号が入力された時点で前記第 1 のメモリセクタ及び前記第 2 のメモリセクタが選択する前記第 1 のメモリ及び前記第 2 のメモリを切り替えていた場合に、前記書き込み装置を書き込みの状態にする回路と、

を備えることで前記書き込み装置と前記読み込み装置の同期を取ることを特徴とする表示装置。

【請求項 1 2】

請求項 1 乃至請求項 1 1 のいずれか一項において、

前記データを記憶する第 1 および第 2 のメモリと、映像信号をシリアルからパラレルに変換する変換回路と、第 1 のスイッチと第 2 のスイッチを有し、

前記映像信号は前記変換回路によってパラレルに変換されたのち前記第 1 のスイッチを介して前記第 1 のメモリまたは前記第 2 のメモリに入力され、前記第 1 のメモリまたは前記第 2 のメモリの出力信号は前記第 2 のスイッチを介してディスプレイに入力される事を特徴とする表示装置。

【請求項 1 3】

請求項 1 乃至請求項 1 2 のいずれか一項において、

前記メモリを F P C 上に実装することを特徴とする表示装置。

【請求項 1 4】

請求項 1 乃至請求項 1 2 のいずれか一項において、

前記メモリを基板上に実装することを特徴とする表示装置。

【請求項 1 5】

請求項 1 乃至請求項 1 4 のいずれか一に記載の表示装置を用いた電子機器。

【請求項 1 6】

データを記憶する第 1 および第 2 のメモリと、前記第 1 および第 2 のメモリの書き込みまたは読み取りを選択する第 1 および第 2 のメモリセクタと、前記第 1 および第 2 のメモリへの書き込みを行う第 1 の論理回路と、前記第 1 および第 2 のメモリからの読み取りを行い出力を行う第 2 の論理回路と、

同期信号を表す第 1 の信号と、

前記第 1 の論理回路の状態を表す第 2 の信号と、

前記第 2 の論理回路の状態を表す第 3 の信号と、

前記第 1 および第 2 のメモリへの書き込みと読み取りの役割を決定し、前記第 1 の論理回路と前記第 2 の論理回路の状態によって反転し前記第 1 および第 2 のメモリの役割を入れ替える第 4 の信号と、

を有し、

前記第 2 の信号は、前記第 1 の論理回路が書き込みを終了した時点で第 2 の状態になり

前記第 3 の信号は、前記第 1 の論理回路が書き込みを終了した時点で第 2 の状態になり、前記第 2 の論理回路が読み取りを終了した時点で第 1 の状態になり、

前記第 4 の信号は、前記第 3 の信号が前記第 2 の状態から前記第 1 の状態になるタイミングで反転し、

前記第 2 の信号は、前記第 1 の信号が入力された時点でかつ前記第 4 の信号が反転されている場合に第 1 の状態になり、

前記第 1 乃至第 4 の信号によって、前記第 1 の論理回路と前記第 2 の論理回路との同期を取ることを特徴とする表示装置の駆動方法。

【請求項 17】

第 1 の信号乃至第 5 の信号と、第 1 および第 2 のメモリと、書き込み装置と、読み取り装置とを備え、供給されたデータを時間階調で表示するためのデータに変換する制御回路を有し、点灯時間の長さで階調を表現する表示装置の駆動方法であって、

前記第 1 の信号は同期信号を表し、

前記第 2 の信号は前記書き込み装置の状態を表し、

前記第 3 の信号は前記読み取り装置の状態を表し、

前記第 4 の信号は前記第 1 のメモリ及び前記第 2 のメモリへの書き込みと読み取りの役割を決定し、前記第 2 の信号及び前記第 3 の信号の状態によって反転して前記第 1 のメモリ及び前記第 2 のメモリの役割を入れ替え、

前記第 5 の信号は前記第 4 の信号の保持を行い、

前記第 1 及び第 2 のメモリはそれぞれ書き込みと読み取りの役割が与えられ、

前記第 2 の信号を前記読み取り装置に、また前記第 3 の信号を前記書き込み装置に随時入力し、

前記書き込み装置が書き込みを行っている状態では、前記第 2 の信号は第 1 の状態となり、前記第 4 の信号は反転されず、前記第 5 の信号は前記第 4 の信号の状態を上書きし、

前記書き込み装置が待機状態では、前記第 2 の信号及び前記第 3 の信号は第 2 の状態になり、

前記書き込み装置が待機状態でかつ前記読み取り装置が読み取りを終了した時点で、前記第 3 の信号は第 1 の状態となり、前記第 4 の信号が反転して、前記第 1 のメモリ及び前記第 2 のメモリの書き込みと読み取りの役割が入れ替わり、

前記第 1 の信号が入力された時点で前記第 5 の信号と前記第 4 の信号との比較を行い、前記第 5 の信号と前記第 4 の信号が異なっている場合に前記第 2 の信号を第 1 の状態に戻すことで前記書き込み装置は書き込みを開始し、

これら一連の動作によって、読み取り装置及び書き込み装置の同期を取ることを特徴とする表示装置の駆動方法。