(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4054480号
(P4054480)

(45)発行日　平成20年2月27日(2008.2.27)　(24)登録日　平成19年12月14日(2007.12.14)

(51)Int.Cl.		F I		
H01L 27/15	(2006.01)	H01L	27/15	A
H01L 21/205	(2006.01)	H01L	21/205	
H01L 27/14	(2006.01)	H01L	27/15	D
H01S 5/183	(2006.01)	H01L	27/15	B
H01S 5/323	(2006.01)	H01L	27/14	Z

請求項の数 10　(全 13 頁)　最終頁に続く

(21)出願番号　特願平11-136515
(22)出願日　平成11年5月18日(1999.5.18)
(65)公開番号　特開2000-332229(P2000-332229A)
(43)公開日　平成12年11月30日(2000.11.30)
審査請求日　平成15年12月15日(2003.12.15)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100086483
弁理士　加藤　一男
(72)発明者　内田　護
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

審査官　恩田　春香

最終頁に続く

(54)【発明の名称】Ｓｉ基板上の光電融合デバイス構造、その製造方法、及び成膜方法

(57)【特許請求の範囲】

【請求項１】

電子デバイスの形成された（１００）面を有するＳｉウエハ上に形成された選択成長用マスクと、

Ｓｉとほぼ等しい格子定数の第１のＩＩＩ－Ｖ材料から成り、前記Ｓｉウエハ上に形成された薄膜と、

該第１のＩＩＩ－Ｖ材料より長い格子定数を有する第２のＩＩＩ－ＶＮ材料と、第１のＩＩＩ－Ｖ材料より短い格子定数を有する第３のＩＩＩ－ＶＮ材料とが歪み補償しながら交互に積層されることにより、前記第１のＩＩＩ－Ｖ材料から成る薄膜上及び前記選択成長用マスク上に形成された立方晶系の多層薄膜とを有し、

前記多層薄膜のうち前記選択成長用マスク上を横方向成長することにより形成された第４のＩＩＩ－ＶＮ材料結晶は、前記第１のＩＩＩ－Ｖ材料とほぼ等しい格子定数を有し、

且つ該第４のＩＩＩ－ＶＮ材料結晶上に積層された化合物半導体光デバイスを有することを特徴とするＳｉ基板上の光電融合デバイス構造。

【請求項２】

前記第１のＩＩＩ－Ｖ材料はＩＩＩ－ＶＮ材料であることを特徴とする請求項１記載のＳｉ基板上の光電融合デバイス構造。

【請求項３】

前記第１のＩＩＩ－Ｖ材料としてＧａＡｓに格子整合する（Ａｌ）ＧａＩｎＮＡｓを用い、第２のＩＩＩ－ＶＮ材料としてＡｌＮＡｓを用い、第３のＩＩＩ－ＶＮ材料としてＧａ

ＮＡｓを用いることを特徴とする請求項２記載のＳｉ基板上の光電融合デバイス構造。
【請求項４】
前記化合物半導体光デバイスは、前記第４のＩＩＩ－ＶＮ材料結晶上に積層されたＡｌ（Ｇａ）Ａｓ／ＧａＡｓからなる多層膜を反射ミラーとする面発光レーザ構造であることを特徴とする請求項３記載のＳｉ基板上の光電融合デバイス構造。
【請求項５】
前記化合物半導体光デバイスは、前記第４のＩＩＩ－ＶＮ材料結晶上に積層された第５のＩＩＩ－ＶＮ材料を主たる活性層材料とする半導体レーザ構造であることを特徴とする請求項１乃至３の何れかに記載のＳｉ基板上の光電融合デバイス構造。
【請求項６】
前記ＩＩＩ－ＶＮ材料は、Ｎ源にＲＦプラズマガンを用いたガスソースＭＢＥ法で成膜されることを特徴とする請求項１乃至５の何れかに記載のＳｉ基板上の光電融合デバイス構造。
【請求項７】
電子デバイスの形成された（１００）面を有するＳｉウエハ上に、選択成長用マスクを形成する工程と、
Ｓｉとほぼ等しい格子定数の第１のＩＩＩ－Ｖ材料から成る薄膜を前記Ｓｉウエハ上に成膜する工程と、
該第１のＩＩＩ－Ｖ材料より長い格子定数を有する第２のＩＩＩ－ＶＮ材料及び第１のＩＩＩ－Ｖ材料より短い格子定数を有する第３のＩＩＩ－ＶＮ材料から成る立方晶系の多層薄膜を歪み補償しながら交互に、前記第１のＩＩＩ－Ｖ材料から成る薄膜上及び前記選択成長用マスク上に積層する工程とを有し、
前記積層する工程において、前記多層薄膜は前記選択成長用マスク上を横方向成長することで、前記第１のＩＩＩ－Ｖ材料とほぼ等しい格子定数を有する第４のＩＩＩ－ＶＮ材料結晶を前記選択成長用マスク上に成膜し、
且つ該第４のＩＩＩ－ＶＮ材料結晶上に化合物半導体光デバイスを積層することを特徴とするＳｉ基板上の光電融合デバイス構造の製造方法。
【請求項８】
前記第１のＩＩＩ－Ｖ材料はＩＩＩ－ＶＮ材料であることを特徴とする請求項７記載のＳｉ基板上の光電融合デバイス構造の製造方法。
【請求項９】
前記化合物半導体光デバイスは、前記第４のＩＩＩ－ＶＮ材料結晶上に積層された端面発光型半導体レーザであり、Ｓｉウエハ上に電子デバイスが作製されていると共に、該半導体レーザからの光を導波する光導波路がＳｉで形成されていることを特徴とする請求項７または８記載のＳｉ基板上の光電融合デバイス構造の製造方法。
【請求項１０】
（１００）面を有するＳｉウエハ上に、誘電体からなる選択成長用マスクを形成する工程と、
Ｓｉとほぼ等しい格子定数の第１のＩＩＩ－Ｖ材料からなる薄膜を前記Ｓｉウエハ上に成膜する工程と、
該第１のＩＩＩ－Ｖ材料より長い格子定数を有する第２のＩＩＩ－ＶＮ材料及び第１のＩＩＩ－Ｖ材料より短い格子定数を有する第３のＩＩＩ－ＶＮ材料からなる立方晶系の多層薄膜を歪み補償しながら交互に、前記第１のＩＩＩ－Ｖ材料から成る薄膜上及び前記選択成長用マスク上に積層する工程とを有し、
前記積層する工程において、前記多層薄膜は前記選択成長用マスク上を横方向成長することで、前記第１のＩＩＩ－Ｖ材料とほぼ等しい格子定数を有する第４のＩＩＩ－ＶＮ材料結晶を選択的に成膜することを特徴とするＳｉ上に格子定数の異なるＩＩＩ－ＶＮ材料を選択的に形成する成膜方法。
【発明の詳細な説明】
【０００１】

【発明の属する技術分野】
本発明は、チップ間或はボード間光インタコネクション等に適用されるＳｉ基板上の光電融合デバイスの構造、その製造方法、及び成膜方法に関する。
【０００２】
【従来の技術及びその問題点】
究極のインタコネクト技術とは光信号や電気信号を区別なく任意に交換できる技術である。光インタコネクト技術は従来の電気配線の機能を補完しうる技術として開発が進んでいる。この技術に不可欠な方法として、電子デバイスと光デバイスを完全融合させることが挙げられる。ここでいう完全融合とは、Ｓｉと集積（或は近接配置）できること、及び、電子デバイスと光デバイスの間で同一の環境（電力供給や放熱、実装等）の共通化が図れることを意味する。
【０００３】
この目的に用いる光デバイスとして、発光源及び受光器が必要であるが、従来、１．３μｍ帯レーザダイオード（ＬＤ）とＩｎＧａＡｓ フォトディテクタ（ＰＤ）の組み合わせか、０．８μｍ帯面発光レーザ（ＶＣＳＥＬ： ｖｅｒｔｉｃａｌ ｃａｖｉｔｙ ｓｕｒｆａｃｅ ｅｍｉｔｔｉｎｇ ｌａｓｅｒ）とＳｉ－ＰＤの組み合わせが多く、且つ、それぞれＩｎＰやＧａＡｓ等の化合物半導体基板上に作製されていた為、Ｓｉデバイスとは独立な存在であった。
【０００４】
一方で、論理素子に多く利用されるＣＭＯＳ（ｃｏｍｐｌｅｍｅｎｔａｒｙ ｍｅｔａｌ－ｏｘｉｄｅ ｓｅｍｉｃｏｎｄｕｃｔｏｒ）に代表されるＳｉデバイスは立方晶の（１００）面Ｓｉ上に形成されているため、光デバイスと電子デバイスもそれが望まれる。また、通常の光デバイスも、へき開、結晶性などの点で優れているので、立方晶の化合物半導体で構成されているため、（１００）Ｓｉ上に立方晶のＩＩＩ－Ｖ族材料を成膜することが必要となる。
【０００５】
Ｓｉ上に他の化合物材料を近接配置する技術としては、
（１）Ｓｉ上へのバッファ層を用いてエピタキシャルに積層するもの、（２）異種材料直接接合を用いたもの、（３）接着材を介したもの等、がある。
【０００６】
このうち、バッファ層を介して、直接Ｓｉ上へＩＩＩ－Ｖ材料をエピタキシャル成長させる（１）の方法が量産向きで発展性も高いため、報告例は多い。たとえば、
（ａ）（１００）ＳｉへのＧａＡｓ直接成長（Ｍ． Ｔａｃｈｉｋａｗａ ａｎｄ Ｈ． Ｍｏｒｉ； Ａｐｐｌｉｅｄ Ｐｈｙｓｉｃｓ Ｌｅｔｔｅｒｓ， ５６（２２），２２２５（１９９０））、
（ｂ）ＡｌＮＡｓをバッファ層として（１１１）Ｓｉへ成長（Ｇ． Ｍｅｎｄｏｚａ 他、 Ｊｏｕｒｎａｌ ｏｆ Ｃｒｙｓｔａｌ Ｇｒｏｗｔｈ １７８，４５（１９９７））、
（ｃ）横方向成長モードを用いた（１００）Ｓｉ基板上へのＧａＡｓ選択成長（第５８回応用物理学会学術講演会講演予稿集４ａ－ＳＭ－２、３５０（１９９７））、
がある。
【０００７】
このうち、（ａ）は格子ミスフィットが大き過ぎたり、膨張係数の違いが大きかったり、ドメイン不整合などがあり、良質なＧａＡｓ膜が得られていない。（ｂ）は六方晶の結晶系しか得られず、ＧａＮの成長には適するが、立方晶ＩＩＩ－Ｖ材料を成長するには適さない。（ｃ）はＧａＡｓの報告例しかなく、また、選択性の高いことが必要なため、量産性に不向きなＬＰＥ（ｌｉｑｕｉｄ ｐｈａｓｅ ｅｐｉｔａｘｙ）の報告例しかない。
【０００８】
一方、Ｓｉデバイスと同一の環境下で光デバイスを動作させるためには、
１）低消費動作（特に低電圧動作）、及び２）周囲温度が変化しても特性が変わりにくい

こと（以下、温度特性が良いと表現する）が光デバイスに求められる。
【０００９】
低電圧駆動と温度特性を同時に満足するには、光デバイスの材料の選択にかかっている。これには、ＧａＡｓの格子定数近くの立方晶ＩＩＩ－ＶＮ材料（ＩＩＩ族及びＶ族からなる化合物材料のうち、Ｖ族材料としてＮ（窒素）を含むものを本明細書ではこう表記する）が有効であることが分かってきた。
【００１０】
従って、立方晶ＩＩＩ－Ｖ材料（特に、ＩＩＩ－ＶＮ材料）を立方晶の（１００）面Ｓｉウエハ上にエピタキシャルに成長できることが理想であることが分かる。しかしながら、先に簡単に触れたように、これには特有の問題点があり、成功例はない。この理由について以下やや詳細に説明する。
【００１１】
先ず、Ｓｉ上へのＩＩＩ－ＶＮ材料成長の問題点について述べる。
（１００）Ｓｉの上にＧａＡｓＮ或はＡｌＡｓＮを成長した場合、立方晶を維持するのは、成長開始後、数１００ｎｍであり、これ以上の厚さを積層していくと、六方晶成分が増え、ついには、完全に六方晶となってしまうことが実験的に確かめられている。この原因は以下のように考えられる。たとえば、ＧａＮＡｓを（１００）Ｓｉ基板上に成長する場合、構成元素であるＧａＡｓとＧａＮの晶系は、ともに、立方晶及び六方晶をとり得る。しかし、ＧａＡｓでは立方晶が極めて安定なのに対し、ＧａＮでは六方晶の方が安定なために、Ｎ組成比が大きな領域ほど、基板が立方晶であっても、厚く積層するに従って、六方晶成分が成長しやすくなり、ついには相分離してしまう。従って、（１００）Ｓｉ基板上にＧａＡｓは極めて成長しにくいが、ＧａＮやＡｌＮは六方晶として比較的容易に成長することが予想され、実験でも確かめられている。
【００１２】
次に、横方向成長及びその問題点について説明する。
横方向成長について図４を用いて説明する。図４（ａ）に示すように、基板４０１上（たとえばＳｉ）に選択成長マスク４０２を形成し、この上に基板４０１とは格子整合しないエピタキシャル膜（たとえばＧａＡｓ）の種結晶４０３を積層した場合（図４（ｂ））、基板界面付近は格子不整合によるミスフィット転移が生じ、その転移が引き込まれて成長を続ける。しかし、選択成長マスク４０２の厚さ以上に成長すると、横方向成長モードが支配的になり、基板４０１の格子定数とは別に、基板温度、供給量等の成長条件に応じたＧａＡｓが歪みを受けることなく成長を始める（図４（ｃ））。ある程度厚く積めば、（マスク中央部分を除いて）きわめて格子欠陥の少ない横方向成長結晶のエピタキシヤル膜４０４が得られる（図４（ｄ））。
【００１３】
しかし、この方法には幾つかの問題点がある。
横方向成長は、２元混晶（具体的にはＧａＡｓ）しか報告されておらず、且つ膜質は実用レベルに達していない。また、３元以上の混晶を用いた横方向成長の報告例（成功例）はない。この理由は、以下のように説明できる。
【００１４】
横方向成長では、基板の格子定数の影響は受けないが、成長の核はこれまでの成長膜の情報の影響を受ける。従って、混晶比の自由度がある３元以上の混晶ではストイキオメトリ（化学量論的組成）が一定の状態を作りにくいことが想像される。結果的に、成長核ごとに安定な混晶比が異なるために、横方向成長を構成する混晶の比が一定とならないのである。
【００１５】
本発明の目的は、以上の課題に鑑み、（１００）Ｓｉ上に立方晶のＩＩＩ－ＶＮ材料を積層し、その上にＩＩＩ－Ｖ材料からなる化合物半導体デバイスを作製する方法を確立してＳｉ基板上の光電融合デバイス構造、その製造方法、及び成膜方法を提供することにある。

【００１６】
【課題を解決するための手段】
本発明の原理の骨子は、横方向成長を用いて、大きな格子不整合を緩和しつつ立方晶ＩＩＩ－ＶＮ材料を成長することにある。より詳細には、本発明はバッファ層を介した直接成長に係るが、従来例とは以下の点で異なることにより、上記立方晶ＩＩＩ－ＶＮ材料の成長を可能としている。
第１の条件として（１００）Ｓｉを基板として用いて、立方晶を成長するきっかけを与える。
第２の条件として、応力の方向の異なる複数のＩＩＩ－ＶＮ材料を歪み補償しながら交互に積層することで厚みを維持する。
第３の条件として、横方向成長モードを用いてミスフィット転位を避ける。
【００１７】
よって、上記目的を達成する本発明のＳｉ基板上の光電融合デバイス構造は、
電子デバイスの形成された（１００）面を有するＳｉウエハ上に形成された選択成長用マスクと、
Ｓｉとほぼ等しい格子定数の第１のＩＩＩ－Ｖ材料から成り、前記Ｓｉウエハ上に形成された薄膜と、
該第１のＩＩＩ－Ｖ材料より長い格子定数を有する第２のＩＩＩ－ＶＮ材料と、第１のＩＩＩ－Ｖ材料より短い格子定数を有する第３のＩＩＩ－ＶＮ材料とが歪み補償しながら交互に積層されることにより、前記第１のＩＩＩ－Ｖ材料から成る薄膜上及び前記選択成長用マスク上に形成された立方晶系の多層薄膜とを有し、
前記多層薄膜のうち前記選択成長用マスク上を横方向成長することにより形成された第４のＩＩＩ－ＶＮ材料結晶は、前記第１のＩＩＩ－Ｖ材料とほぼ等しい格子定数を有し、
且つ該第４のＩＩＩ－ＶＮ材料結晶上に積層された化合物半導体光デバイスを有することを特徴とする。
【００１８】
この基本構造に基づいて以下の如き態様が可能である。
前記第１のＩＩＩ－Ｖ材料はＩＩＩ－ＶＮ材料である。
【００１９】
前記第１のＩＩＩ－Ｖ材料としてＧａＡｓに格子整合する（Ａｌ）ＧａＩｎＮＡｓを用い、第２及び第３のＩＩＩ－ＶＮ材料として夫々ＡｌＮＡｓ及びＧａＮＡｓを用いる（本明細書中で括弧に囲まれた元素は含む場合と含まない場合があることを示す）。この場合、前記化合物半導体光デバイスは、前記第４のＩＩＩ－ＶＮ材料結晶上に積層されたＡｌ（Ｇａ）Ａｓ／ＧａＡｓからなる多層膜を反射ミラーとする面発光レーザ構造とできる。
【００２０】
前記第１のＩＩＩ－Ｖ材料としてＩｎＰに格子整合するＧａＩｎＮＡｓＰを用い、第２及び第３のＩＩＩ－ＶＮ材料としてＩｎＮＡｓ及びＩｎＮＰを用いる。この場合、前記化合物半導体光デバイスは、前記第４のＩＩＩ－ＶＮ材料結晶上に積層されたＡｌ（Ｉｎ）ＮＡｓＰ／Ｇａ（Ｉｎ）ＮＡｓＰからなる多層膜を反射ミラーとする面発光レーザ構造とできる。
【００２１】
前記化合物半導体光デバイスは、前記第４のＩＩＩ－ＶＮ材料結晶上に積層された端面発光型半導体レーザであり、Ｓｉウエハ上にＣＭＯＳ等の電子デバイスが作製されていると同時に、該半導体レーザからの光を導波する光導波路がＳｉで形成されている。
【００２２】
前記化合物半導体光デバイスは、前記第４のＩＩＩ－ＶＮ材料結晶上に積層された第５のＩＩＩ－ＶＮ材料を主たる活性層材料とする半導体レーザ構造である。
【００２３】
前記ＩＩＩ－ＶＮ材料は、Ｎ源にＲＦプラズマガンを用いたガスソースＭＢＥ法で成膜される。これの特徴は後記の実施例の説明中に述べられている。

【００２４】
また、上記目的を達成する本発明のＳｉ基板上の光電融合デバイス構造の製造方法は、
電子デバイスの形成された（１００）面を有するＳｉウエハ上に、選択成長用マスクを形成する工程と、
Ｓｉとほぼ等しい格子定数の第１のＩＩＩ－Ｖ材料から成る薄膜を前記Ｓｉウエハ上に成膜する工程と、
該第１のＩＩＩ－Ｖ材料より長い格子定数を有する第２のＩＩＩ－ＶＮ材料及び第１のＩＩＩ－Ｖ材料より短い格子定数を有する第３のＩＩＩ－ＶＮ材料から成る立方晶系の多層薄膜を歪み補償しながら交互に、前記第１のＩＩＩ－Ｖ材料から成る薄膜上及び前記選択成長用マスク上に積層する工程とを有し、
前記積層する工程において、前記多層薄膜は前記選択成長用マスク上を横方向成長することで、前記第１のＩＩＩ－Ｖ材料とほぼ等しい格子定数を有する第４のＩＩＩ－ＶＮ材料結晶を前記選択成長用マスク上に成膜し、
且つ該第４のＩＩＩ－ＶＮ材料結晶上に化合物半導体光デバイスを積層することを特徴とする。
【００２５】
【作用】
立方晶が安定なＧａＡｓと六方晶をとりやすいＧａＮの混晶であるＧａＮＡｓを立方晶で成長する方法として、本発明では、１）成長初期過程で立方晶をとるきっかけを与えること、２）立方晶を維持する方法を導入すること、３）格子不整を緩和すること、に注目した。具体的には、１）に関しては、（１００）Ｓｉ基板を用いること、２）に関しては、応力方向の異なる歪み多層バッファ層を導入すること、３）に関しては、３元以上の構成元素による横方向成長モードを使うことである。
【００２６】
１）に関しては公知である。
２）は、これまで用いられていない手法である。この根拠は以下の実験的事実にある。すなわち、立方晶を維持する層厚は、格子整合している場合より、歪み応力がかかった場合の方が厚いということである。具体的には、格子整合した場合には、１００ｎｍ程度で立方晶から六方晶に相分離していく。これ以上厚くすると完全に六方晶になってしまう。ところが、引っ張り歪み或は圧縮歪みをかけた場合には、０．１μｍ程度までは立方晶を維持することが確かめられた。しかしながら、これ以上膜厚を厚くすると臨界膜厚に達し、リラックスしてしまう。そこで、応力の方向の異なる歪みバッファ層を積層することでトータルのバッファ層膜厚を厚くすることができ、結晶性を改善することができる。
【００２７】
３）に関しては、２元材料に関しては公知だが、３元以上では、本発明を用いることで可能になる技術である。３元以上にすることにより格子定数の調整がより柔軟にできる様になる。
【００２８】
特に、本発明では、２）と３）に関して、Ｎ源にＲＦプラズマガンを用いている場合、基板の表面状態に依存することなく、供給したＮが付着係数１００％で結晶中に取り込まれて、Ｎ組成が一定の横方向成長が可能になる技術を用いることが重要である。
【００２９】
以上のように、本発明の特徴は、以上の３つの技術を融合して、（１００）Ｓｉ基板上に、格子定数の異なるＩＩＩ－ＶＮ材料を選択的に形成することにある。
【００３０】
【発明の実施の形態】
以下に本発明の実施の形態を図面を参照しつつ説明する。
【００３１】
［第１実施例］
第１実施例はＳｉ（１００）面に立方晶ＩＩＩ－ＶＮを成長する例に係る。図１は、本発

明の第１の実施例を説明する模式的斜視図である。図１において、１０１は（１００）面を有するＳｉ基板であり、１０２はその上に形成されたＣＭＯＳ等の電子デバイスからなる論理素子ないしプロセッサエレメント（ＰＥ）であり、１０３はその上に近接して配置された発光素子或は受光素子であり、１０４は電気配線であり、１０５と１０６は夫々出力光及び入力光である。図１において、ＰＥ１０２上に適当なパターンで形成された電極が見える。

【００３２】

このＳｉ基板上の光電融合デバイス構造の機能について簡単に説明する。１つ（或は複数）のＰＥ１０２に入力されたデータは該ＰＥで処理されると、その出力データに応じて、電気配線１０４を介して電気信号或は発光素子１０３を介して光出力１０６として出力される。こうして、データに応じて電気信号でも光信号でもデータを転送できる光電融合デバイスの典型的な構造となっている。

【００３３】

以下、この様なデバイス構造の作製方法例について説明する。図２は、作製方法を模式的に示した断面図である。図示の便宜上、１つのＰＥ部分の断面のみを示している。

【００３４】

先ず、ガスソース分子線エピタキシャル法（本明細書では化学分子線エピタキシャル法も含む用語として用いる）により、（１００）Ｓｉ基板２０１上に、ＣＭＯＳ等の電子デバイス２０２（２０２ａはその電極であるが、図２（ｂ）以下では省略してある）を形成する（図２（ａ））。次に、電子デバイス形成部分を中心に、厚さ０．１μｍのSiO_2膜２０３を選択成長マスクとしてアイランド状（たとえば矩形）に適当なパターンで形成する。SiO_2膜２０３の厚さは基板温度、材料供給態様などの成長条件によって適宜調整すべきである。

【００３５】

続いて、先ず、第１のＩＩＩ－ＶＮ材料である所望の格子定数のＩＩＩ－ＶＮ材料たとえば$Al_xGa_yIn_{1-x-y}N_zAs_{1-z}$の薄膜（約１００ｎｍ厚）を種結晶２０４として積層する（図２（ｂ））。この材料の選定は、最終的に形成する光デバイスの材料に依存する。

【００３６】

このあと、Ｓｉの格子定数より長い格子定数を有するＡｌＡｓＮと短い格子定数を有するＧａＡｓＮ（第２と第３のＩＩＩ－ＶＮ材料にあたる）を交互に積層する（図２（ｂ））。成長条件は、基板温度６００℃で、ＧａソースとしてＴＭＧ（トリメチルインジウム）、ＡｓソースとしてＡｓＨ$_3$（アルシン）、ＮソースとしてＲＦプラズマ励起したＮ（窒素ラジカル）を用いた（N_2　０．５ｓｃｃｍ、ＲＦパワー２００Ｗ）。

【００３７】

本実施例の場合、第１のＩＩＩ－ＶＮ材料２０４としてＧａＡｓと格子整合するＧａＩｎＮＡｓを選んだ（これは、光デバイス形成のときに後で成膜される材料に関係する）。そして、この上に積層する前記応力方向が異なる第２と第３のＩＩＩ－ＶＮ材料から成る歪み多層バッファ層２０５として、ＧａＮＡｓ（引っ張り歪み、０．８％）及びＡｌＮＡｓ（圧縮歪み、－０．８％）をそれぞれ２０ｎｍずつ４０ペア積層した。

【００３８】

この結果、最初のＧａＩｎＮＡｓ２０４成長時は、Ｓｉ界面付近に発生したミスフィット転位を引きずりながら成長し、結晶性は不良であるが、次の歪み多層バッファ層２０５では応力がかかる薄膜成長のため、六方晶の成長が抑えられている。さらに、応力方向の逆の薄膜を組み合わせていることで、歪み補償効果により、厚い立方晶のバッファ層を積むことができる。また、前記選択成長マスク２０３より厚く成長する過程で、横方向成長モードに入り、基板格子定数に依らないで供給量で決まる混晶（第４のＩＩＩ－ＶＮ材料にあたる）が横方向に成長する。特に、本実施例の場合、Ｎ源にＲＦプラズマガンを用いているため、基板の表面状態に依存することなく、供給したＮが付着係数１００％で結晶中に取り込まれるため、Ｎ組成が一定の横方向成長が可能になる。ＭＯＣＶＤ法では表面温

度や面方位によってＮ取り込み効率が大きく変化するため２元の横方向成長しかできないことを、これにより改善している。

【００３９】

立方晶を維持しつつ且つ格子定数を可変するには、以上のように、歪み方向の異なる薄膜を多層することが必要である。この際、同種の混晶だけ（たとえばＧａＮＡｓだけ）で組成のみを変えることも可能だが、構成元素の異なる（化学的性質の異なる）ＩＩＩ－ＶＮ材料を選ぶ方が効果的である。

【００４０】

最終層として、ＡｌＡｓ２１１を成長した結果を図２（ｃ）に示す。横方向成長が途中で停止している状態を示している。このあと、任意の方法でプロセスして所望のデバイスを形成する。ここでは、真空一貫プロセスを用いた面発光レーザ（ＶＣＳＥＬ）の作製方法を示す。

【００４１】

図２（ｄ）において、ＡｌＡｓ膜２１１全体を酸化したあと、ＦＩＢ（収束イオンビーム）等でマスクレスで面発光レーザ形成部分のみの酸化膜を除去し、その上にガスソースＭＢＥ法で選択的に面発光レーザ構造（ＶＣＳＥＬ）を積層する（図２（ｄ））。ここでは、ｎ－ＡｌＡｓ／ＧａＡｓ　ＤＢＲ層（２０６）２０ペア、ＡｌＧａＡｓ／ＧａＡｓ　ＭＱＷ活性層（波長１．３μｍ）２０７、ｐ－ＡｌＡｓ／ＧａＡｓ反射膜層２０８（２０ペア）を積層した。この後、必要な電極２０９の形成、配線、及び素子分離溝２１０の形成を行うことで本実施例は完成する（図２（ｅ））。

【００４２】

動作について説明する。図２（ｅ）において、ＣＭＯＳ回路２０２は電源電圧２Ｖで動作するとして、ＣＭＯＳ回路２０２から供給された電力（情報）は電極２０９を介して直接ＶＣＳＥＬを駆動する。このＶＣＳＥＬは、波長１．３μｍ、すなわち、バンドギャップは０．９５ｅＶであり、低しきい値電流で動作するため、容易にＶＣＳＥＬを駆動できる。発光した光は外部（たとえば対向する他のロジック基板）へ光信号として伝送される。逆に、外部からの光信号は受光器（ここではＶＣＳＥＬと同構造としてある）で受け、電気信号に変換され、ＣＭＯＳのロジック回路２０２で処理される。その後、必要があれば、前記のように光信号として外部のロジック或は基板とインタコネクトすることもできる。

【００４３】

以上のように、本実施例は、Ｓｉ上に光デバイスと電子デバイスが近接配置され、且つそれらが同一の環境（電源及び実装形態）で動作することが大きな特徴となっている。

【００４４】

［第２実施例］

第２実施例は、Ｓｉ基板上にＩｎＰを積層する例に係る。ＩｎＰへの格子整合について、図２を再度用いて作製方法を説明しつつ説明する。

【００４５】

先ず、ガスソース分子線エピタキシャル法（化学分子線エピタキシャル法も含む）により、（１００）Ｓｉ２０１基板上に、ＣＭＯＳ等の電子デバイス２０２を形成する。電子デバイス形成部分を中心に、厚さ０．１μｍのSiO_2膜２０３を選択マスクとしてアイランド状（たとえば矩形）に形成する（SiO_2の厚さは成長条件によって調節すべきである）。成長条件は、基板温度６００℃で、ＧａソースとしてＴＭＧ（トリメチルインジウム）、ＰソースとしてＰＨ$_3$（ホスフィン）、ＡｓソースとしてＡｓＨ$_3$（アルシン）、ＮソースとしてＲＦプラズマ励起したＮ（窒素ラジカル）を用いた（N_2　０．５ｓｃｃｍ、ＲＦパワー２００Ｗ）。

【００４６】

本実施例の場合、第１層のＩＩＩ－ＶＮ材料としてＩｎＰに近い格子定数を持つ材料としてＧａＩｎＮＡｓＰ２０４を選んだ。この上に積層する応力方向が異なる歪み補償多層バッファ層２０５として、ＩｎＮＡｓ（０．８％）及びＩｎＮＰ（－０．８％）をそれぞれ

２０ｎｍずつ４０ペア積層する。この結果、最初のＧａＩｎＮＡｓＰ２０４成長時は、Ｓｉ界面付近に発生したミスフィット転位を引きずりながら成長し、結晶性は不良であるが、歪み補償多層バッファ層２０５では応力がかかる薄膜成長のため、六方晶の成長が抑えられている。

【００４７】

さらに、応力方向の逆の薄膜と組み合わせていることで、歪み補償効果により、厚い立方晶のバッファ層を積むことができる。前記選択成長マスク２０３より厚く成長すると、横方法成長モードに入り、基板格子定数に依らないで供給量で決まる混晶（第４のＩＩＩ－ＶＮ材料にあたる）が横方向に成長する。特に、本実施例の場合にも、Ｎ源にＲＦプラズマガンを用いているため、基板の表面状態に依存することなく、供給したＮが付着係数１００％で結晶中に取り込まれるため、Ｎ組成が一定の横方向成長が可能になる。

【００４８】

このあと、任意の方法でプロセスして所望のデバイスを形成する。ここでも、真空一貫プロセスを用いた面発光レーザ（ＶＣＳＥＬ）の作製方法を示す。

【００４９】

図２（ｄ）において、ＡｌＮＡｓＰ膜２１１を積層し、全体を酸化したあと、ＦＩＢ（収束イオンビーム）等でマスクレスで面発光レーザ形成部分の酸化膜を除去し、その上にガスソースＭＢＥ法で選択的に面発光レーザ構造を積層する。ここでは、ｎ－ＡｌＮＡｓＰ／ＧａＮＡｓＰ　ＤＢＲ層（２０６）２０ペア、ＡｌＩｎＡｓＰ／ＩｎＧａＡｓＰ　ＭＱＷ活性層（波長１．５μｍ）２０７、ｐ－ＡｌＮＡｓＰ／ＧａＮＡｓＰ　反射膜層（２０８）２０ペアを積層した。動作原理は第１実施例と同じである。

【００５０】

［第３実施例］

第３実施例は、ＬＤとＳｉ導波路を有する例に係る。第１実施例及び第２実施例では、第１のＩＩＩ－Ｖ材料としてＧａＡｓ或はＩｎＰに格子整合するエピタキシャル層を積層したが、むろん格子定数はこれに限るものではない。むしろ、本発明は、これまでなかった格子定数の基板を使えることのメリットの方が大きい。また、別の観点では、Ｓｉを光デバイス材料とみなすこともできる。第３の実施例ではこの点について説明する。

【００５１】

図３は本発明の第３の実施例を説明する模式的な斜視図である。図３において、３０１はＳｉ基板、３０２はＣＭＯＳ等のＳｉデバイス、３０３は端面発光型半導体レーザ或は受光器、３０４は光導波路、３０５は電極である。これは、図１のＰＥの１つとして見なしてもよい。図１と異なるのは、電気配線１０４の一部が光配線（光導波路３０４）に変わっていることと、発光素子及び受光素子３０３がＶＣＳＥＬ構造から端面発光型ＬＤ構造に変更されていることである。

【００５２】

或は、光インタコネクトとは別に、リングレーザと見なすこともできる。この場合、３０４がリング共振器、３０４ｂが出力導波路、３０３が利得領域、３０２が電力供給及び制御のための電子回路とみればよい。

【００５３】

第１実施例の方法に準じた方法で、最終層がＧａＩｎＮＡｓで、格子定数はＳｉとＧａＡｓの中間（０．５５４ｎｍ）で、発光波長が１．２μｍの組成を形成する。以下簡単に作製方法を説明する。

【００５４】

ＣＭＯＳ等の電子デバイスが作製された（１００）Ｓｉ基板３０１上の電子デバイス形成部分を覆うように、厚さ０．１μｍのSiO_2膜をアイランド状（たとえば矩形）に形成する。ガスソース分子線エピタキシャル法により、該基板上に第１層のＩＩＩ－ＶＮ材料として、所望の格子定数（ここでは、ＳｉとＧａＡｓの中間の格子定数（０．５５４ｎｍ））のＩＩＩ－ＶＮ材料たとえばＧａＩｎＮＡｓを選び、これを約１００ｎｍ積層する。このあと、この薄膜の格子定数より長い格子定数を有するＡｌＮＡｓと短い格子定数を有

するＧａＮＡｓを交互に積層する。成長条件は、基板温度６００℃で、ＧａソースとしてＴＭＧ（トリメチルインジウム）、ＰソースとしてＰＨ$_3$（ホスフィン）、ＮソースとしてＲＦプラズマ励起したＮ（窒素ラジカル）を用いた（Ｎ$_2$　０．５ｓｃｃｍ、ＲＦパワー　２００Ｗ）。

【００５５】

こうして上に積層する前記応力方向が異なる歪み補償多層バッファ層として、ＧａＮＡｓ（０．８％）及びＡｌＮＡｓ（－０．８％）をそれぞれ２０ｎｍずつ４０ペア積層した。この結果、転位密度がきわめて小さく、格子定数がＳｉとＧａＡｓの中間の化合物領域がＳｉ基板上に選択的に形成できた。このあと、この領域に、先の工程と連続して、所望のデバイス構造、たとえば、ｎ－ＧａＮＡｓクラッド層、ｉ－ＧａＩｎＮＡｓ活性層（波長１．２μｍ）、ｐ－ＧａＮＡｓクラッド層及びｐ－ＧａＡｓコンタクト層を積層する。

【００５６】

このあとドライエッチング等で光デバイスの端面ミラーを形成したり、電極を形成することで発光デバイスが完成する。受光器も発光部に準じた方法で作製できる。

【００５７】

このあと、必要に応じてデバイスプロセスを行えばよい。ここでは、Ｓｉ基板３０１に光導波路３０３を形成した。図３において、先に作製した、光デバイス３０３に光結合するようように、Ｓｉ基板上にストリップ導波路３０４を形成した。本実施例では、ドライエッチングで、Ｓｉコア部を作製し、クラッドはＣＶＤでＳｉＯ$_2$をデポジションすることで作製した。

【００５８】

動作について簡単に説明する。図３において、３０２は電源電圧１．５Ｖで動作するＣＭＯＳ回路である。ＣＭＯＳ回路３０２から供給された電力（情報）は電極３０５を介して、直接、ＬＤ（波長１．２μｍ）３０３を駆動する。このＬＤ３０３は、波長１．２μｍ、すなわち、バンドギャップは１．０３ｅＶであり、ＶＣＳＥＬと異なり素子抵抗も小さいため、容易に駆動できる。発光した光は発振波長に対し透明なＳｉ製光導波路３０４に結合し、Ｓｉチップ内を光信号として伝送される。そして、チップ内の受光器（ここではＬＤと同構造としてある）３０３で受けることで電気信号に変換され、ＣＭＯＳのロジック回路３０２で処理される。その後、必要があれば、光信号として外部のロジック或は基板とインタコネクトする。

【００５９】

以上のように、本実施例でも、Ｓｉ上で光デバイスと電子デバイスが近接配置され、且つ同一の環境（電源及び実装形態）で動作することが大きな特徴となっている。

【００６０】

また、このデバイスをリングレーザとして見た場合、電極３０５を介して、活性領域３０３に電力が供給され、光導波路３０４をリング共振器として、レーザ発振を行う。発振中の光を活性領域３０３を介してモニタすることで、制御したり、センサとして用いることができる。

【００６１】

【発明の効果】

以上に説明した様に、本発明により以下の如き効果が奏される。

（１）（１００）Ｓｉに格子整合する立方晶ＩＩＩ－Ｖ材料を成長できる。

（２）Ｓｉデバイス、特にＣＭＯＳと光デバイスを集積できる。

（３）第１のＩＩＩ－Ｖ材料として種々の格子定数を持つものを使用できるので、（１００）Ｓｉに格子整合して成長できる立方晶ＩＩＩ－Ｖ材料も種々のものであり得て、Ｓｉ上に広い波長範囲の発光デバイス及び受光デバイスを作製できる。

【図面の簡単な説明】

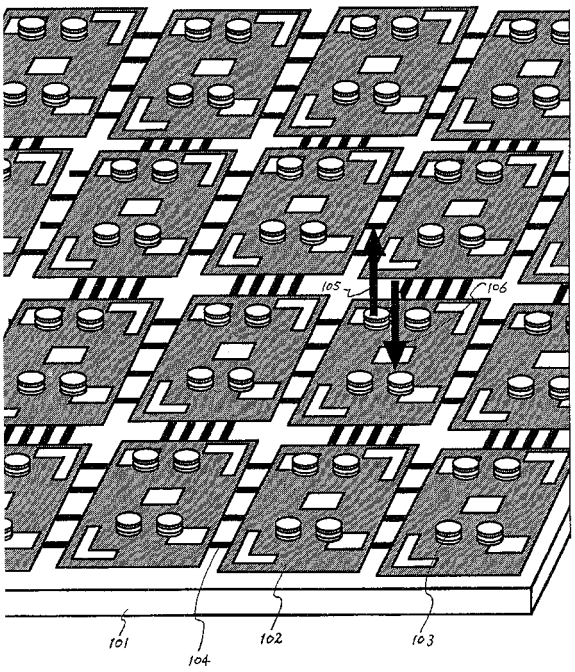
【図１】図１は本発明の第１及び第２の実施例の模式的斜視図である。

【図２】図２は第１及び第２の実施例の作製工程図である。

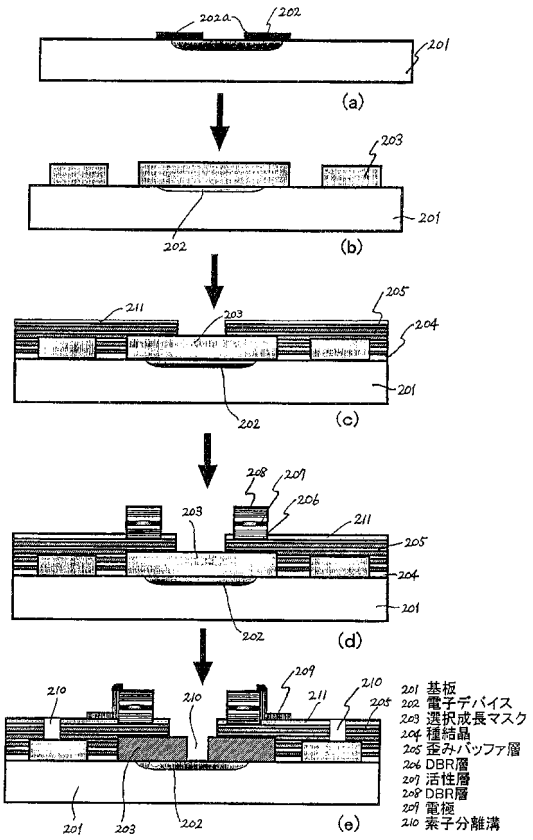
【図３】図３は本発明の第３の実施例の模式的斜視図である。

【図４】図４は従来例を説明する作製工程断面図である。
【符号の説明】
１０１、２０１、３０１　　Ｓｉウエハ
１０２、２０２、３０２　　論理素子ないし電子デバイス（ＣＭＯＳ）
１０３、３０３　　光デバイス（発光素子或は受光素子或は利得領域）
１０４　　電気配線
１０５　　出力光
１０６　　入力光
２０３　　選択成長マスク
２０４　　種結晶（第１のＩＩＩ－Ｖ材料ないしＩＩＩ－ＶＮ材料）
２０５　　歪みバッファ層
２０６、２０８　　ＤＢＲ（ｄｉｓｔｒｉｂｕｔｅｄ　ｂｒａｇｇ　ｒｅｆｌｅｃｔｏｒ）層
２０７　　活性層
２０９、３０５　　電極
２１０　　素子分離溝
２１１　　ＡｌＡｓ層ないし酸化ＡｌＡｓ層
３０４　　光導波路
３０４ｂ　　出力光導波路

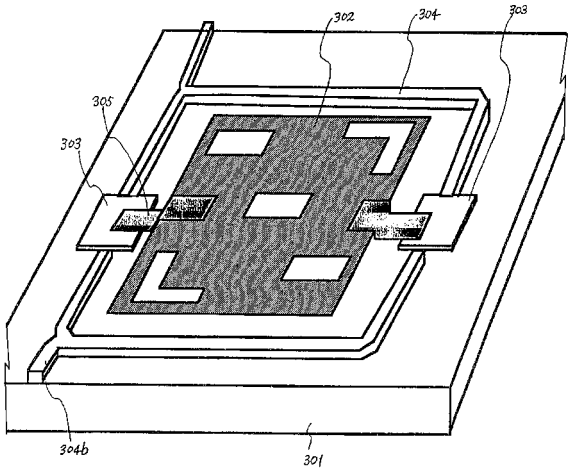
【図１】



【図２】

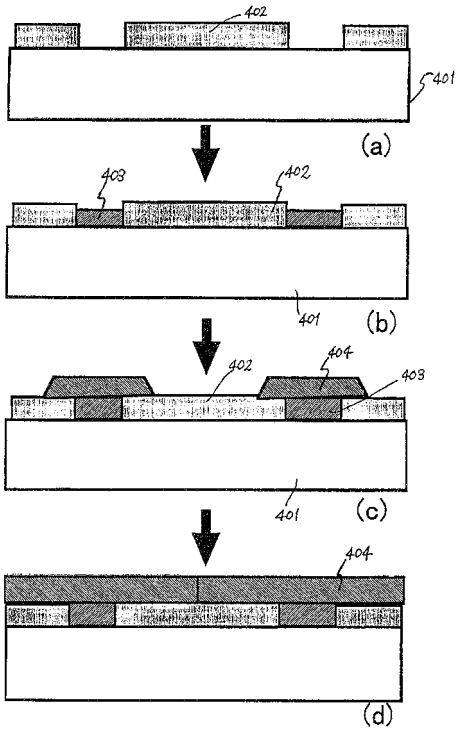


【図３】



301 Si基板
302 電子回路
303 発光素子あるいは受光素子
あるいは利得領域
304 光導波路
304b 出力光導波路
305 電極

【図４】



401 下地基板
402 選択マスク
403 種結晶
404 横方向成長結晶

フロントページの続き

(51)Int.Cl.			FI		
H01S	*5/343*	*(2006.01)*	H01S	5/183	
H01S	*5/026*	*(2006.01)*	H01S	5/323	
			H01S	5/343	
			H01S	5/026	610
			H01S	5/026	650

(56)参考文献 特開平10－173294（JP，A）
特開平10－326749（JP，A）
北谷健 他，Nラジカルを用いたGaInNAsのガスソースMBE成長とレーザー特性，1999年春季第46回応用物理学関係連合講演会予稿集，日本，1999年 3月28日，第0分冊，p.51、29p-T-11

(58)調査した分野(Int.Cl.，DB名)
H01L 27/15
H01L 21/205
H01L 21/203
H01S 5/00 - 5/347
JSTPlus(JDream2)