(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3716505号

(P3716505)

(45)発行日　平成17年11月16日(2005.11.16)　(24)登録日　平成17年9月9日(2005.9.9)

(51)Int.Cl.[7]	F I		
H01L 21/8242	H01L	27/10	671Z
H01L 21/265	H01L	21/265	V
H01L 27/108	H01L	21/265	F
H01L 29/78	H01L	29/78	301H

請求項の数 5　(全 6 頁)

(21)出願番号　特願平8-209991
(22)出願日　平成8年8月8日(1996.8.8)
(65)公開番号　特開平10-56147
(43)公開日　平成10年2月24日(1998.2.24)
審査請求日　平成15年5月21日(2003.5.21)

(73)特許権者　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(74)代理人　100108187
弁理士　横山　淳一
(72)発明者　奈良　安雄
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

審査官　井原　純

最終頁に続く

(54)【発明の名称】半導体装置及びその製造方法

(57)【特許請求の範囲】

【請求項１】

第１導電型の基板と、

前記基板上に形成された第１のゲート電極及び第２のゲート電極と、

前記第１及び第２のゲート電極の間に形成されたソース領域と、

前記第１及び第２のゲート電極を挟み前記ソース領域の反対側に形成されかつＤＲＡＭセルを構成するストレージノードに接続するドレイン領域と、

前記ソース領域および前記第１及び第２のゲート電極の下部領域のみに、第１導電型不純物が注入されたしきい値調整様不純物領域とを有することを特徴とする半導体装置。

【請求項２】

前記ストレージノードは、ＤＲＡＭセルを構成する蓄積容量に接続されていることを特徴とする請求項１記載の半導体装置。

【請求項３】

ドレインがＤＲＡＭセルを構成するストレージノードに接続されたＭＯＳＦＥＴを有する半導体装置の製造方法において、

第１導電型の半導体基板上にゲート電極を形成する工程と、

次いで、ソース形成領域に開口しかつドレイン形成領域を覆うマスクを形成する工程と、

次いで、前記ゲート電極及び前記マスクをマスクとして斜め方向から注入するイオン注入を用いて、前記ゲート電極の下のチャネル領域へしきい値電圧制御用の第１導電型不純

物を導入する工程と、
　次いで、前記マスクを除去した後、前記ソース形成領域及びドレイン形成領域へ不純物を導入してソース領域及びドレイン領域を形成することで前記ＭＯＳＦＥＴを作成する工程とを有することを特徴とする半導体装置の製造方法。
【請求項４】
前記斜め方向から注入するイオン注入は、複数方向から又は前記基板を回転させながら行うことを特徴とする請求項３記載の半導体装置の製造方法。
【請求項５】
第１導電型の半導体基板上にゲート電極を形成し、
　前記基板上にビット線のコンタクトホールを形成し、
　前記コンタクトホールを通して、しきい値電圧制御用の第１導電型不純物を斜め方向から前記基板に注入してＤＲＡＭセルを形成することを特徴とする半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は半導体装置及びその製造方法に係り，特にダイナミックランダムアクセスメモリ(DRAM)セルのしきい値調整用のイオン注入方法に関する。
【０００２】
【従来の技術】
DRAMにおいては，蓄積容量に蓄えられた電荷を情報として記憶するため，電荷の保持特性が重要となる。電荷はいくつかの経路で逃げていくが，その主なものは，ストレージノード（蓄積電極）側のpn接合のリーク電流，トランジスタのサブスレショルドリーク，蓄積容量のリーク電流である。
【０００３】
通常のMOS FET は，pn接合はソース側とドレイン側に二つ存在する。DRAMではそれぞれがビット線コンタクト側及びストレージノードコンタクト側に相当する。電荷はストレージノード側に接続された蓄積容量に蓄えられているので，電荷の保持特性を左右するのはストレージノード側のpn接合のリーク電流である。
【０００４】
従来のｎチャネルMOS FET のpn接合のリーク電流は，しきい値電圧制御用のｐ型不純物と，ソース，ドレインあるいはLDD(低濃度ドレイン）形成用のイオン注入で導入したｎ型不純物とで形成される接合がどの程度の不純物濃度で形成されているかによって決定されていた。
【０００５】
【発明が解決しようとする課題】
従来の工程では，ゲート電極形成前にしきい値電圧制御用のイオン注入を行うので，ビット線コンタクト側もストレージノードコンタクト側もしきい値電圧制御用のイオン注入が行われていたが，これは本来必要がなく，チャネル領域にだけでよい。
【０００６】
また，素子の寸法を微細化するためには，しきい値電圧制御用のイオン注入の濃度を上げていく必要があるが，これによりpn接合位置における不純物濃度が高くなり，ますますリーク電流が増加するという問題が生じる。
【０００７】
本発明は，電荷保持特性の良好なDRAMメモリセルを得ることを目的とする。
【０００８】
【課題を解決するための手段】
　上記課題の解決は、
１）第１導電型の基板と、前記基板上に形成された第１のゲート電極及び第２のゲート電極と、前記第１及び第２のゲート電極の間に形成されたソース領域と、前記第１及び第２のゲート電極を挟み前記ソース領域の反対側に形成されかつＤＲＡＭセルを構成するスト

レージノードに接続するドレイン領域と、前記ソース領域および前記第１及び第２のゲート電極の下部領域のみに、第１導電型不純物が注入されたしきい値調整様不純物領域とを有することを特徴とする半導体装置、あるいは、
２）ドレインがＤＲＡＭセルを構成するストレージノードに接続されたＭＯＳＦＥＴを有する半導体装置の製造方法において、第１導電型の半導体基板上にゲート電極を形成する工程と、次いで、ソース形成領域に開口しかつドレイン形成領域を覆うマスクを形成する工程と、次いで、前記ゲート電極及び前記マスクをマスクとして斜め方向から注入するイオン注入を用いて、前記ゲート電極の下のチャネル領域へしきい値電圧制御用の第１導電型不純物を導入する工程と、次いで、前記マスクを除去した後、前記ソース形成領域及びドレイン形成領域へ不純物を導入してソース領域及びドレイン領域を形成することで前記ＭＯＳＦＥＴを作成する工程とを有することを特徴とする半導体装置の製造方法、あるいは、
３）第１導電型の半導体基板上にゲート電極を形成し、前記基板上にビット線のコンタクトホールを形成し、前記コンタクトホールを通して、しきい値電圧制御用の第１導電型不純物を斜め方向から前記基板に注入して、ＤＲＡＭセルを形成することを特徴とする半導体装置の製造方法、により達成される。

【０００９】
本発明では，DRAMのメモリセルトランジスタの製造工程において，ゲート電極形成後にビット線コンタクト部分のみが開口している注入マスクを形成し，トランジスタのしきい値制御用のイオン注入を斜め方向から行うようにしている。

【００１０】
この方法によれば，ストレージノードコンタクト側にはしきい値制御用のイオンが導入されないので，ストレージノードコンタクト側のpn接合のリーク電流を減少させることができ，電荷保持特性の良好なDRAMメモリセルを作製できる。

【００１１】
【発明の実施の形態】
本発明によるDRAMメモリセルトランジスタをその製造工程とともに図１を用いてて説明する。

【００１２】
図１(A) ～(E) は本発明の実施の形態の説明図である。
図１(A) において，従来工程により，シリコン(Si)基板 1上の素子分離領域にフィールド酸化膜 2を形成し，素子形成領域の基板上にゲート酸化膜 3を介してゲート 4を形成する。この際，従来行っていたゲート形成前のしきい値制御用のイオン注入は行わない。

【００１３】
図１(B) において，チャネルイオン注入（しきい値制御用のイオン注入）用のビット線コンタクト部分のみを開口する注入レジストマスク 5を形成する。例えば，リソグラフィ工程により膜厚 300nmのレジスト膜を用いて形成する。

【００１４】
図１(C) において，チャネルイオンを斜め注入によりチャネルイオン注入領域６に導入する。
注入条件は，例えば，硼素イオン(B^+) をエネルギー 20 KeV,ドーズ量 $5\times10^{12}cm^{-2}$で，垂直方向より30°の角度で注入する。

【００１５】
図１(D) において，LDD形成用注入領域7のイオン注入を行う。
注入条件は，例えば，砒素イオン (As^+) をエネルギー 10 KeV,ドーズ量 $1\times10^{14}cm^{-2}$で，垂直方向より注入する。

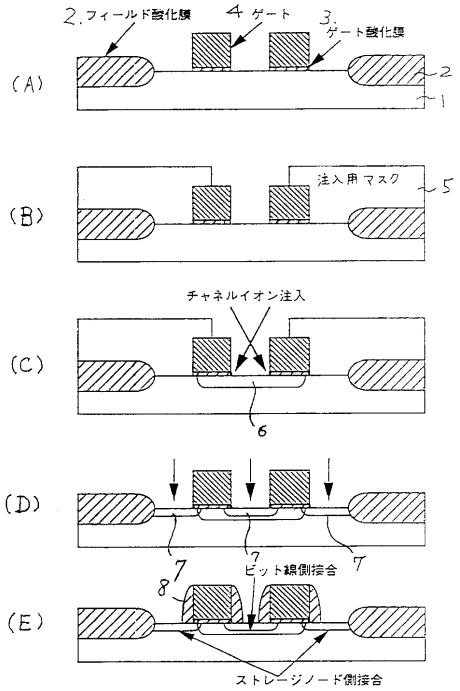
【００１６】
図１(E) において，ゲート電極の両側にシリコン酸化膜からなるサイドウォール 8を形成する。
この後の工程は通常の工程により，メモリセルトランジスタ作製の工程を完成させる。

【００１７】
上記の工程の内，本発明で重要な点は図１(B) 及び(C) においてビット線コンタクト部分のみを開口するマスクを用いて斜め方向からしきい値電流制御用のイオン注入を行うことである。
【００１８】
斜め方向の注入角度は，上記の工程では30°としたが，ゲート長，ゲートの膜厚，マスクの厚さにより調整する必要がある。また，注入方向は１種類の方向からだけではなく，同じ角度でいくつもの方向から注入を行ってもよく，また，基板を回転させながら連続的にイオン注入を行ってもよい。
【００１９】
このイオン注入を行った後のビット線コンタクト側及びストレージノードコンタクト側の硼素及び砒素の深さ方向の濃度プロファイルを図２(A),(B) に示す。
図２(A),(B) は本発明の効果説明図である。
【００２０】
図２(A) はビット線側，図２(B) はストレージ濃度側の濃度プロファイルである。
pn接合位置（硼素と砒素の濃度の等しい位置）の不純物濃度はビット線側で約 $9\times10^{17}cm^{-3}$，ストレージノード側で約 $5\times10^{16}cm^{-3}$であり，両者で不純物濃度が約20倍異なる。ストレージノード側の濃度はもともとの基板濃度であり，しきい値電圧制御用のイオンは全く注入されていない。
【００２１】
ストレージノード側の接合濃度が低下すると，空乏層が広がり且つキャリアの寿命が長くなるので接合のリーク電流が低減する。さらに，ストレージノード側にはしきい値電圧制御用のイオン注入を行わないため，イオン注入時に発生する欠陥も減少するので接合のリーク電流が一層低下する。
【００２２】
上記の実施の形態の工程では，ゲート電極形成後に例えばレジストマスクを形成したが，他の実施の形態として，DRAM製造工程におけるビット線コンタクトを形成した後に，しきい値電圧制御用の斜めイオン注入を行うことも可能である。このようにすれば，しきい値電圧制御用のイオン注入に新たなマスクが必要でないために製造工程の短縮が可能である。
【００２３】
本発明では，接合リーク電流の低減が最も重要な課題であるDRAMを例にとって説明したが，ロジックデバイスに適用しても接合容量を低下できるので消費電力の低減が可能である。
【００２４】
【発明の効果】
本発明によれば，ビット線コンタクト側からのしきい値電圧制御用の斜めイオン注入を行うことにより，ストレージノードコンタクト側のpn接合の不純物濃度を低下できるため，電荷保持特性の良好なDRAMメモリセルを得ることができる。
【図面の簡単な説明】
【図１】　本発明の実施の形態の説明図
【図２】　本発明の効果説明図
【符号の説明】
１　シリコン基板
２　フィールド酸化膜
３　ゲート酸化膜
４　ゲート
５　注入用レジストマスク
６　チャネルイオン注入領域
７　LDD 形成用注入領域

8　サイドウォール

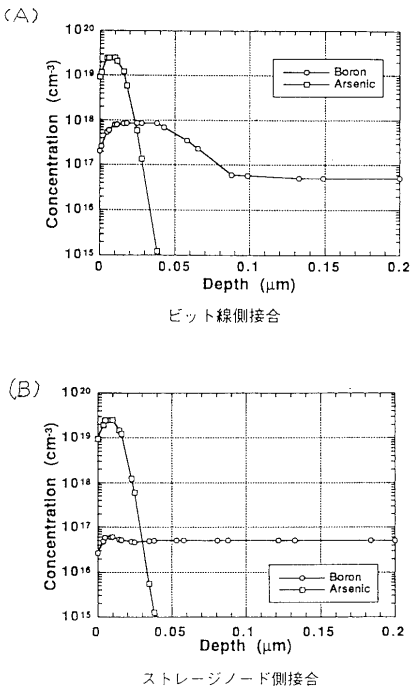
【図１】

本発明の実施の形態の説明図



【図２】

本発明の効果説明図



フロントページの続き

(56)参考文献 特開平０６－０２１４４１（ＪＰ，Ａ）
特開平０８－２２２７２９（ＪＰ，Ａ）
特開平１０－０７０１９６（ＪＰ，Ａ）
特開平０５－２７５６９３（ＪＰ，Ａ）
特開平０５－１４５０３５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/8242
H01L 21/265
H01L 27/108
H01L 29/78