



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I524502 B

(45)公告日：中華民國 105 (2016) 年 03 月 01 日

(21)申請案號：098131247

(22)申請日：中華民國 98 (2009) 年 09 月 16 日

(51)Int. Cl. : *H01L27/04 (2006.01)**H01L23/60 (2006.01)**H01L21/822 (2006.01)**G06K19/077 (2006.01)*

(30)優先權：2008/09/19 日本

2008-240812

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：江口晉吾 EGUCHI, SHINGO (JP)；及川欣聰 OIKAWA, YOSHIKI (JP)

(74)代理人：林志剛

(56)參考文獻：

JP H10-501475

JP 2006-19717A

審查人員：彭大慶

申請專利範圍項數：18 項 圖式數：18 共 83 頁

(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

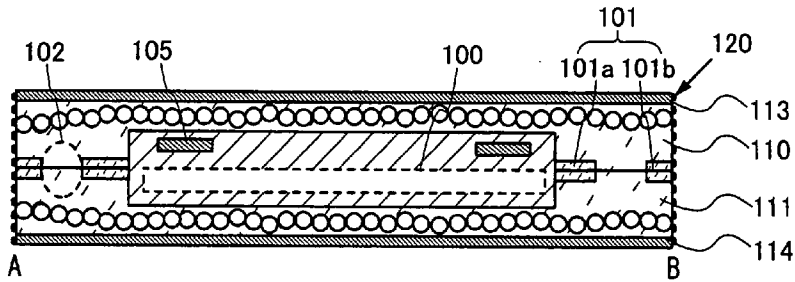
(57)摘要

本發明的目的之一在於提供減少了起因於靜電放電的特性不良的半導體裝置及其製造方法。該半導體裝置至少具有如下三個結構中的一個：(1)在電路部的周圍區域中，第一和第二絕緣膜直接接觸的結構；(2)第一和第二絕緣體密接的結構；(3)在第一及第二絕緣體的外側的表面上分別設置有第一及第二導電層，第一和第二導電層在周圍區域的外側的側面導通的結構。此外，當分割半導體裝置時可以形成側面的導通。

A semiconductor device in which defects in characteristics due to electrostatic discharge is reduced and a method for manufacturing the semiconductor device are provided. The semiconductor device has at least one of these structures: (1) a structure in which a first and second insulating films are in direct contact with each other in a peripheral region of a circuit portion, (2) a structure in which a first and second insulators are closely attached to each other, and (3) a structure in which a first conductive layer and a second conductive layer are provided on outer surfaces of the first insulator and the second insulator, respectively, and electrical conduction between the first and second conductive layers is achieved at a side surface of the peripheral region. Note that the conduction at the side surface can be achieved by cutting a plurality of semiconductor devices into separate semiconductor devices.

指定代表圖：

圖1C



符號簡單說明：

- 100 . . . 電路部
- 101 . . . 絕緣膜形成區域
- 101a . . . 絕緣膜形成區域
- 101b . . . 絕緣膜形成區域
- 102 . . . 附著區域
- 105 . . . 內置天線
- 110 . . . 絕緣體
- 111 . . . 絕緣體
- 113 . . . 導電層
- 114 . . . 導電層
- 120 . . . 終端部

發明專利說明書

公告本

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98131247

H01L 27/04

(2006.01)

H01L 23/60

(2006.01)

※申請日：98年09月16日

※IPC分類：

H01L 21/822

(2006.01)

G06K 19/077

(2006.01)

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

Semiconductor device and method for manufacturing the same

二、中文發明摘要：

本發明的目的之一在於提供減少了起因於靜電放電的特性不良的半導體裝置及其製造方法。該半導體裝置至少具有如下三個結構中的一個：(1)在電路部的周圍區域中，第一和第二絕緣膜直接接觸的結構；(2)第一和第二絕緣體密接的結構；(3)在第一及第二絕緣體的外側的表面上分別設置有第一及第二導電層，第一和第二導電層在周圍區域的外側的側面導通的結構。此外，當分割半導體裝置時可以形成側面的導通。

三、英文發明摘要：

A semiconductor device in which defects in characteristics due to electrostatic discharge is reduced and a method for manufacturing the semiconductor device are provided. The semiconductor device has at least one of these structures: (1) a structure in which a first and second insulating films are in direct contact with each other in a peripheral region of a circuit portion, (2) a structure in which a first and second insulators are closely attached to each other, and (3) a structure in which a first conductive layer and a second conductive layer are provided on outer surfaces of the first insulator and the second insulator, respectively, and electrical conduction between the first and second conductive layers is achieved at a side surface of the peripheral region. Note that the conduction at the side surface can be achieved by cutting a plurality of semiconductor devices into separate semiconductor devices.

四、指定代表圖：

(一) 本案指定代表圖為：第(1C)圖。

(二) 本代表圖之元件符號簡單說明：

100：電路部

101：絕緣膜形成區域

101a：絕緣膜形成區域

101b：絕緣膜形成區域

102：附著區域

105：內置天線

110：絕緣體

111：絕緣體

113：導電層

114：導電層

120：終端部

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明關於一種半導體裝置及其製造方法。

【先前技術】

藉由利用天線的無線通信而進行資料收發的半導體裝置（被稱為非接觸型信號處理裝置、半導體積體電路晶片、IC晶片等）有因靜電放電等而使半導體裝置受到損壞（靜電損壞）的問題。靜電損壞是會在製造步驟、檢查步驟、作為成品的使用步驟等所有步驟上引起可靠性降低和生產率降低的嚴重問題，因此展開抗靜電對策的研究（例如參照專利文獻1）。

在專利文獻1中，藉由使用導電聚合物作為半導體裝置的基板和黏合劑，以防止靜電損壞。

〔專利文獻1〕 日本專利申請公開 2007-241999 號
公報

隨著上述半導體裝置的市場擴大，對半導體裝置的形狀和特性的要求進一步提高。因此，需要研究開發抗靜電損壞性高且具有各種所需特性的半導體裝置。

另外，還需要以更簡單的方法製造具有充分的特性的半導體裝置。

【發明內容】

鑒於上述問題，本發明的一個方式的目的之一在於提

供一種減少了起因於靜電放電等的特性不良的半導體裝置。

另外，本發明的一個方式的目的之一在於以簡單的方法提供上述半導體裝置。

另外，本發明的一個方式的目的之一在於提供一種抗外部衝擊的高可靠性半導體裝置。

另外，本發明的一個方式的目的之一在於提供一種減少了隨時間的形狀或特性變化的半導體裝置。

在本發明的一個方式中，在半導體裝置的最外表面上形成第一導電層及第二導電層，以提高抗靜電損壞性。另外，當對多個半導體裝置進行分割時，藉由使用使絕緣體以及導電層熔化的方法（例如雷射光照射）對多個半導體裝置進行分割，能夠使導電層導通。

另外，在本發明的一個方式中，在半導體裝置的雙表面上配置第一絕緣體及第二絕緣體，以提高抗外部衝擊性。這些絕緣體還可以用作製造半導體裝置時的附著半導體裝置的黏合劑。另外，用作黏合劑的第一絕緣體及第二絕緣體由相同材料形成，從而能夠減少隨時間的形狀和特性的變化。

另外，在本發明的一個方式中，在電路部上和天線上設置絕緣膜，以進一步減少隨時間的形狀和特性的變化。另外，這些絕緣膜在周圍區域中直接接觸。注意，周圍區域是指具有薄膜電晶體的電路部的周圍區域。

就是說，本發明的一個方式是一種半導體裝置，其至

少具有如下三個結構中的一個：（1）在周圍區域中，電路部上的第一絕緣膜與天線上的第二絕緣膜直接接觸的結構；（2）在周圍區域中，電路部上的第一絕緣膜及天線上的第二絕緣膜被去除，在這些絕緣膜被去除的區域中用作黏合劑的第一絕緣體與第二絕緣體密接的結構；（3）在第一及第二絕緣體的外側的表面（沒有設置電路部等的表面）上分別設置有第一導電層及第二導電層，該第一導電層與第二導電層在周圍區域的外側的側面導通的結構。當然，當半導體裝置具有上述所有結構時，因有增效作用而能夠顯著提高半導體裝置的可靠性。

當藉由上述分割使第一導電層與第二導電層導通時，第一導電層與第二導電層間的電阻值最好為 $1\text{G}\Omega$ 以下。

在上述半導體裝置中，第一及第二絕緣體最好為在纖維體中浸滲有有機樹脂的結構體。

在上述半導體裝置中，第一及第二絕緣膜最好為氮化矽膜。由於氮化矽膜比氧化矽膜等緻密，所以能夠高效地防止水分和氧的侵入。

注意，在本說明書中，半導體裝置是指能夠藉由利用半導體特性而工作的裝置。

藉由在半導體裝置的表面上形成導電層，能夠防止半導體積體電路的靜電損壞（電路的故障或半導體元件的損傷等）。

另外，藉由照射雷射將半導體裝置分割成單獨的每一個，從而能夠以極為簡單的方法提供抗靜電損壞性充分高

的半導體裝置。

另外，藉由將絕緣體配置在半導體裝置的雙表面上，能夠提高抗外部衝擊的可靠性。

另外，當進行附著步驟時，藉由採用同一材料密接的結構，能夠減少隨時間的半導體裝置的形狀和特性的變化。

【實施方式】

下面，參照附圖說明本發明的實施例模式。注意，本發明可以多種不同方式來實施，所述技術領域的技術人員可以很容易地理解一個事實就是，其方式及詳細內容可以在不脫離本發明的宗旨及其範圍的情況下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在本實施例模式所記載的內容中。另外，在用來說明實施例模式的所有附圖中，對相同部分或具有相同功能的部分使用相同附圖標記，並且省略重複說明。

實施例模式 1

在本實施例模式中，說明半導體裝置的結構。由於本實施例模式中的半導體裝置整體的膜厚度薄，為 $40\mu\text{m}$ 至 $90\mu\text{m}$ ，最好為 $70\mu\text{m}$ 至 $80\mu\text{m}$ ，所以該半導體裝置具有撓性。

圖 1A 示出在絕緣基板上同時形成多個半導體裝置的俯視圖。可以使用矩形絕緣基板同時形成多個本實施例模

式的半導體裝置。因此，與使用圓形矽晶片的情況相比，所獲得的半導體裝置的個數增多，而能夠實現低成本化。

另外，藉由利用分割方法將多個半導體裝置分割成每一個半導體裝置。圖 1B 示出一個半導體裝置，而圖 1C 示出沿圖 1B 的 A-B 間的截面圖。

半導體裝置具有作為無線晶片發揮作用的電路部 100。電路部 100 具有形成在絕緣基板上的薄膜電晶體。與形成在半導體基板上的電晶體相比，上述薄膜電晶體實現了薄膜化，而可以有助於使半導體裝置具有撓性。另外，還設置有電連接於電路部 100 的內置天線 105，以進行無線通信。藉由將內置天線 105 設置在電路部的薄膜電晶體上，能夠實現半導體裝置的集成化和小型化，因此是最好的。像這樣，當在薄膜電晶體上設置內置天線 105 時，內置天線和電路部 100 的厚度成為 $7\mu\text{m}$ 至 $8\mu\text{m}$ 。

電路部 100 的周圍存在著沒有設置上述薄膜電晶體和天線的區域（稱為周圍區域）。再者，在周圍區域中存在著設置有覆蓋薄膜電晶體的絕緣膜和覆蓋天線的絕緣膜的區域（稱為絕緣膜形成區域）101（101a 及 101b）。在絕緣膜形成區域 101a 及 101b 中，上述絕緣膜相互直接接觸，而能夠防止水分和氧的侵入。再者，最好地是，上述絕緣膜由相同材料形成。例如，作為該絕緣膜，可以使用氮化矽膜。由於氮化矽膜比氧化矽膜等緻密，所以能夠高效地防止水分和氧的侵入。另外，當從上面看時，絕緣膜形成區域 101 形成為圍繞電路部 100 的方式，從而還能夠高

效地防止成為薄膜電晶體等退化的原因的水分和雜質的侵入。其結果是，能夠減少半導體裝置，尤其是構成電路部的薄膜電晶體的隨時間的特性變化。上述絕緣膜形成區域 101a 及 101b 的膜厚度比電路部 100 薄，為 $3\mu\text{m}$ 至 $4\mu\text{m}$ 。

在周圍區域的一部分（在本實施例模式中，周圍區域的中心附近的部份）設置有絕緣膜被去除且設置在電路部 100 上下的用作黏合劑的第一絕緣體 110 與第二絕緣體 111 密接地附著的區域（稱為附著區域）102。根據附著區域 102 的位置及數量，絕緣膜形成區域有可能被分割成多個區域。在本實施例模式中，例示出因為在周圍區域的中心附近選擇性地形成一個附著區域 102 而設置有兩個絕緣膜形成區域（101a 及 101b）的情況。當然，還可以採用在周圍區域內選擇性地形成兩個附著區域 102 的結構，此時設置有三個絕緣膜形成區域。還可以在周圍區域內形成兩個以上的附著區域。在附著區域 102 中，第一絕緣體與第二絕緣體密接，該第一及第二絕緣體設置在半導體裝置的雙表面上。當第一絕緣體及第二絕緣體由同一材料形成時，密接性提高，因此是最好的。其結果是，能夠減少隨時間的半導體裝置形狀和特性變化。

用作黏合劑的第一絕緣體 110 及第二絕緣體 111 的外側的表面（沒有設置電路部等的表面）分別被第一導電層 113 及第二導電層 114 覆蓋。藉由設置導電層，能夠防止由靜電導致的半導體裝置的損壞。這是因為如下緣故：當發生靜電時高電壓被施加到半導體裝置的一部分，但是其

電阻比設置在雙表面上的絕緣體低的導電層能夠分散高電壓。其結果是，能夠提高半導體裝置的抗靜電損壞性。

半導體裝置在周圍區域的外側終結。在周圍區域的外側的側面，即半導體裝置的終端部 120 中，第一導電層 113 與第二導電層 114 相互電導通。其結果是，由於能夠將靜電分散到更廣的區域，所以能夠高效地防止由靜電導致的損壞。第一導電層 113 與第二導電層 114 間的電導通不局限於藉由使導電層成為膜狀而實現，而還可以在分斷半導體裝置時，將第一導電層 113 或第二導電層 114 的材料的一部分分散到終端部 120，並且其只要有附著程度的量就能實現導通。這是因為如下緣故：由於用作黏合劑的絕緣體的電阻高，所以只要導電層的材料的一部分如上所述那樣附著於終端部，就能夠降低終端部 120 的電阻值，從而使第一導電層 113 與第二導電層 114 處於電導通狀態。只要第一導電層與第二導電層間的電阻值為 $1\text{G}\Omega$ 以下左右（ 10V 施加時），就能夠充分擴散靜電，因此只要以此為基準來除靜電，即可。

上述半導體裝置能夠藉由設置在最外表面上的導電層防止由靜電導致的電路部的損壞。另外，由於相同材料密接地附著，所以密接性高，而能夠防止由水分導致的退化和從不需要部分的剝離。像這樣，本實施例模式的半導體裝置是缺陷少且可靠性高的半導體裝置。

實施例模式 2

在本實施例模式中，說明用於得到上述實施例模式所示的半導體裝置的製造方法之一。

首先，在基板 701 的一個表面上形成剝離層 702，接著形成用作基底的絕緣膜 703 及半導體膜 704（例如含有非晶矽的膜）（參照圖 2A）。剝離層 702、絕緣膜 703 及半導體膜 704 可以連續地形成。藉由連續地形成這些膜，由於不暴露於大氣，所以可以防止雜質的侵入。

作為基板 701，最好使用玻璃基板、石英基板、金屬基板、不銹鋼基板、具有可承受本步驟的處理溫度的耐熱性的塑膠基板等。對上述基板的面積和形狀沒有大的限制，因此，例如若使用一個邊長為 1 米以上的矩形基板，則可以顯著提高生產性。該利點與使用圓形矽基板的情況相比，是很大的優勢。因此，與使用矽基板的情況相比，即使在將電路部形成得大的情況下，也可以實現低成本化。

另外，在本步驟中，在基板 701 的整個表面上設置剝離層 702，然而還可以根據需要，在基板 701 的整個表面上設置剝離層，然後藉由光刻法選擇性地設置剝離層 702。此外，雖然這裏以與基板 701 接觸的方式形成剝離層 702，然而還可以根據需要，以與基板 701 接觸的方式形成絕緣膜如氧化矽膜、氧氮化矽膜、氮化矽膜、氮氧化矽膜等，並且以與該絕緣膜接觸的方式形成剝離層 702。

在此，氧氮化物是指在其組成中氧的含量大於氮的含量的物質，並且氮氧化物是指在其組成中氮的含量大於氧的含量的物質。例如，氧氮化矽可以是以 50 原子%至 70

原子%的範圍含有氧，以 0.5 原子%至 15 原子%的範圍含有氮，以 25 原子%至 35 原子%的範圍含有矽，並且以 0.1 原子%至 10 原子%的範圍含有氫的物質。此外，氮氧化矽可以是以 5 原子%至 30 原子%的範圍含有氧，以 20 原子%至 55 原子%的範圍含有氮，以 25 原子%至 35 原子%的範圍含有矽，並且以 10 原子%至 30 原子%的範圍含有氫的物質。但是，上述組成範圍是利用盧瑟福背散射光譜學法（RBS：Rutherford Backscattering Spectrometry）、氫前方散射法（HFS：Hydrogen Forward Scattering）來測定的。此外，構成元素的含有比率的合計不超過 100 原子%。

作為剝離層 702 可以採用金屬膜以及金屬膜和金屬氧化膜的疊層結構等。藉由使用由選自鎢（W）、鉬（Mo）、鈦（Ti）、鉭（Ta）、鈮（Nb）、鎳（Ni）、鈷（Co）、鋯（Zr）、鋅（Zn）、鈳（Ru）、銠（Rh）、鈀（Pd）、銱（Os）、銱（Ir）中的元素、以上述元素為主要成分的合金材料或以上述元素為主要成分的化合物材料構成的膜的單層或疊層形成金屬膜。此外，由這些材料構成的膜可以使用濺射法或電漿 CVD 法等各種 CVD 法等形式。作為金屬膜和金屬氧化膜的疊層結構，藉由在形成上述的金屬膜之後，在氧氣氣氛中或在 N_2O 氣氛中進行電漿處理並且在氧氣氣氛中或在 N_2O 氣氛中進行加熱處理，可以在金屬膜的表面設置該金屬膜的氧化物或氧氮化物。此外，還可以在形成金屬膜之後，使用氧化能力強的溶液如臭氧水等處理其表面，來在金屬膜的表面設置該金屬膜的氧

化物或氮氧化物。

作為絕緣膜 703，藉由濺射法或電漿 CVD 法等以單層結構或疊層結構形成含有矽的氧化物或矽的氮化物的膜。在用作基底的絕緣膜 703 是兩層結構的情況下，例如，最好作為第一層形成氮氧化矽膜，並且作為第二層形成氧氮化矽膜。在用作基底的絕緣膜 703 是三層結構的情況下，最好作為第一層絕緣膜形成氧化矽膜，作為第二層絕緣膜形成氮氧化矽膜、並且作為第三層絕緣膜形成氧氮化矽膜。或者，最好作為第一層絕緣膜形成氧氮化矽膜，作為第二層絕緣膜形成氮氧化矽膜，並且作為第三層絕緣膜形成氧氮化矽膜。用作基底的絕緣膜 703 起到阻擋膜的功能，該阻擋膜防止來自基板 701 的雜質的侵入。

藉由濺射法、LPCVD 法、電漿 CVD 法等以 25nm 至 200nm 左右，最好為 50nm 至 70nm 左右，具體地為 66nm 的厚度形成半導體膜 704。作為半導體膜 704，例如可以形成非晶矽膜。

接著，藉由對半導體膜 704 照射雷射光來進行晶化。另外，也可以藉由組合雷射光照射與利用 RTA（快速熱退火）、退火爐的熱晶化法或利用促進晶化的金屬元素的熱晶化法的方法等進行半導體膜 704 的晶化。之後，將所得到的結晶半導體膜蝕刻為所希望的形狀來形成半導體膜 704a 和半導體膜 704b，並且以覆蓋這些半導體膜的方式形成閘極絕緣膜 705（參照圖 2B）。

以下簡單地說明半導體膜 704a 和半導體膜 704b 的製

造步驟的一例。首先，使用電漿 CVD 法形成非晶半導體膜（例如非晶矽膜）。接著，將含有作為促進晶化的金屬元素的鎳的溶液保持在非晶半導體膜上，然後對非晶半導體膜進行脫氫處理（ 500°C ，1 小時）和熱晶化處理（ 550°C ，4 小時），以形成結晶半導體膜。之後，根據晶化程度，如果有需要的話，從雷射振盪器照射雷射。再者，藉由使用光刻法，形成半導體膜 704a 和半導體膜 704b。另外，也可以僅進行雷射光照射而不進行使用促進晶化的金屬元素的熱晶化，來進行非晶半導體膜的晶化。

此外，可以對半導體膜照射連續振盪雷射或以 10MHz 以上的頻率振盪的雷射光束並使它向一個方向掃描而進行結晶化，以形成半導體膜 704a、半導體膜 704b。當進行該結晶化時，具有結晶向雷射光束的掃描方向成長的特性。最好使掃描方向與通道長度方向（形成通道形成區域時載流子流動的方向）一致地配置薄膜電晶體。

接著，形成覆蓋半導體膜 704a 和半導體膜 704b 的閘極絕緣膜 705。作為閘極絕緣膜 705，藉由 CVD 法或濺射法等以單層結構或疊層結構形成含有矽的氧化物或矽的氮化物的膜。具體而言，以單層結構或疊層結構形成氧化矽膜、氧氮化矽膜、或者氮氧化矽膜。

此外，閘極絕緣膜 705 還可以藉由對半導體膜 704a、半導體膜 704b 進行電漿處理，使其表面氧化或氮化來形成。例如，藉由引入了稀有氣體如 He、Ar、Kr、Xe 等與氧、氧化氮（ NO_2 ）、氮、氫、氫等的混合氣體的電漿處

理形成。藉由利用微波進行此時的電漿激發，可以以低電子溫度生成高密度的電漿。利用藉由該高密度電漿生成的氧基（有時包括 OH 基）或氮基（有時包括 NH 基），可以使半導體膜的表面氧化或氮化。

藉由這種使用高密度電漿的處理，1nm 至 20nm 左右，典型為 5nm 至 10nm 左右厚的絕緣膜被形成在半導體膜表面上。由於在此情況下的反應為固相反應，所以可以極度降低所述絕緣膜和半導體膜的介面態密度。這種電漿處理由於使半導體膜（結晶矽或多晶矽）直接氧化（或氮化），所以可以極度降低被形成的絕緣膜的厚度的不均勻性。而且，即使在結晶矽的晶粒介面也不會加強氧化，所以成為極為最好的狀態。即，藉由這裏所示的高密度電漿處理使半導體膜的表面固相氧化，可以形成均勻性好且介面態密度低的絕緣膜，而不導致在晶粒介面的異常氧化反應。

閘極絕緣膜 705 可以僅使用藉由電漿處理形成的絕緣膜，還可以層疊藉由利用電漿或熱反應的 CVD 法沉積的氧化矽、氧氮化矽、氮化矽等的絕緣膜。無論上述哪一種情況，都可以降低藉由將使用電漿處理形成的絕緣膜用作其閘極絕緣膜的一部分或整個部分而形成的薄膜電晶體的特性的不均勻性，因此是最好的。

此外，當對半導體膜照射連續振盪雷射或以 10MHz 以上的頻率振盪的雷射光束並使它向一個方向掃描而進行結晶化，以形成半導體膜 704a、半導體膜 704b 時，藉由

組合上述被進行了電漿處理的閘極絕緣膜，可以得到一種特性不均勻性小且場效應遷移率高的薄膜電晶體（TFT）。

接著，在閘極絕緣膜 705 上形成導電膜。這裏，以單層形成厚度為 100nm 至 500nm 左右的導電膜。作為材料，可以使用含有選自鉭（Ta）、鎢（W）、鈦（Ti）、鉬（Mo）、鋁（Al）、銅（Cu）、鉻（Cr）、銱（Nb）等中的元素的材料、以這些元素為主要成分的合金材料或以這些元素為主要成分的化合物材料形成。還可以使用以摻雜有磷等的雜質元素的多晶矽為代表的半導體材料。在以疊層結構形成導電膜的情況下，例如可以使用氮化鉭膜和鎢膜的疊層結構、氮化鎢膜和鎢膜的疊層結構、以及氮化鉬膜和鉬膜的疊層結構。例如，可以採用 30nm 厚的氮化鉭和 150nm 厚的鎢的疊層結構。由於鎢和氮化鉭具有高耐熱性，所以可以在形成導電膜後進行以熱啟動為目的的加熱處理。此外，也可以將導電膜形成為三層以上的疊層結構，例如可以採用由鉬膜、鋁膜、以及鉬膜構成的疊層結構。

接著，在上述導電膜上藉由光刻法形成由抗蝕劑構成的掩模，進行用於形成閘極電極和閘極佈線的蝕刻處理，來在半導體膜 704a、半導體膜 704b 上方形成閘極電極 707。

接著，藉由光刻法形成由抗蝕劑構成的掩模，並藉由離子摻雜法或離子注入法以低濃度將賦予 n 型或 p 型的雜

質元素添加到半導體膜 704a、半導體膜 704b 中。在本實施例模式中，以低濃度將賦予 n 型的雜質元素添加到半導體膜 704a、半導體膜 704b 中。作為賦予 n 型的雜質元素，使用屬於元素週期表中第 15 族的元素即可，可以使用磷（P）或砷（As）等。此外，作為賦予 p 型的雜質元素，只要使用屬於元素週期表中第 13 族的元素即可，可以使用硼（B）等。

另外，在本實施例模式中，為了簡化起見，僅示出具有添加有賦予 n 型的雜質元素的半導體膜的薄膜電晶體（n 型 TFT），但是本發明不被解釋為僅限定於此。也可以為僅使用具有添加有賦予 p 型的雜質元素的半導體膜的薄膜電晶體（p 型 TFT）的結構。此外，也可以組合形成 n 型 TFT 和 p 型 TFT 兩者。在形成 n 型 TFT 和 p 型 TFT 兩者的情況下，藉由形成覆蓋後面成為 p 型 TFT 的半導體層的掩模，添加賦予 n 型的雜質元素，並且形成覆蓋後面成為 n 型 TFT 的半導體層的掩模，添加賦予 p 型的雜質元素，而可以選擇性地添加賦予 n 型的雜質元素和賦予 p 型的雜質元素。

接著，以覆蓋閘極絕緣膜 705 和閘極電極 707 的方式形成絕緣膜。作為絕緣膜，藉由電漿 CVD 法或濺射法等以單層或疊層形成含有無機材料如矽、矽的氧化物或矽的氮化物等的膜、或者含有有機材料如有機樹脂等的膜。藉由主要沿著垂直方向的各向異性蝕刻選擇性地蝕刻絕緣膜，形成與閘極電極 707 的側面接觸的絕緣膜 708（也被稱

為側壁)。將絕緣膜 708 用作後面形成 LDD (輕摻雜漏) 區域時的掩模。

接著，使用閘極電極 707、以及絕緣膜 708 作為掩模，將賦予 n 型的雜質元素添加到半導體膜 704a、半導體膜 704b 中。由此，形成通道形成區域 706a、第一雜質區域 706b、以及第二雜質區域 706c (參照圖 2C)。將第一雜質區域 706b 用作薄膜電晶體的源區或汲區，第二雜質區域 706c 用作 LDD 區域。使第二雜質區域 706c 所含有的雜質元素的濃度低於第一雜質區域 706b 所含有的雜質元素的濃度。

接著，以覆蓋閘極電極 707 和絕緣膜 708 等的方式形成單層結構或疊層結構的絕緣膜。在本實施例模式中，示出絕緣膜 709、710 以及 711 為三層結構的例子。這些絕緣膜可以藉由 CVD 法形成。例如，可以形成 50nm 厚的氮化矽膜作為絕緣膜 709，形成 200nm 厚的氮氧化矽膜作為絕緣膜 710，並形成 400nm 厚的氮化矽膜作為絕緣膜 711。這些絕緣膜的表面雖然也要根據其膜厚度，但沿設置在下層中的層的表面形狀而形成。就是說，因為絕緣膜 709 的厚度薄，所以其表面沿閘極電極 707 的表面形狀而形成的程度大。因為膜厚度越厚，其表面形狀越接近平坦，所以三層結構中的膜厚最厚的絕緣膜 711 的表面形狀接近平坦。但是，由於與有機材料不同，所以其不同於平坦的表面形狀。就是說，如果想要使表面形狀平坦，可以使用有機材料如聚醯亞胺、聚醯胺、苯並環丁烯、丙烯酸、

環氧等；或矽氧烷材料等。另外，作為這些絕緣膜的製造方法，除了 CVD 法以外，還可以使用濺射法、SOG 法、液滴噴射法或絲網印刷法等。

接著，藉由光刻法蝕刻絕緣膜 709、710、711 等，形成到達第一雜質區域 706b 的接觸孔，然後形成用作薄膜電晶體的源電極或漏電極的導電膜 731a 和用作連接佈線的導電膜 731b。藉由以填充接觸孔的方式形成導電膜，並且選擇性地蝕刻該導電膜，而可以形成導電膜 731a 及 731b。另外，也可以在形成導電膜之前在接觸孔中露出的半導體膜 704a、半導體膜 704b 的表面上形成矽化物，以降低電阻。導電膜 731a 及 731b 最好由低電阻材料形成，以可以減少信號延遲。通常，低電阻材料的耐熱性低，從而最好在低電阻材料的上下設置高耐熱性材料。例如，最好採用在低電阻材料的 300nm 厚的鋁的上下設置 100nm 厚的鈦的結構。另外，導電膜 731b 用作連接佈線，藉由採用與導電膜 731a 相同的疊層結構形成導電膜 731b，可以實現連接佈線的低電阻化和耐熱性的提高。導電膜 731a 及 731b 可以使用其他導電材料如包含選自鎢（W）、鉭（Ta）、鉬（Mo）、鎳（Ni）、鉑（Pt）、銅（Cu）、金（Au）、銀（Ag）、錳（Mn）、釹（Nd）、碳（C）、矽（Si）中的元素的材料、以這些元素為主要成分的合金材料或以這些元素為主要成分的化合物材料以單層結構或疊層結構形成。以鋁為主要成分的合金材料，例如相當於其主要成分是鋁並含有鎳的材料或者主要成分是鋁並含

有鎳以及碳和矽中之一或兩者的合金材料。另外，導電膜 731a 及 731b 可以藉由 CVD 法、濺射法等形成。

藉由上述步驟，可以得到包括薄膜電晶體 730a、薄膜電晶體 730b 的元件層 749（參照圖 3A）。

另外，在形成絕緣膜 709、710、711 之前、在形成絕緣膜 709 之後或在形成絕緣膜 709 及 710 之後，最好進行目的在於恢復半導體膜 704 的結晶性、啟動已添加到半導體膜 704 中的雜質元素或使半導體膜氫化的加熱處理。對於加熱處理，最好採用熱退火法、雷射退火法或 RTA 法等。

接著，覆蓋導電膜 731a 及 731b 地形成絕緣膜 712 及 713（參照圖 3B）。這裏，示出使用 100nm 厚的氮化矽膜作為絕緣膜 712，並使用 1500nm 厚的聚醯亞胺作為絕緣膜 713 的情況的例子。最好地是，絕緣膜 713 的表面形狀的平坦性高。因此，除了根據有機材料的聚醯亞胺的特徵以外，還根據厚膜化的結構，如 750nm 至 3000nm 的膜厚度（具體地說，1500nm），而提高絕緣膜 713 的平面形狀的平坦性。接著，在該絕緣膜 712 及 713 中形成開口部。在本實施例模式中，示出形成暴露導電膜 731b 的開口部 714 的情況的例子。在該開口部 714 中（詳細地說，由虛線圍繞的區域 715 中），絕緣膜 712 的端部由絕緣膜 713 覆蓋。藉由以上層的絕緣膜 713 覆蓋下層的絕緣膜 712 的端部，能夠防止後面形成在開口部 714 中的佈線的斷裂。在本實施例模式中，因為絕緣膜 713 由有機材料的聚醯亞

胺構成，所以在開口部 714 中絕緣膜 713 呈坡度小的錐形，而能夠高效地防止斷裂。作為能夠發揮該斷裂防止效果的絕緣膜 713 的材料，除了聚醯亞胺以外，還可以使用聚醯胺、苯並環丁烯、丙烯酸、環氧等有機材料、矽氧烷材料等。另外，還可以使用氧氮化矽膜、氮氧化矽膜代替氮化矽膜作為絕緣膜 712。另外，作為絕緣膜 712 及 713 的製造方法，可以使用 CVD 法、濺射法、SOG 法、液滴噴射法或絲網印刷法等。

接著，在絕緣膜 713 上形成導電膜 717，在該導電膜 717 上形成絕緣膜 718（參照圖 3C）。可以使用與導電膜 731a 及 731b 相同的材料形成導電膜 717。例如，可以採用 100nm 厚的鈦膜、200nm 厚的鋁膜和 100nm 厚的鈦膜的疊層結構。因為在開口部 714 中導電膜 717 與導電膜 731b 連接，所以藉由鈦膜相互接觸而能夠抑制接觸電阻。另外，因為基於薄膜電晶體與天線（後面形成）之間的信號的電流流過導電膜 717，所以佈線電阻最好為低。因此，最好使用鋁等低電阻材料。另外，導電膜 717 可以使用其他導電材料如選自鎢（W）、鉭（Ta）、鉬（Mo）、鎳（Ni）、鉑（Pt）、銅（Cu）、金（Au）、銀（Ag）、錳（Mn）、釹（Nd）、碳（C）、矽（Si）中的元素的材料、以這些元素為主要成分的合金材料或以這些元素為主要成分的化合物材料以單層結構或疊層結構形成。以鋁為主要成分的合金材料，例如相當於其主要成分是鋁並含有鎳的材料或者主要成分是鋁並含有鎳以及碳和矽中之一或

兩者的合金材料。另外，導電膜 717 可以藉由 CVD 法、濺射法等形成。絕緣膜 718 的表面形狀需要具有平坦性，因此最好使用有機材料形成絕緣膜 718。這裏，示出使用以 2000nm 的厚度形成的聚醯亞胺的情況的例子。絕緣膜 718 需要使 1500nm 厚的絕緣膜 713 的開口部 714 和形成在開口部 714 中的導電膜 717 的表面的凹凸平坦，從而絕緣膜 718 的厚度為比絕緣膜 713 厚的 2000nm。因此，絕緣膜 718 的厚度為絕緣膜 713 的厚度的 1.1 倍至 2 倍以上，最好為 1.2 倍至 1.5 倍。就是說，當絕緣膜 713 的厚度為 750nm 至 3000nm 時，絕緣膜 718 的厚度最好為 900nm 至 4500nm。作為絕緣膜 718，最好不但考慮到膜厚度，而且使用平坦性高的材料。作為用於絕緣膜 718 的平坦性高的材料，除了聚醯亞胺以外，還可以使用聚醯胺、苯並環丁烯、丙烯酸、環氧等有機材料、矽氧烷材料等。當在絕緣膜 718 上形成天線時，需要如上所述那樣地考慮到絕緣膜 718 的表面形狀的平坦性。

另外，圖 7 示出電路部的周圍區域。最好在電路部中的天線的外側（具體地說，區域 740），絕緣膜 718 覆蓋絕緣膜 713 的端部。當絕緣膜 718 覆蓋絕緣膜 713 時，絕緣膜 718 最好從絕緣膜 713 的厚度和絕緣膜 718 的厚度的總和的 2 倍以上的外側（距離 d ）覆蓋絕緣膜 713。在本實施例模式中，因為絕緣膜 713 的厚度為 1500nm，並且絕緣膜 718 的厚度為 2000nm，所以絕緣膜 718 從離絕緣膜 713 的端部有距離 $d=7000\text{nm}$ 的外側覆蓋絕緣膜 713 的

端部。藉由採用該結構，能夠確保工藝裕度，並能夠防止水分和氧的侵入。

接著，在絕緣膜 718 上形成天線 720（參照圖 4A）。並且，天線 720 和導電膜 717 藉由開口部（未圖示）連接。在天線 720 的下方設置開口部，以實現集成化。注意，天線 720 還可以直接連接於導電膜 731a，但是藉由如本實施例模式所示那樣設置導電膜 717，能夠確保當形成用於與天線 720 連接的開口部時的形成裕度，以實現高集成化，所以這是最好的。因此，還可以在導電膜 717 上設置另一導電膜以連接於天線 720。就是說，只要將天線 720 電連接於構成薄膜電晶體的導電膜 731a，即可，從而能夠以隔著多個導電膜的連接結構實現高集成化。如果上述導電膜 717 等的多個導電膜的厚度變厚，則會使半導體裝置也變厚，因此該導電膜最好為薄。因此，最好地是，導電膜 717 等的厚度比導電膜 731a 薄。

天線 720 可以採用第一導電膜 721、第二導電膜 722 的疊層結構。在本實施例模式中，作為第一導電膜 721 採用 100nm 厚的鈦，並且第二導電膜 722 採用 5000nm 厚的鋁，而形成疊層結構。鈦既可以提高天線的耐濕性，又可以提高絕緣膜 718 與天線 720 的密接性。再者，藉由採用鈦作為第一導電膜 721，可以降低第一導電膜 721 與導電膜 717 的接觸電阻。這是因為在導電膜 717 的最上層形成有鈦，其與用於第一導電膜 721 的鈦相同，是相同的材料彼此接觸的緣故。由於作為第一導電膜 721 採用的鈦利用

乾蝕刻來形成，因此通常其端部成為陡峭的狀態。由於用於第二導電膜 722 的鋁為低電阻材料，因此適合用於天線。此外，由於使第二導電膜 722 實現了膜厚化，所以可以進一步降低電阻。藉由使天線的電阻降低，可以延長通信距離，因此是最好的。由於用於第二導電膜 722 的鋁是利用濕蝕刻來形成的，因此通常其端部的側面具有錐形。本實施例模式中的錐形形成為向第二導電膜 722 的內側彎曲，即具有內凹形的側面。另外，當對第二導電膜 722 進行濕蝕刻時，與第一導電膜 721 的端部相比，第二導電膜 722 的端部位於內側（區域 742）。例如，在第二導電膜 722 的厚度的 $1/6$ 至 $1/2$ 左右的範圍內的內側（距離 L ）設置第二導電膜 722 的端部即可，在本實施例模式中最好在離第一導電膜 721 的端部有距離 $L=0.8\mu\text{m}$ 至 $2\mu\text{m}$ 的範圍內的內側設置第二導電膜 722 的端部。由於與第二導電膜 722 的端部相比第一導電膜 721 的端部向外突出，因此可以防止之後形成的絕緣膜的斷裂，而可以提高天線的耐性。

天線除了可以使用鈦、鋁以外，還可以使用包含銀、銅、金、鉑、鎳、鈮、鉭、鉬等的金屬元素的材料、包含該金屬元素的合金材料、包含該金屬元素的化合物材料作為導電性材料，並利用 CVD 法、濺射法、印刷法如絲網印刷或凹版印刷等、液滴噴出法、點滴法、鍍敷法等而形成。此外，雖然在本實施例模式中示出了疊層結構的天線，但是也可以上述任一個材料的單層結構形成天線。

覆蓋天線 720 地形成絕緣膜 723。在本實施例模式中，以 200nm 厚的氮化矽膜形成絕緣膜 723。藉由形成絕緣膜 723，可以提高天線的耐濕性，因此是最好的。由於與鋁端部相比鈦端部向外突出，所以可以不使絕緣膜 723 斷開地將其形成。這樣的絕緣膜 723 除了由氮化矽膜形成以外，還可以由氧氮化矽膜、氮氧化矽膜、其他無機材料形成。

此外，如圖 7 所示，最好在絕緣膜 718 的外側，即電路部中的天線的外側（具體而言，圖 7 中的區域 741）使絕緣膜 723 與絕緣膜 712 直接接觸。在本實施例模式中，由於絕緣膜 712、723 都由氮化矽膜形成，因此成為相同的材料彼此直接接觸的結構，所以密接性高，而可以防止水分和氧的侵入。另外，由於與氧化矽膜相比氮化矽膜的緻密性高，因此可以有效地防止水分和氧的侵入。由於絕緣膜 712 與絕緣膜 723 密接的區域為周圍區域，沒有設置天線和薄膜電晶體，因此其膜厚度極薄，為 3 μ m 至 4 μ m。周圍區域以圍繞電路部的方式形成。與不採用這樣的周圍區域的結構的半導體裝置相比，本實施例模式的半導體裝置可以減少因隨時間的形狀和特性的變化而導致的缺陷，例如從半導體裝置的端部剝離等。

接著，覆蓋絕緣膜 723 地配置第一絕緣體 751（參照圖 4B）。在本實施例模式中，示出作為第一絕緣體 751 使用在纖維體 727 中浸滲有機樹脂 728 而成的結構體 726，並且作為更最好的方式，示出在結構體 726 的表面上設

置有第一衝擊緩和層 750 的情況的例子。在本實施例模式中，作為第一衝擊緩和層 750，使用芳族聚醯胺樹脂。

在纖維體 727 中浸滲有機樹脂 728 而成的結構體 726 也被稱為預浸料（prepreg）。預浸料具體地說是將使用有機溶劑稀釋矩陣樹脂而成的清漆浸滲在纖維體中後，使有機溶劑揮發來使矩陣樹脂半固化而成的。預浸料的彈性模量為 13 GPa 至 15 GPa，並其破斷係數為 140 MPa。藉由使其薄膜化而使用，可以製造薄型且可彎曲的半導體裝置。作為預浸料的纖維體的代表例子，有聚乙烯醇纖維、聚酯纖維、聚醯胺纖維、聚乙烯纖維、芳族聚酸胺纖維、聚對苯撐苯並二噁唑纖維、玻璃纖維、或碳纖維等。作為構成矩陣樹脂的代表例子，有環氧樹脂、不飽和聚酯樹脂、聚醯亞胺樹脂或氟樹脂等。此外，在後面的實施例模式中，對預浸料進行詳細說明。

除了這種結構體 726 以外，作為第一絕緣體 751，可以使用包括環氧樹脂、不飽和聚酯樹脂、聚醯亞胺樹脂、雙馬來醯亞胺三嗪樹脂或氰酸酯樹脂等熱固性樹脂的層。此外，作為第一絕緣體 751，也可以使用熱可塑性樹脂諸如聚苯醚樹脂、聚醚醯亞胺樹脂或氟樹脂等。另外，衝擊緩和層 750 由高強度材料形成即可，具體除了芳族聚醯胺樹脂以外，還有聚乙烯醇樹脂、聚酯樹脂、聚醯胺樹脂、聚乙烯樹脂、聚對苯撐苯並雙噁唑樹脂、玻璃樹脂等。

最好將第一絕緣體 751 的厚度設定為 5 μm 至 100 μm ，更最好為 10 μm 至 50 μm ，在本實施例模式中設定為 32 μm

。在本實施例模式中，在第一絕緣體 751 中，將絕構體 726 的膜厚度設定為 $20\mu\text{m}$ ，將第一衝擊緩和層 750 的膜厚度設定為 $12\mu\text{m}$ 。即使採用這種結構，也可以製造薄型且可彎曲的半導體裝置。

在形成第一衝擊緩和層 750 之後，在第一衝擊緩和層 750 的表面上形成第一導電層 729。作為第一導電層 729，以下示出使用膜厚度為 100nm 的氧化矽和銦錫氧化物的化合物的情況的例子。這種第一導電層 729 採用其電阻低於結構體 726 或第一衝擊緩和層 750 的電阻的結構即可。為此，第一導電層 729 的狀態既可以設置為膜狀，又可以設置為有較小的間隔的島塊狀。此外，由於採用電阻低的結構即可，考慮到使用的材料的電阻率等，可以將其膜厚度設定為 50nm 至 200nm 。藉由使第一導電層 729 厚膜化，可以使電阻低，因此是最好的。作為第一導電層 729，除了氧化矽和銦錫氧化物的化合物以外，還可以使用含有選自鈦、鉬、鎢、鋁、銅、銀、金、鎳、錫、鉑、鈮、銻、銻、鉍、鋅、鐵、矽、鎳、鎳、鋇等中的元素的材料、以上述元素為主要成分的合金材料、以上述元素為主要成分的化合物材料等來形成。作為第一導電層 729 的製造方法，可以使用濺射法、電漿 CVD 法、塗敷法、印刷法等，並且也可以採用電鍍法或無電鍍法等之電鍍法。另外，也可以在第一導電層 729 的表面上設置絕緣膜。由此，可以保護第一導電層 729。

接著，從基板 701 剝離包括薄膜電晶體 730a、薄膜電

晶體 730b 的元件層與用作天線 720 的導電膜等一體形成的層（參照圖 5）。此時，從剝離層 702 和基板 701 的介面、剝離層 702 和絕緣膜 703 的介面或剝離層 702 的內部中的任一個進行分離而實現剝離。當剝離層 702 殘留在上述一體形成的層一側時，若不需要，則可以利用蝕刻等去除該殘留的剝離層 702。其結果是，可以提高與後面接觸於絕緣膜 703 而形成的層的密接性。

另外，當剝離時，藉由一邊使用水或臭氧水等的水溶液潤濕剝離面一邊進行剝離，可以防止薄膜電晶體 730a、薄膜電晶體 730b 等的元件被靜電等損壞。這是因為藉由水溶液中的離子終止剝離層 702 的不成對電子。

此外，藉由再次利用剝離後的基板 701，可以實現低成本化。

接著，以覆蓋因剝離而露出的面的方式形成第二絕緣體 753（參照圖 6）。在本實施例模式中，示出作為第二絕緣體 753 設置在纖維體 731 中浸滲有機樹脂 732 而成的結構體 730（預浸料），並在結構體 730 的表面上還設置第二衝擊緩和層 752 的情況。作為第二衝擊緩和層 752 使用芳族聚醯胺樹脂。當然，可以只將第一結構體 726 及第二結構體 730 附著，並將此時的半導體裝置的膜厚度設定為 $40\mu\text{m}$ 至 $70\mu\text{m}$ ，最好設定為 $40\mu\text{m}$ 至 $50\mu\text{m}$ 。將設置有第一及第二衝擊緩和層時的半導體裝置的膜厚度設定為 $70\mu\text{m}$ 至 $90\mu\text{m}$ ，最好設定為 $70\mu\text{m}$ 至 $80\mu\text{m}$ 。

接著，在第二絕緣體 753 的表面上形成第二導電層

733。第二導電層 733 可以與第一導電層 729 同樣地形成。此外，在第二導電層 733 的表面上也可以設置絕緣膜。由此，可以保護第二導電層 733。藉由以上步驟，可以得到一種疊層體，其中元件層和天線由第一絕緣體 751 和第二絕緣體 753 密封，在第一絕緣體 751 的表面上具有第一導電層 729，並且在第二絕緣體 753 的表面上具有第二導電層 733。

然後，藉由利用分割方法，將上述疊層體分成各個半導體裝置。作為分割方法，最好使用當進行分割時第一絕緣體 751 及第二絕緣體 753 熔化的方法（更最好為第一導電層 729 及第二導電層 733 熔化的方法）。在本實施例模式中應用利用雷射光照射的分割。

對於用於上述分割的雷射的波長、強度或光束尺寸等的條件沒有特別的限制。只要至少是可以分割半導體裝置的條件即可。作為雷射振盪器，例如可以使用連續波雷射，如 Ar 雷射、Kr 雷射、CO₂ 雷射、YAG 雷射、YVO₄ 雷射、YLF 雷射、YAlO₃ 雷射、GdVO₄ 雷射、Y₂O₃ 雷射、紅寶石雷射、紫翠玉雷射、Ti:藍寶石雷射、氬鎘雷射等；或脈衝雷射，如 Ar 雷射、Kr 雷射、準分子雷射（ArF、KrF、XeCl）、CO₂ 雷射、YAG 雷射、YVO₄ 雷射、YLF 雷射、YAlO₃ 雷射、GdVO₄ 雷射、Y₂O₃ 雷射、紅寶石雷射、紫翠玉雷射、Ti:藍寶石雷射、銅蒸汽雷射、金蒸汽雷射等。

如本實施例模式所示，藉由利用雷射光照射將上述半導體裝置分成各個半導體裝置，第一導電層 729 和第二導

電層 733 之間的電阻值降低，而第一導電層 729 和第二導電層 733 導通。由此，可以同時進行半導體裝置的分割步驟、使第一導電層 729 和第二導電層 733 導通的步驟。

第一導電層 729 和第二導電層 733 之間的電阻值低於第一絕緣體 751、第二絕緣體 753 的電阻值即可。例如設定為 $1\text{G}\Omega$ 以下即可，最好為 $5\text{M}\Omega$ 至 $500\text{M}\Omega$ 左右，更最好為 $10\text{M}\Omega$ 至 $200\text{M}\Omega$ 左右。由此，以獲得這種條件的方式進行藉由雷射光照射處理等的分割即可。

像這樣可以完成使用絕緣基板而形成的半導體裝置。

本實施例模式可以與其他實施例模式適當地組合來使用。

實施例模式 3

在本實施例模式中，說明半導體裝置的分割步驟的一個方式。此外，使用示出半導體裝置之間，即周圍部的圖 8、圖 9 說明分割步驟。

首先，如上述實施例模式所示，進行直到形成第一導電層 729 的步驟。然後，如圖 8 所示，藉由利用去除方法，對周圍區域內選擇性地，即在周圍區域的一部分形成附著區域 102a、102b。當選擇性地去除周圍區域時，在深度方向上，以露出結構體 726 的方式去除絕緣膜等。此外，當從上方看半導體裝置時，由附著區域 102a、102b 都圍繞電路部 100。

作為這種去除方法，可以使用雷射。換言之，可以使

用雷射燒蝕的原理。對於用於去除方法的雷射的波長、強度或光束尺寸等的條件沒有特別的限制。只要至少是可以去除絕緣膜等的條件即可。作為雷射振盪器，例如可以使用連續波雷射，如 Ar 雷射、Kr 雷射、CO₂ 雷射、YAG 雷射、YVO₄ 雷射、YLF 雷射、YAlO₃ 雷射、GdVO₄ 雷射、Y₂O₃ 雷射、紅寶石雷射、紫翠玉雷射、Ti:藍寶石雷射、氮鎢雷射等；或脈衝雷射，如 Ar 雷射、Kr 雷射、準分子雷射（ArF、KrF、XeCl）、CO₂ 雷射、YAG 雷射、YVO₄ 雷射、YLF 雷射、YAlO₃ 雷射、GdVO₄ 雷射、Y₂O₃ 雷射、紅寶石雷射、紫翠玉雷射、Ti:藍寶石雷射、銅蒸汽雷射、金蒸汽雷射等。

在將半導體裝置分成單獨的每一個之後，附著區域 102a、102b 成為相鄰的半導體裝置分別具有的區域。同樣地，在將半導體裝置分成單獨的每一個之後，絕緣膜形成區域也成為相鄰的半導體裝置分別具有的絕緣膜形成區域 101a、101c（參照圖 9）。

然後，如圖 9 所示，形成第二導電層 733。在附著區域 102a、102b 中，結構體 726、730 是直接附著的。具體而言，在結構體 726、730 中，它們的有機樹脂 728、732 接觸而密接。像這樣，藉由密接相同的材料，可以提高附著強度，因此是最好的。

在完成附著的狀態下，分成各個的半導體裝置。作為分割方法，可以參照上述實施例模式。

像這樣可以完成使用絕緣基板而形成的附著強度更高

並可靠性也得到提高的半導體裝置。

本實施例模式可以與其他實施例模式適當地組合來使用。

實施例模式 4

在本實施例模式中，參照圖 10，對作為用於半導體裝置的密封的第一及第二絕緣體的例子，在纖維體中摻雜有機樹脂而成的結構體的詳細結構進行說明。

纖維體 160 是用以固定距離間隔的經線和以固定距離間隔的緯線紡織的（參照圖 10）。使用這種經線和緯線形成的纖維體具有沒有經線及緯線的區域。藉由採用這種纖維體 160，浸滲的有機樹脂 161 的比例增加，因此可以提高纖維體 160 和半導體積體電路之間的密接性。

此外，纖維體 160 也可以是經線及緯線的密度高並經線及緯線不存在的區域的比例低的纖維體。

在纖維體 160 中浸滲有機樹脂 161 而成的結構體也被稱為預浸料。預浸料具體地說是在使纖維體中浸滲用有機溶劑稀釋矩陣樹脂而成的清漆之後，藉由進行乾燥使該有機溶劑揮發來使矩陣樹脂半固化而成的。結構體的厚度最好為 $5\mu\text{m}$ 至 $100\mu\text{m}$ ，更最好為 $10\mu\text{m}$ 至 $30\mu\text{m}$ 。藉由使用具有這樣的厚度的結構體時，可以製造薄型且可彎曲的半導體裝置。例如，作為絕緣體，可以藉由使彈性為 13GPa 至 15GPa 、斷裂模數為 140MPa 的預浸料薄膜化而使用。此外，如上述實施例模式那樣，即使在還設置衝擊緩和層

的情況下，也可以製造薄型且可彎曲的半導體裝置。

此外，作為有機樹脂 161，可以使用熱固性樹脂，諸如環氧樹脂、不飽和聚酯樹脂、聚醯亞胺樹脂、雙馬來醯亞胺三嗪樹脂、或氰酸鹽樹脂。此外，也可以使用熱塑性樹脂，諸如聚苯氧基樹脂、聚醚醯亞胺樹脂、或氟樹脂。藉由使用上述有機樹脂，纖維體可以藉由熱處理固定於半導體積體電路上。另外，有機樹脂 161 的玻璃化轉變溫度越高，受到局部壓力而造成的損壞越少，因此是最好的。

也可以將高導熱性填料分散在有機樹脂 161 或纖維線把中。作為高導熱性填料，有氮化鋁、氮化硼、氮化矽、鈳土等。此外，作為高導熱性填料，有銀、銅等的金屬粒子。藉由使有機樹脂或纖維線把中含有高導熱性填料，可以容易地將在半導體積體電路中產生的熱釋放到外面。因此，可以抑制半導體裝置中的蓄熱，而可以減少半導體裝置的損壞。

纖維體 160 是使用有機化合物或無機化合物的高強度纖維的紡織物或無紡織物，並且配置為部分重疊。高強度纖維具體地是指具有高拉伸彈性模量或高楊氏模量的纖維。作為高強度纖維的典型例子，可以舉出聚乙烯醇纖維、聚酯纖維、聚醯胺纖維、聚乙烯纖維、芳族聚酸胺纖維、聚對苯撐苯並二噁唑纖維、玻璃纖維或碳纖維。作為玻璃纖維，可以舉出使用 E 玻璃、S 玻璃、D 玻璃、Q 玻璃等的玻璃纖維。另外，纖維體 160 可以由一種上述高強度纖維形成。或者，也可以由多種上述高強度纖維形成。

此外，纖維體 160 還可以是將纖維（單股線）的束（以下稱為線把）用於經線和緯線來形成的紡織物，或者藉由以隨機方式或一個方向地堆疊多種纖維的線把而得到的無紡織物。當採用紡織物時，可以適當地使用平紋織物、斜紋織物、緞紋織物等。

線把可以具有圓形或橢圓形的截面。作為纖維線把，也可以使用藉由高壓水流、用液體作為介質的高頻率振動、連續超聲振動、用滾筒的壓緊等受開纖加工的纖維線把。經過開纖加工的纖維線把的寬度變寬，可以減少在厚度方向上的單股線數目，並且其截面成為橢圓形或扁平形。此外，藉由使用弱撚紗線作為纖維線把，容易將線把扁平化，而將線把的截面形狀形成為橢圓形或扁平形。像這樣，藉由使用具有橢圓形或扁平形的截面的線把，可以減少纖維體 160 的厚度。因此，可以使結構體變薄，而可以製造薄型半導體裝置。

藉由使用如上所示的結構體作為以密封半導體裝置為目的的絕緣體，可以提高半導體裝置的對於外部壓力的強度。此外，可以降低在加壓處理步驟等中產生的損壞或特性不良等。由此，可以高成品率地製造半導體裝置。

本實施例模式可以與其他實施例模式適當地組合來使用。

實施例模式 5

在本實施例模式中，將說明以賦予更高可靠性為目的

的半導體裝置的例子。詳細地說，作為半導體裝置的一例說明微處理器及具有運算功能並能夠以非接觸的方式進行資料收發的半導體裝置的一例。

作為半導體裝置的一例，圖 11 表示微處理器 500 的一例。該微處理器 500 是使用根據上述實施例模式的半導體裝置來製造的。該微處理器 500 包括算術邏輯單元 501 (Arithmetic logic unit, 也稱為 ALU)、算術邏輯單元控制器 502 (ALU Controller)、指令解碼器 503 (Instruction Decoder)、中斷控制器 504 (Interrupt Controller)、時序控制器 505 (Timing Controller)、暫存器 506 (Register)、暫存器控制器 507 (Register Controller)、匯流排界面 508 (Bus I/F)、唯讀記憶體 509、以及記憶體介面 510 (ROM I/F)。

藉由匯流排界面 508 輸入到微處理器 500 的指令輸入到指令解碼器 503 並被解碼之後輸入到算術邏輯單元控制器 502、中斷控制器 504、暫存器控制器 507、以及時序控制器 505。算術邏輯單元控制器 502、中斷控制器 504、暫存器控制器 507、以及時序控制器 505 根據被解碼的指令進行各種控制。具體地說，算術邏輯單元控制器 502 產生用來控制算術邏輯單元 501 的工作的信號。此外，中斷控制器 504 在執行微處理器 500 的程式時，對來自外部輸入輸出裝置或週邊電路的中斷要求根據其優先度或掩模狀態進行判斷而處理。暫存器控制器 507 產生暫存器 506 的位址，並且根據微處理器 500 的狀態進行暫存器 506 的讀出

或寫入。時序控制器 505 產生控制算術邏輯單元 501、算術邏輯單元控制器 502、指令解碼器 503、中斷控制器 504 及暫存器控制器 507 的工作時序的信號。例如，時序控制器 505 具備根據基準時鐘信號 CLK1 產生內部時鐘信號 CLK2 的內部時鐘產生器，並且將時鐘信號 CLK2 提供給上述各種電路。另外，圖 11 所示的微處理器 500 只是將其結構簡化來示出的一個實例，實際上可以根據其用途具有多種多樣的結構。

接著，參照圖 12 說明可以具有運算功能並以非接觸的方式進行資料收發的半導體裝置的一例。圖 12 示出以無線通信與外部裝置進行信號的收發而工作的電腦（以下稱為 RFCPU）的一例。RFCPU511 包括類比電路部 512 和數位電路部 513。類比電路部 512 包括具有諧振電容的諧振電路 514、整流電路 515、恒壓電路 516、重定電路 517、振盪電路 518、解調電路 519、調變電路 520、以及電源管理電路 530。數位電路部 513 包括 RF 介面 521、控制暫存器 522、時鐘控制器 523、介面 524、中央處理單元 525、隨機存取記憶體 526、以及唯讀記憶體 527。

下面說明具有這種結構的 RFCPU511 的工作概要。天線 528 所接收的信號由於諧振電路 514 產生感應電動勢。感應電動勢經過整流電路 515 而充到電容部 529 中。該電容部 529 最好由陶瓷電容器或雙電層電容器等的電容器構成。電容部 529 不需要與 RFCPU511 一體形成，作為另外的組件安裝在構成 RFCPU511 的具有絕緣表面的基板上即

可。

重定電路 517 產生對數位電路部 513 進行重定和初始化的信號。例如，作為重定信號產生相對於電源電壓的上升而延遲升高的信號。振盪電路 518 根據由恒壓電路 516 產生的控制信號改變時鐘信號的頻率和占空比。由低通濾波器形成的解調電路 519 例如將振幅調變（ASK）方式的接收信號的振幅的變動二值化。調變電路 520 藉由使振幅調變（ASK）方式的發送信號的振幅變動來發送發送資料。調變電路 520 藉由改變諧振電路 514 的諧振點來改變通信信號的振幅。時鐘控制器 523 根據電源電壓或中央處理單元 525 中的耗電流，產生用來改變時鐘信號的頻率和占空比的控制信號。電源管理電路 530 監視電源電壓。

從天線 528 輸入到 RFCPU511 的信號被解調電路 519 解調後，在 RF 介面 521 中分解為控制指令、資料等。控制指令記憶在控制暫存器 522 中。控制指令包括記憶在唯讀記憶體 527 中的資料的讀出指令、向隨機存取記憶體 526 的資料的寫入指令、向中央處理單元 525 的運算指令等。中央處理單元 525 藉由介面 524 對唯讀記憶體 527、隨機存取記憶體 526、以及控制暫存器 522 進行存取。介面 524 具有如下功能：根據中央處理單元 525 所要求的位址，產生用於唯讀記憶體 527、隨機存取記憶體 526、以及控制暫存器 522 中的任一個的存取信號。

作為中央處理單元 525 的運算方式，可以採用將 OS（作業系統）記憶在唯讀記憶體 527 中且在啓動的同時讀

出並執行程式的方式。此外，也可以採用由專用電路構成算術邏輯單元且以硬體方式進行運算處理的方式。作為使用硬體和軟體的雙方的方式，可以採用如下方式：利用專用算術邏輯單元進行一部分的處理，並且中央處理單元 525 使用程式來進行其他部分的運算。

即使在本實施例模式的微處理器中，也可以借助於設置在表面的導電層，來防止靜電放電造成的半導體積體電路的靜電損壞（電路的故障或半導體元件的損壞）。由此，可以防止起因於靜電放電的特性不良，而可以高成品率地製造半導體裝置。

本實施例模式可以與其他實施例模式適當地組合來使用。

實施例模式 6

在本實施例模式中，將對於上述實施例模式所示的半導體裝置的使用方式的一例進行說明。具體地說，下面使用附圖對於可以非接觸的方式進行資料登錄/輸出的半導體裝置的應用例子進行說明。可以非接觸的方式進行資料登錄/輸出的半導體裝置根據利用方法也被稱為 RFID 標籤、ID 標籤、IC 標籤、RF 標籤、無線標籤、電子標籤或無線晶片。

參照圖 13A 說明本實施例模式所示的半導體裝置的俯視結構的一例。圖 13A 所示的半導體裝置 400 是使用上述實施例模式而形成的分割成每一個的狀態（這種狀態也稱

爲半導體晶片)，並且其夾著絕緣膜設置在支撐基板 406 上。在支撐基板 406 中形成有天線（也稱爲增益天線）405，其與內置天線 720 在由虛線圍繞的區域 407 接近。

在設置在半導體裝置內的電路部中構成有記憶部或邏輯部，這些電路由多個薄膜電晶體等的半導體元件構成。在根據本實施例模式的半導體裝置中，作爲半導體元件，除了應用薄膜電晶體以外的場效應電晶體，還可以應用利用半導體層的記憶元件等。

在圖 13A 中，增益天線 405 藉由主要在由虛線圍繞的環狀區域 407 中與內置天線 720 電磁耦合（電磁感應），而可以向/從內置天線 720 發送和接收信號或供電。此外，增益天線 405 可以主要在由虛線圍繞的區域 407 之外的區域中，使用電波向/從詢問器發送和接收信號或供電。在詢問器與半導體裝置之間，用作載體（載波）的電波的頻率最好爲 30MHz 至 5GHz 左右，例如使用 950MHz、2.45GHz 等的頻帶即可。

此外，增益天線 405 爲在由虛線圍繞的區域 407 中具有一個線圈的矩形環狀，但是本發明不局限於該結構。環狀部分不限於具有矩形，還可以是具有曲線的形狀，例如具有圓形。而且線圈的數目不限於一個，而還可以是多個。

本發明的半導體裝置也可以應用電磁感應方式、電磁耦合方式、微波方式。在採用微波方式的情況下，根據所使用的電磁波的波長適當地決定天線 720、天線 405 的形

狀即可。

例如，在應用微波方式（例如，UHF 頻帶（860MHz 頻帶到 960MHz 頻帶）、2.45GHz 頻帶等）作為半導體裝置的信號傳輸方式的情況下，考慮到用於信號傳輸的電磁波的波長來適當地設定天線的長度或形狀等即可。例如，可以將天線形成為線形（例如，偶極天線）、平坦的形狀（例如，貼片天線或帶形）等。此外，天線的形狀不限於直線形，也可以考慮到電磁波的波長以曲線狀、蜿蜒形狀或者組合這些而成的形狀而設置。

圖 14 示出以線圈狀設置內置天線 720、增益天線 405，並應用電磁感應方式或電磁耦合方式的例子。

在圖 14 中，在設置有作為增益天線的線圈狀的天線 405 的支撐基板 406 上提供設置有線圈狀的內置天線 720 的半導體裝置 400。另外，將電容 411 形成為夾在增益天線 405 和支撐基板 406 之間。

接著，將說明半導體裝置 400 和增益天線 405 的結構及其配置。圖 13B 相當於圖 13A 所示的半導體裝置 400 和形成在支撐基板 406 上的增益天線 405 層疊的狀態的立體圖。圖 13C 相當於沿著圖 13B 的虛線 X-Y 的截面圖。

圖 13C 所示的半導體裝置 400 可以使用上述實施例模式所示的半導體裝置，在此，由於其被分割成每一個的晶片狀，所以也將其稱為半導體晶片。

圖 13C 所示的半導體裝置所具有的電路部 403 被第一絕緣體 751、第二絕緣體 753 夾住，並且其側面也被密封

。第一及第二絕緣體的結構可以參照上述實施例模式。此外，藉由作為分割方法利用雷射，第一及第二絕緣體溶化，可以使用溶化了的第二絕緣體密封側面。

本實施例模式的半導體裝置具有：天線；由第一及第二絕緣體夾持的與該天線電連接的電路部；分別位於第一及第二絕緣體的外側的第一導電層 729、第二導電層 733。第一導電層 729、第二導電層 733 具有使內置天線 720 要收發的電磁波透過，並且阻擋來自外部的靜電施加到半導體裝置內部的電路部中的功能。

在圖 13C 中，電路部 403 配置為比內置型天線 720 更接近增益天線 405 的位置。當為該狀態時容易進行利用電磁耦合（電磁感應）的信號的發送和接收或供電。然而，也可以將內置型天線 720 配置在比電路部 403 更接近增益天線 405 的位置。根據天線的材料，並根據容易進行電磁耦合（電磁感應）的距離，可以採用任一種結構。此外，電路部 403 和內置天線 720 可以直接固定在第一絕緣體 751、第二絕緣體 753 上，也可以由黏合劑固定。

另外，在圖 13C 中，半導體裝置 400 設置在形成在支撐基板 406 及增益天線 405 上的絕緣膜 410 上，但是本發明不局限於此。例如，在導電層的電阻充分高時，也可以採用第一導電層 729 或第二導電層 733 和增益天線 405 接觸的方式。

接著，將說明根據本實施例模式的半導體裝置的工作。圖 15 為示出根據本實施例模式的半導體裝置的結構的

方塊圖的一例。圖 15 所示的半導體裝置 400 包括增益天線 405、電路部 403、內置晶片天線 720。當電磁波從詢問器 421 發出時，增益天線 405 接收該電磁波，因此，在增益天線 405 中產生交流電流，且在增益天線 405 周圍產生磁場。然後，增益天線 405 所具有的環狀部分和具有環形形狀的內置天線 720 相互電磁耦合，使得內置天線 720 中產生感應電動勢。電路部 403 藉由利用上述感應電動勢接收來自詢問器 421 的信號或電力。反之，藉由將電流依照電路部 403 中產生的信號流過內置天線 720 使得增益天線 405 中產生感應電動勢，藉由將該感應電動勢作為從詢問器 121 發出的電波的反射波傳送，可以將信號發送到詢問器 421。

另外，增益天線 405 可以分為主要進行和內置天線 720 之間的電磁耦合的環狀部分和主要接收來自詢問器 421 的電波的部分。主要接收來自詢問器 421 的電波的部分中的增益天線 405 只要具有可以接收電波的形狀即可。例如，採用偶極天線、折疊偶極天線、槽縫天線、彎折線天線、微帶天線等的形狀即可。

雖然圖 13A 至 13C 說明只包括一個天線的半導體裝置的結構，但是本發明不限於該結構。半導體裝置還可以包括兩個天線，即用來接收電力的天線和用來接收信號的天線。藉由具有兩個天線，可以分別使用用於供電的電波的頻率和用於發送信號的電波的頻率。

在根據本實施例模式的半導體裝置中，使用內置晶片

天線，並且可以在增益天線與內置晶片天線之間以非接觸的方式進行信號或電力的發送和接收。因此，與將增益天線等的外部天線連接到電路部的情況不同，電路部與天線之間的連接不容易被外力切斷。其結果是，可以抑制該連接的初期故障的產生。此外，由於在本實施例模式中使用增益天線，所以與只使用內置晶片天線的情況不同，內置晶片天線的尺寸或形狀較少受到電路部的面積的限制。因此，天線能接收的電波的頻帶不受到限制，而且可以增大通信距離。

作為本實施例模式的半導體裝置，借助於表面的導電層，可以防止靜電放電造成的電路部的靜電損壞（電路的故障或半導體元件的損壞）。由此，可以防止起因於靜電放電的特性不良，而可以高成品率地製造半導體裝置。由於本實施例模式的半導體裝置抗外力及靜電的可靠性高，所以可以擴大可以使用半導體裝置的環境條件，並且可以擴大半導體裝置的用途範圍。

另外，本實施例模式可以與其他實施例模式適當地組合來使用。

實施例模式 7

在本實施例模式中，以下參照圖 16A 至 16C 說明藉由使用上述實施例模式形成的可以非接觸的方式進行資料登錄/輸出的半導體裝置的應用例。可以非接觸的方式進行資料登錄/輸出的半導體裝置根據利用方式還被稱為 RFID

標籤、ID 標籤、IC 標籤、IC 晶片、RF 標籤、無線標籤、電子標籤或無線晶片。

半導體裝置 800 具有以非接觸的方式進行資料收發的功能，並且包括高頻電路 810、電源電路 820、重定電路 830、時鐘產生電路 840、資料解調電路 850、資料調變電路 860、控制其他電路的控制電路 870、記憶電路 880、以及天線 890（參照圖 16A）。高頻電路 810 是接收來自天線 890 的信號並且將由資料調變電路 860 接收的信號從天線 890 輸出的電路。電源電路 820 是根據接收信號產生電源電位的電路。重定電路 830 是產生重定信號的電路。時鐘產生電路 840 是根據從天線 890 接收的接收信號產生各種時鐘信號的電路。資料解調電路 850 是解調接收信號且將該信號輸出到控制電路 870 的電路。資料調變電路 860 是調變從控制電路 870 接收的信號的電路。此外，作為控制電路 870，例如設置有取碼電路 910、判碼電路 920、CRC 判定電路 930、以及輸出器電路 940。另外，取碼電路 910 是將傳送到控制電路 870 的指令所包括的多個代碼分別抽出的電路。判碼電路 920 是比較被抽出的代碼與相當於參考值的代碼而判定指令內容的電路。CRC 判定電路 930 是根據被判定的代碼檢測出是否存在發送錯誤等的電路。

接著，對上述半導體裝置的工作的一例進行說明。首先，天線 890 接收無線信號。無線信號經由高頻電路 810 而被傳送到電源電路 820，並且在電源電路 820 中產生高

電源電位（以下，表示為 VDD ）。 VDD 提供給半導體裝置 800 所具有的各個電路。此外，經由高頻電路 810 被傳送到資料解調電路 850 的信號被解調（以下，解調信號）。而且，經由高頻電路 810 並且經過重定電路 830 及時鐘產生電路 840 的信號以及解調信號被傳送到控制電路 870。取碼電路 910、判碼電路 920、以及 CRC 判定電路 930 等分析被傳送到控制電路 870 的信號。然後，根據被分析的信號，輸出記憶在記憶電路 880 內的半導體裝置的資訊。被輸出的半導體裝置的資訊經過輸出器電路 940 而被編碼。再者，被編碼的半導體裝置 800 的資訊經過資料調變電路 860，由天線 890 作為無線信號發送。另外，在構成半導體裝置 800 的多個電路中，低電源電位（以下， VSS ）是共同的，可以將 VSS 作為 GND 來使用。

如此，藉由將信號從通信裝置傳送到半導體裝置 800 並且使用通信裝置接收從該半導體裝置 800 傳送來的信號，可以讀出半導體裝置的資料。

此外，半導體裝置 800 既可以是不安裝電源（電池）而由電磁波將電源電壓供應給各個電路的樣式，又可以是安裝電源（電池）並且由電磁波和電源（電池）將電源電壓供應給各個電路的樣式。

接下來，將說明可以非接觸的方式進行資料登錄/輸出的半導體裝置的使用方式的一例。包括顯示部 3210 的可攜式終端的側面設置有通信裝置 3200，並且產品 3220 的側面設置有半導體裝置 3230（參照圖 16B）。當將通信

裝置 3200 接近於產品 3220 所包括的半導體裝置 3230 時，有關商品的資訊諸如產品的原材料、原產地、各個生產過程的檢查結果、流通過程的歷史、以及產品說明等被顯示在顯示部 3210 上。此外，當使用傳送帶搬運商品 3260 時，可以利用通信裝置 3240 和設置在商品 3260 上的半導體裝置 3250，對該商品 3260 進行檢查（參照圖 16C）。如此，藉由將半導體裝置利用於系統，可以容易獲得資訊而實現高功能化和高附加價值化。

如上所述，本實施例模式的可靠性高的半導體裝置的應用範圍極為廣泛，可以應用到廣泛領域的電子設備。

另外，本實施例模式可以與其他實施例模式適當地組合來使用。

實施例模式 8

可以形成用作包括應用上述實施例模式的處理器電路的晶片（下文中也稱為處理器晶片、無線晶片、無線處理器、無線記憶體或無線標籤）的半導體裝置。本實施例模式的半導體裝置的用途廣泛，只要是藉由以非接觸的方式確認物件物的歷史等的資訊而用於生產及管理等的商品，就可以應用於任何物品。例如，可以將這種半導體裝置設置於紙幣、硬幣、有價證券類、證書類、無記名債券類、包裝容器類、書籍類、記錄介質、身邊帶的東西、交通工具、食品、衣物、保健用品、生活用品、藥品類、以及電子設備等而使用。對這些實例參照圖 17A 至 17G 進行說

明。

紙幣和硬幣是在市場中流通的貨幣，並包括在特定區域中作為真實貨幣流通的票據（代金券）、紀念硬幣等。有價證券是指支票、證券、期票等，其可以設置有包括處理器電路的晶片 190（參照圖 17A）。證書是指駕駛執照、居民卡等，其可以設置有包括處理器電路的晶片 191（參照圖 17B）。身邊帶的東西是指包、眼鏡等，其可以設置有包括處理器電路的晶片 197（參照圖 17C）。無記名債券是指郵票、米票、各種禮品票等。包裝容器是指用於包裝盒飯等的紙、塑膠瓶等，其可以設置有包括處理器電路的晶片 193（參照圖 17D）。書籍是指書、本等，其可以設置有包括處理器電路的晶片 194（參照圖 17E）。記錄介質是指 DVD 軟體、錄影帶等，其可以設置有包括處理器電路的晶片 195（參照圖 17F）。交通工具是指自行車等的車輛、船舶等，其可以設置有包括處理器電路的晶片 196（參照圖 17G）。食品是指食物、飲料等。衣物是指衣服、鞋等。保健用品是指醫療設備、保健設備等。生活用品是指傢俱、照明裝置等。藥品是指醫藥、農藥等。電子設備是指液晶顯示裝置、EL 顯示裝置、電視機（電視接收機或薄型電視接收機）、行動電話等。

作為這種半導體裝置的設置方式，可以採用貼在物品的表面上或者嵌入在物品中的方法。例如，如果是書，就嵌入在紙中，而如果是由有機樹脂構成的包裝，就嵌入在該有機樹脂中即可。

如此，藉由將半導體裝置設置到包裝容器、記錄介質、身邊帶的東西、食品、衣物、生活用品、電子設備等，可以實現檢查系統或租賃店的系統等的效率化。此外，藉由將半導體裝置設置到交通工具，可以防止對其的偽造或偷竊。此外，藉由將半導體裝置嵌入到動物等生物中，可以容易進行每個生物的識別。例如，藉由將具有感測器的半導體裝置嵌入或安裝到家畜等生物中，不僅可以識別生年、性別或種類等，而且可以容易地管理體溫等健康狀態。

另外，本實施例模式可以與其他實施例模式適當地組合來使用。

例子 1

在此例子中，示出對於本發明的製造方法的效果進行驗證的結果。

藉由進行雷射光照射處理將層疊第一導電層、第一衝擊緩和層、第一絕緣體、天線、包括薄膜電晶體等的電路部、第二絕緣體、第二衝擊緩和層、第二導電層而成的疊層體分成各個半導體裝置，而製造樣品。作為比較例子，準備使用刀具將層疊第一導電層、第一衝擊緩和層、第一絕緣體、天線、上述電路部、第二絕緣體、第二衝擊緩和層、第二導電層而成的疊層體分成各個半導體裝置的樣品。

在上述樣品中，作為第一絕緣體及第二絕緣體分別使

用在纖維體（玻璃纖維）中浸滲有機樹脂（溴化環氧樹脂）而成的結構體的預浸料（ $20\mu\text{m}$ 厚）。並且，作為第一導電層及第二導電層分別使用藉由濺射法形成的鈦膜（ 10nm 厚）。此外，作為第一衝擊緩和層及第二衝擊緩和層使用芳族聚醯胺樹脂（ $12\mu\text{m}$ 厚）。另外，在天線上作為保護層形成氮化矽膜，並且在第一衝擊緩和層和電路部之間作為黏合劑形成丙烯酸樹脂（ $10\mu\text{m}$ 厚）。

對上述樣品（各個有三個）施加電壓，並且測量第一導電層和第二導電層之間的電流值。圖 18 示出外加電壓和電流之間的關係。

從圖 18 可知，藉由進行雷射光照射處理進行分割的樣品與使用刀具進行分割的樣品相比，電流值大（電阻值小）。具體而言，在使用刀具進行分割的樣品中，第一導電層和第二導電層之間的電阻值為 $20\text{G}\Omega$ 左右（施加 10V 時）。此外，在藉由雷射光照射處理進行分割的樣品中，第一導電層和第二導電層之間的電阻值為 $10\text{M}\Omega$ 至 $200\text{M}\Omega$ 左右（施加 10V 時）。

據此，可知，當藉由雷射光照射進行分割時，第一導電層和第二導電層之間的電阻值變小。可以認為這是因為如下緣故：在藉由雷射光照射進行分割的情況下，導電層的材料當絕緣體熔化時分散到絕緣體中，而使導電層互相導通，而在使用刀具進行分割的情況下，導電層的材料不會形成電流路徑。另外，若是第一導電層和第二導電層之間的電阻值為 $1\text{G}\Omega$ 以下左右（施加 10V 時），則可以充分

地擴散靜電，因此以此為基準來除靜電即可。

另外，本實施例可以與本說明書的其他實施例模式所示的結構或製造方法適當地組合來使用。

本說明書根據 2008 年 9 月 19 日在日本專利局受理的日本專利申請編號 2008-240812 而製造，所申請內容包括在本說明書中。

【圖式簡單說明】

在附圖中：

圖 1A 至 1C 是示出本發明的一個方式的半導體裝置的圖；

圖 2A 至 2C 是示出本發明的一個方式的半導體裝置的製造方法的圖；

圖 3A 至 3C 是示出本發明的一個方式的半導體裝置的製造方法的圖；

圖 4A 和 4B 是示出本發明的一個方式的半導體裝置的製造方法的圖；

圖 5 是示出本發明的一個方式的半導體裝置的製造方法的圖；

圖 6 是示出本發明的一個方式的半導體裝置的製造方法的圖；

圖 7 是示出本發明的一個方式的半導體裝置的製造方法的圖；

圖 8 是示出本發明的一個方式的半導體裝置的製造方

法的圖；

圖 9 是示出本發明的一個方式的半導體裝置的製造方法的圖；

圖 10 是示出本發明的一個方式的結構體的圖；

圖 11 是示出本發明的一個方式的半導體裝置的應用方式的圖；

圖 12 是示出本發明的一個方式的半導體裝置的應用方式的圖；

圖 13A 至 13C 是示出本發明的一個方式的半導體裝置的應用方式的圖；

圖 14 是示出本發明的一個方式的半導體裝置的應用方式的圖；

圖 15 是示出本發明的一個方式的半導體裝置的應用方式的圖；

圖 16A 至 16C 是示出本發明的一個方式的半導體裝置的應用方式的圖；

圖 17A 至 17G 是示出本發明的一個方式的半導體裝置的應用方式的圖；

圖 18 是示出被分割後的第一和第二導電層間的外加電壓和電流的關係的圖。

【主要元件符號說明】

100：電路部

101：絕緣膜形成區域

101a：絕緣膜形成區域
 101b：絕緣膜形成區域
 101c：絕緣膜形成區域
 102：附著區域
 102a：附著區域
 102b：附著區域
 105：內置天線
 110：絕緣體
 111：絕緣體
 113：導電層
 114：導電層
 120：終端部
 160：纖維體
 161：有機樹脂
 190：包括處理器電路的晶片
 191：包括處理器電路的晶片
 192：包括處理器電路的晶片
 193：包括處理器電路的晶片
 194：包括處理器電路的晶片
 195：包括處理器電路的晶片
 196：包括處理器電路的晶片
 197：包括處理器電路的晶片
 400：半導體裝置
 403：電路部

405：天線
406：支撐基板
407：區域
410：絕緣膜
411：電容
421：詢問器
500：微處理器
501：算術邏輯單元
502：算術邏輯單元控制器
503：指令解碼器
504：中斷控制器
505：時序控制器
506：暫存器
507：暫存器控制器
508：匯流排界面
509：唯讀記憶體
510：記憶體介面
511：RFCPU
512：類比電路部
513：數位電路部
514：諧振電路
515：整流電路
516：恒壓電路
517：重定電路

- 518 : 振盪電路
- 519 : 解調電路
- 520 : 調變電路
- 521 : RF 介面
- 522 : 控制暫存器
- 523 : 時鐘控制器
- 524 : 介面
- 525 : 中央處理單元
- 526 : 隨機存取記憶體
- 527 : 唯讀記憶體
- 528 : 天線
- 529 : 電容部
- 530 : 電源管理電路
- 701 : 基板
- 702 : 剝離層
- 703 : 絕緣膜
- 704 : 半導體膜
- 704a : 半導體膜
- 704b : 半導體膜
- 705 : 閘極絕緣膜
- 706a : 通道形成區域
- 706b : 第一雜質區域
- 706c : 第二雜質區域
- 707 : 閘極電極

708 : 絕緣膜
709 : 絕緣膜
710 : 絕緣膜
711 : 絕緣膜
712 : 絕緣膜
713 : 絕緣膜
714 : 開口部
715 : 區域
717 : 導電膜
718 : 絕緣膜
720 : 天線
721 : 導電膜
722 : 導電膜
723 : 絕緣膜
726 : 結構體
727 : 纖維體
728 : 有機樹脂
729 : 導電層
730 : 結構體
730a : 薄膜電晶體
730b : 薄膜電晶體
731 : 纖維體
731a : 導電膜
731b : 導電膜

732 : 有機樹脂
 733 : 導電層
 740 : 區域
 741 : 區域
 742 : 區域
 749 : 元件層
 750 : 衝擊緩和層
 751 : 絕緣體
 752 : 衝擊緩和層
 753 : 絕緣體
 800 : 半導體裝置
 810 : 高頻電路
 820 : 電源電路
 830 : 重定電路
 840 : 時鐘產生電路
 850 : 資料解調電路
 860 : 資料調變電路
 870 : 控制電路
 880 : 記憶電路
 890 : 天線
 910 : 取碼電路
 920 : 判碼電路
 930 : CRC 判定電路
 940 : 輸出器電路

3 2 0 0 : 通 信 裝 置

3 2 1 0 : 顯 示 部

3 2 2 0 : 產 品

3 2 3 0 : 半 導 體 裝 置

3 2 4 0 : 通 信 裝 置

3 2 5 0 : 半 導 體 裝 置

3 2 6 0 : 商 品

七、申請專利範圍：



1. 一種半導體裝置，包括：

包含電晶體的電路部；

該電路部上的第一絕緣膜；

該第一絕緣膜上的第二絕緣膜；

該第二絕緣膜上的第三絕緣膜；

該電路部上的天線，該電路部及該天線夾著該第一絕緣膜、該第二絕緣膜和該第三絕緣膜，該天線電連接於該電晶體；

該天線上的第四絕緣膜；以及

該電路部周圍的周圍區域，

其中，該周圍區域包含第一區域及第二區域，

其中，在該第一區域中，該第三絕緣膜覆蓋該第二絕緣膜的終端部，並且

其中，在該第二區域中，該第一絕緣膜及該第四絕緣膜直接相互接觸。

2. 一種半導體裝置，包括：

第一絕緣體；

該第一絕緣體上的包含電晶體的電路部；

該電路部上的第一絕緣膜；

該第一絕緣膜上的第二絕緣膜；

該第二絕緣膜上的第三絕緣膜；

該電路部上的天線，該電路部及該天線夾著該第一絕緣膜、該第二絕緣膜和該第三絕緣膜，該天線電連接於該

電 晶 體 ；

該 天 線 上 的 第 四 絕 緣 膜 ；

該 第 四 絕 緣 膜 上 的 第 二 絕 緣 體 ； 以 及

該 電 路 部 周 圍 的 周 圍 區 域 ，

其 中 ， 該 周 圍 區 域 包 含 第 一 區 域 、 第 二 區 域 及 第 三 區 域 ，

其 中 ， 在 該 第 一 區 域 中 ， 該 第 三 絕 緣 膜 覆 蓋 該 第 二 絕 緣 膜 的 終 端 部 ，

其 中 ， 在 該 第 二 區 域 中 ， 該 第 一 絕 緣 膜 及 該 第 四 絕 緣 膜 直 接 相 互 接 觸 ， 並 且

其 中 ， 在 該 第 三 區 域 中 ， 該 第 一 絕 緣 體 及 該 第 二 絕 緣 體 密 接 地 附 著 以 相 互 黏 合 。

3. 一 種 半 導 體 裝 置 ， 包 括 ：

第 一 導 電 層 ；

該 第 一 導 電 層 上 的 第 一 絕 緣 體 ；

該 第 一 絕 緣 體 上 的 包 含 電 晶 體 的 電 路 部 ；

該 電 路 部 上 的 第 一 絕 緣 膜 ；

該 第 一 絕 緣 膜 上 的 第 二 絕 緣 膜 ；

該 第 二 絕 緣 膜 上 的 第 三 絕 緣 膜 ；

該 電 路 部 上 的 天 線 ， 該 電 路 部 及 該 天 線 夾 著 該 第 一 絕 緣 膜 、 該 第 二 絕 緣 膜 和 該 第 三 絕 緣 膜 ， 該 天 線 電 連 接 於 該 電 晶 體 ；

該 天 線 上 的 第 四 絕 緣 膜 ；

該 第 四 絕 緣 膜 上 的 第 二 絕 緣 體 ；

該第二絕緣體上的與該第一導電層導通的第二導電層；以及

該電路部周圍的周圍區域，

其中，該周圍區域包含第一區域及第二區域，

其中，在該第一區域中，該第三絕緣膜覆蓋該第二絕緣膜的終端部，並且

其中，在該第二區域中，該第一絕緣膜及該第四絕緣膜直接相互接觸。

4. 一種半導體裝置，包括：

第一導電層；

該第一導電層上的第一絕緣體；

該第一絕緣體上的包含電晶體的電路部；

該電路部上的第一絕緣膜；

該第一絕緣膜上的第二絕緣膜；

該第二絕緣膜上的第三絕緣膜；

該電路部上的天線，該電路部及該天線夾著該第一絕緣膜、該第二絕緣膜和該第三絕緣膜，該天線電連接於該電晶體；

該天線上的第四絕緣膜；

該第四絕緣膜上的第二絕緣體；

該第二絕緣體上的與該第一導電層導通的第二導電層；以及

該電路部周圍的周圍區域，

其中，該周圍區域包含第一區域、第二區域及第三區

域，

其中，在該第一區域中，該第三絕緣膜覆蓋該第二絕緣膜的終端部，

其中，在該第二區域中，該第一絕緣膜及該第四絕緣膜直接相互接觸，並且

其中，在該第三區域中，該第一絕緣體及該第二絕緣體密接地附著以相互黏合。

5. 如申請專利範圍第 1 至 4 項中之任一項的半導體裝置，其中該第一絕緣膜及該第四絕緣膜各是氮化矽膜。

6. 如申請專利範圍第 2 至 4 項中之任一項的半導體裝置，其中該第一絕緣體及該第二絕緣體各是在纖維體中浸滲有有機樹脂的結構體。

7. 如申請專利範圍第 3 或 4 項的半導體裝置，其中該第一導電層及該第二導電層由鈦形成。

8. 如申請專利範圍第 3 或 4 項的半導體裝置，其中該第一導電層及該第二導電層由氧化矽與銦錫氧化物的化合物形成。

9. 如申請專利範圍第 3 或 4 項的半導體裝置，其中該第一導電層與該第二導電層之間的電阻值為 $10\text{M}\Omega$ 至 $200\text{M}\Omega$ 。

10. 一種半導體裝置的製造方法，包括如下步驟：

形成包含電晶體的電路部；

在該電路部上及該電路部的周圍區域中形成第一絕緣膜；

在該第一絕緣膜上形成第二絕緣膜；

在該第二絕緣膜上形成第三絕緣膜；

在該電路部上形成天線，該電路部及該天線夾著該第一絕緣膜、該第二絕緣膜和該第三絕緣膜，該天線電連接於該電晶體；以及

在該天線上形成第四絕緣膜，

其中，該周圍區域包含第一區域及第二區域，

其中，在該第一區域中，該第三絕緣膜覆蓋該第二絕緣膜的終端部，並且

其中，在該第二區域中，該第一絕緣膜及該第四絕緣膜直接相互接觸。

11. 一種半導體裝置的製造方法，包括如下步驟：

形成包含電晶體的電路部；

在該電路部上及該電路部的周圍區域中形成第一絕緣膜；

在該第一絕緣膜上形成第二絕緣膜；

在該第二絕緣膜上形成第三絕緣膜；

在該電路部上形成天線，該電路部及該天線夾著該第一絕緣膜、該第二絕緣膜和該第三絕緣膜，該天線電連接於該電晶體；

在該天線上形成第四絕緣膜；

在該第四絕緣膜上配置第一絕緣體；

去除該周圍區域中的該第一絕緣膜及該第四絕緣膜的一部分；以及

在該電路部下配置第二絕緣體，

其中，該周圍區域包含第一區域、第二區域及第三區域，

其中，在該第一區域中，該第三絕緣膜覆蓋該第二絕緣膜的終端部，

其中，在該第二區域中，該第一絕緣膜及該第四絕緣膜直接相互接觸，並且

其中，在該第三區域中，該第一絕緣體及該第二絕緣體密接地附著以相互黏合。

12. 一種半導體裝置的製造方法，包括如下步驟：

形成包含電晶體的電路部；

在該電路部上及該電路部的周圍區域中形成第一絕緣膜；

在該第一絕緣膜上形成第二絕緣膜；

在該第二絕緣膜上形成第三絕緣膜；

在該電路部上形成天線，該電路部及該天線夾著該第一絕緣膜、該第二絕緣膜和該第三絕緣膜，該天線電連接於該電晶體；

在該天線上形成第四絕緣膜；

在該第四絕緣膜上配置第一絕緣體；

在該第一絕緣體上形成第一導電層；

在該電路部下配置第二絕緣體；

在該第二絕緣體下形成第二導電層；以及

分割在該周圍區域中的該第一絕緣體、該第一導電

層、該第二絕緣體和該第二導電層，

其中，該周圍區域包含第一區域及第二區域，

其中，在該第一區域中，該第三絕緣膜覆蓋該第二絕緣膜的終端部，並且

其中，在該第二區域中，該第一絕緣膜及該第四絕緣膜直接相互接觸。

13. 一種半導體裝置的製造方法，包括如下步驟：

形成包含電晶體的電路部；

在該電路部上及該電路部的周圍區域中形成第一絕緣膜；

在該第一絕緣膜上形成第二絕緣膜；

在該第二絕緣膜上形成第三絕緣膜；

在該電路部上形成天線，該電路部及該天線夾著該第一絕緣膜、該第二絕緣膜和該第三絕緣膜，該天線電連接於該電晶體；

在該天線上形成第四絕緣膜；

在該第四絕緣膜上配置第一絕緣體；

在該第一絕緣體上形成第一導電層；

去除該周圍區域中的該第一絕緣膜及該第四絕緣膜的一部分；

在該電路部下配置第二絕緣體；

在該第二絕緣體下形成第二導電層；以及

分割在該周圍區域中的該第一絕緣體、該第一導電層、該第二絕緣體和該第二導電層，

其中，該周圍區域包含第一區域、第二區域及第三區域，

其中，在該第一區域中，該第三絕緣膜覆蓋該第二絕緣膜的終端部，

其中，在該第二區域中，該第一絕緣膜及該第四絕緣膜直接相互接觸，並且

其中，在該第三區域中，該第一絕緣體及該第二絕緣體密接地附著以相互黏合。

14. 如申請專利範圍第 12 或 13 項的半導體裝置的製造方法，其中該分割的步驟的手段是雷射光照射。

15. 如申請專利範圍第 11 至 13 項中之任一項的半導體裝置的製造方法，其中該第一絕緣體及該第二絕緣體各是在纖維體中浸滲有有機樹脂的結構體。

16. 如申請專利範圍第 12 或 13 項的半導體裝置的製造方法，其中該第一導電層及該第二導電層由鈦形成。

17. 如申請專利範圍第 12 或 13 項的半導體裝置的製造方法，其中該第一導電層及該第二導電層由氧化矽與銦錫氧化物的化合物形成。

18. 如申請專利範圍第 12 或 13 項的半導體裝置的製造方法，其中該第一導電層與該第二導電層之間的電阻值為 $10\text{M}\Omega$ 至 $200\text{M}\Omega$ 。

圖 1A

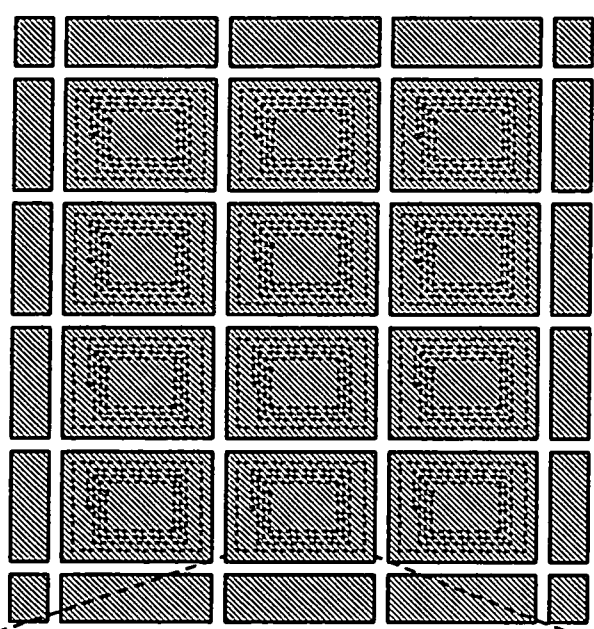


圖 1B

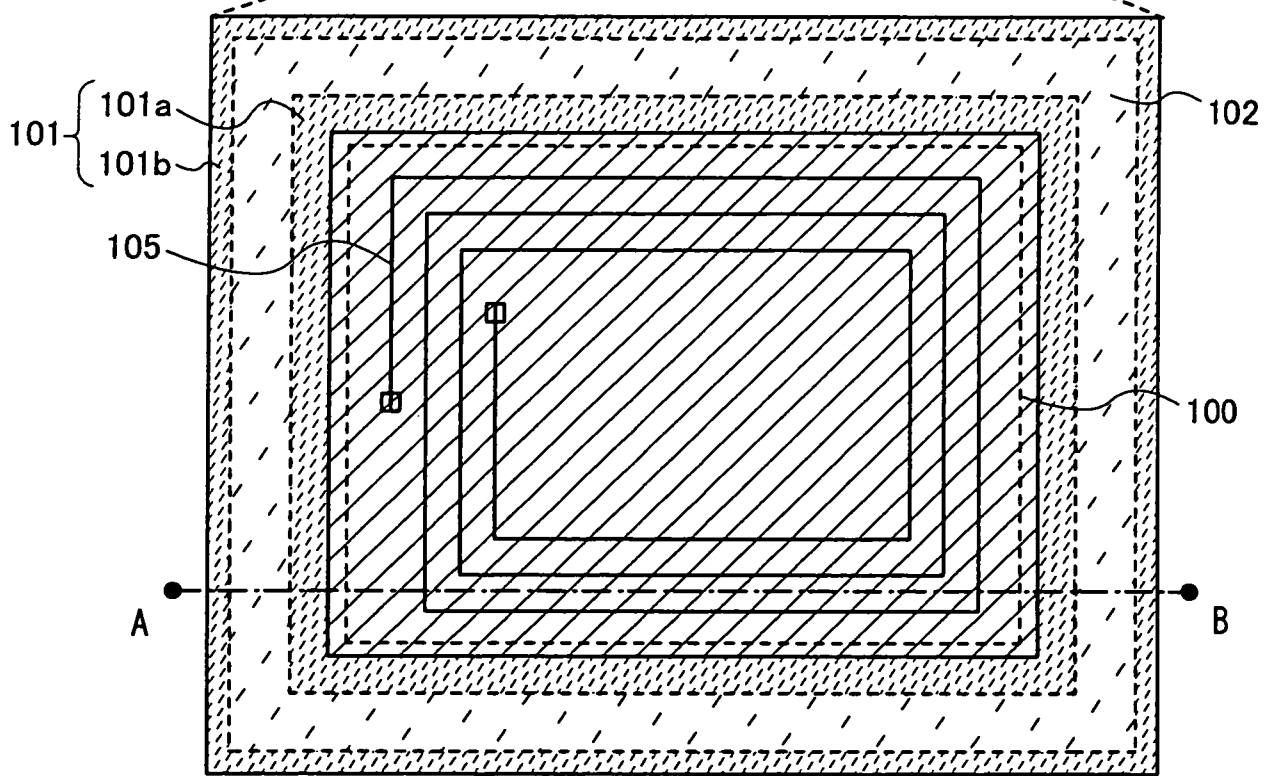


圖 1C

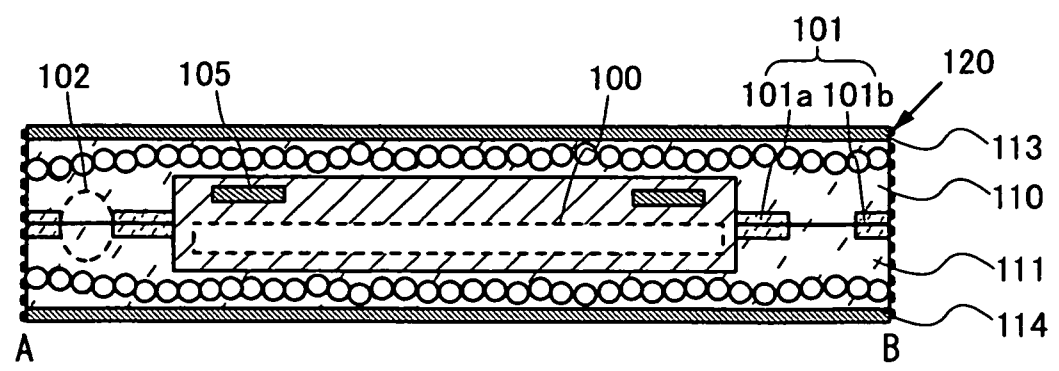


圖2A

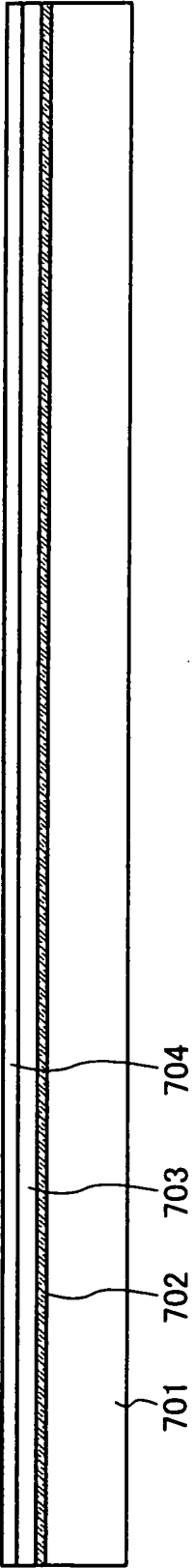


圖2B

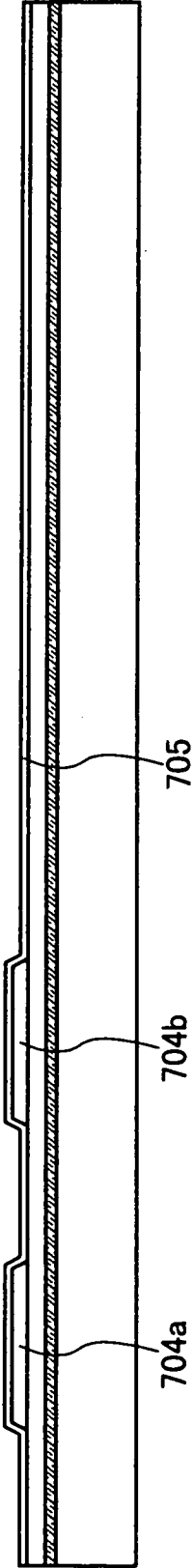


圖2C

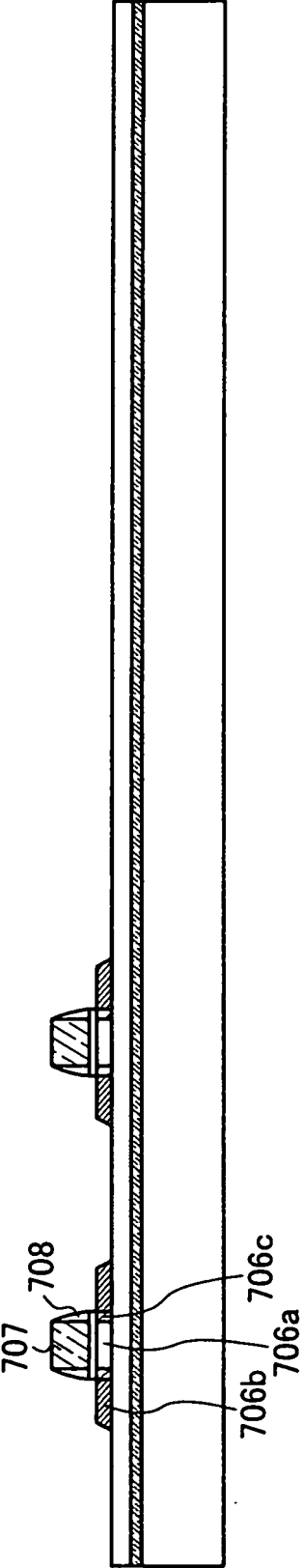


圖 3A

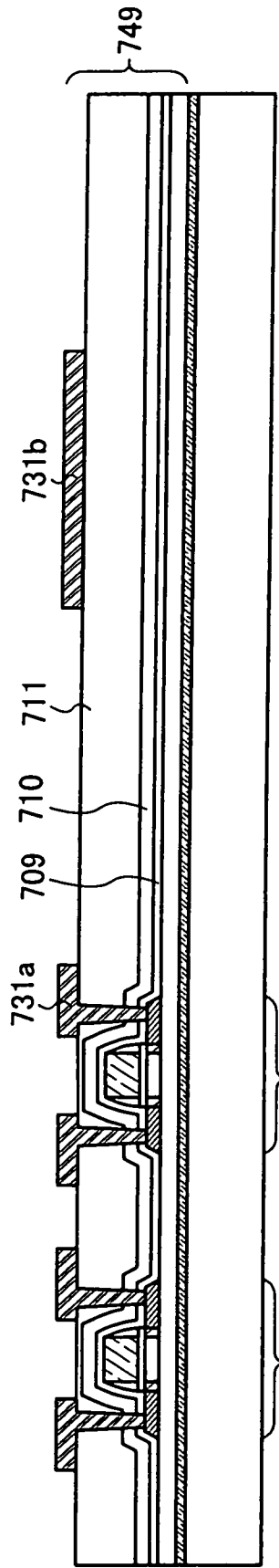


圖 3B

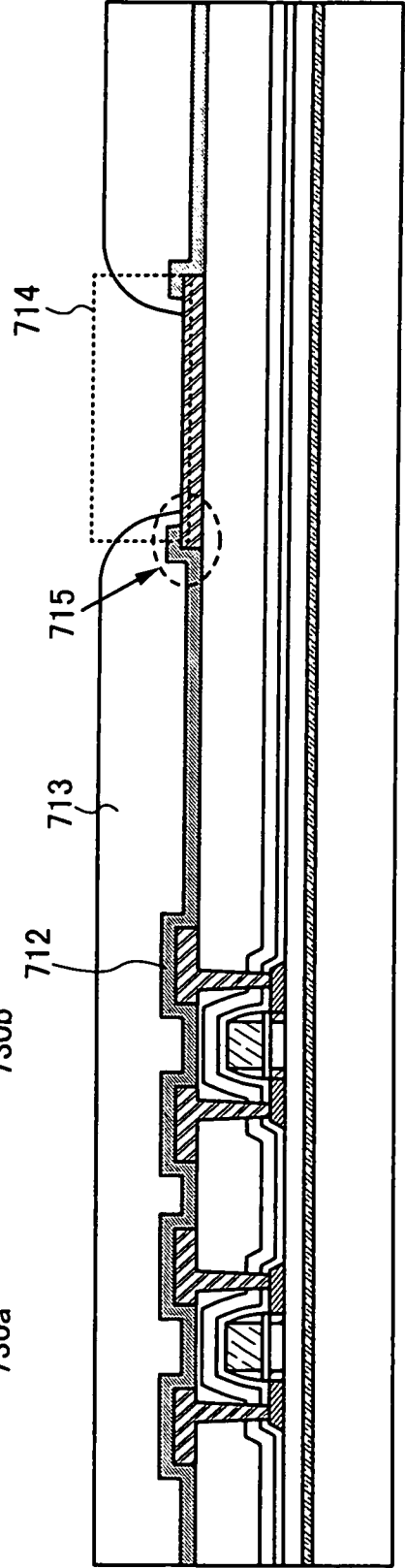


圖 3C

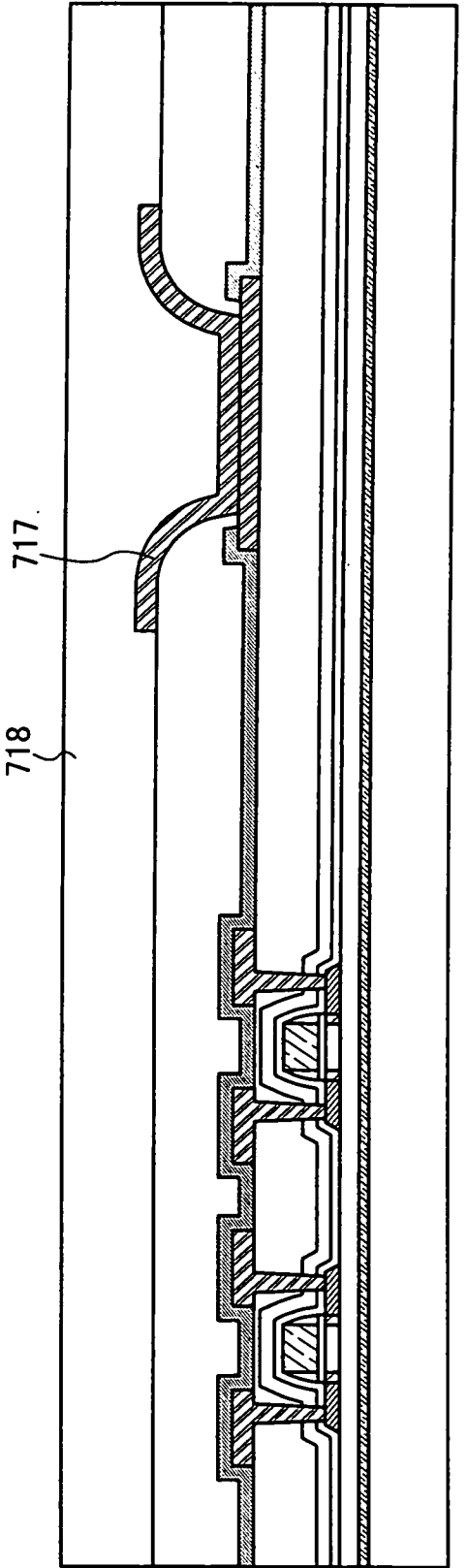


圖 4A

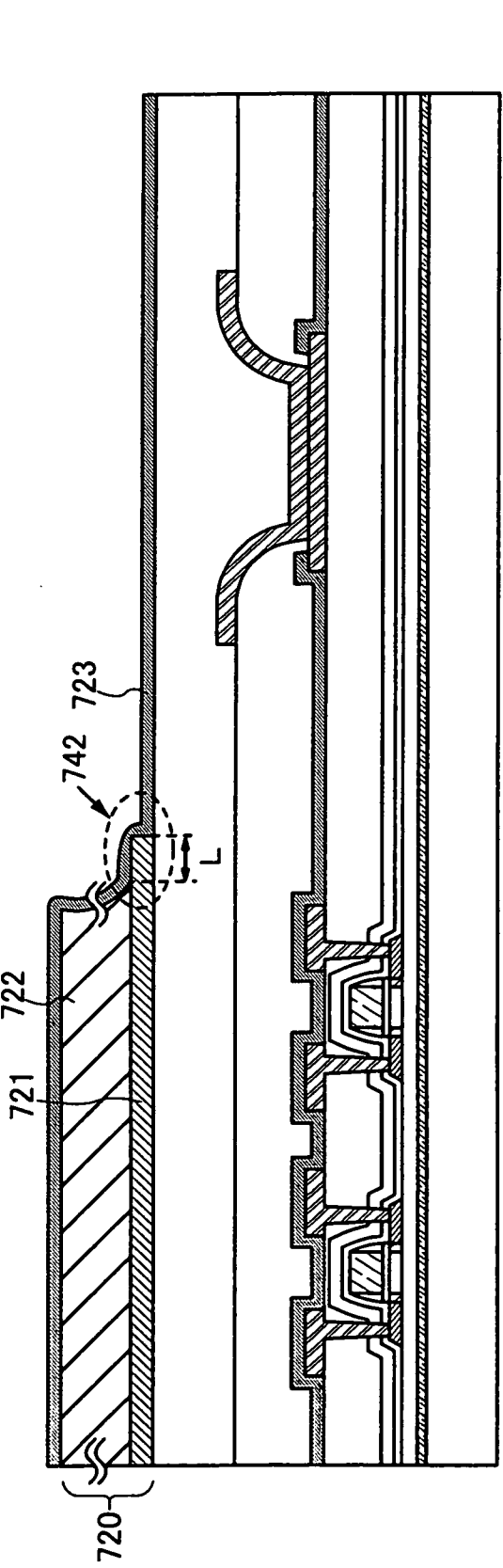


圖 4B

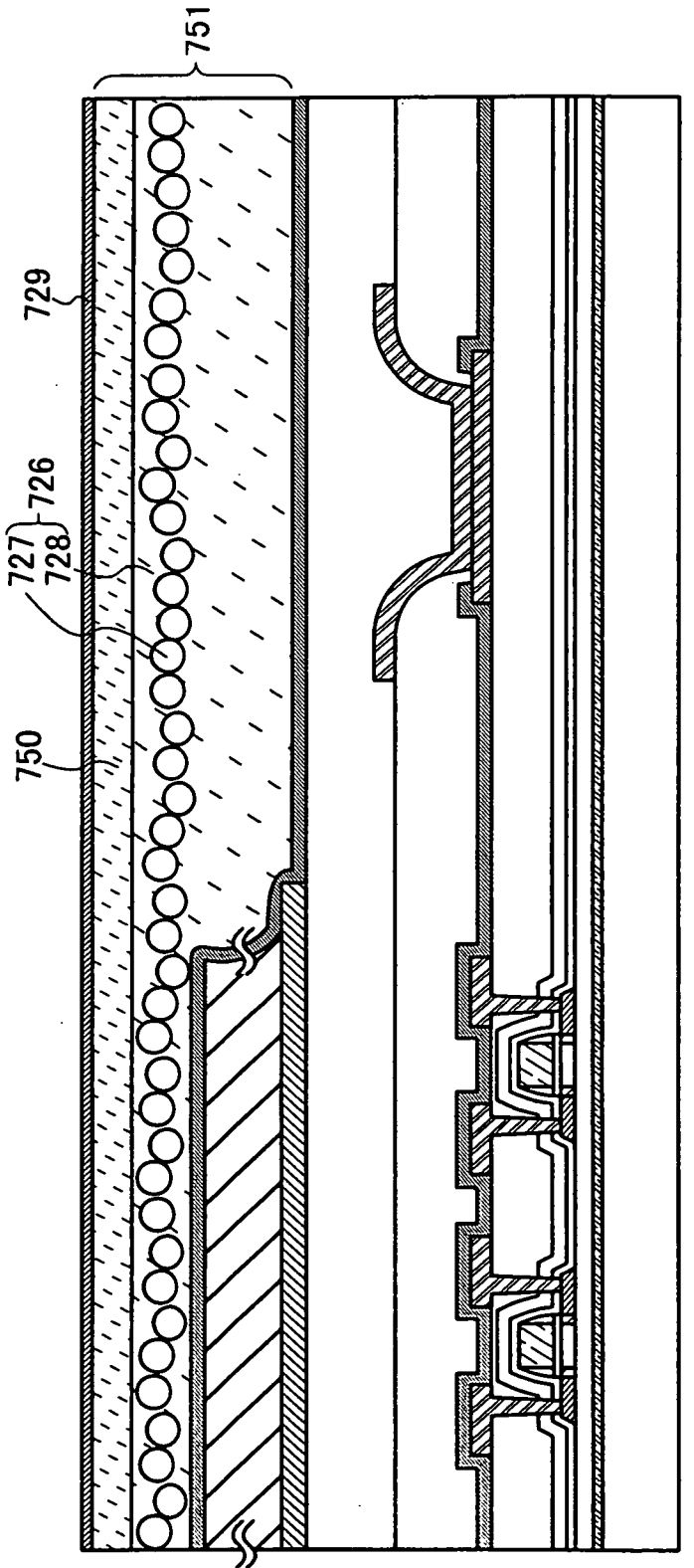


圖5

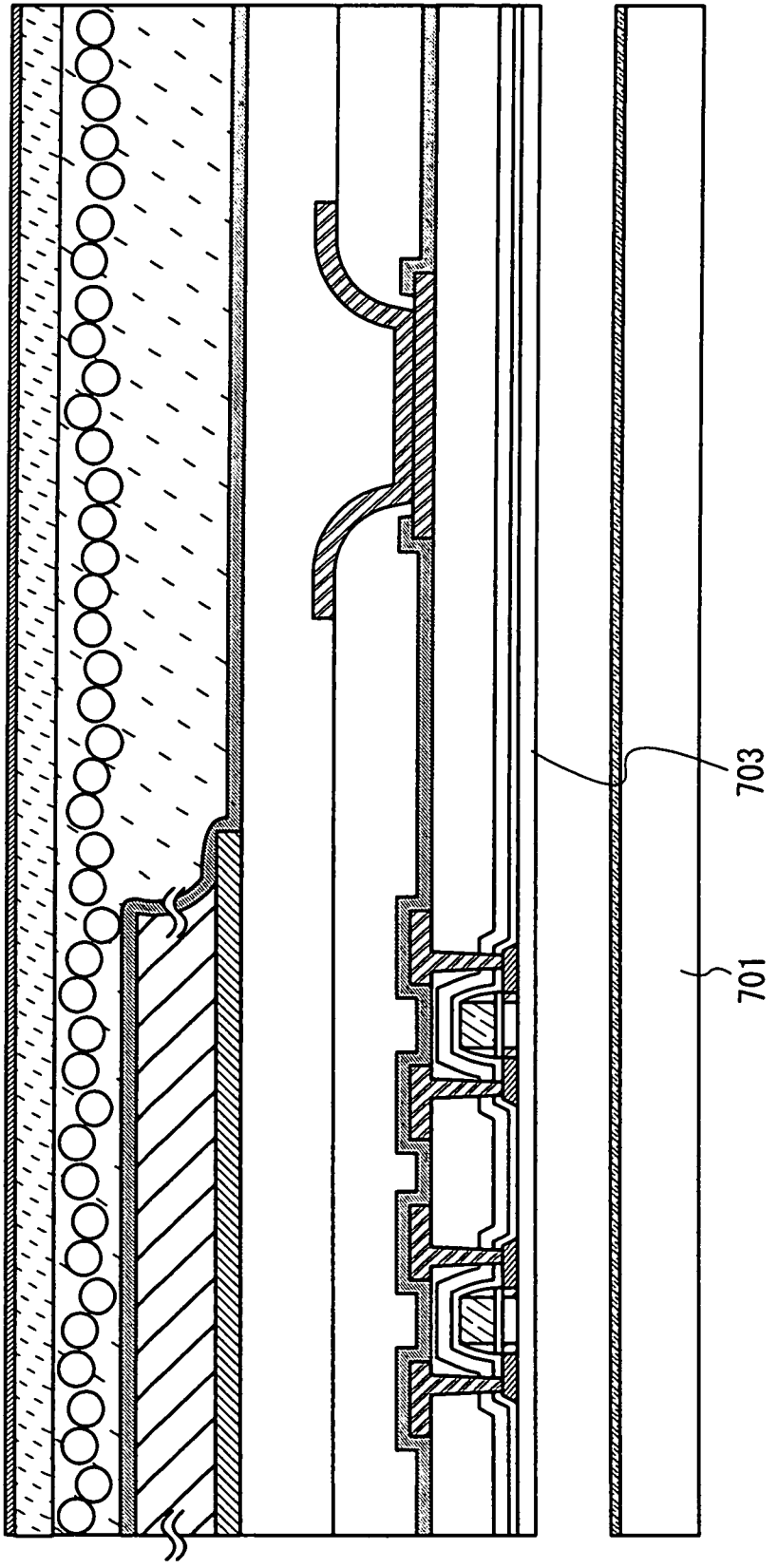


圖6

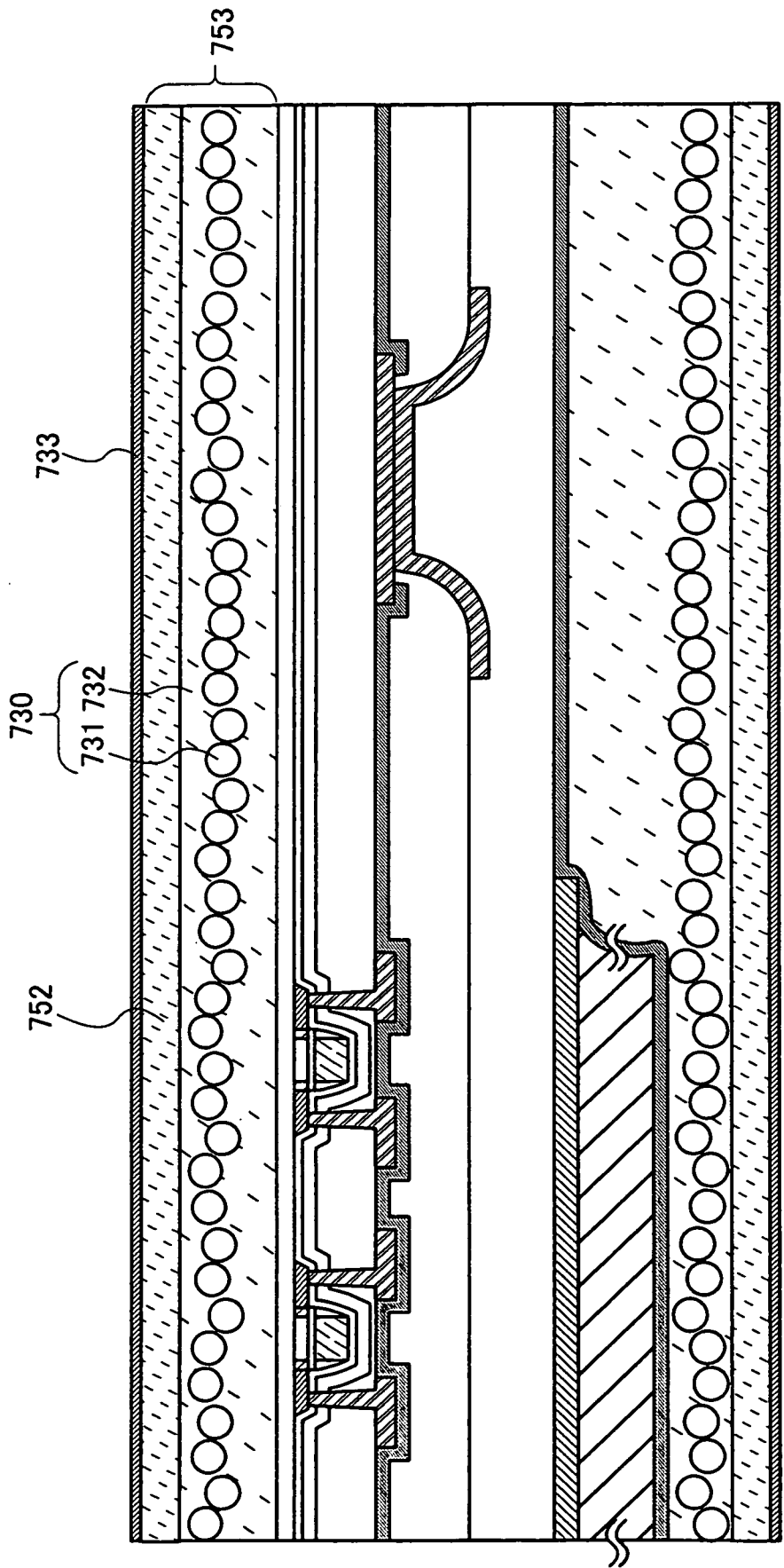


圖7

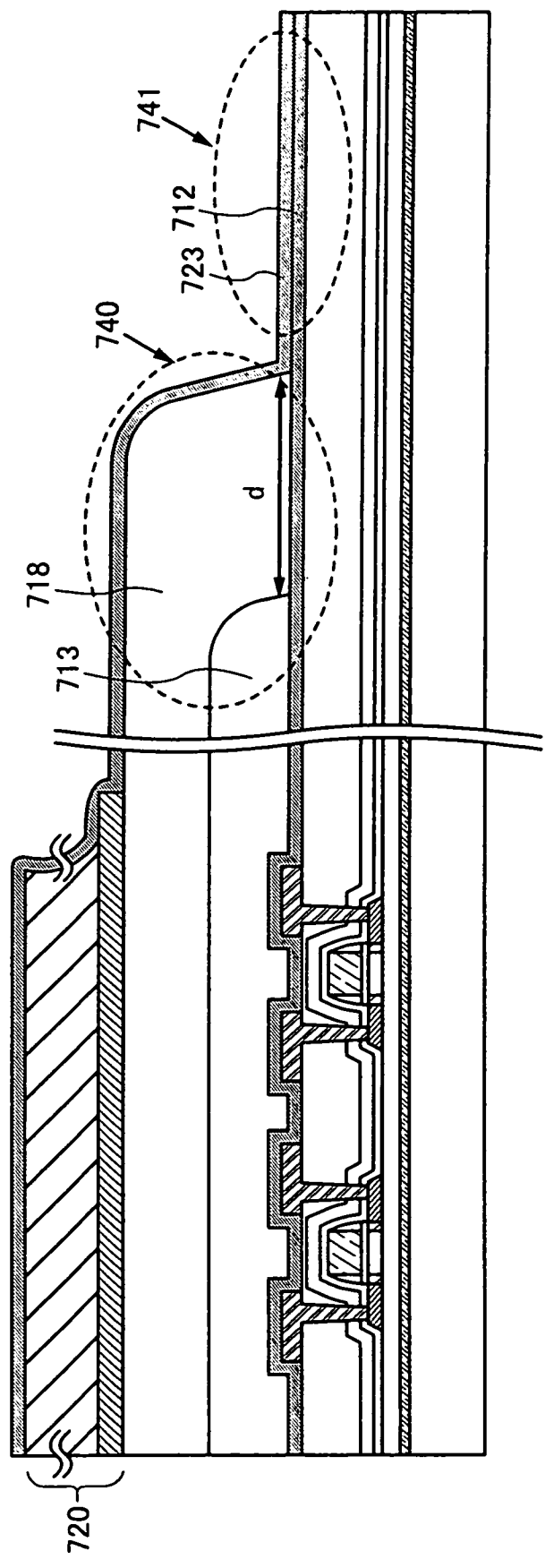


圖8

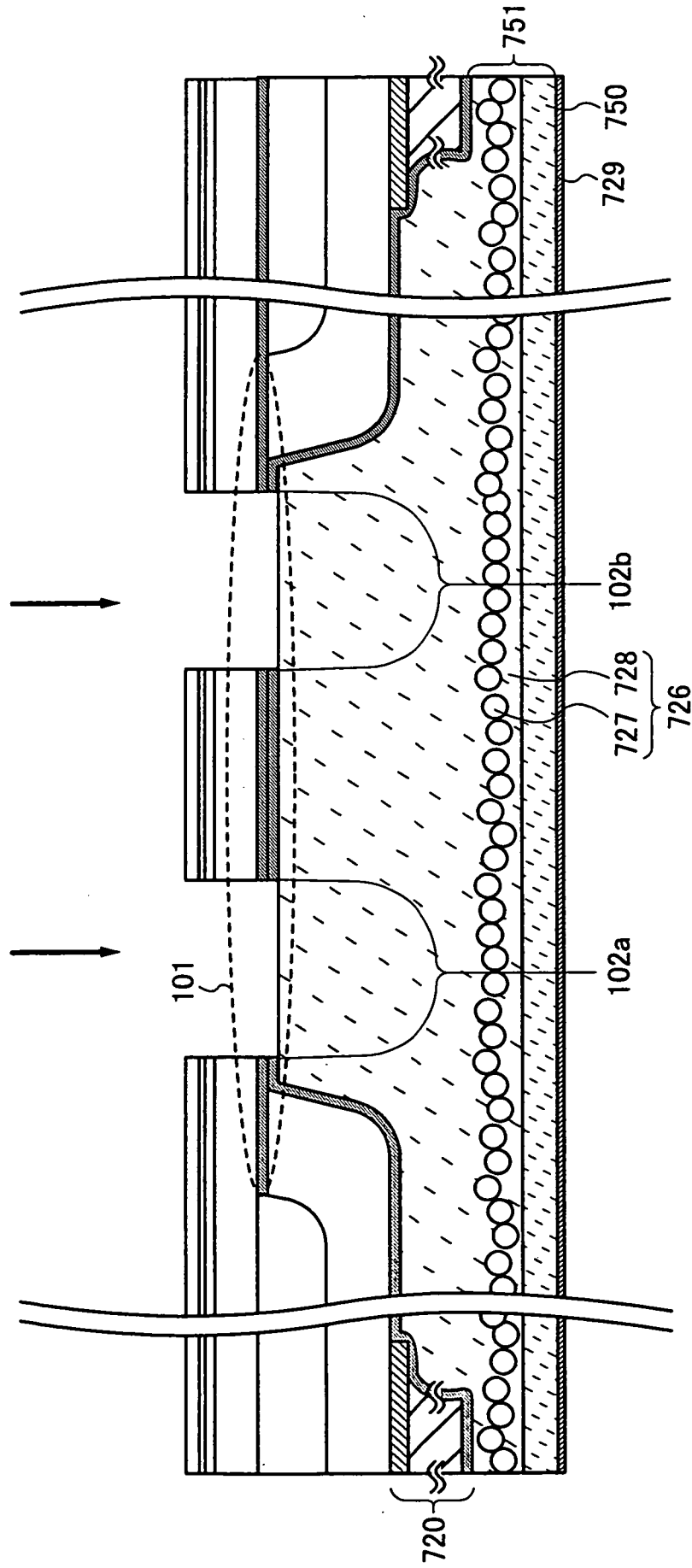


圖9

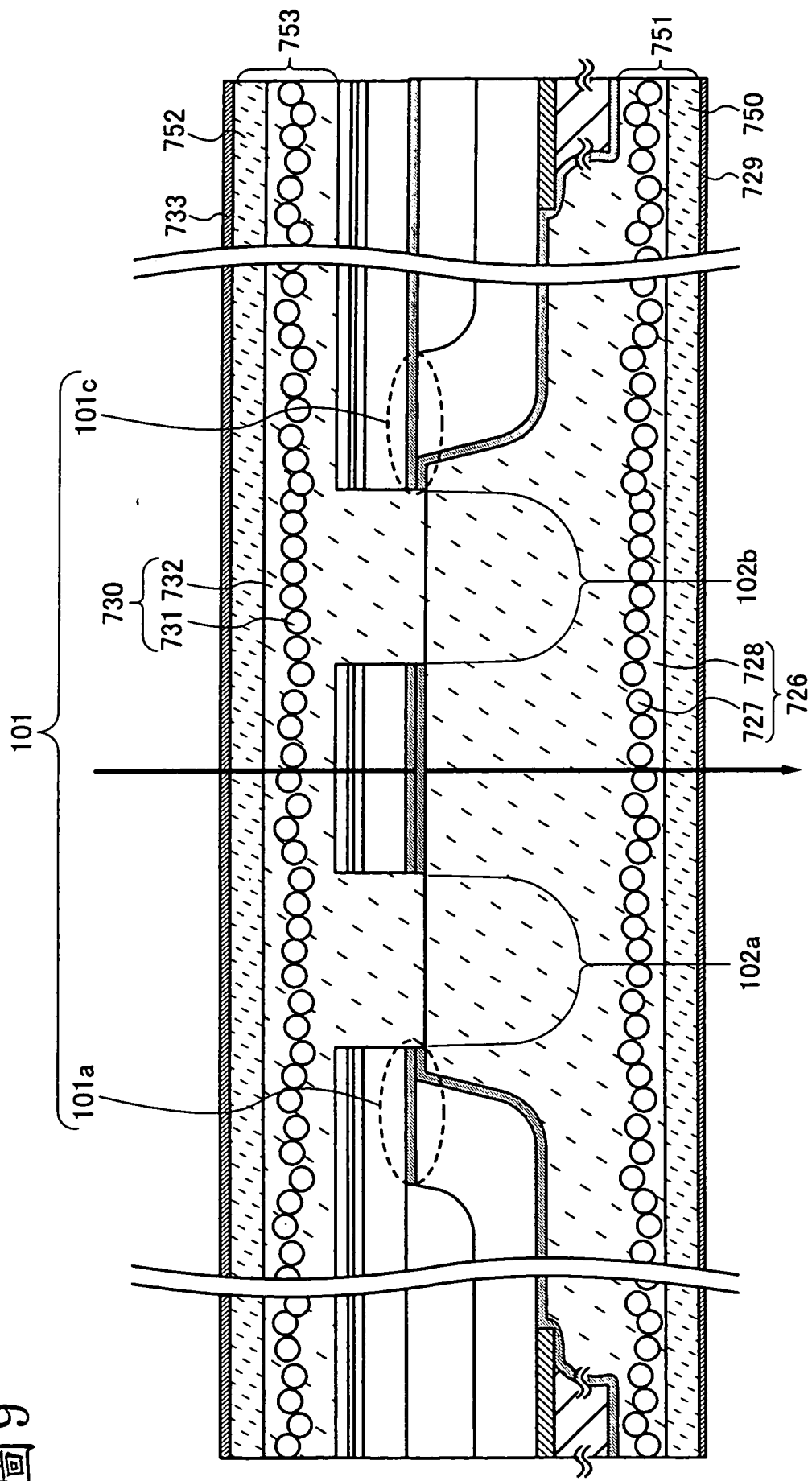


圖 10

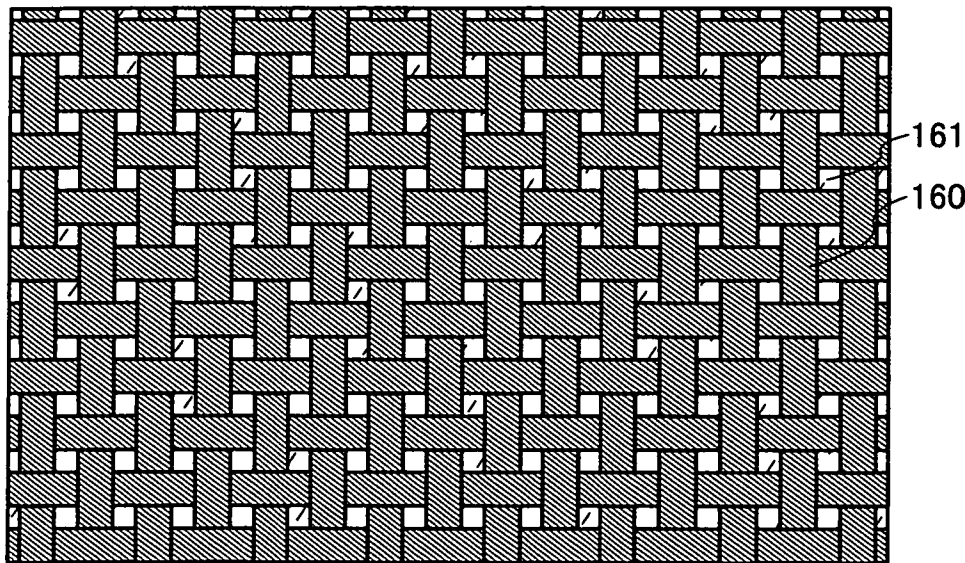


圖 11

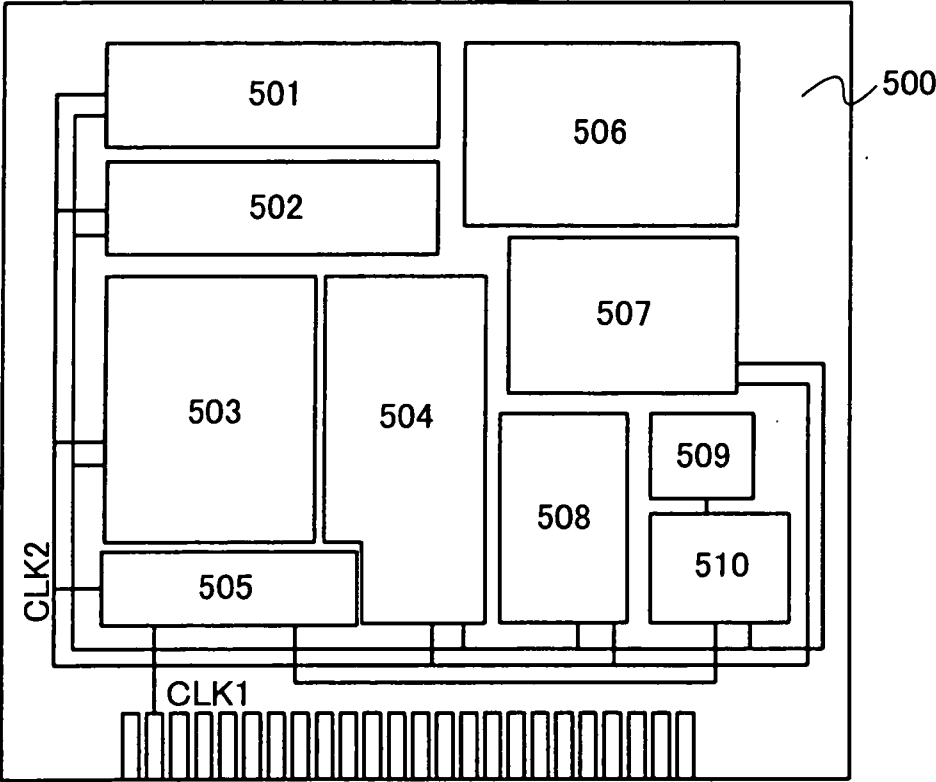


圖 12

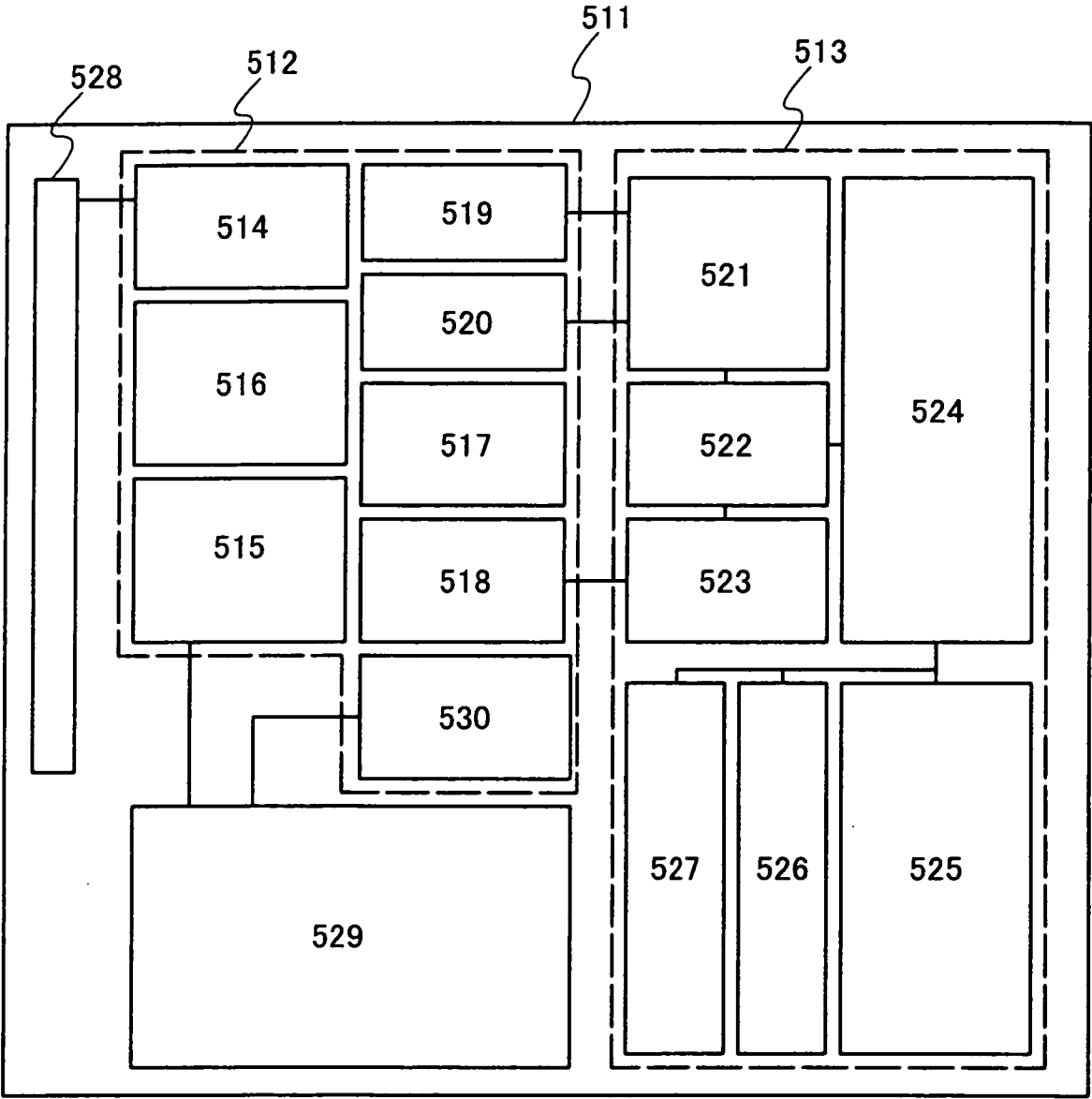


圖 13C

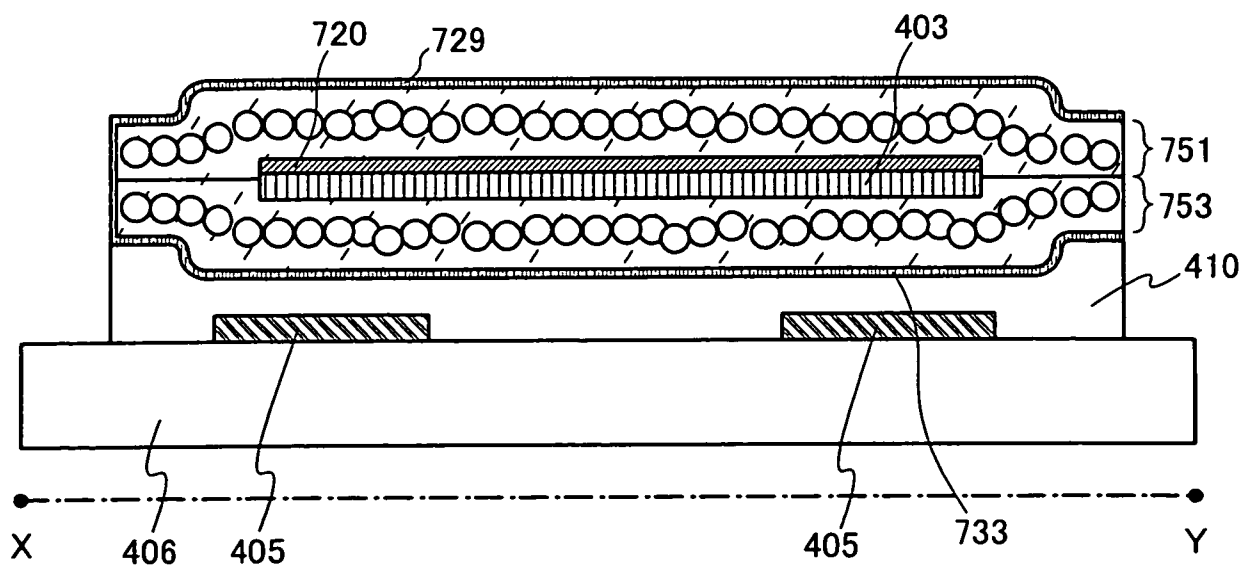


圖14

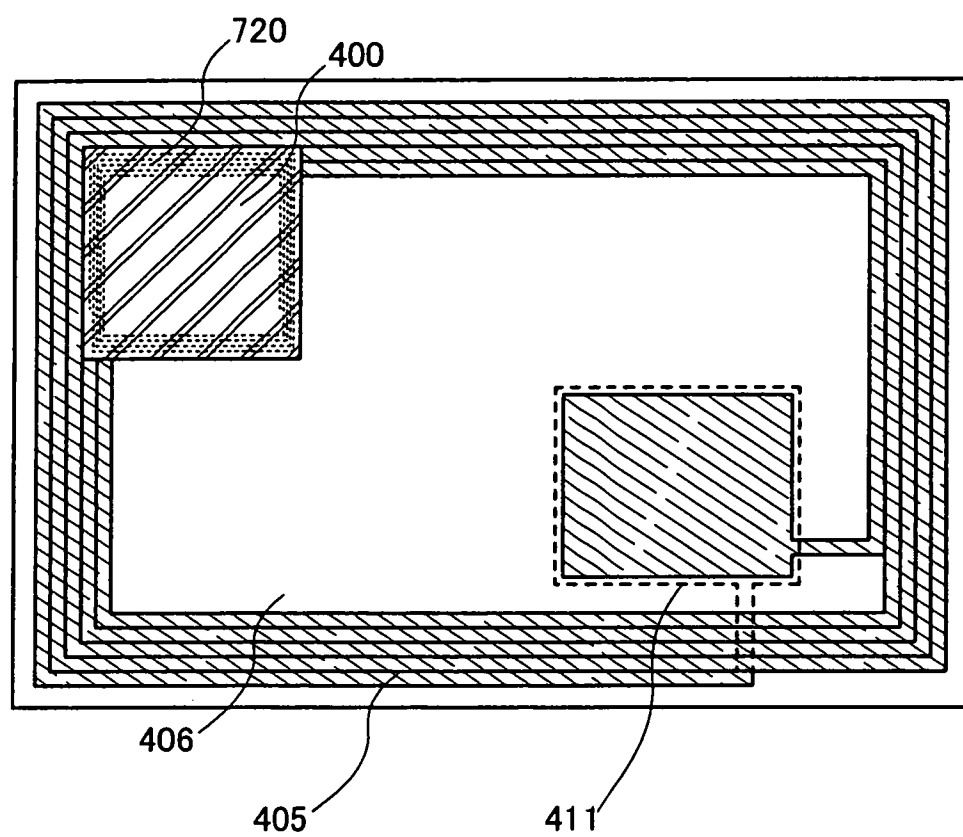


圖 15

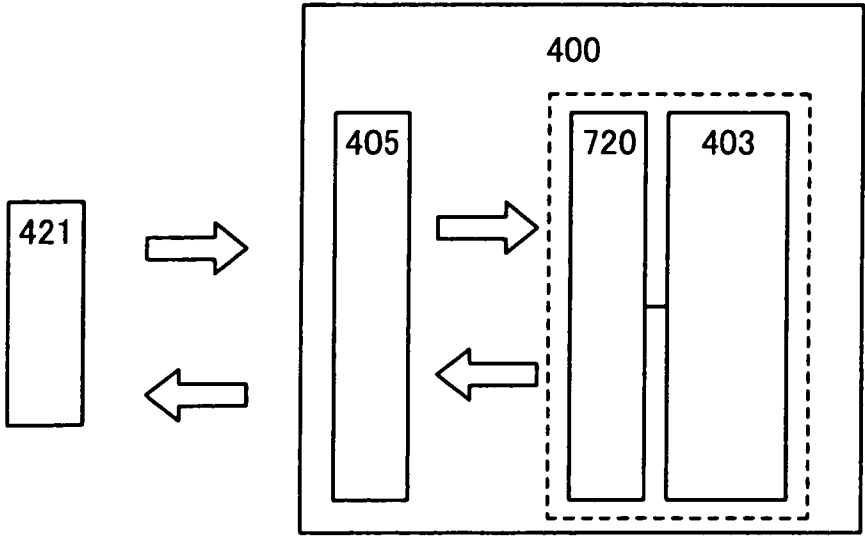


圖 16A

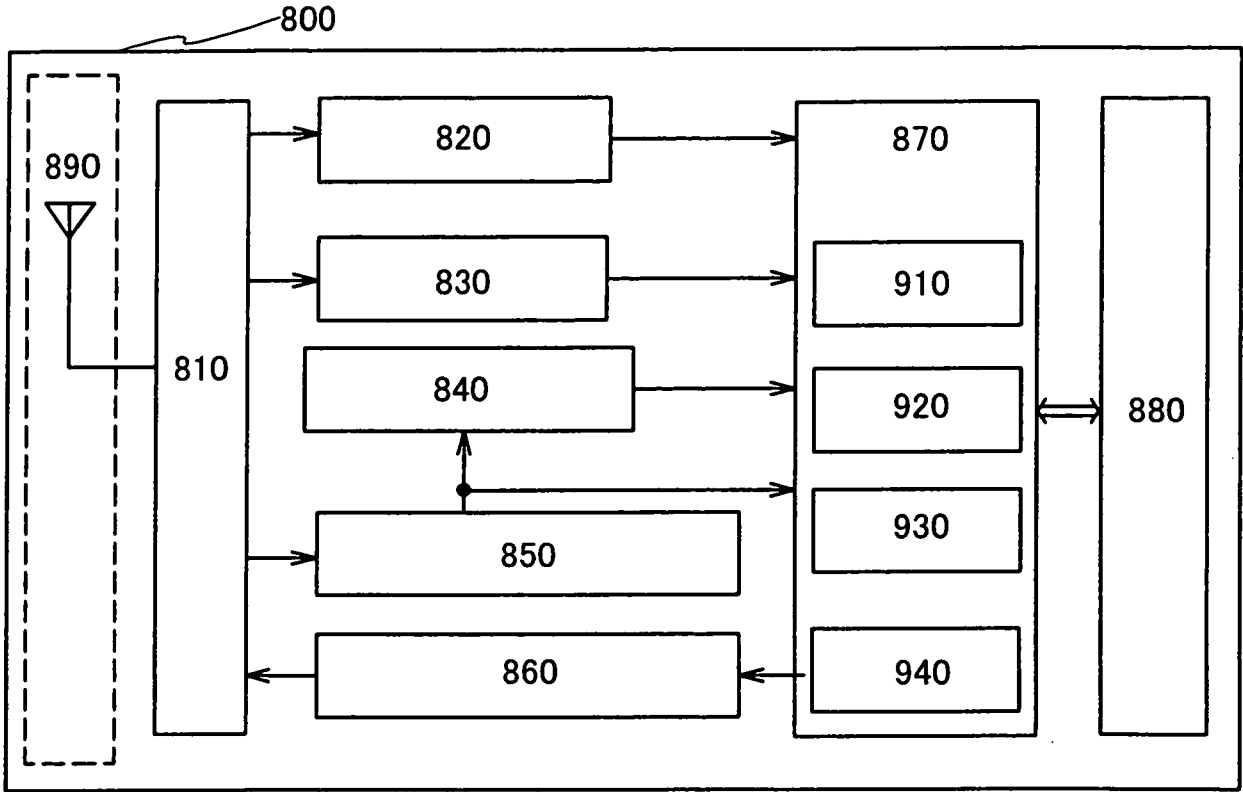


圖 16B

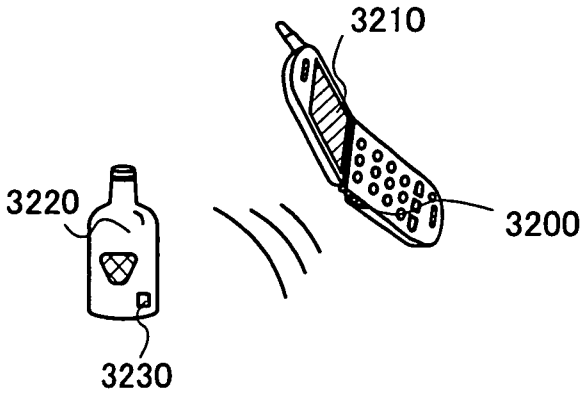


圖 16C

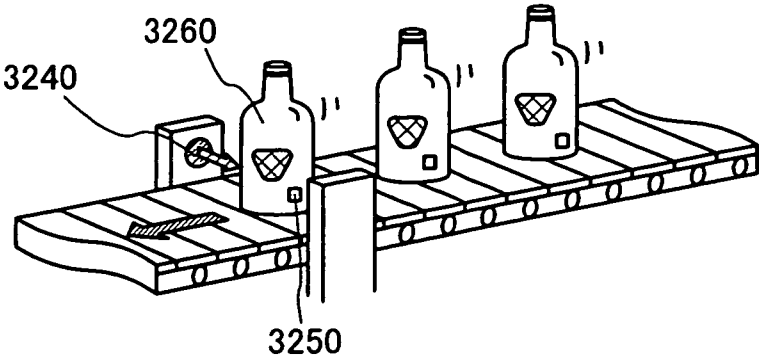


圖 17A

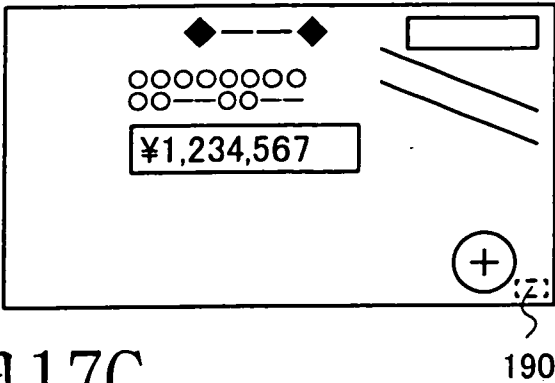


圖 17B

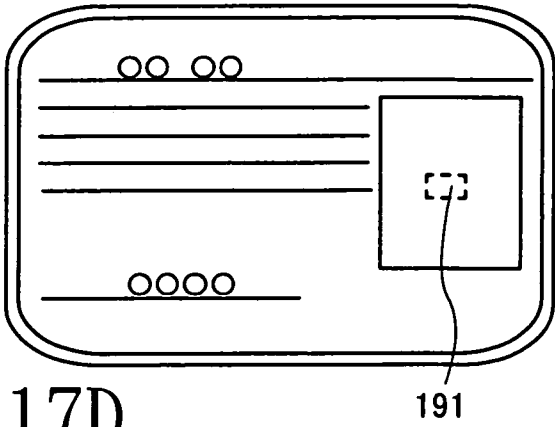


圖 17C

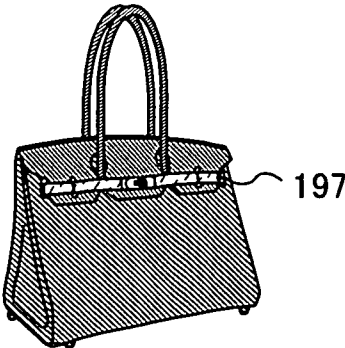


圖 17D

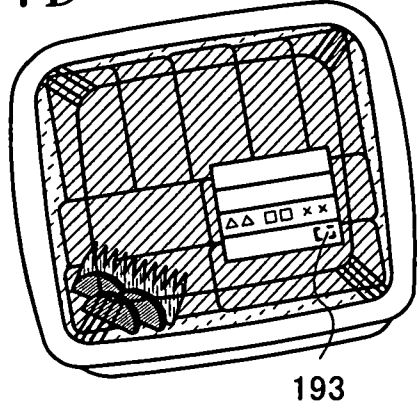


圖 17E

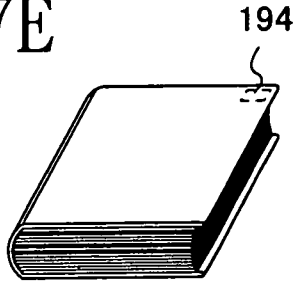


圖 17F

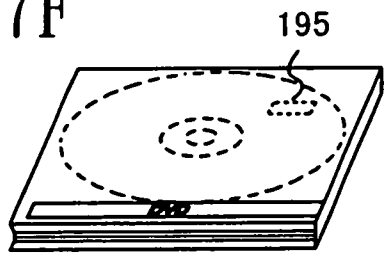


圖 17G

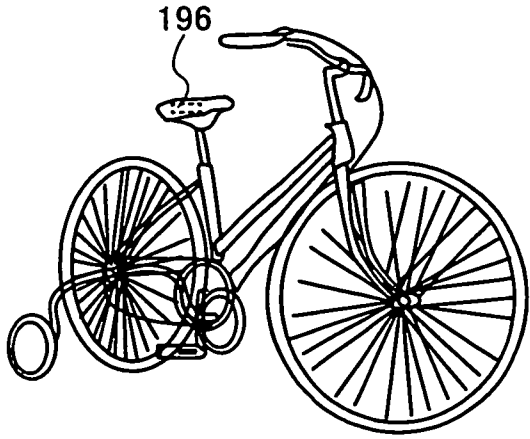


圖 18

