



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2023년02월27일  
(11) 등록번호 10-2504733  
(24) 등록일자 2023년02월23일

- (51) 국제특허분류(Int. Cl.)  
H10B 10/00 (2023.01) G11C 11/418 (2006.01)  
G11C 11/419 (2015.01) G11C 8/14 (2006.01)  
G11C 8/16 (2006.01) H01L 21/3213 (2006.01)  
H01L 21/768 (2006.01) H01L 27/02 (2006.01)
- (52) CPC특허분류  
H10B 10/12 (2023.02)  
G11C 11/418 (2013.01)
- (21) 출원번호 10-2017-7021683
- (22) 출원일자(국제) 2015년11월25일  
심사청구일자 2020년11월11일
- (85) 번역문제출일자 2017년08월02일
- (65) 공개번호 10-2017-0116021
- (43) 공개일자 2017년10월18일
- (86) 국제출원번호 PCT/US2015/062644
- (87) 국제공개번호 WO 2016/130194  
국제공개일자 2016년08월18일
- (30) 우선권주장  
14/620,480 2015년02월12일 미국(US)
- (56) 선행기술조사문헌  
US20010043487 A1\*  
\*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
켈컴 인코포레이티드  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자  
모즘더, 닐라드리 나라얀  
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775  
차바, 리투  
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775  
(뒷면에 계속)
- (74) 대리인  
특허법인 남앤남

전체 청구항 수 : 총 11 항

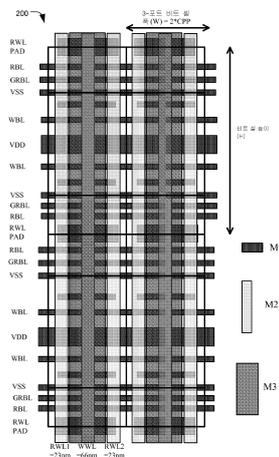
심사관 : 김려원

(54) 발명의 명칭 3-포트 비트 셀을 위한 금속층들

(57) 요약

장치는 비트 셀에 커플링되는 제 1 금속층을 포함한다. 장치는 또한 비트 셀에 커플링되는 기록 워드 라인을 포함하는 제 3 금속층을 포함한다. 장치는 추가로, 제 1 금속층과 제 3 금속층 사이의 제 2 금속층을 포함한다. 제 2 금속층은 비트 셀에 커플링되는 2개의 관독 워드 라인들을 포함한다.

대표도 - 도2



(52) CPC특허분류

*G11C 11/419* (2018.05)

*G11C 8/14* (2013.01)

*G11C 8/16* (2013.01)

*H01L 21/3213* (2013.01)

*H01L 21/76897* (2013.01)

*H01L 27/0207* (2013.01)

(72) 발명자

**리우, 핑**

미국 92121 캘리포니아주 샌 디에고 모어하우스 드  
라이브 5775

**송, 스탠리 승철**

미국 92121 캘리포니아주 샌 디에고 모어하우스 드  
라이브 5775

**왕, 종제**

미국 92121 캘리포니아주 샌 디에고 모어하우스 드  
라이브 5775

**엡, 초 페이**

미국 92121 캘리포니아주 샌 디에고 모어하우스 드  
라이브 5775

**명세서**

**청구범위**

**청구항 1**

장치로서,

3-포트 비트 셀에 커플링되며 상기 3-포트 비트 셀의 폴리-게이트의 길이에 대해 수직인 길이를 갖는 제 1 금속층;

상기 3-포트 비트 셀에 커플링되는 기록 워드 라인을 포함하는 제 3 금속층 - 상기 제 3 금속층은 상기 폴리-게이트의 길이에 대해 평행한 길이를 가짐 -; 및

상기 제 1 금속층과 상기 제 3 금속층 사이의 제 2 금속층을 포함하고,

상기 제 2 금속층은 상기 3-포트 비트 셀에 커플링되는 2개의 판독 워드 라인들을 포함하고,

상기 제 2 금속층은 상기 폴리-게이트의 길이에 대해 평행한 길이를 가지며,

상기 제 1 금속층 및 상기 제 2 금속층은 상대적으로 낮은 피치를 가지며,

상기 제 3 금속층은 상대적으로 높은 피치를 가지며,

상기 기록 워드 라인의 폭은 상대적으로 크고,

상기 2개의 판독 워드 라인들의 폭은 상대적으로 좁은, 장치.

**청구항 2**

제 1 항에 있어서,

상기 3-포트 비트 셀은 반도체 제조 프로세스를 사용하여 제조되며, 상기 반도체 제조 프로세스는 14nm(nanometer) 미만의 프로세스인, 장치.

**청구항 3**

제 1 항에 있어서,

상기 제 1 금속층, 상기 제 2 금속층 및 상기 제 3 금속층은 SADP(self-aligned double patterning) 프로세스를 이용하여 패터닝되는, 장치.

**청구항 4**

제 1 항에 있어서,

상기 제 1 금속층을 상기 제 2 금속층에 연결하는 제 1 비아; 및

상기 제 2 금속층을 상기 제 3 금속층에 연결하는 제 2 비아를 더 포함하는, 장치.

**청구항 5**

제 1 항에 있어서,

상기 제 2 금속층은 조그(jog)들을 포함하지 않는, 장치.

**청구항 6**

방법으로서,

3-포트 비트 셀에서 제 1 금속층을 패터닝하는 단계 - 상기 제 1 금속층은 상기 3-포트 비트 셀의 폴리-게이트의 길이에 대해 수직인 길이를 가짐 -;

제 3 금속층을 패터닝하는 단계 - 상기 제 3 금속층은 상기 3-포트 비트 셀에 커플링되는 기록 워드 라인을 포

함하며, 상기 제 3 금속층은 상기 폴리-게이트의 길이에 대해 평행한 길이를 가짐 - ; 및  
 상기 제 1 금속층과 상기 제 3 금속층 사이에 제 2 금속층을 패터닝하는 단계를 포함하고,  
 상기 제 2 금속층은 상기 3-포트 비트 셀에 커플링되는 2개의 관독 워드 라인들을 포함하고,  
 상기 제 2 금속층은 상기 폴리-게이트의 길이에 대해 평행한 길이를 가지며,  
 상기 제 1 금속층 및 상기 제 2 금속층은 상대적으로 낮은 피치를 가지며,  
 상기 제 3 금속층은 상대적으로 높은 피치를 가지며,  
 상기 기록 워드 라인의 폭은 상대적으로 크고,  
 상기 제 2 금속층의 상기 2개의 관독 워드 라인들의 폭은 상대적으로 좁은, 방법.

**청구항 7**

제 6 항에 있어서,  
 상기 3-포트 비트 셀은 반도체 제조 프로세스를 사용하여 제조되며, 상기 반도체 제조 프로세스는 14nm(nanometer) 미만의 프로세스인, 방법.

**청구항 8**

제 6 항에 있어서,  
 상기 제 1 금속층, 상기 제 2 금속층 및 상기 제 3 금속층은 SADP(self-aligned double patterning) 프로세스를 이용하여 패터닝되는, 방법.

**청구항 9**

제 6 항에 있어서,  
 제 1 비아를 형성하는 단계 - 상기 제 1 비아는 상기 제 1 금속층을 상기 제 2 금속층에 연결함 - ; 및  
 제 2 비아를 형성하는 단계를 더 포함하고,  
 상기 제 2 비아는 상기 제 2 금속층을 상기 제 3 금속층에 연결하는, 방법.

**청구항 10**

제 6 항에 있어서,  
 상기 제 2 금속층은 조그(jog)들을 포함하지 않는, 방법.

**청구항 11**

명령들을 포함하는 비-일시적인 컴퓨터-관독가능 저장 매체로서,  
 완전히 자동화되거나 혹은 부분적으로 자동화된 제조 시스템의 프로세서에 의해 실행되는 경우, 상기 프로세서로 하여금 제6항 내지 제10항 중 어느 한 항의 방법을 개시하게끔 하는 명령들을 포함하는, 비-일시적인 컴퓨터-관독가능 저장 매체.

**청구항 12**

삭제

**청구항 13**

삭제

**청구항 14**

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

**발명의 설명**

**기술 분야**

- [0001] 우선권 주장
- [0002] [0001] 본 출원은 2015년 2월 12일 출원된, 공동 소유된 미국 정식 특허 출원 번호 제14/620,480호를 우선권으로 주장하며, 그 내용은 그 전체가 인용에 의해 본원에 명시적으로 포함된다.
- [0003] 분야
- [0004] [0002] 본 개시는 일반적으로 비트 셀들에 관한 것이다.

**배경 기술**

- [0005] [0003] 기술의 진보들은 컴퓨팅 디바이스들이 더 작고 더 강력하게 되게 하였다. 예를 들어, 소형이고, 경량이며 사용자들에 의해 쉽게 휴대되는 모바일 폰 및 스마트 폰과 같은 무선 전화기들, 태블릿들 및 랩톱 컴퓨터들을 포함하는 다양한 휴대용 개인 컴퓨팅 디바이스들이 현재 존재한다. 이러한 디바이스들은 무선 네트워크들 상에서 음성 및 데이터 패킷들을 통신할 수 있다. 또한, 대부분의 이러한 디바이스는 디지털 스틸 카메라, 디지털 비디오 카메라, 디지털 레코더, 및 오디오 파일 재생기와 같은 부가적인 기능성들을 통합한다. 또한, 이러한 디바이스들은 웹 브라우저 애플리케이션과 같이, 인터넷에 액세스하는데 이용될 수 있는 소프트웨어 애플리케이션들을 비롯해서, 실행 가능한 명령들을 프로세싱할 수 있다. 따라서, 이들 디바이스들은 상당한 컴퓨팅 능력들을 포함할 수 있다.
- [0006] [0004] 무선 전화기들과 같은 전자 디바이스들은 하나 또는 그 초과와 메모리 셀들을 포함하는 메모리 어레이를 포함하는 메모리들을 포함할 수 있다. 메모리(예를 들어, L1/L2 캐시)를 위해 사용될 수 있는 하나의 타입의 메모리 셀은 3-포트 비트 셀이다. 3-포트 비트 셀은 2개의 판독 포트들 및 1개의 기록 포트를 포함할 수 있으며, SRAM(static random access memory) 디바이스들에 사용될 수 있다. 3-포트 SRAM 비트 셀은 M1 및 M2 층들로 지칭되는 2개의 금속층들을 중첩시킴으로써 2-마스킹 LELE(litho-etch-litho-etch) 프로세스를 사용하여 제조될 수 있다. 상부 금속층(M2)은 비-선형 방식으로 패터닝될 수 있고 "조그들(jogs)"(예를 들어, 턴들(turns))을 포함할 수 있다. 초소규모 디바이스들을 제조하는데 있어서, LELE에 비교하여 SADP(self-aligned double patterning)에 의해 제공되는 감소된 비용 및 개선된 프로세스 제어(예를 들어, 보다 정밀한 라인 폭 및 라인 간격 제어)로 인해 SADP가 LELE보다 바람직할 수 있다. 그러나 SADP는 조그들을 포함하는 비-선형 패터닝을 지원하지 않을 수 있다.

**발명의 내용**

- [0007] [0005] 본 개시는 예컨대, 14nm보다 작은(예를 들어, 10nm 또는 7nm) 기술 노드들에 대해 SADP와 호환 가능한 선형 패터닝을 포함하는 비트 셀 설계를 제공한다. 3-포트 비트 셀은 비트 셀에서 폴리-게이트들의 길이에 대해 수직인 길이를 갖는 제 1 금속층(M1), 폴리-게이트들의 길이에 평행한 길이를 갖는 제 2 금속층(M2), 및 폴리-게이트들의 길이에 평행한 길이를 갖는 제 3 금속층(M3)을 포함할 수 있다. 제 1 금속층(M1) 및 제 2 금속층(M2)은 "표준 비트 셀"의 대응하는 금속층들과 유사한 방향으로 배향되기 때문에, 제 1 금속층(M1) 및 제 2 금속층(M2)은 비교적 낮은 피치(예를 들어, 대략 42nm인 피치)를 가질 수 있다. 제 3 금속층(M3)은 표준 비트 셀의 제 3 금속층과 반대 방향으로 배향되기 때문에, 제 3 금속층은 비교적 높은 피치(예를 들어, 약 126 nm인 피치)를 가질 수 있다.
- [0008] [0006] 2개의 판독 워드 라인들은 제 2 금속층(M2)에 의해 형성될 수 있고 단일 기록 워드 라인은 제 3 금속층(M3)에 의해 형성될 수 있다. 제 3 금속층(M3)의 단일 기록 워드 라인의 폭은 비교적 클 수 있으며(예를 들어, 대략 66nm(10nm 프로세스의 경우 CPP(contacted poly pitch)), 이는 판독 워드 라인들을 갖는 층에 형성된 기록 워드 라인의 레이턴시에 비해 레이턴시 및 RC(resistor-capacitor) 지연을 감소시킬 수 있다. 또한, 제 2 금속층(M2)이 비교적 작은 피치를 갖기 때문에, 2개의 비교적 좁은 판독 워드 라인들(예를 들어, 판독 워드 라인 당 대략 23 nm)은, 10nm 프로세스에 대해 2\*CPP보다 넓게 셀의 폭을 확장시킬 필요 없이 제 2 금속층에 포함될 수 있다.
- [0009] [0007] 특정한 실시예에서, 장치는 비트 셀에 커플링되는 제 1 금속층을 포함한다. 장치는 또한 비트 셀에 커플링되는 기록 워드 라인을 포함하는 제 3 금속층을 포함한다. 장치는 추가로, 제 1 금속층과 제 3 금속층 사

이의 제 2 금속층을 포함한다. 제 2 금속층은 비트 셀에 커플링되는 2개의 판독 워드 라인들을 포함한다.

- [0010] [0008] 다른 특정한 실시예에서, 방법은 비트 셀에서 제 1 금속층을 패터닝하고 제 3 금속층을 패터닝하는 것을 포함한다. 제 3 금속층은 비트 셀에 커플링되는 기록 워드 라인을 포함한다. 이 방법은 또한, 제 1 금속층과 제 3 금속층 사이의 제 2 금속층을 패터닝하는 것을 포함한다. 제 2 금속층은 비트 셀에 커플링되는 2개의 판독 워드 라인들을 포함한다.
- [0011] [0009] 다른 특정한 실시예에서, 비-일시적인 컴퓨터-판독가능 매체는, 프로세서에 의해 실행될 때, 프로세서로 하여금, 비트 셀에서 제 1 금속층의 패터닝을 개시하고 제 3 금속층의 패터닝을 개시하게 하는 명령들을 포함한다. 제 3 금속층은 비트 셀에 커플링되는 기록 워드 라인을 포함한다. 이 명령들은 또한 프로세서로 하여금, 제 1 금속층과 제 3 금속층 사이의 제 2 금속층의 패터닝을 개시하게 하도록 실행 가능하다. 제 2 금속층은 비트 셀에 커플링되는 2개의 판독 워드 라인들을 포함한다.
- [0012] [0010] 다른 특정한 실시예에서, 장치는 비트 셀에 커플링된 전류를 라우팅하기 위한 제 1 수단 및 전류를 라우팅하기 위한 제 3 수단을 포함한다. 전류를 라우팅하기 위한 제 3 수단은 비트 셀에 커플링되는 기록 워드 라인을 포함한다. 이 장치는 또한, 전류를 라우팅하기 위한 제 1 수단과 전류를 라우팅하기 위한 제 3 수단 사이의, 전류를 라우팅하기 위한 제 2 수단을 포함한다. 라인들을 라우팅하기 위한 제 2 수단은 비트 셀에 커플링되는 2개의 판독 워드 라인들을 포함한다.
- [0013] [0011] 개시된 실시예들 중 적어도 하나에 의해 제공되는 하나의 특정한 이점은 기록 워드 라인의 비교적 큰 폭에 기초한 감소된 레이턴시 및 감소된 RC(resistor-capacitor) 지연이다. 예를 들어, (제 3 금속층에 2개의 판독 워드 라인을 제공하는 것과 대조적으로) 제 3 금속층에 기록 워드 라인을 제공하면, 기록 워드 라인이 비교적 큰 폭을 갖는 것을 가능케 한다. 또한, 제 2 금속층의 길이가 폴리-게이트들의 길이와 평행하기 때문에, 2개의 판독 워드 라인들은 비트 셀의 폭을 증가시키지 않고 제 2 금속층에 제공될 수 있다. 본 개시의 다른 양상들, 이점들 및 특징들은 이하의 섹션들 : 도면의 간단한 설명, 상세한 설명 및 청구범위를 포함하는 전체 출원의 검토 후에 자명해질 것이다.

**도면의 간단한 설명**

- [0014] [0012] 도 1a 및 도 1b는 3-포트 비트 셀의 제 1 예시적인 실시예의 회로도들이다.
- [0013] 도 2는 3-포트 비트 셀들의 어레이의 제 1 레이아웃 도면이다.
- [0014] 도 3은 3-포트 비트 셀들의 어레이의 제 2 레이아웃 도면이다.
- [0015] 도 4는 3-포트 비트 셀들의 어레이의 제 3 레이아웃 도면이다.
- [0016] 도 5는 3-포트 비트 셀을 형성하는 방법의 특정한 예시적인 실시예의 흐름도이다.
- [0017] 도 6은 도 1의 3-포트 비트 셀을 포함하는 전자 디바이스의 블록도이다.
- [0018] 도 7은 도 1의 3-포트 비트 셀을 포함하는 전자 디바이스들을 제조하기 위한 제조 프로세스의 특정한 예시적인 실시예의 데이터 흐름도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0015] [0019] 14nm 기술로부터의 축소(scaling down)는 난제들을 제시할 수 있다. 예를 들어, 14nm 이상의 기술 노드들의 경우, 3-포트 비트 셀의 폭은 CPP(contacted poly pitch, 접촉된 폴리 (게이트) 라인들 사이의 거리)의 2배 이하가 되도록 제한될 수 있다. 14nm의 경우, CPP는 대략 80-90nm일 수 있다. 본원에서 사용된 바와 같이, 셀 "폭"은 폴리 방향에 수직이고 핀 방향을 따를 수 있다. 14nm보다 작은 기술 노드들의 경우, CPP가 감소되며, 이는 비트 셀 폭을 감소시킨다. 비트 셀 폭이 감소되면(즉, 좁아지면), 비트 셀의 기록 및 판독 워드 라인들이 또한 좁아질 수 있으며, 이는 증가된 워드 라인 RC(resistor-capacitor) 임피던스로 인해 판독/기록 레이턴시를 증가시킨다.
- [0016] [0020] 기록 및 판독 워드 라인들의 비교적 넓은 간격을 유지하기 위해, 종래의 비트 셀들은 비트 셀과 연관된 제한들을 피하기 위해 SADP를 사용하여 M2 위에 형성된 제 3 금속층(M3)을 더 포함할 수 있다. 종래의 비트 셀의 경우, M3은 2개의 판독 워드 라인들을 포함할 수 있고, M2는 기록 워드 라인을 포함할 수 있다. 비트 셀이 형성될 때, 비트 셀의 인접한 금속층들은 반대 방향으로 배치된다. 예를 들어, M1이 수평이면, M2는 수직이고 M3는 수평이다. 통상적으로, M1은 비트 셀의 폴리-게이트들의 방향에 수직이다. 또한, 판독 및 기록 워드 라

인들을 포함하는 금속층들(예를 들어, M2 및 M3)은 통상적으로, 폴리-게이트들과 방향이 동일하다. 따라서, 폴리-게이트들이 수직 방향인 경우, M1은 (예컨대, 폴리-게이트 방향에 수직인) 수평 방향이고, M2 및 M3은 수직 방향이다. M3은 "잘못된 방향 층(wrong direction layer)"(예를 들어, 비트 셀에서 인접한 층들과 유사한 방향을 갖는 금속층)이고, CPP의 대략 2-3 배의 피치를 갖는다. 그 결과, 2개의 라인들(예를 들어, 2개의 판독 워드 라인들)이 M3에 있는 경우 비트 셀의 폭은 증가될 수 있다. 따라서, 부가적인 금속층(예를 들어, 제 4 금속층(M4))이 워드 라인들 중 하나에 대해 요구될 수 있어, 비트 셀의 크기 및 제조 비용을 증가시킬 수 있다.

[0017] [0021] 이러한 문제를 피하기 위해, 본 개시는 M2에 의해 형성된 2개의 판독 워드 라인들을 제공하고, 단일의 기록 워드 라인은 M3에 의해 형성될 수 있다. M3의 단일 기록 워드 라인의 폭은 비교적 클 수 있으며(예를 들어, 대략 66nm(10nm 프로세스 경우의 CPP(contacted poly pitch)), 이는 판독 워드 라인들을 갖는 층에 형성된 기록 워드 라인의 레이턴시에 비해, 레이턴시 및 RC(resistor-capacitor) 지연을 감소시킨다.

[0018] [0022] 본 개시의 특정한 실시예들은 도면들을 참조하여 아래에서 설명된다. 설명 및 도면들에서, 공통적인 특징들은, 도시되고 설명된 바와 같은 실시예들의 명확성을 위해 공통 참조 번호들에 의해 지정된다.

[0019] [0023] 도 1a 및 도 1b를 참조하면, 비트 셀(100)의 제 1 예시적인 실시예의 회로도들이 도시된다. 비트 셀(100)은 저장 래치(storage latch)(110)를 포함한다. 저장 래치(110)는 한 쌍의 교차-커플링된 인버터들(112, 114)을 포함할 수 있다. 인버터들(112, 114) 각각은 도 1b에 도시된 바와 같이, PMOS(p-type metal oxide semiconductor) 트랜지스터 및 NMOS(n-type metal oxide semiconductor) 트랜지스터를 포함할 수 있다.

[0020] [0024] 저장 래치(110)는 제 1 기록 트랜지스터(121) 및 제 2 기록 트랜지스터(122)에 연결(예를 들어, 커플링)될 수 있다. 기록 트랜지스터들(121, 122)은 도시된 바와 같이 NMOS 트랜지스터들일 수 있다. 다른 실시예들에서, 기록 트랜지스터들(121, 122)은 PMOS 트랜지스터들일 수 있다. 제 1 기록 트랜지스터(121)는 제 1 기록 비트 라인(WBL1)(135)에 그리고 기록 워드 라인(WWL)(137)에 연결될 수 있고, 제 2 기록 트랜지스터(122)는 제 2 기록 비트 라인(WBL2)(136)에 그리고 기록 워드 라인(WWL)(137)에 연결될 수 있다. 제 1 기록 트랜지스터(121) 및 제 2 기록 트랜지스터(122)는 비트 셀(100)의 기록 포트의 상보적 기록 트랜지스터들일 수 있다. 기록 워드 라인(137), 및 기록 비트 라인들(135 또는 136) 중 하나가 어서트(assert)될 때, 기록 포트는 저장 래치(110)에 로직 0(예를 들어, 로우) 값을 기록하는데 사용될 수 있다. 기록 워드 라인(137), 및 기록 비트 라인들(135 또는 136) 중 나머지 하나가 어서트될 때, 기록 포트는 저장 래치(110)에 로직 1(예를 들어, 하이) 값을 기록하는데 사용될 수 있다.

[0021] [0025] 저장 래치(110)는 또한 제 1 판독 구동 트랜지스터(123) 및 제 2 판독 구동 트랜지스터(124)에 연결될 수 있다. 제 1 판독 구동 트랜지스터(123)는 제 1 판독 트랜지스터(125)에 연결될 수 있고, 제 2 판독 구동 트랜지스터(124)는 제 2 판독 트랜지스터(126)에 연결될 수 있다. 판독 구동 트랜지스터들(123, 124) 및 판독 트랜지스터들(125, 126)은 도시된 바와 같이 NMOS 트랜지스터들일 수 있다. 다른 실시예에서, 판독 구동 트랜지스터(123, 124)는 PMOS 트랜지스터들일 수 있다. 제 1 판독 트랜지스터(125)는 제 1 판독 비트 라인(RBL1)(131)에 그리고 제 1 판독 워드 라인(RWL1)(133)에 연결될 수 있다. 제 2 판독 트랜지스터(126)는 제 2 판독 비트 라인(RBL2)(132)에 그리고 제 2 판독 워드 라인(RWL2)(134)에 연결될 수 있다. 트랜지스터들(123 및 125)은 비트 셀(100)의 제 1 판독 포트에 대응할 수 있으며, 트랜지스터들(124 및 126)은 비트 셀(100)의 제 2 판독 포트에 대응할 수 있다. 판독 워드 라인들(133 및/또는 134)은 판독 동작 동안 어서트될 수 있고, 판독 포트들은 상보적 판독 포트들일 수 있다. 예를 들어, 제 1 판독 포트에서의 데이터 값이 로직 0일 때, 제 2 판독 포트에서의 데이터 값은 로직 1이고, 반대의 경우도 마찬가지이다. 도 1b의 예에서, (좌측 상의) 제 1 판독 포트는 로직 0 값("0")을 판독하는 것으로서 도시되고, (우측 상의) 제 2 판독 포트는 로직 1("1") 값을 판독하는 것으로서 도시된다.

[0022] [0026] 비트 셀(100)은 이에 따라, 2개의 판독 포트들 및 하나의 기록 포트를 포함할 수 있으며, "3-포트" 비트 셀로 지칭될 수 있다. 비트 셀(100)이 10개의 트랜지스터들을 포함하기 때문에, 비트 셀(100)은 또한 "10T" 비트 셀로 지칭될 수 있다. 특정한 실시예에서, 비트 셀(100)은 SRAM(static random access memory) 디바이스에 포함되고 고속 병렬 메모리 액세스를 제공한다. 예시적인 비-제한적인 예로서, 비트 셀(100)을 포함하는 SRAM 디바이스는 프로세서의 L1 및/또는 L2 캐시에서 사용될 수 있다. SRAM 디바이스는 비트 셀들의 하나 또는 그 초과행 및 비트 셀들의 하나 또는 그 초과열들을 포함하는, 격자형 방식으로 배열된 비트 셀들의 하나 또는 그 초과행의 어레이들을 포함할 수 있다.

[0023] [0027] 도 2와 대해 추가로 설명된 바와 같이, 비트 셀(100)은 높이(H) 및 폭(W)을 가질 수 있다. 설명된 기술들에 따라, 폭(W)은 비트 셀(100)과 연관된 CPP(contacted poly pitch)의 대략 2배일 수 있으며, 여기서 CPP

는 접촉된 폴리(게이트) 라인들 사이의 거리에 대응한다. CPP는 대안적으로 게이트 피치로 지칭될 수 있다. 예를 들어, CPP는 폴리 라인의 에지로부터 인접한 폴리 라인의 대응하는 에지까지의 거리(예를 들어, 상부-에지부터 상부-에지까지의 거리 또는 하부-에지부터 하부-에지까지의 거리)에 대응한다. 이에 따라, CPP는 또한 하나의 폴리 폭 및 하나의 폴리 간격의 합과 동일한 것으로 간주될 수 있다. 10nm 반도체 제조 프로세스(예를 들어, 10nm의 최소 이용 가능한 라인 폭/피치 크기를 갖는 프로세스)에서, CPP는 대략 60-66nm와 동일할 수 있다. 비교 목적들을 위해, 14nm 프로세스(예를 들어, 14nm의 최소 이용 가능한 라인 폭/ 피치 크기를 갖는 프로세스) 경우의 CPP는 대략 80-90nm 일 수 있다.

[0024] [0028] 14nm 미만의 프로세스(예를 들어, 10nm 프로세스 또는 7nm 프로세스)의 경우, 2\*CPP 이하의 비트 셀 폭을 유지하기 위해, (도 2를 참조하여 추가로 설명되는 바와 같은) 본 개시의 기술은 제 2 금속층(M2)에서 2개의 관독 위드 라인들을 패터닝하고 제 3 금속층(M3)에서 기록 위드 라인을 패터닝한다. 제 2 금속층 및 제 3 금속층은 비트 셀에 커플링될 수 있고, 제 2 금속층 및 제 3 금속층의 길이들이 비트 셀의 폴리-게이트의 길이에 평행하도록 패터닝될 수 있다. 제 3 금속층은, 폴리-게이트의 방향에 수직인 방향(예를 들어, "올바른 방향 층")으로 패터닝되는 종래의 제 3 금속층과 대조적으로, 폴리-게이트의 방향과 평행한 방향(예를 들어, "잘못된 방향 층")으로 패터닝되기 때문에, 제 3 금속층은 비교적 큰 피치(예를 들어, 대략 126nm인 피치)를 가질 수 있다. 도 2를 참조하여 추가로 설명되는 바와 같이, 제 3 금속층은 2\*CPP의 폭을 갖는 비트 셀에 비교적 큰 단일 와이드(wide) 기록 위드 라인(WWL)(137)을 수용할 수 있으며, 이는 레이턴시 및 RC(resistor-capacitor) 지연을 감소시킬 수 있다.

[0025] [0029] 또한, 제 2 금속층은 2\*CPP보다 넓게 비트 셀(100)의 폭을 확장시킬 필요 없이 2개의 관독 위드 라인(RWL1, RWL2)(133, 134)을 수용할 수 있다. 예를 들어, 제 2 금속층은 폴리-게이트의 방향과 평행한 방향(예를 들어, 제 2 금속층은 올바른 방향 층임)으로 패터닝되기 때문에; 제 2 금속층은 비교적 작은 피치(예를 들어, 대략 42nm인 피치)를 가질 수 있다. 제 2 금속층의 비교적 작은 피치에 기초하여, 제 2 금속층은 2\*CPP보다 넓게 비트 셀(100)의 폭을 확장시킬 필요 없이 2개의 관독 위드 라인(RWL1, RWL2)(133, 134)을 수용할 수 있다.

[0026] [0030] 도 2를 참조하면, 비트 셀들의 어레이의 제 1 레이아웃 도면이 도시되고 일반적으로 200으로 지정된다. 예를 들어, 도 2는 4비트 셀들의 어레이(예를 들어, 2X2 비트 셀 어레이)를 도시하며, 여기서 각각의 비트 셀은 도 1a 및 도 1b에 도시된 회로 레이아웃을 갖는다. 제조되면, 비트 셀들은 핀들(소스/드레인 영역들을 포함하는 FinFET들), 트랜지스터 게이트들(대안적으로, 폴리 라인들로 지칭됨), 트랜지스터 소스/드레인 영역들에 대한 라인 중간(middle-of-line) 접촉들(예를 들어, 로컬 상호연결들)(MD), 게이트/폴리 라인들에 대한 라인 중간 접촉들(예를 들어, 로컬 상호연결들)(MP), 제 1 금속층(M1), MD 및 MP를 M1에 연결하는 비아(Via0), 제 2 금속층(M1), M1을 M2에 연결하는 비아(Via1), 제 3 금속층(M3) 및 M2를 M3에 연결하는 비아(Via2)와 같은 다양한 컴포넌트들/층들을 포함할 수 있다.

[0027] [0031] 도 2는 제 1 금속층(M1), 제 2 금속층(M2) 및 제 3 금속층(M3)을 예시한다. 제 1 금속층(M1)은 비트 셀들에 커플링될 수 있고, 제 2 금속층(M2)은 제 1 금속층(M1) 위에 패터닝될 수 있으며, 제 3 금속층(M3)은 제 2 금속층(M2) 위에 패터닝될 수 있다. 예시적인 실시예에서, 제 1 금속층(M1)의 길이는 제 1 방향(예를 들어, 수평 방향)으로 배향될 수 있고, 제 2 금속층(M2)의 길이는 제 2 방향(예를 들어, 수직 방향)으로 배향될 수 있고, 제 3 금속층(M3)의 길이는 제 2 방향으로 배향될 수 있다. 제 1 금속층(M1)은 도 1a 내지 도 1b의 제 1 관독 비트 라인(RBL1)(131), 도 1a 내지 도 1b의 제 2 관독 비트 라인(RBL2)(134), 도 1a 내지 도 1b의 제 1 기록 비트 라인(WBL1)(135) 및 도 1a 내지 도 1b의 제 2 기록 비트 라인(WBL2)(136)을 포함할 수 있다. 예를 들어, 제 1 금속층(M1)은 접지 전압(VSS)을 제공하기 위한 금속 트랙들, 기록 비트 라인들(WBL)을 위한 금속 트랙들, 공급 전압(Vdd)을 제공하기 위한 금속 트랙들, 글로벌 관독 비트 라인들(GRBL)을 위한 금속 트랙들 및 관독 비트 라인들(RBL)을 위한 금속 트랙들을 포함할 수 있다.

[0028] [0032] 수직 방향으로 배향되는 길이를 갖는 폴리-게이트를 포함하는 표준 비트 셀에서, 제 1 금속층은 (도 2의 실시예에서 예시된 바와 같이) 수평 방향으로 배향된 길이를 가질 수 있고, 제 2 금속층은 (도 2의 실시예에서 예시된 바와 같이) 수직 방향으로 배향된 길이를 가질 수 있고, 제 3 금속층은 수평 방향으로 배향된 길이를 가질 수 있다. 그러나 도 2의 제 3 금속층(M3)의 길이가 수직 방향으로 배향되기 때문에, 제 3 금속층(M3)은 "잘못된 방향 층"이다. 따라서 제 3 금속층(M3)의 피치는 126nm와 대략 동일할 수 있다. 도 2의 제 1 금속층(M1) 및 제 2 금속층(M2)은 "올바른 방향 층들"(예를 들어, 표준 비트 셀에서 대응하는 층들과 유사한 방식으로 배향된 길이들을 갖는 층들)이기 때문에, 제 1 금속층(M1) 및 제 2 금속층(M2)은 비교적 낮은 피치(예를 들어, 42 nm와 대략 동일함)를 갖는다.

- [0029] [0033] 도 1a 내지 도 1b를 참조하여 설명된 바와 같이, 14nm 프로세스로부터 10nm 프로세스로 이전할 때, 비트 셀들의 금속층들을 패터닝하는데 SADP가 바람직할 수 있다. SADP는 조그들/턴들에 대해 부적합할 수 있기 때문에, 비트 셀들의 금속층들(M1, M2 및 M3)은 선형-전용 패턴들(linear-only patterns)에 대응할 수 있다. 10nm의 선형-전용 패턴들을 사용할 때, 3개의 독립적으로 액세스 가능한 위드 라인들(2개의 판독 위드 라인들 및 하나의 기록 위드 라인)이 제 2 및 제 3 금속층들(M2, M3)에서 패터닝될 수 있다. 예를 들어, 비트 셀(100)의 2개의 판독 위드 라인들(RWL1, RWL2)(133, 134)은 제 2 금속층(M2)에서 패터닝될 수 있고, 비트 셀(100)의 기록 위드 라인(WWL)(137)은 제 3 금속층(M3)에서 패터닝될 수 있다.
- [0030] [0034] 위에서 설명된 바와 같이, 제 2 금속층(M2)은 "올바른 방향 층"이고 비교적 낮은 피치를 갖는다. 따라서, 2개의 판독 위드 라인들(RWL1, RWL2)(133, 134)은 비트 셀(100)의 폭을 확장시키지 않고도 제 2 금속층(M2)에서 패터닝될 수 있다. 예를 들어, 각각의 판독 위드 라인(RWL1, RWL2)(133, 134)은 대략 23nm의 폭(제 2 금속층(M2)의 피치 요건을 만족함)을 가질 수 있고 비트 셀(100)의 폭(예를 들어, 2\*CPP 또는 132nm)을 수용할 수 있다.
- [0031] [0035] 위에서 설명된 바와 같이, 제 3 금속층(M3)은 "잘못된 방향 층"이고 비교적 높은 피치를 갖는다. 따라서, 단일의 기록 위드 라인(WWL)(137)은 비트 셀(100)의 폭을 확장시키지 않고도 제 3 금속층(M3)에서 패터닝될 수 있다. (비트 셀(100)의 폭을 증가시킬 2개의 판독 위드 라인들(RWL1, RWL2)(133, 134)과 대조적으로) 단일 기록 위드 라인(WWL)(137)이 제 3 금속층(M3)에 패터닝되기 때문에, 기록 위드 라인(WWL)(137)은 비교적 큰 폭을 가질 수 있다. 예를 들어, 기록 위드 라인(WWL)(137)은 대략 66nm의 폭(제 3 금속층(M3)의 피치 요건을 만족함)을 가질 수 있고 비트 셀(100)의 폭을 수용할 수 있다. 기록 위드 라인(WWL)(137)의 비교적 넓은 폭은 비트 셀(100)에 대한 기록 레이턴시를 감소시킬 수 있다. 예를 들어, 기록 위드 라인(WWL)(137)의 증가된 폭은 기록 위드 라인(WWL)(137)의 RC 임피던스를 감소시킬 수 있으며, 이는 레이턴시를 감소시킨다.
- [0032] [0036] 도 1a, 1b 및 2를 참조하여 설명된 비트 셀들은 14nm 미만(예를 들어, 10nm 또는 7nm)의 제조 프로세스를 위한 SADP 금속 패터닝과 호환 가능할 수 있다. 또한, 비트 셀들은 (다른 금속층의 기록 위드 라인의 기록 위드 라인 폭에 비교하여) 증가된 기록 위드 라인 폭을 가질 수 있으며, 이는 기록 레이턴시를 감소시킬 수 있다. 또한, 제 2 금속층(M2)에서 판독 위드 라인들(RWL1, RWL2)(133, 134)을 그리고 제 3 금속층(M3)에서 기록 위드 라인(WWL)(137)을 패터닝하면 비트 셀(100)의 폭을 증가시키거나 판독 위드 라인을 위해 제 4 금속층(M4)을 사용할 필요성을 피할 수 있다. 따라서, 부가적인 금속층들(M4, M5, M6 등)은 비교적 "비어있음(vacant)" 수 있고, 증가된 라우팅 다공성을 위해 사용될 수 있다. 예를 들어, 부가적인 금속층들은 비트 셀(100)의 다른 컴포넌트들을 상호연결하는데 사용될 수 있다.
- [0033] [0037] 도 3을 참조하면, 비트 셀들의 어레이의 제 2 레이아웃 도면이 도시되고 일반적으로 300으로 지정된다. 제 2 레이아웃 도면(300)은 도 2의 제 1 레이아웃 도면(200)의 제 1 금속층(M1)과 제 1 레이아웃 도면(200)의 제 2 금속층(M2) 사이의 상호연결들을 도시한다.
- [0034] [0038] 제 1 비아들(Via1)은 제 1 금속층(M1)을 제 2 금속층(M2)에 연결하도록 형성될 수 있다. SADP가 14nm 미만의 기술들에서 비트 셀들의 금속층들(M1, M2)을 패터닝하는데 사용될 수 있지만, 금속층들(M1, M2)을 연결하는 제 1 비아들(Via1)을 형성하기 위해 (예를 들어, 비용-관련 및/또는 프로세스-관련 이유들로) LELE가 사용될 수 있다. 14nm보다 작은 프로세스들로 이전하면, 제 1 금속층(M1)을 제 2 금속층(M2)에 연결하는 제 1 비아들(Via1)과 같은, 비트 셀들의 금속-금속 비아들 사이의 간격을 감소시킬 수 있다. 특히, 비트 셀 폭이 2\*CPP로 고정될 때 이러한 비아들 사이의 간격은 40nm 미만으로 감소될 수 있다.
- [0035] [0039] 도 4를 참조하면, 비트 셀들의 어레이의 제 3 레이아웃 도면이 도시되고 일반적으로 400으로 지정된다. 제 3 레이아웃 도면(400)은 도 2의 제 1 레이아웃 도면(200)의 제 2 금속층(M2)과 제 1 레이아웃 도면(200)의 제 3 금속층(M3) 사이의 상호연결들을 도시한다.
- [0036] [0040] 제 2 금속층(M2)을 제 3 금속층(M3)에 연결하기 위해 제 2 비아들(Via2)이 형성될 수 있다. SADP가 14nm 미만의 기술들에서 비트 셀(100)의 금속층들(M2, M3)을 패터닝하는데 사용될 수 있지만, 금속층들(M2, M3)을 연결하는 제 2 비아들(Via2)을 형성하기 위해 (예를 들어, 비용-관련 및/또는 프로세스-관련 이유들로) LELE가 사용될 수 있다. 14nm보다 작은 프로세스들로 이전하면, 제 2 금속층(M2)을 제 3 금속층(M3)에 연결하는 제 2 비아들(Via2)과 같은, 비트 셀(100)의 금속-금속 비아들 사이의 간격을 감소시킬 수 있다. 특히, 비트 셀 폭이 2\*CPP로 고정될 때 이러한 비아들 사이의 간격은 40nm 미만으로 감소될 수 있다.
- [0037] [0041] 도 5를 참조하면, 비트 셀을 형성하는 방법(500)의 특정한 예시적인 실시예의 흐름도가 도시되고 일반

적으로 500으로 지정된다. 예시적인 실시예에서, 방법(500)은 비트 셀(100)의 제조 동안 수행될 수 있다. 특정한 실시예에서, 방법(500)은 도 7과 관련하여 아래에서 설명되는 제조 장비를 사용하여 수행될 수 있다.

- [0038] [0042] 방법(500)은 502에서, 비트 셀의 제 1 금속층을 패터닝하는 것을 포함할 수 있다. 예를 들어, 도 2를 참조하면, 제 1 금속층(M1)은 비트 셀(100)에서 패터닝될 수 있다. 제 1 금속층(M1)은 제 1 판독 비트 라인(RBL1), 제 2 판독 비트 라인(RBL2), 제 1 기록 비트 라인(WBL1) 및 제 2 기록 비트 라인(WBL2)을 포함할 수 있다. 특정한 실시예에서, 제 1 금속층(M1)은 또한, 공급 전압(Vdd) 및 접지 전압(Vss)을 제공하기 위한 라인들을 포함할 수 있다.
- [0039] [0043] 제 2 금속층은 504에서, 제 1 금속층 위에 패터닝될 수 있다. 예를 들어, 도 2를 참조하면, 제 2 금속층(M2)은 제 1 금속층(M1) 위에 패터닝될 수 있다. 제 1 판독 워드 라인(RWL1)(133) 및 제 2 판독 워드 라인(RWL2)(134)은 제 2 금속층(M2)에 포함될 수 있고 비트 셀(100)에 커플링될 수 있다. 예를 들어, 제 1 판독 워드 라인(RWL1)(133)은 트랜지스터(125)의 게이트에 커플링될 수 있고, 제 2 판독 워드 라인(RWL2)(134)은 트랜지스터(134)의 게이트에 커플링될 수 있다.
- [0040] [0044] 제 3 금속층은 506에서, 제 2 금속층 위에 패터닝될 수 있다. 예를 들어, 도 3을 참조하면, 제 3 금속층(M3)은 제 2 금속층(M2) 위에 패터닝될 수 있다. 기록 워드 라인(WWL)(137)은 제 3 금속층(M3)에 포함될 수 있고 비트 셀(100)에 커플링될 수 있다. 예를 들어, 기록 워드 라인(WWL)(137)은 트랜지스터(121)의 게이트에 그리고 트랜지스터(122)의 게이트에 커플링될 수 있다.
- [0041] [0045] 특정한 실시예에서, 방법(500)은 제 1 금속층을 제 2 금속층에 연결하는 제 1 비아를 형성하는 것을 포함할 수 있다. 예를 들어, 도 3을 참조하면, 제 1 비아들(Via1)은 (제 1 금속층(M1)의 형성 이후에) 제 1 금속층(M1)을 제 2 금속층(M2)에 연결하도록 형성될 수 있다. LELE는 (예를 들어, 비용-관련 및/또는 프로세스-관련 이유들로) 금속층들(M1, M2)을 연결하는 제 1 비아들(Via1)을 형성하는데 사용될 수 있다.
- [0042] [0046] 특정한 실시예에서, 방법(500)은 제 2 금속층을 제 3 금속층에 연결하는 제 2 비아를 형성하는 것을 포함할 수 있다. 예를 들어, 도 4를 참조하면, 제 2 비아들(Via2)은 (제 2 금속층(M2)의 형성 이후에) 제 2 금속층(M2)을 제 3 금속층(M3)에 연결하도록 형성될 수 있다. LELE는 (예를 들어, 비용-관련 및/또는 프로세스-관련 이유들로) 금속층들(M2, M3)을 연결하는 제 2 비아들(Via2)을 형성하는데 사용될 수 있다.
- [0043] [0047] 특정한 실시예에서, 방법(500)은 제 3 금속층 위에 제 4 금속층을 패터닝하는 것을 포함할 수 있다. 예를 들어, 제 4 금속층(M4)이 제 3 금속층(M3) 위에 형성될 수 있으며, 비트 셀(100)에 커플링될 수 있다. 제 4 금속층(M4)의 길이는 수직 방향으로 배향될 수 있고(예를 들어, 제 4 금속층(M4)은 올바른 방향 층일 수 있음), 제 4 금속층(M4)은 80nm와 대략 동일한 피치를 가질 수 있다. 기록 글로벌 워드 라인(137)은 제 4 금속층(M4)에 포함될 수 있다.
- [0044] [0048] 도 5의 방법(500)은 14nm 미만(예를 들어, 10nm 또는 7nm)의 제조 프로세스들을 위한 SADP 금속 패터닝과 호환 가능한 비트 셀(100)에 금속층들이 형성되는 것을 가능케 한다. 또한, 비트 셀(100)은 증가된 기록 워드 라인 폭을 가질 수 있고, 이는 기록 레이턴시를 감소시킬 수 있다. 예를 들어, 제 3 금속층(M3)에 기록 워드 라인(WWL)(137)을 포함하면 비교적 넓은(예를 들어, 66nm) 기록 워드 라인(WWL)(137)의 형성을 가능케 할 수 있다. 또한, 제 2 금속층(M2)에서 판독 워드 라인들(RWL1, RWL2)(133, 134)을 그리고 제 3 금속층(M3)에서 기록 워드 라인(WWL)(137)을 패터닝하면 비트 셀(100)의 폭을 증가시키거나 판독 워드 라인을 위해 제 4 금속층(M4)을 사용하는 것을 피할 수 있다. 따라서, 부가적인 금속층들(M4, M5, M6 등)은 비교적 "비어있을" 수 있고, 증가된 라우팅 다공성을 위해 사용될 수 있다.
- [0045] [0049] 도 5에 예시된 단계들의 순서는 단지 예시적인 목적들만을 위한 것이며, 제한적인 것으로 간주되지 않는다는 것이 주의되어야 한다. 대안적인 실시예들에서, 특정 단계들은 상이한 순서로 수행될 수 있고 그리고/또는 동시에(또는 적어도 부분적으로 동시에) 수행될 수 있다.
- [0046] [0050] 방법(500)은 프로세싱 유닛, 예컨대, 중앙 처리 장치(CPU), 제어기, 다른 하드웨어 디바이스, 펌웨어 디바이스 또는 이들의 임의의 조합에 의해 구현될 수 있다. 예로서, 방법(500)은 도 7과 관련하여 설명된 바와 같이 명령들을 실행하는 프로세서에 의해 수행될 수 있다.
- [0047] [0051] 도 6을 참조하면, 전자 디바이스의 특정한 예시적인 실시예의 블록도가 도시되고 일반적으로 600으로 지정된다. 전자 디바이스(600)는 메모리(632)에 커플링된 프로세서(610), 예컨대, 디지털 신호 프로세서(DSP) 또는 중앙 처리 장치(CPU)를 포함한다. 프로세서(610)는 SRAM 디바이스(664)를 포함하며, 여기서 SRAM 디바이스는 도 2 내지 도 4와 관련하여 설명된 금속층 패터닝 기술들에 따른 비트 셀(100)을 포함한다. 예를 들어,

SRAM 디바이스(664)는 L1 및/또는 L2 캐시 메모리에 대응할 수 있다. 예시적인 실시예에서, SRAM 디바이스(664)의 비트 셀들은 도 5의 방법(500)에 따라 제조될 수 있다. 대안적인 실시예에서, SRAM 디바이스(664)는 프로세서(610)에 커플링되고 그리고/또는 프로세서(610) 외부에 있을 수 있다. 도 6이 특정한 전자 디바이스의 SRAM 내의 비트 셀(100)의 사용을 예시하지만, 이는 제한적인 것으로 간주되지 않는다는 것이 주의되어야 한다. 비트 셀(100)과 같은 본 개시에 따른 비트 셀들은 임의의 타입의 전자 디바이스의 임의의 타입의 메모리에 포함될 수 있다.

[0048] [0052] 도 6은 프로세서(610)에 그리고 디스플레이(628)에 커플링되는 디스플레이 제어기(626)를 도시한다. CODEC(coder/decoder)(634)는 또한 프로세서(610)에 커플링될 수 있다. 스피커(636) 및 마이크로폰(638)은 코덱(634)에 커플링될 수 있다. 도 6은 또한, 무선 제어기(640)가 프로세서(610)에 그리고 안테나(642)에 커플링될 수 있음을 표시한다. 특정한 실시예에서, 프로세서(610), 디스플레이 제어기(626), 메모리(632), CODEC(634) 및 무선 제어기(640)는 시스템-인-패키지(system-in-package) 또는 시스템-온-칩 디바이스(system-on-chip device)(예를 들어, MSM(mobile station modem))(622)에 포함된다. 특정한 실시예에서, 입력 디바이스(630) 및 전력 공급기(644)는 시스템-온-칩 디바이스(622)에 커플링된다. 또한, 특정 실시예에서, 도 6에서 예시된 바와 같이, 디스플레이(628), 입력 디바이스(630), 스피커(636), 마이크로폰(638), 안테나(642) 및 전력 공급기(644)는 시스템-온-칩 디바이스(622) 외부에 있다. 그러나 디스플레이(628), 입력 디바이스(630), 스피커(636), 마이크로폰(638), 안테나(642) 및 전력 공급기(644) 각각은, 인터페이스 또는 제어기와 같은 시스템-온-칩 디바이스(622)의 컴포넌트에 커플링될 수 있다.

[0049] [0053] 설명된 실시예들과 관련하여, 장치는 비트 셀에 커플링된 전류를 라우팅하기 위한 제 1 수단을 포함한다. 예를 들어, 전류를 기록하기 위한 제 1 수단은 도 2 내지 도 3의 제 1 금속층(M1), 비트 셀에서 라인들을 라우팅하도록 구성된 하나 또는 그 초과와 다른 디바이스들 또는 이들의 임의의 조합을 포함할 수 있다. 라인들을 라우팅하기 위한 제 1 수단은 제 1 판독 비트 라인(RBL1), 제 2 판독 비트 라인(RBL2), 제 1 기록 비트 라인(WBL1) 및 제 2 기록 비트 라인(WBL2)을 포함할 수 있다. 특정 실시예에서, 전류를 라우팅하기 위한 제 1 수단은 또한 공급 전압(Vdd) 및 접지 전압(Vss)을 제공하기 위한 라인들을 제공할 수 있다.

[0050] [0054] 장치는 또한 전류를 라우팅하기 위한 제 1 수단 위에 전류를 라우팅하기 위한 제 2 수단을 포함할 수 있다. 예를 들어, 전류를 라우팅하기 위한 제 2 수단은 도 2 내지 도 4의 제 2 금속층(M2), 비트 셀에서 라인들을 라우팅하도록 구성된 하나 또는 그 초과와 다른 디바이스들 또는 이들의 임의의 조합을 포함할 수 있다. 전류를 라우팅하기 위한 제 2 수단은 비트 셀(100)에 커플링되는 제 1 판독 워드 라인(RWL1)(133) 및 비트 셀(100)에 커플링되는 제 2 판독 워드 라인(RWL2)(134)을 포함할 수 있다.

[0051] [0055] 장치는 또한 전류를 라우팅하기 위한 제 2 수단 위에 전류를 라우팅하기 위한 제 3 수단을 포함할 수 있다. 예를 들어, 전류를 라우팅하기 위한 제 3 수단은 도 2 및 도 4의 제 3 금속층(M3), 비트 셀에서 라인들을 라우팅하도록 구성된 하나 또는 그 초과와 다른 디바이스들 또는 이들의 임의의 조합을 포함할 수 있다. 전류를 라우팅하기 위한 제 3 수단은 비트 셀(100)에 커플링되는 기록 워드 라인(WWL)(137)을 포함할 수 있다.

[0052] [0056] 앞서 개시된 디바이스들 및 기능성들은 컴퓨터 판독가능 매체들 상에 저장된 컴퓨터 파일들(예를 들어, RTL, GDSII, GERBER 등)로 설계 및 구성될 수 있다. 이러한 파일들 중 일부 또는 전부는 이러한 파일들에 기초하여 디바이스들을 제조하는 제조 취급자에 제공될 수 있다. 결과적인 제품들은 반도체 웨이퍼들을 포함하며, 이 반도체 웨이퍼들은 그 후 반도체 다이로 절단되고 반도체 칩으로 패키징된다. 칩들은 전자 디바이스들에서 사용될 수 있다. 도 7은 전자 디바이스 제조 프로세스(700)의 특정한 예시적인 실시예를 도시한다. 예를 들어, 제조 프로세스(700)는 도 2 내지 도 4와 관련하여 설명된 금속층 패터닝 기술들에 따른 비트 셀(100)을 포함하는 전자 디바이스들을 제조하는데 사용될 수 있다.

[0053] [0057] 물리적인 디바이스 정보(702)는 제조 프로세스(700)에서 예컨대, 연구 컴퓨터(706)에서 수신된다. 물리적인 디바이스 정보(702)는 도 2 내지 도 4와 관련하여 설명된 금속층 패터닝 기술들에 따른 비트 셀(100)의 적어도 하나의 물리적인 특성을 나타내는 설계 정보를 포함할 수 있다. 예를 들어, 물리적인 디바이스 정보(702)는 연구 컴퓨터(706)에 커플링된 사용자 인터페이스(704)를 통해 입력되는 물리적인 파라미터들, 재료 특성들 및 구조 정보를 포함할 수 있다. 연구 컴퓨터(706)는 메모리(710)와 같은 컴퓨터-판독가능 매체(예를 들어, 비-일시적인 컴퓨터-판독가능 매체)에 커플링된 하나 또는 그 초과와 프로세싱 코어들과 같은 프로세서(708)를 포함한다. 메모리(710)는 프로세서(708)가 물리적인 디바이스 정보(702)를 변환하여 파일 포맷을 따르게 하고 라이브러리 파일(712)을 생성하게 하도록 실행 가능한 컴퓨터-판독가능 명령들을 저장할 수 있다.

[0054] [0058] 특정한 실시예에서, 라이브러리 파일(712)은 변환된 설계 정보를 포함하는 적어도 하나의 데이터 파일

을 포함한다. 예를 들어, 라이브러리 파일(712)은 도 2 내지 도 4와 관련하여 설명된 금속층 패터닝 기술들에 따른 비트 셀(100)을 포함하는 비트 셀들의 라이브러리를 포함할 수 있으며, 이는 EDA(electronic design automation) 툴(720)과 함께 사용하기 위해 제공된다.

[0055] [0059] 라이브러리 파일(712)은 메모리(718)에 커플링된 하나 또는 그 초과 프로세싱 코어들과 같은 프로세서(716)를 포함하는 설계 컴퓨터(714)에서 EDA 툴(720)과 함께 사용될 수 있다. EDA 툴(720)은 라이브러리 파일(712)의, 도 2 내지 도 4와 관련하여 설명된 금속층 패터닝 기술들에 따른 비트 셀(100)을 포함하는 회로를 설계 컴퓨터(714)의 사용자가 설계하는 것을 가능케 하도록 프로세서 실행 가능 명령들로서 메모리(718)에 저장될 수 있다. 예를 들어, 설계 컴퓨터(714)의 사용자는 설계 컴퓨터(714)에 커플링된 사용자 인터페이스(724)를 통해 회로 설계 정보(722)를 입력할 수 있다. 회로 설계 정보(722)는 도 2 내지 도 4와 관련하여 설명된 금속층 패터닝 기술들에 따른 비트 셀(100)의 적어도 하나의 물리적인 특성을 나타내는 설계 정보를 포함할 수 있다. 예시하자면, 회로 설계 특성은, 특정 회로들의 식별 및 회로 설계에서 다른 엘리먼트들에 대한 관계, 포지셔닝 정보, 피처 크기 정보, 상호연결 정보, 또는 도 2 내지 도 4와 관련하여 설명된 금속층 패터닝 기술들에 따른 비트 셀(100)의 물리적인 특성을 나타내는 다른 정보를 포함할 수 있다.

[0056] [0060] 설계 컴퓨터(714)는 파일 포맷을 따르도록 회로 설계 정보(722)를 포함하는 설계 정보를 변환하게 구성될 수 있다. 예시하자면, 파일 포맷은, 평면 기하학적 형상들, 텍스트 라벨들, 및 회로 레이아웃에 관한 다른 정보를, 그래픽 데이터 시스템(GDSII) 파일 포맷과 같은 계층적 포맷으로 나타내는 데이터베이스 이진 파일 포맷을 포함할 수 있다. 설계 컴퓨터(714)는 다른 회로들 또는 정보 이외에도, 도 2 내지 도 4와 관련하여 설명된 금속층 패터닝 기술들에 따른 비트 셀(100)을 설명하는 정보를 포함하는 GDSII 파일(726)과 같이 변환된 설계 정보를 포함하는 데이터 파일을 생성하도록 구성될 수 있다. 예시하자면, 데이터 파일은 도 2 내지 도 4와 관련하여 설명된 금속층 패터닝 기술들에 따른 비트 셀(100)을 포함하고 SOC(system-on-chip) 내의 추가적인 전자 회로들 및 컴포넌트들을 또한 포함하는 SOC에 대응하는 정보를 포함할 수 있다.

[0057] [0061] GDSII 파일(726)은 GDSII 파일(726)의 변환된 정보에 따라 도 2 내지 도 4와 관련하여 설명된 금속층 패터닝 기술들에 따른 비트 셀(100)을 제조하기 위한 제조 프로세스(728)에서 수신될 수 있다. 예를 들어, 디바이스 제조 프로세스는 대표적인 마스크(732)로서 예시된, 포토리소그래피 프로세싱과 함께 사용될 마스크들과 같은 하나 또는 그 초과 마스크들을 생성하기 위해 마스크 제조자(730)에 GDSII 파일(726)을 제공하는 것을 포함할 수 있다. 마스크(732)는, 테스트되고 대표적인 다이(736)와 같이 다이들로 분리될 수 있는 하나 또는 그 초과 웨이퍼들(733)을 생성하기 위해 제조 프로세스 동안 사용될 수 있다. 다이(736)는 도 2 내지 도 4와 관련하여 설명된 금속층 패터닝 기술들에 따른 비트 셀(100)을 포함하는 디바이스를 포함하는 회로를 포함한다.

[0058] [0062] 예를 들어, 제조 프로세스(728)는 제조 프로세스(728)를 개시 및/또는 제어하기 위해 프로세서(734) 및 메모리(735)를 포함할 수 있다. 메모리(735)는 컴퓨터-관독가능 명령들 또는 프로세서-관독가능 명령들과 같은 실행 가능 명령들을 포함할 수 있다. 실행 가능 명령들은 프로세서(734)와 같은 컴퓨터에 의해 실행 가능한 하나 또는 그 초과 명령들을 포함할 수 있다. 특정한 실시예에서, 실행 가능 명령들은 컴퓨터로 하여금 도 5의 방법(500) 또는 그의 적어도 일부를 수행하게 할 수 있다.

[0059] [0063] 제조 프로세스(728)는 전체적으로 자동화되거나 부분적으로 자동화되는 제조 시스템에 의해 구현될 수 있다. 예를 들어, 제조 프로세스(728)는 스케줄에 따라 자동화될 수 있다. 제조 시스템은 반도체 디바이스를 형성하도록 하나 또는 그 초과 동작들을 수행하기 위한 제조 장비(예를 들어, 프로세싱 툴들)를 포함할 수 있다. 예를 들어, 제조 장비는 CVD(chemical vapor deposition) 및/또는 PVD(physical vapor deposition)를 이용하여 하나 또는 그 초과 재료들을 증착하고, 단일-마스크 또는 다중-마스크 리소-에칭 프로세스(예를 들어, 2-마스크 LELE)를 이용하여 재료들을 패터닝하고, LFLE(litho-freeze-litho-etch) 프로세스를 이용하여 재료들을 패터닝하고, SADP(self-aligned double patterning) 프로세스를 이용하여 재료들을 패터닝하고, 하나 또는 그 초과 재료들을 에피택셜 방식으로(epitaxially) 성장시키고, 하나 또는 그 초과 재료들을 컨포멀하게(conformally) 증착하고, 하드마스크를 적용하고, 에칭 마스크를 적용하고, 에칭을 수행하고, 평탄화를 수행하고, 더미 게이트 스택(dummy gate stack)을 형성하고, 게이트 스택을 형성하고, 표준 클린(standard clean) 1 타입을 수행하는 등을 행하도록 구성될 수 있다. 특정한 실시예에서, 제조 프로세스(728)는 14nm 보다 작은(예를 들어, 10nm, 7nm 등) 기술 노드와 연관된 반도체 제조 프로세스에 대응한다. 디바이스(예를 들어, 도 2 내지 도 4와 관련하여 설명된 금속층 패터닝 기술들에 따른 비트 셀(100)을 포함함)를 제조하는데 사용되는 특정 프로세스 또는 프로세스들의 조합은 설계 제약들 및 이용 가능한 재료들/장비에 기초할 수 있다. 따라서, 특정 실시예들에서, 도 1a 내지 도 7과 관련하여 설명된 것과 상이한 프로세스들이 디바이스의 제조 동안 사용될 수

있다.

- [0060] [0064] 예시적인 예로서, 도 2 내지 도 4와 관련하여 설명된 금속층 패터닝 기술들에 따른 비트 셀(100)에 대한 Vial 형성 동안 사용되는 2-마스킹 LELE 프로세스는 디바이스의 제 1 층(예를 들어, 질화물 층) 상에 제 1 패터닝을 형성하도록 제 1 포토레지스트 마스크를 사용하는 것 및 제 1 패터닝을 에칭하는 것을 포함할 수 있다. 제 2 마스크는 그 후, 디바이스 상에 제 2 패터닝을 형성하는데 사용될 수 있고, 조합된 패터닝은 디바이스의 제 2의 하위 층(예를 들어, 산화물 층)까지 아래로 에칭될 수 있다. 조합된 패터닝에서, 제 1 패터닝 및 제 2 패터닝의 피쳐들(예를 들어, 라인들)은 인터리빙될 수 있다. 이에 따라, 조합된 패터닝은 제 1 패터닝 및 제 2 패터닝과 비교하여 더 작은 피쳐(예를 들어, 라인) 피치를 가질 수 있다.
- [0061] [0065] 다른 예시적인 예로서, 도 2 내지 도 4와 관련하여 설명된 금속층 패터닝 기술들에 따른 비트 셀(100)의 M1 또는 M2 층을 패터닝하는데 사용되는 SADP 프로세스는 디바이스 상에 "더미(dummy)" 패터닝을 형성하는 것을 포함할 수 있다. 컨포밍(conforming) 유전체 층이 더미 패터닝 위에 형성(예를 들어, 증착)될 수 있고 에칭될 수 있다. 에칭 동안, 더미 패터닝의 측벽들에 인접한 유전체 재료들의 "스페이서들"을 제외한 모든 유전체 층이 제거될 수 있다. 더미 패터닝은 그 후 스페이서들을 남겨두고 (예를 들어, 에칭 없이) 제거될 수 있으며, 이는 더미 패터닝 보다 더 높은 피쳐(예를 들어, 라인) 밀도를 갖는 패터닝을 형성할 수 있다. 더 높은-밀도 스페이서 패터닝은 M1 또는 M2 층을 패터닝하는데 사용될 수 있다.
- [0062] [0066] 제조 시스템(예를 들어, 제조 프로세스(728))를 수행하는 자동화된 시스템은 분산된 구조(예를 들어, 계층(hierarchy))를 가질 수 있다. 예를 들어, 제조 시스템은, 분산된 아키텍처에 따라 분산되는 프로세서(734)와 같은 하나 또는 그 초과 프로세서들, 메모리(735)와 같은 하나 또는 그 초과 메모리들, 및/또는 제어기들을 포함할 수 있다. 분산된 아키텍처는 하나 또는 그 초과 저-레벨 시스템들의 동작들을 개시 또는 제어하는 고-레벨 프로세서를 포함할 수 있다. 예를 들어, 제조 프로세스(728)의 고-레벨 부분은 프로세서(734)와 같은 하나 또는 그 초과 프로세서들을 포함할 수 있고, 저-레벨 시스템들은 각각, 하나 또는 그 초과 대응하는 제어기들을 포함하거나 이 제어기들에 의해 제어될 수 있다. 특정한 저-레벨 시스템의 특정한 제어기는 특정한 고-레벨 시스템으로부터 하나 또는 그 초과 명령들(예를 들어, 커맨드들)을 수신할 수 있고, 하위 모듈들 또는 프로세스 톨들에 서브-커맨드들을 발행할 수 있으며, 상태 데이터를 특정한 고-레벨 시스템으로 다시 통신할 수 있다. 하나 또는 그 초과 저-레벨 시스템들 각각은 제조 장비의 하나 또는 그 초과 대응하는 피스(piece)들(예를 들어, 프로세싱 톨)과 연관될 수 있다. 특정 실시예에서, 제조 시스템은 제조 시스템에 분산되는 다수의 프로세서들을 포함할 수 있다. 예를 들어, 저-레벨 시스템 컴포넌트의 제어기는 프로세서(734)와 같은 프로세서를 포함할 수 있다.
- [0063] [0067] 대안적으로, 프로세서(734)는 제조 시스템의 고-레벨 시스템, 서브시스템 또는 컴포넌트의 일부일 수 있다. 다른 실시예에서, 프로세서(734)는 제조 시스템의 다양한 레벨들 및 컴포넌트들에서의 분산된 프로세싱을 포함한다.
- [0064] [0068] 메모리(735)에 포함된 실행 가능 명령들은 프로세서(734)가 도 2 내지 도 4와 관련하여 설명된 금속층 패터닝 기술들에 따른 비트 셀(100)을 형성(또는 그의 형성을 개시)하는 것을 가능하게 할 수 있다. 특정 실시예에서, 메모리(735)는, 프로세서(734)로 하여금, 도 5의 방법(500)에 따라 디바이스의 형성을 개시하게 하도록 프로세서(734)에 의해 실행 가능한 컴퓨터-실행 가능 명령들을 저장하는 비-일시적인 컴퓨터-판독가능 매체이다. 예를 들어, 컴퓨터 실행 가능 명령들은, 프로세서(1034)로 하여금, 도 2 내지 도 4와 관련하여 설명된 금속층 패터닝 기술들에 따른 비트 셀(100)의 형성을 개시하게 하도록 실행 가능할 수 있다. 예시적인 예로서, 프로세서(734)는 도 5의 방법(500)의 단계들 중 하나 또는 그 초과를 개시 또는 제어할 수 있다.
- [0065] [0069] 다이(736)는 다이(736)가 대표적인 패키지(740)에 통합되는 패키징 프로세스(738)에 제공될 수 있다. 예를 들어, 패키지(740)는 단일 다이(736) 또는 다수의 다이들, 이를테면, SiP(system-in-package) 어레이먼트를 포함할 수 있다. 패키지(740)는 JEDEC(Joint Electron Device Engineering Council) 표준들과 같은 하나 또는 그 초과 표준들 또는 규격들에 부합하도록 구성될 수 있다.
- [0066] [0070] 패키지(740)에 관한 정보는 예컨대, 컴퓨터(746)에 저장된 컴포넌트 라이브러리를 통해 다양한 제품 설계자들에게 배포될 수 있다. 컴퓨터(746)는 메모리(750)에 커플링된 하나 또는 그 초과 프로세싱 코어들과 같은 프로세서(748)를 포함할 수 있다. PCB(printed circuit board) 톨은 사용자 인터페이스(744)를 통해 컴퓨터(746)의 사용자로부터 수신된 PCB 설계 정보(742)를 프로세싱하도록 프로세서 실행 가능 명령들로서 메모리(750)에 저장될 수 있다. PCB 설계 정보(742)는 회로 보드 상의 패키징된 반도체 디바이스의 물리적인 포지셔닝 정보를 포함할 수 있으며, 패키징된 반도체 디바이스는 도 2 내지 도 4와 관련하여 설명된 금속층 패터닝 기

술들에 따른 비트 셀(100)을 포함하는 패키지(740)에 대응한다.

[0067] [0071] 컴퓨터(746)는, 트레이스들 및 비아들과 같은 전기적인 연결들의 레이아웃뿐만 아니라 회로 보드 상의 패키징된 반도체 디바이스의 물리적인 포지셔닝 정보를 포함하는 데이터를 갖는, GERBER 파일(752)과 같은 데이터 파일을 생성하기 위해 PCB 설계 정보(742)를 변환하도록 구성될 수 있으며, 여기서 패키징된 반도체 디바이스는 도 2 내지 도 4와 관련하여 설명된 금속층 패터닝 기술들에 따른 비트 셀(100)을 포함하는 패키지(740)에 대응한다. 다른 실시예들에서, 변환된 PCB 설계 정보에 의해 생성된 데이터 파일은 GERBER 포맷 이외의 포맷을 가질 수 있다.

[0068] [0072] GERBER 파일(752)은 보드 어셈블리 프로세스(754)에서 수신되고 GERBER 파일(752) 내에 저장된 설계 정보에 따라 제조된, 대표적인 PCB(756)와 같은 PCB들을 생성하는데 사용될 수 있다. 예를 들어, GERBER 파일(752)은 PCB 생산 프로세스의 다양한 단계들을 수행하도록 하나 또는 그 초과와 머신들에 업로드될 수 있다. PCB(756)는 대표적인 PCA(printed circuit assembly)(758)를 형성하기 위해 패키지(740)를 포함하는 전자 컴포넌트들로 채워질 수 있다.

[0069] [0073] PCA(758)는 제품 제조 프로세스(760)에서 수신되고 제 1 대표적인 전자 디바이스(762) 및 제 2 대표적인 전자 디바이스(764)와 같은 하나 또는 그 초과와 전자 디바이스들에 통합될 수 있다. 예를 들어, 제 1 대표적인 전자 디바이스(762), 제 2 대표적인 전자 디바이스(764), 또는 양자 모두는 도 6의 전자 디바이스(600) 또는 그의 컴포넌트, 예컨대, SRAM 디바이스(664)를 포함하거나 이에 대응할 수 있다. 예시적인 비-제한적인 예로서, 제 1 대표적인 전자 디바이스(762), 제 2 대표적인 전자 디바이스(764), 또는 양자 모두는, 통신 디바이스, 고정 위치 데이터 유닛, 이동 위치 데이터 유닛, 모바일 전화, 셀룰러 전화, 위성 전화, 컴퓨터, 태블릿, 휴대용 컴퓨터 또는 데스크톱 컴퓨터를 포함할 수 있다. 대안적으로 또는 부가적으로, 제 1 대표적인 전자 디바이스(762), 제 2 대표적인 전자 디바이스(764), 또는 양자 모두는, 셋톱 박스, 엔터테인먼트 유닛, 내비게이션 디바이스, 개인 PDA(personal digital assistant), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 음악 재생기, 디지털 음악 재생기, 휴대용 음악 재생기, 비디오 재생기, 디지털 비디오 재생기, DVD(digital video disc) 재생기, 휴대용 디지털 비디오 재생기, 데이터 또는 컴퓨터 명령들을 저장하거나 리트리브하는 임의의 다른 디바이스 또는 이들의 조합을 포함할 수 있으며, 이들에는 도 2 내지 도 4와 관련하여 설명된 금속층 패터닝 기술들에 따른 비트 셀(100)이 통합되어 있다. 다른 예시적인 비-제한적인 예로서, 전자 디바이스들(762 및 764) 중 하나 또는 그 초과는, 원격 유닛들, 예컨대, 이동 전화들, 핸드-헬드 PCS(personal communication systems) 유닛들, 개인용 데이터 보조기와 같은 휴대용 데이터 유닛들, GPS(global positioning system) 인에이블 디바이스들, 내비게이션 디바이스들, 검침 장비(meter reading equipment)와 같은 고정 위치 데이터 유닛들, 또는 데이터 또는 컴퓨터 명령들을 저장 또는 리트리브하는 임의의 다른 디바이스, 또는 이들의 임의의 조합을 포함할 수 있다. 도 7이 본 개시의 교시들에 따른 원격 유닛들을 예시하지만, 본 개시는 이러한 예시된 유닛들로 제한되지 않는다. 본 발명의 실시예들은 메모리 및 온-칩 회로를 포함하는 능동 집적 회로를 포함하는 임의의 디바이스에서 적합하게 사용될 수 있다.

[0070] [0074] 도 2 내지 도 4와 관련하여 설명된 금속층 패터닝 기술들에 따른 비트 셀(100)을 포함하는 디바이스는 예시적인 프로세스(700)에서 설명된 바와 같이, 제조되고, 프로세싱되고, 전자 디바이스에 통합될 수 있다. 도 1 내지 도 6과 관련하여 개시된 실시예들의 하나 또는 그 초과와 양상들은, 다양한 프로세싱 스테이지들에, 예컨대, 라이브러리 파일(712), GDSII 파일(726)(예를 들어, GDSII 포맷을 갖는 파일) 및 GERBER 파일(752)(예를 들어, GERBER 포맷을 갖는 파일) 내에 포함되는 것은 물론, 연구 컴퓨터(706)의 메모리(710), 설계 컴퓨터(714)의 메모리(718), 컴퓨터(746)의 메모리(750), 보드 어셈블리 프로세스(754)에서와 같이 다양한 스테이지들에서 사용되는 하나 또는 그 초과와 다른 컴퓨터들 또는 프로세스들(도시되지 않음)의 메모리에 저장되고, 또한, 마스크(732), 다이(736), 패키지(740), PCA(758), 프로토타입 회로들 또는 디바이스들(도시되지 않음)과 같은 다른 제품들 또는 이들의 임의의 조합과 같은 하나 또는 그 초과와 다른 물리적인 실시예들에 통합될 수 있다. 물리적인 디바이스 설계로부터 최종 제품까지 다양한 대표적인 생산 스테이지들이 도시되었지만, 다른 실시예들에서는, 더 적은 스테이지들이 사용될 수 있거나 부가적인 스테이지들이 포함될 수 있다. 유사하게, 프로세스(700)는 프로세스(700)의 다양한 스테이지들을 수행하는 단일 엔티티 또는 하나 또는 그 초과와 엔티티들에 의해 수행될 수 있다.

[0071] [0075] 도 1a 내지 도 7 중 하나 또는 그 초과는 본 개시의 교시들에 따른 시스템들, 장치들 및/또는 방법들을 예시할 수 있지만, 본 개시는 이러한 예시된 시스템들, 장치들 및/또는 방법들로 제한되지 않는다. 본 개시의 실시예들은 메모리, 프로세서 및 온-칩 회로를 포함하는 집적 회로를 포함하는 임의의 디바이스에서 적합하게

사용될 수 있다.

[0072] [0076] 도 1a 내지 도 7 중 하나 또는 그 초과는 본 개시의 교시들에 따른 시스템들, 장치들 및/또는 방법들을 예시할 수 있지만, 본 개시는 이러한 예시된 시스템들, 장치들 및/또는 방법들로 제한되지 않는다. 본원에서 예시되거나 설명된 바와 같은 도 1a 내지 도 7 중 어느 한 도면의 하나 또는 그 초과와 기능들 또는 컴포넌트들은 도 1a 내지 도 7 중 다른 도면의 하나 또는 그 초과와 다른 부분들과 조합될 수 있다. 이에 따라, 본원에서 설명되는 어떠한 단일 실시예도 제한하는 것으로서 해석되어서는 안 되며, 본 개시의 실시예들은 본 개시의 교시들을 벗어남 없이 적합하게 조합될 수 있다.

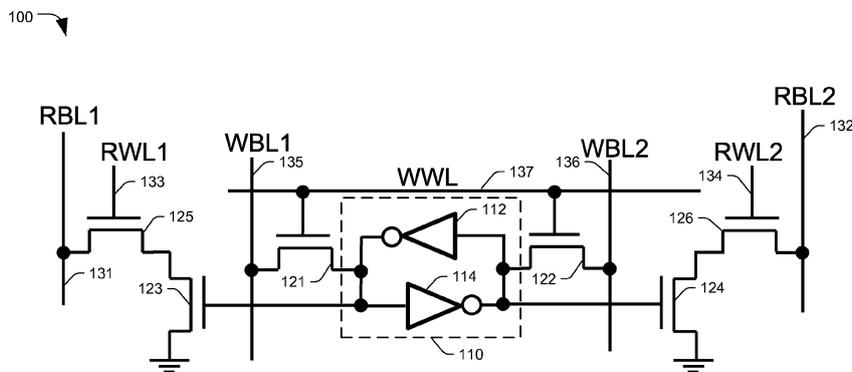
[0073] [0077] 본원에 개시된 실시예들과 관련하여 설명된 다양한 예시적인 로직 블록들, 구성들, 모듈들, 회로들, 및 알고리즘 단계들은, 전자 하드웨어, 프로세서에 의해 실행되는 컴퓨터 소프트웨어, 또는 이 둘의 조합들로서 구현될 수 있다는 것을 당업자는 추가로 인지할 것이다. 다양한 예시적인 컴포넌트들, 블록들, 구성들, 모듈들, 회로들 및 단계들은 일반적으로 이들의 기능성의 견지에서 위에서 설명되었다. 이러한 기능성이 하드웨어 또는 프로세서 실행 가능 명령들로서 구현되는지 여부는 전체 시스템 상에 부과되는 설계 제약들 및 특정 애플리케이션에 의존한다. 당업자들은, 설명된 기능성을 각각의 특정 애플리케이션마다 다양한 방식들로 구현할 수 있지만, 이러한 구현 결정들이 본 개시의 범위를 벗어나게 하는 것으로 해석되어선 안 된다.

[0074] [0078] 본원에서 개시된 실시예들과 관련하여 설명된 알고리즘 또는 방법의 단계들은 직접 하드웨어로, 프로세서에 의해 실행되는 소프트웨어 모듈로, 또는 이 둘의 조합으로 구현될 수 있다. 소프트웨어 모듈은 랜덤 액세스 메모리(RAM), 플래시 메모리, 판독-전용 메모리(ROM), 프로그래밍 가능 판독-전용 메모리(PROM), 소거 가능한 프로그래밍 가능 판독-전용 메모리(EPROM), 전기적으로 소거 가능한 프로그래밍 가능 판독-전용 메모리(EEPROM), 레지스터들, 하드 디스크, 제거 가능 디스크, 콤팩트 디스크 판독-전용 메모리(CD-ROM), 또는 당 분야에 알려진 임의의 다른 형태의 비-일시적인 저장 매체에 상주할 수 있다. 예시적인 저장 매체는 프로세서에 커플링되어, 프로세서는 저장 매체로부터 정보를 판독하고, 저장 매체에 정보를 기록할 수 있다. 대안으로, 저장 매체는 프로세서에 통합될 수 있다. 프로세서 및 저장 매체는 주문형 집적 회로(ASIC)에 상주할 수 있다. ASIC는 컴퓨팅 디바이스 또는 사용자 단말에 상주할 수 있다. 대안적으로, 프로세서 및 저장 매체는 컴퓨팅 디바이스 또는 사용자 단말에 별도의 컴포넌트들로서 상주할 수 있다.

[0075] [0079] 개시된 실시예들의 이전의 설명은 당업자가 개시된 실시예들을 실시하거나 이용하는 것을 가능케 하도록 제공된다. 이들 실시예들에 대한 다양한 변형들이 당업자들에게 쉽게 자명하게 될 것이며, 본원에서 정의되는 원리들은 본 개시의 범위로부터 벗어남 없이 다른 실시예들에 적용될 수 있다. 따라서, 본 개시는 본원에서 도시된 실시예들로 제한되도록 의도되는 것이 아니라, 다음의 청구항들에 의해 정의된 바와 같은 원리들 및 신규한 특징들에 부합하는 최광의의 가능 범위로 하여될 것이다.

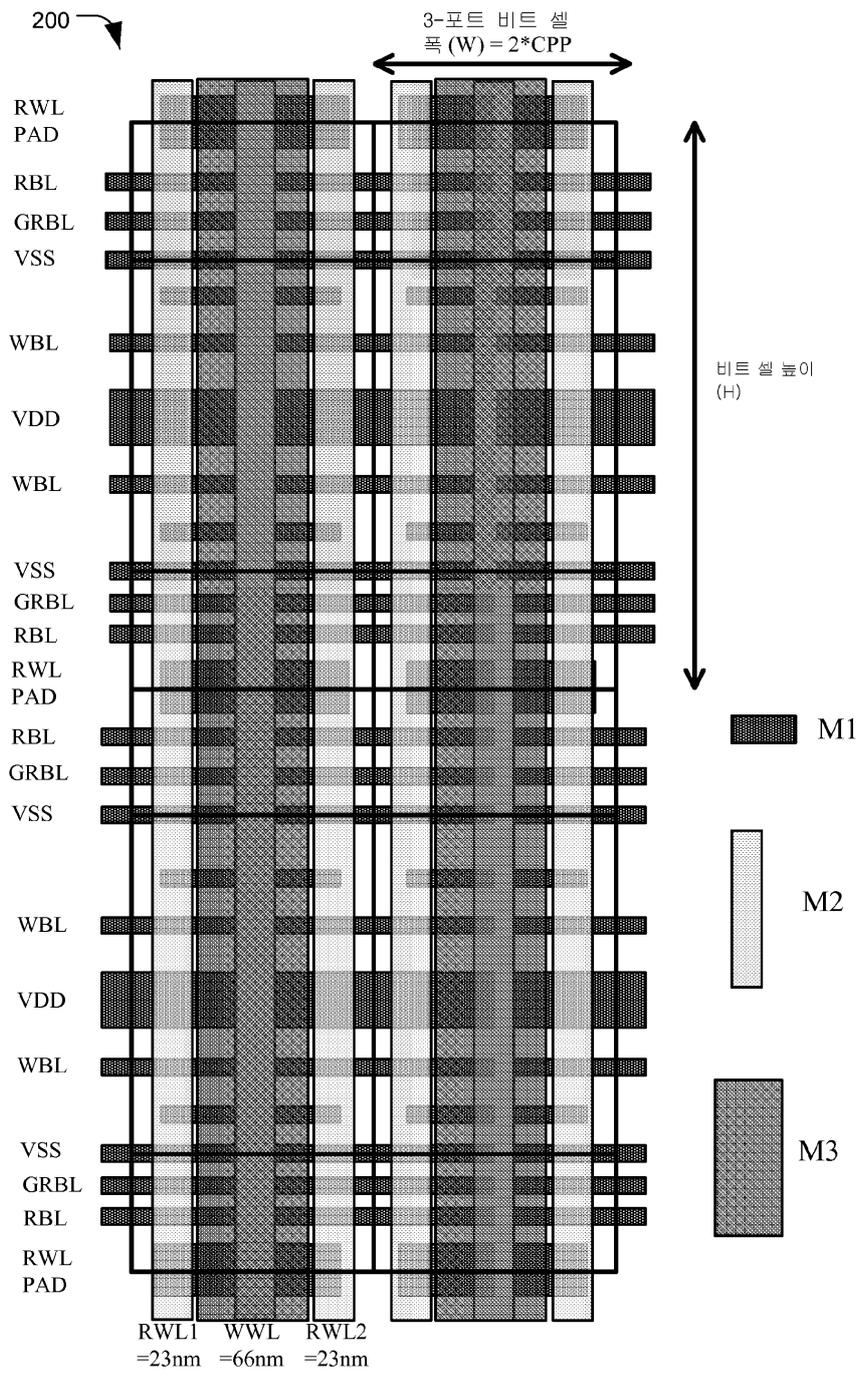
**도면**

**도면 1a**

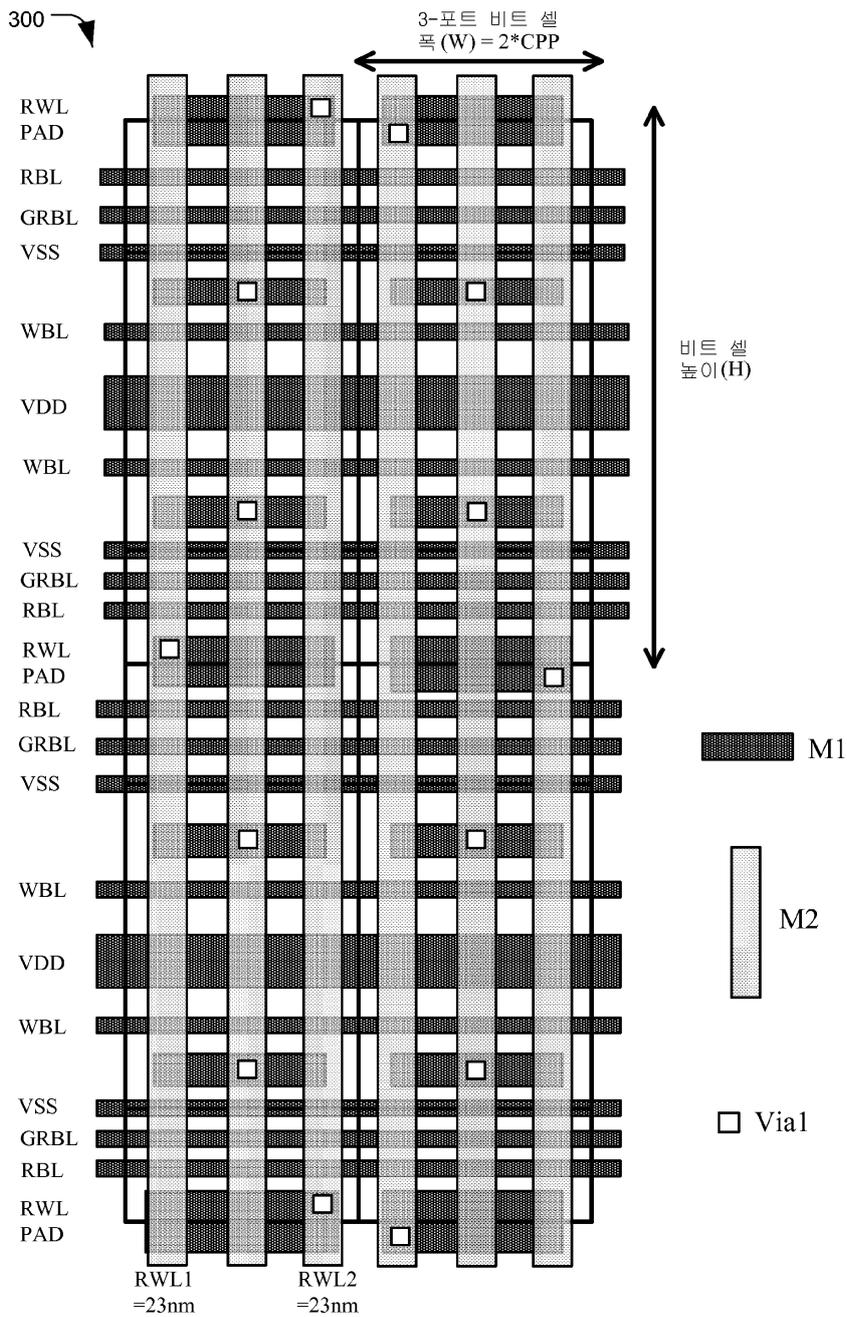




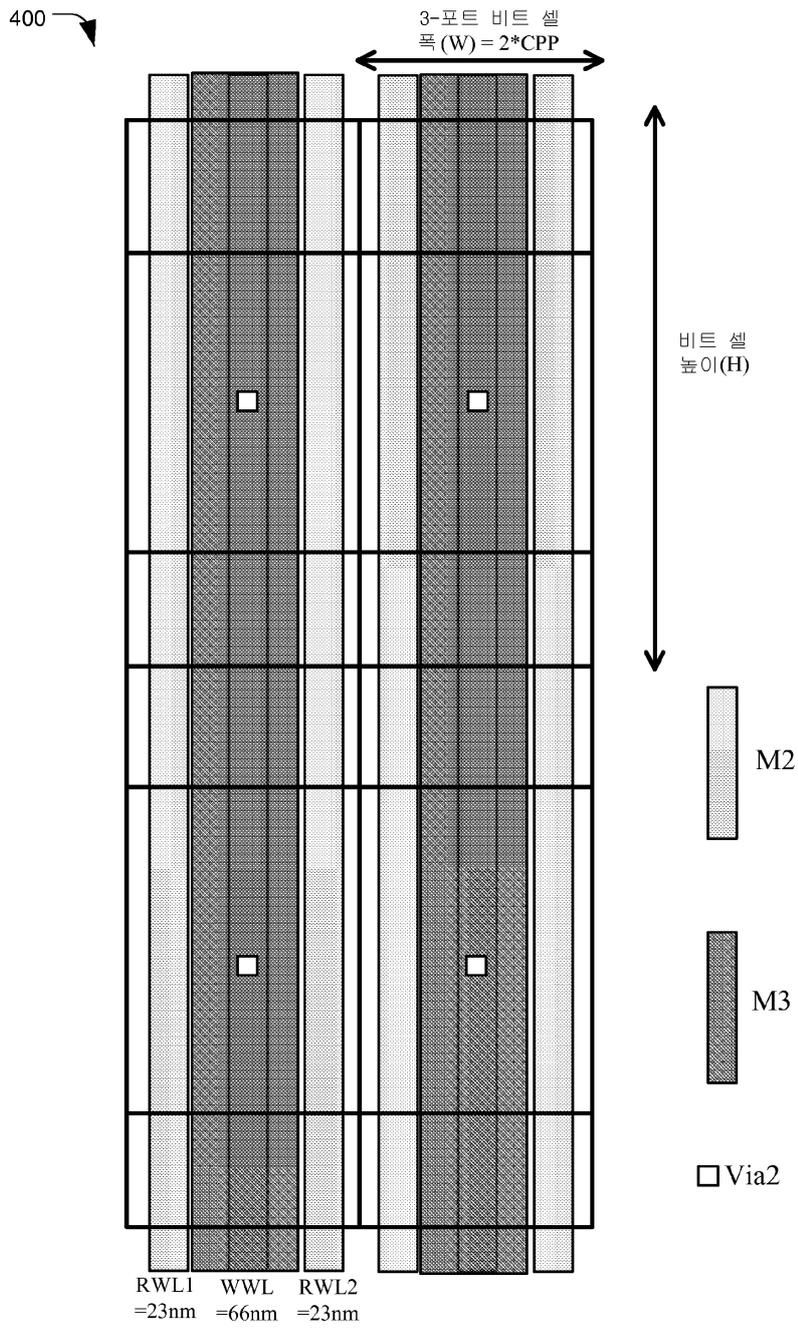
도면2



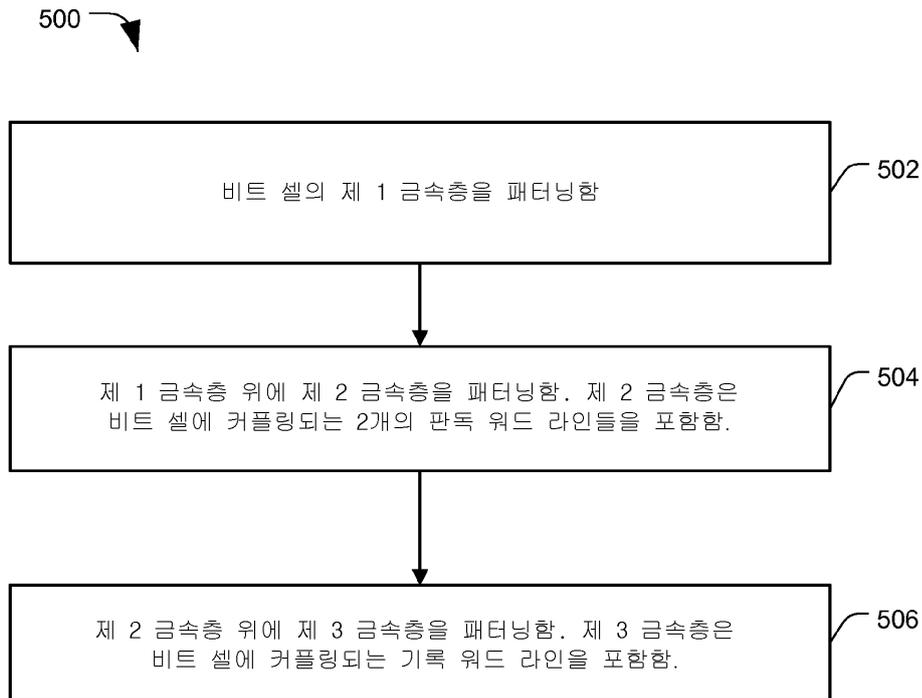
도면3



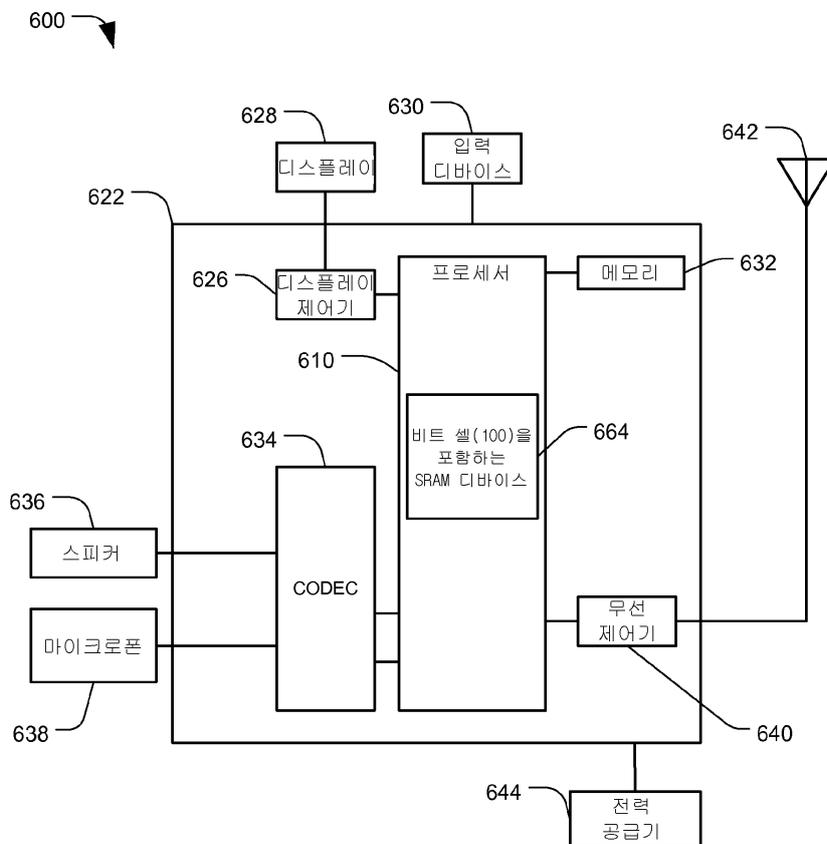
도면4



도면5



도면6



도면7

