

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年10月4日(04.10.2018)



(10) 国際公開番号

WO 2018/180968 A1

(51) 国際特許分類:

G02F 1/1368 (2006.01) H01L 21/336 (2006.01)
G09F 9/30 (2006.01) H01L 29/786 (2006.01)

(21) 国際出願番号: PCT/JP2018/011652

(22) 国際出願日: 2018年3月23日(23.03.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2017-068494 2017年3月30日(30.03.2017) JP

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).

(72) 発明者: 鈴木 正彦(SUZUKI Masahiko). 北川 英樹(KITAGAWA Hideki). 菊池 哲郎(KIKUCHI Tetsuo). 伊藤 俊克(ITO Toshiakatsu). 西宮 節治(NISHIMIYA Setsuji). 上田 輝幸(UEDA

Teruyuki). 原 健吾(HARA Kengo). 今井 元(IMAI Hajime). 大東 徹(DAITOH Tohru).

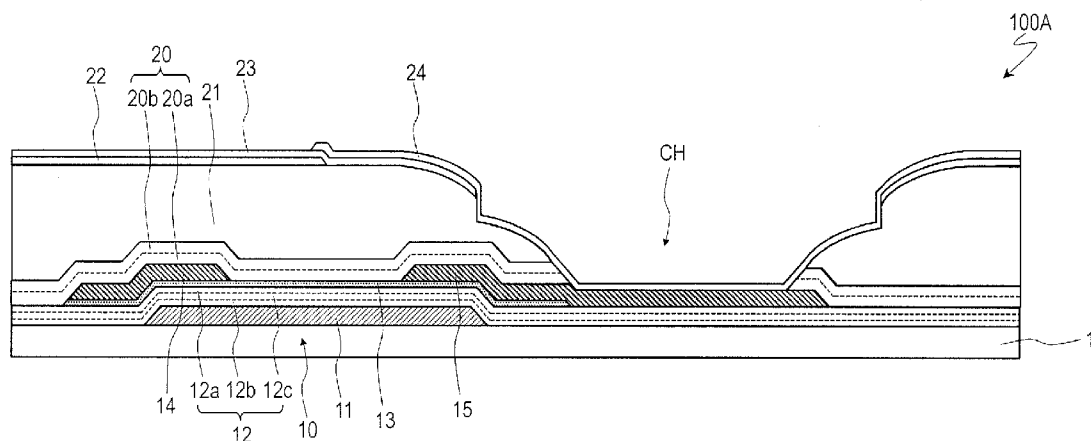
(74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: ACTIVE MATRIX SUBSTRATE AND LIQUID CRYSTAL DISPLAY PANEL

(54) 発明の名称: アクティブマトリクス基板および液晶表示パネル

[図1]



(57) Abstract: The active matrix substrate according to an embodiment of the present invention is provided with: a plurality of thin film transistors supported by a substrate; and an inorganic insulating layer covering the thin film transistors. Each of the thin film transistors has a gate electrode, oxide semiconductor layer, gate insulating layer, source electrode, and drain electrode. The gate insulating layer and/or inorganic insulating layer is a laminated insulating layer having a laminated structure including a silicon oxide layer and a silicon nitride layer. The laminated insulating layer also includes an intermediate layer that is provided between the silicon oxide layer and the silicon nitride layer, said intermediate layer having a refractive index n_C , which is higher than a refractive index n_A of the silicon oxide layer and lower than a refractive index n_B of the silicon nitride layer.

[続葉有]



SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 本発明の実施形態によるアクティブマトリクス基板は、基板に支持された複数の薄膜トランジスタと、複数の薄膜トランジスタを覆う無機絶縁層とを備える。各薄膜トランジスタは、ゲート電極、酸化物半導体層、ゲート絶縁層、ソース電極およびドレイン電極を有する。ゲート絶縁層および無機絶縁層のうちの少なくとも一方は、酸化シリコン層および窒化シリコン層を含む積層構造を有する積層絶縁層である。積層絶縁層は、酸化シリコン層と窒化シリコン層との間に設けられた中間層であって、酸化シリコン層の屈折率 n_A よりも高く、且つ、窒化シリコン層の屈折率 n_B よりも低い屈折率 n_C を有する中間層をさらに含む。

明 細 書

発明の名称：アクティブマトリクス基板および液晶表示パネル 技術分野

[0001] 本発明は、アクティブマトリクス基板に関し、特に、酸化物半導体ＴＦＴを備えたアクティブマトリクス基板に関する。また、本発明は、そのようなアクティブマトリクス基板を備えた液晶表示パネルにも関する。

背景技術

[0002] 液晶表示装置等に用いられるアクティブマトリクス基板は、画素毎に薄膜トランジスタ（Thin Film Transistor；以下、「ＴＦＴ」）などのスイッチング素子を備えている。このようなスイッチング素子としては、従来、アモルファスシリコン膜を活性層とするＴＦＴ（以下、「アモルファスシリコンＴＦＴ」）や多結晶シリコン膜を活性層とするＴＦＴ（以下、「多結晶シリコンＴＦＴ」）が広く用いられている。

[0003] 近年、ＴＦＴの活性層の材料として、アモルファスシリコンや多結晶シリコンに代わって、酸化物半導体を用いることが提案されている。このようなＴＦＴを「酸化物半導体ＴＦＴ」と称する。特許文献１には、 In-Ga-Zn-O 系の半導体膜をＴＦＴの活性層に用いたアクティブマトリクス基板が開示されている。

[0004] 酸化物半導体は、アモルファスシリコンよりも高い移動度を有している。このため、酸化物半導体ＴＦＴは、アモルファスシリコンＴＦＴよりも高速で動作することが可能である。また、酸化物半導体膜は、多結晶シリコン膜よりも簡便なプロセスで形成されるので、大面積が必要とされる装置にも適用できる。

[0005] 特許文献２は、ボトムゲート型の酸化物半導体ＴＦＴを覆う無機絶縁層が積層構造を有する構成を開示している。この無機絶縁層は、具体的には、酸化シリコン層と、窒化シリコン層とを含んでおり、窒化シリコン層は、 $35\text{ nm} \sim 75\text{ nm}$ の厚さを有する。特許文献２では、このような構成により、

非表示部に配置された酸化物半導体 T F T の動作不良が抑制されるとされている。

- [0006] また、特許文献 2 には、ゲート電極を覆うゲート絶縁層が積層構造を有する構成も開示されている。具体的には、ゲート絶縁層が、窒化シリコン層と、酸化シリコン層とを含む構成が開示されている。

先行技術文献

特許文献

- [0007] 特許文献 1：特開 2 0 1 2 - 1 3 4 4 7 5 号公報
特許文献 2：国際公開第 2 0 1 4 / 0 8 0 8 2 6 号

発明の概要

発明が解決しようとする課題

- [0008] しかしながら、本願発明者の検討によれば、無機絶縁層およびゲート絶縁層の少なくとも一方が上述したような積層構造を有していると、マザー基板の面内で、斜め方向からの観察時の色変化（斜め視色変化：Off-Angle Color Shift）や色味（白均一性：WU）にばらつきが生じることがわかった。これは、無機絶縁層およびゲート絶縁層のそれぞれを構成する各層（絶縁層）の厚さの面内ばらつきが、干渉色（複数の絶縁層の光学干渉による）の違いとして視認されるからである。
- [0009] 実際に液晶表示パネルを製造する際、マザー基板の面内での絶縁層の厚さのばらつきの発生を避けることは非常に困難である。近年では、面取り数（1 枚のマザーガラスから取れる基板数）を増やすために、マザーガラス（マザー基板）の大型化が進んでおり、上述した色味のばらつきは、マザー基板のサイズが大きくなるにつれて顕著になる。面内で色味が大きくばらついているマザー基板を分断して作製された液晶表示パネルは、パネル間および／またはパネル面内で色味が大きくばらつくことになる。
- [0010] 本発明は、上記問題に鑑みてなされたものであり、その目的は、酸化物半導体 T F T と積層構造を有するゲート絶縁層および／または無機絶縁層とを

備えたアクティブマトリクス基板を含む液晶表示パネルを製造する際の色味のばらつきを抑制することにある。

課題を解決するための手段

- [0011] 本発明の実施形態によるアクティブマトリクス基板は、基板と、前記基板に支持された複数の薄膜トランジスタと、前記複数の薄膜トランジスタを覆う無機絶縁層と、を備えたアクティブマトリクス基板であって、前記複数の薄膜トランジスタのそれぞれは、ゲート電極と、前記ゲート電極に対向する酸化物半導体層と、前記ゲート電極および前記酸化物半導体層の間に位置するゲート絶縁層と、前記酸化物半導体層に電氣的に接続されたソース電極およびドレイン電極と、を有し、前記ゲート絶縁層および前記無機絶縁層のうちの少なくとも一方は、酸化シリコン層および窒化シリコン層を含む積層構造を有する積層絶縁層であり、前記積層絶縁層は、前記酸化シリコン層と前記窒化シリコン層との間に設けられた中間層であって、前記酸化シリコン層の屈折率 n_A よりも高く、且つ、前記窒化シリコン層の屈折率 n_B よりも低い屈折率 n_C を有する中間層をさらに含む。
- [0012] ある実施形態において、前記中間層は、窒化酸化シリコン層である。
- [0013] ある実施形態において、前記酸化シリコン層の屈折率 n_A 、前記窒化シリコン層の屈折率 n_B および前記中間層の屈折率 n_C は、 $1.13 \cdot n_A \leq n_C \leq 0.93 \cdot n_B$ の関係を満足する。
- [0014] ある実施形態において、前記酸化シリコン層は、前記酸化物半導体層と前記中間層との間に位置する。
- [0015] ある実施形態において、前記ゲート絶縁層および前記無機絶縁層のうちの前記ゲート絶縁層が、前記中間層を含む前記積層絶縁層である。
- [0016] ある実施形態において、前記ゲート絶縁層および前記無機絶縁層のうちの前記無機絶縁層が、前記中間層を含む前記積層絶縁層である。
- [0017] ある実施形態において、前記ゲート絶縁層および前記無機絶縁層のそれぞれが、前記中間層を含む前記積層絶縁層である。
- [0018] 本発明の実施形態によるアクティブマトリクス基板は、基板と、前記基板

に支持された複数の薄膜トランジスタと、前記複数の薄膜トランジスタを覆う無機絶縁層と、を備えたアクティブマトリクス基板であって、前記複数の薄膜トランジスタのそれぞれは、ゲート電極と、前記ゲート電極に対向する酸化物半導体層と、前記ゲート電極および前記酸化物半導体層の間に位置するゲート絶縁層と、前記酸化物半導体層に電氣的に接続されたソース電極およびドレイン電極と、を有し、前記ゲート絶縁層および前記無機絶縁層のうちの少なくとも一方は、酸化シリコン層である第1層と、前記第1層の屈折率 n_D と異なる屈折率 n_E を有する第2層とを含む積層構造を有する積層絶縁層であり、前記第1層の屈折率 n_D と前記第2層の屈折率 n_E との差が0.3以下である。

[0019] ある実施形態において、前記第2層は、窒化酸化シリコン層である。

[0020] ある実施形態において、前記第1層は、前記酸化物半導体層と前記第2層との間に位置する。

[0021] ある実施形態において、前記ゲート絶縁層および前記無機絶縁層のうちの前記ゲート絶縁層が、前記積層絶縁層である。

[0022] ある実施形態において、前記ゲート絶縁層および前記無機絶縁層のうちの前記無機絶縁層が、前記積層絶縁層である。

[0023] ある実施形態において、前記ゲート絶縁層および前記無機絶縁層のそれぞれが、前記積層絶縁層である。

[0024] ある実施形態において、前記酸化物半導体層は、 $In-Ga-Zn-O$ 系半導体を含む。

[0025] ある実施形態において、前記 $In-Ga-Zn-O$ 系半導体は、結晶質部分を含む。

[0026] 本発明の実施形態による液晶表示パネルは、上述したいずれかの構成を有するアクティブマトリクス基板と、前記アクティブマトリクス基板に対向する対向基板と、前記アクティブマトリクス基板および前記対向基板の間に設けられた液晶層と、を備える。

発明の効果

[0027] 本発明の実施形態によると、酸化物半導体ＴＦＴと積層構造を有するゲート絶縁層および／または無機絶縁層とを備えたアクティブマトリクス基板を含む液晶表示パネルを製造する際の色味のばらつきを抑制することができる。

図面の簡単な説明

[0028] [図1]本発明の実施形態によるアクティブマトリクス基板１００Ａを模式的に示す断面図である。

[図2]マザー基板２Ｍ上に形成された絶縁層３が厚さにばらつきを有している様子を示す図である。

[図3]（ａ）は、アクティブマトリクス基板１００Ａにおける積層構造を模式的に示す図であり、（ｂ）は、比較例のアクティブマトリクス基板９００における積層構造を模式的に示す図である。

[図4]実施例１のマザー基板と、比較例のマザー基板とについて、マザー基板の面内における白均一性（ＷＵ）を比較した結果を示すグラフである。

[図5]本発明の実施形態によるアクティブマトリクス基板１００Ａを備えた液晶表示パネル３００を模式的に示す断面図である。

[図6]（ａ）および（ｂ）は、液晶表示パネル３００の製造工程を模式的に示す斜視図である。

[図7]（ａ）および（ｂ）は、液晶表示パネル３００の製造工程を模式的に示す斜視図である。

[図8]（ａ）～（ｆ）は、第１マザー基板１００Ｍの作製工程を模式的に示す断面図である。

[図9]（ａ）～（ｃ）は、第１マザー基板１００Ｍの作製工程を模式的に示す断面図である。

[図10]（ａ）および（ｂ）は、第１マザー基板１００Ｍの作製工程を模式的に示す断面図である。

[図11]（ａ）および（ｂ）は、第１マザー基板１００Ｍの作製工程を模式的に示す断面図である。

[図12]本発明の実施形態によるアクティブマトリクス基板100Bを模式的に示す断面図である。

[図13]本発明の実施形態によるアクティブマトリクス基板100Cを模式的に示す断面図である。

[図14]本発明の実施形態によるアクティブマトリクス基板100Dを模式的に示す断面図である。

[図15](a)は、アクティブマトリクス基板100Dにおける積層構造を模式的に示す図であり、(b)は、比較例のアクティブマトリクス基板900における積層構造を模式的に示す図である。

[図16]実施例2のマザー基板と、比較例のマザー基板とについて、マザー基板の面内における白均一性(WU)を比較した結果を示すグラフである。

[図17]本発明の実施形態によるアクティブマトリクス基板100Eを模式的に示す断面図である。

[図18]本発明の実施形態によるアクティブマトリクス基板100Fを模式的に示す断面図である。

[図19](a)は、アクティブマトリクス基板100Fにおける積層構造を模式的に示す図であり、(b)は、比較例のアクティブマトリクス基板900における積層構造を模式的に示す図である。

[図20]実施例3のマザー基板と、比較例のマザー基板とについて、マザー基板の面内における白均一性(WU)を比較した結果を示すグラフである。

[図21]本発明の実施形態によるアクティブマトリクス基板700の平面構造の一例を示す模式的な平面図である。

[図22]アクティブマトリクス基板700における結晶質シリコンTF710Aおよび酸化物半導体TF710Bの断面図である。

発明を実施するための形態

[0029] 以下、図面を参照しながら本発明の実施形態を説明する。なお、本発明は以下の実施形態に限定されるものではない。

[0030] (実施形態1)

図1を参照しながら、本実施形態におけるアクティブマトリクス基板100Aを説明する。図1は、アクティブマトリクス基板100Aを模式的に示す断面図である。図1には、FFS (Fringe Field Switching) モードの液晶表示パネルに用いられるアクティブマトリクス基板100Aを例示している。

[0031] アクティブマトリクス基板100Aは、図1に示すように、基板1と、基板1に支持された複数の薄膜トランジスタ(TFT)10と、複数の薄膜トランジスタ10を覆う無機絶縁層20とを備える。図1は、液晶表示パネルの1つの画素に対応した領域を示しており、各画素に設けられた1つのTFT10が図示されている。アクティブマトリクス基板100Aは、さらに、有機絶縁層21、共通電極22、誘電体層23および画素電極24を備える。

[0032] 基板1は、絶縁性を有する透明基板である。基板1は、例えばガラス基板である。

[0033] 複数のTFT10のそれぞれは、ゲート電極11、ゲート絶縁層12、酸化物半導体層13、ソース電極14およびドレイン電極15を有する。つまり、TFT10は、酸化物半導体TFTである。

[0034] ゲート電極11は、基板1上に設けられている。ゲート電極11は、不図示の走査配線(ゲート配線)に電氣的に接続されており、走査配線から走査信号(ゲート信号)を供給される。

[0035] ゲート絶縁層12は、ゲート電極11を覆っている。本実施形態では、ゲート絶縁層12は、後述するように積層構造を有する。

[0036] 酸化物半導体層13は、ゲート絶縁層12上に設けられている。酸化物半導体層13は、ゲート絶縁層12を介してゲート電極11に対向する。言い換えると、ゲート絶縁層12は、ゲート電極11および酸化物半導体層13の間に位置している。

[0037] ソース電極14およびドレイン電極15は、酸化物半導体層13に電氣的に接続されている。ソース電極14は、不図示の信号配線(ソース配線)に

電氣的に接続されており、信号配線から表示信号（ソース信号）を供給される。また、ドレイン電極 15 は、画素電極 24 に電氣的に接続されている。

[0038] 無機絶縁層（パッシベーション膜）20 は、酸化物半導体層 13、ソース電極 14 およびドレイン電極 15 を覆っている。本実施形態では、無機絶縁層 20 は、後述するように積層構造を有する。

[0039] 有機絶縁層（平坦化膜）21 は、無機絶縁層 20 上に設けられている。有機絶縁層 21 は、例えば感光性樹脂材料から形成されている。

[0040] 共通電極 22 は、有機絶縁層 21 上に設けられている。共通電極 22 は、表示領域全体にわたって形成された単一の導電膜であり、複数の画素で共通の電位を与えられる。共通電極 22 は、透明な導電材料（例えばITOやIZO）から形成されている。

[0041] 誘電体層 23 は、共通電極 22 を覆うように設けられている。誘電体層 23 は、例えば、窒化シリコン（SiNx）層である。

[0042] 画素電極 24 は、画素ごとに誘電体層 23 上に設けられている。画素電極 24 は、透明な導電材料（例えばITOやIZO）から形成されている。画素電極 24 は、無機絶縁層 20、有機絶縁層 21 および誘電体層 23 に形成されたコンタクトホールCHにおいて、TFT10のドレイン電極15に接続されている。ここでは図示しないが、画素電極 24 には少なくとも1つのスリットが形成されている。

[0043] 続いて、本実施形態におけるゲート絶縁層 12 および無機絶縁層 20 の構成をより具体的に説明する。

[0044] ゲート絶縁層 12 は、酸化シリコン（SiOx）層 12a および窒化シリコン（SiNx）層 12b を含む積層構造を有する積層絶縁層である。図1に示す例では、窒化シリコン層 12b が下層として配置され、酸化シリコン層 12a が上層として配置されている。

[0045] 無機絶縁層 20 は、酸化シリコン（SiOx）層 20a および窒化シリコン（SiNx）層 20b を含む積層構造を有する積層絶縁層である。図1に示す例では、酸化シリコン層 20a が下層として配置され、窒化シリコン層

20bが上層として配置されている。

[0046] また、本実施形態では、ゲート絶縁層12は、図1に示すように、酸化シリコン層12aと窒化シリコン層12bとの間に設けられた中間層12cをさらに含む。中間層12cは、酸化シリコン層12aの屈折率 n_A よりも高く、且つ、窒化シリコン層12bの屈折率 n_B よりも低い屈折率 n_C を有する（つまり $n_A < n_B < n_C$ である）。

[0047] ゲート絶縁層12が上述した中間層12cを含むことにより、干渉色の違いによる色味のばらつきを抑制することができる。以下、この理由をより詳しく説明する。

[0048] マザー基板上にCVD法やスパッタ法などを用いて形成される絶縁層（窒化シリコン層や酸化シリコン層）は、マザー基板の面内で厚さにばらつきを有する。典型的には、図2に模式的に示すように、絶縁層3の厚さは、マザー基板2Mの中央から外周側に向かうにつれて大きくなる。そのため、マザー基板2Mのサイズが大きくなるほど、絶縁層3の厚さの面内ばらつきが大きくなる。従って、マザー基板2Mのサイズが大きくなるほど、マザー基板2Mの面内での干渉色の違いによる色味のばらつきが大きくなる。

[0049] 本実施形態では、ゲート絶縁層12が、酸化シリコン層12aの屈折率 n_A よりも高く、且つ、窒化シリコン層12bの屈折率 n_B よりも低い屈折率 n_C を有する中間層12cを含んでいるので、ゲート絶縁層12の積層構造に起因する光学干渉が発生しにくくなる。そのため、色味のばらつきが抑制される。

[0050] 図3（a）に、本実施形態のアクティブマトリクス基板100Aにおける積層構造を模式的に示し、図3（b）に、比較例のアクティブマトリクス基板900における積層構造を模式的に示す。比較例のアクティブマトリクス基板900は、ゲート絶縁層12が中間層12cを含んでいない点において、本実施形態のアクティブマトリクス基板100と異なっている。図3（a）および（b）中には、各絶縁層の屈折率の例が併せて示されている。

[0051] 図3（a）に示す例では、アクティブマトリクス基板100Aのゲート絶

縁層 12 は、屈折率 n_A が 1.41 の酸化シリコン層 12a と屈折率 n_B が 1.87 の窒化シリコン層 12b との間に、屈折率 n_C が 1.69 の中間層 12c を含んでいる。これに対し、図 3 (b) に示す例では、比較例のアクティブマトリクス基板 900 のゲート絶縁層 12 は、屈折率 n_A が 1.41 の酸化シリコン層 12a と屈折率 n_B が 1.87 の窒化シリコン層 12b のみから構成されている。なお、図 3 (a) および (b) のいずれの例についても、無機絶縁層 20 の酸化シリコン層 20a、窒化シリコン層 20b および有機絶縁層 21 の屈折率 n は、それぞれ 1.41、1.87 および 1.55 である。

[0052] 各絶縁層の屈折率を、図 3 (a) に示した例のように設定したマザー基板（実施例 1）と、図 3 (b) に示した例のように設定したマザー基板（比較例）とについて、マザー基板の面内における白均一性（WU）を比較した結果を図 4 に示す。図 4 には、比較例および実施例 1 について、色味のばらつき (du' v') を相対比（比較例を 1.00 とする）で示している。なお、比較例と実施例 1 とで、各絶縁層の厚さは基本的には同じとした。ただし、比較例のゲート絶縁層 12 の窒化シリコン層 12b の厚さは、実施例 1 のゲート絶縁層 12 の窒化シリコン層 12b の厚さと中間層 12c の厚さとの合計と同じにした。

[0053] 図 4 から、実施例 1 では、比較例に比べ、白均一性が約 2 倍に向上（色味のばらつきが約半分に低減）していることがわかる。

[0054] 中間層 12c としては、例えば、窒化酸化シリコン (SiO_xN_y : $x \geq y$ であってもよいし、 $x < y$ であってもよい) 層を好適に用いることができる。窒化酸化シリコンの屈折率は、酸素含有率が高くなるほど低くなり（つまり酸化シリコンの屈折率に近くなり）、窒素含有率が高くなるほど高くなる（つまり窒化シリコンの屈折率に近くなる）。そのため、中間層 12c として窒化酸化シリコン層を用いることにより、酸化シリコン層 12a の屈折率 n_A よりも高く、且つ、窒化シリコン層 12b の屈折率 n_B よりも低い、所望の屈折率 n_C を容易に実現することができる。また、中間層 12c として窒

化酸化シリコン層を用いることにより、中間層 12c の形成が容易となる。
窒化シリコン層 12b の形成工程と、酸化シリコン層 12a の形成工程との間に、窒化酸化シリコン層 12c の形成工程を行うことは比較的容易だからである（例えば同じチャンバ内で連続して成膜することができる）。

[0055] 実施例 1 について、ゲート絶縁層 12 の酸化シリコン層 12a、窒化シリコン層 12b および中間層（窒化酸化シリコン層）12c の組成分析を行った結果を、下記表 1 に示す。組成分析は、XPS（X線光電子分光法）により行った。なお、中間層 12c として窒化酸化シリコン層を用いる場合の組成比が、表 1 に示すものに限定されないのはいうまでもない。

[0056] [表1]

	Si [atom%]	O [atom%]	N [atom%]
酸化シリコン層	33	67	—
窒化酸化シリコン層	42.5	23.5	34
窒化シリコン層	47	—	53

[0057] 中間層 12c として、窒化酸化シリコン層以外の絶縁層を用いてもよい。
例えば、下層の窒化シリコン層 12b よりも屈折率が低いさらなる窒化シリコン層を中間層 12c として用いることもできる。窒化シリコン膜は、成膜条件や組成によって異なる屈折率を有し得ることが知られているので、下層の窒化シリコン層 12b とは異なる成膜条件・組成でさらなる窒化シリコン層を形成して中間層 12c とすることができる。

[0058] 中間層 12c の屈折率 n_c が、酸化シリコン層 12a の屈折率 n_a または窒化シリコン層 12b の屈折率 n_b に近すぎると、色味のばらつきを抑制する効果が十分に得られないことがある。色味のばらつきを抑制する効果を十分に得るためには、酸化シリコン層 12a の屈折率 n_a 、窒化シリコン層 12b の屈折率 n_b および中間層 12c の屈折率 n_c は、 $1.13 \cdot n_a \leq n_c \leq 0.93 \cdot n_b$ の関係を満足することが好ましい。

[0059] 図 1 に示す例では、ゲート絶縁層 12 において、窒化シリコン層 12b が下層として配置され、酸化シリコン層 12a が上層として（つまり酸化物半

導体層 1 3 と中間層 1 2 c との間に) 配置されている。酸化物半導体層 1 3 と接する上層側に酸化シリコン層 1 2 a が配置されることにより、酸化物半導体層 1 3 の酸素欠損を低減する効果が得られる。

[0060] また、図 1 に示す例では、無機絶縁層 2 0 において、酸化シリコン層 2 0 a が下層として配置され、窒化シリコン層 2 0 b が上層として配置されている。酸化物半導体層 1 3 と接する下層側に酸化シリコン層 2 0 a が配置されることにより、酸化物半導体層 1 3 の酸素欠損を低減する効果が得られる。

[0061] 上述したように、本発明の実施形態によれば、酸化物半導体 T F T と積層構造を有するゲート絶縁層を備えたアクティブマトリクス基板を含む液晶表示パネルを製造する際の色味のばらつきを抑制することができる。

[0062] なお、図 1 には、共通電極 2 2 上に誘電体層 2 3 を介して画素電極 2 4 が設けられる配置を例示したが、これとは逆に、画素電極 2 4 上に誘電体層 2 3 を介して共通電極 2 2 が設けられてもよい。その場合、共通電極 2 2 に少なくとも 1 つのスリットが形成される。

[0063] また、本実施形態では、F F S モードの液晶表示パネル用のアクティブマトリクス基板 1 0 0 A を例として説明を行ったが、本発明の実施形態は、他の表示モード（例えば T N (Twisted Nematic) や V A (Vertical Alignment) モード) の液晶表示パネル用のアクティブマトリクス基板にも好適に用いられる。

[0064] [液晶表示パネルおよびその製造方法]

図 5 に、本発明の実施形態によるアクティブマトリクス基板 1 0 0 A を備えた液晶表示パネル 3 0 0 を示す。液晶表示パネル 3 0 0 は、図 5 に示すように、アクティブマトリクス基板 1 0 0 A と、アクティブマトリクス基板 1 0 0 A に対向する対向基板 2 0 0 と、アクティブマトリクス基板 1 0 0 A および対向基板 2 0 0 の間に設けられた液晶層 8 0 とを備える。

[0065] アクティブマトリクス基板 1 0 0 A は、例示したような F F S モード用であってもよいし、他の表示モード用であってもよい。アクティブマトリクス基板 1 0 0 A は、各画素に設けられた酸化物半導体 T F T 1 0 および画素電

極 24 を有する。酸化物半導体 TFT10 のゲート絶縁層 12 は、酸化シリコン層 12a、窒化シリコン層 12b および中間層 12c を含む積層構造を有する。酸化物半導体 TFT10 を覆う無機絶縁層 20 は、酸化シリコン層 20a および窒化シリコン層 20b を含む積層構造を有する。FFS モードの場合、アクティブマトリクス基板 100A はさらに共通電極 22 を有する。TN モードや VA モードの場合、アクティブマトリクス基板 100A は、共通電極 22 を有しない。

[0066] 対向基板 200 は、典型的には、カラーフィルタおよび遮光層（ブラックマトリクス）を有する。そのため、対向基板 200 は「カラーフィルタ基板」と呼ばれることもある。TN モードや VA モードの場合、対向基板 200 は、画素電極 24 に対向する対向電極（共通電極）を有する。

[0067] アクティブマトリクス基板 100A および対向基板 200 のそれぞれの液晶層 80 側の表面には、配向膜が設けられる。FFS モードおよび TN モードの場合、水平配向膜が設けられる。VA モードの場合、垂直配向膜が設けられる。

[0068] 図 6 および図 7 を参照しながら、液晶表示パネル 300 の製造方法を説明する。

[0069] まず、図 6 (a) に示すように、アクティブマトリクス基板 100A を複数枚含むマザー基板（以下では「第 1 マザー基板」と呼ぶ）100M を用意する。第 1 マザー基板 100M を用意（作製）する方法については、後述する。

[0070] また、第 1 マザー基板 100M を用意するのと別途に、図 6 (b) に示すように、対向基板 200 を複数枚含むマザー基板（以下では「第 2 マザー基板」と呼ぶ）200M を用意する。対向基板 200 は、カラーフィルタ基板を作製する公知の種々の方法で作製することができる。

[0071] 次に、図 7 (a) に示すように、第 1 マザー基板 100M と第 2 マザー基板 200M とを貼り合わせることによって、液晶表示パネル 300 を複数枚含むマザーパネル 300M を作製する。第 1 マザー基板 100M と第 2 マザー

基板 200M とは、液晶表示パネル 300 の表示領域を包囲するように形成されたシール部（不図示）によって接着・固定される。

[0072] その後、図 7（b）に示すように、マザーパネル 300M を分断することによって、液晶表示パネル 300 を得る。アクティブマトリクス基板 100A と対向基板 200 との間の液晶層 80 は、滴下法または真空注入法によって形成することができる。

[0073] 続いて、図 8、図 9、図 10 および図 11 を参照しながら、第 1 マザー基板 100M を作製（用意）する方法を説明する。

[0074] まず、図 8（a）に示すように、基板 1 を複数枚含むサイズの絶縁性基板 1M を用意する。

[0075] 次に、図 8（b）に示すように、基板 1 に対応する領域ごとに絶縁性基板 1M 上にゲート電極 11 を形成する。このとき、走査配線も同時に形成される。例えば、絶縁性基板 1M 上に導電膜を堆積し、この導電膜をフォトリソグラフィプロセスで所望の形状にパターニングすることによって、ゲート電極 11 および走査配線を形成することができる。ゲート電極 11 および走査配線は、例えば、厚さ 30nm の TaN 層および厚さ 300nm の W 層がこの順で積層された積層構造を有する。

[0076] 続いて、ゲート電極 11 および走査配線を覆うゲート絶縁層 12 を形成する。具体的には、まず、図 8（c）に示すように、ゲート電極 12 および走査配線を覆う窒化シリコン層 12b を、例えば CVD 法を用いて形成する。窒化シリコン層 12b の厚さは、例えば 200nm 以上 400nm 以下である。続いて、図 8（d）に示すように、窒化シリコン層 12b 上に中間層 12c（ここでは窒化酸化シリコン層）を、例えば CVD 法を用いて形成する。窒化酸化シリコン層 12c の厚さは、例えば 10nm 以上 100nm 以下である。その後、図 8（e）に示すように、窒化酸化シリコン層 12c 上に酸化シリコン層 12a を、例えば CVD 法を用いて形成する。酸化シリコン層 12a の厚さは、例えば 10nm 以上 100nm 以下である。

[0077] 次に、図 8（f）に示すように、ゲート絶縁層 12 上に、ゲート絶縁層 1

2を介してゲート電極11に対向する酸化物半導体層13を形成する。例えば、ゲート絶縁層12上に酸化物半導体膜を堆積し、この酸化物半導体膜をフォトリソグラフィプロセスで所望の形状にパターニングすることによって、酸化物半導体層13を形成する。酸化物半導体層13は、例えば、厚さ50nmのIn-Ga-Zn-O系の半導体層である。

[0078] 続いて、図9(a)に示すように、酸化物半導体層13に電氣的に接続されるソース電極14およびドレイン電極15を形成する。このとき、信号配線も同時に形成される。例えば、酸化物半導体13およびゲート絶縁層12上に導電膜を堆積し、この導電膜をフォトリソグラフィプロセスで所望の形状にパターニングすることによって、ソース電極14、ドレイン電極15および信号配線を形成することができる。ソース電極14、ドレイン電極15および信号配線は、例えば、厚さ30nmのTi層、厚さ200nmのAl層および厚さ100nmのTi層がこの順で積層された積層構造を有する。

[0079] 次に、酸化物半導体層13、ソース電極14、ドレイン電極15および信号配線を覆う無機絶縁層20を形成する。具体的には、まず、図9(b)に示すように、酸化物半導体層13などを覆う酸化シリコン層20aを、例えばCVD法を用いて形成する。酸化シリコン層20aの厚さは、例えば150nm以上400nm以下である。その後、図9(c)に示すように、酸化シリコン層20a上に窒化シリコン層20bを、例えばCVD法を用いて形成する。窒化シリコン層20bの厚さは、例えば30nm以上250nm以下である。無機絶縁層20の、後にコンタクトホールCHとなる領域には、開口部が形成されている。

[0080] 次に、図10(a)に示すように、無機絶縁層20上に、有機絶縁層21を形成する。有機絶縁層21は、例えば感光性樹脂材料から形成される。有機絶縁層21の、後にコンタクトホールCHとなる領域には、開口部が形成されている。

[0081] 続いて、図10(b)に示すように、有機絶縁層21上に共通電極22を形成する。例えば、有機絶縁層21上に透明導電膜を堆積し、この透明導電

膜をフォトリソグラフィプロセスで所望の形状にパターニングすることによって、共通電極 22 を形成することができる。共通電極 22 は、例えば、厚さ 100 nm の IZO 層である。

[0082] 次に、図 11 (a) に示すように、共通電極 22 を覆うように誘電体層 23 を形成する。誘電体層 23 は、例えば、厚さ 100 nm の窒化シリコン層である。誘電体層 23 の、コンタクトホール CH となる領域には、開口部が形成されている。

[0083] 続いて、図 11 (b) に示すように、誘電体層 23 上に画素電極 24 を形成する。例えば、誘電体層 23 上に透明導電膜を堆積し、この透明導電膜をフォトリソグラフィプロセスで所望の形状にパターニングすることによって、画素電極 24 を形成する。画素電極 24 は、例えば、厚さ 100 nm の IZO 層である。その後、画素電極 24 を覆うように全面に配向膜を形成することにより、アクティブマトリクス基板 100A が得られる。

[0084] 本発明の実施形態によれば、干渉色の違いによる色味のばらつきを抑制することができる。そのため、本発明の実施形態によれば、液晶表示パネルの品質を向上させることができるとともに、マザー基板の大型化を助長することができる。

[0085] (実施形態 2)

図 12 を参照しながら、本実施形態におけるアクティブマトリクス基板 100B を説明する。図 12 は、アクティブマトリクス基板 100B を模式的に示す断面図である。以下では、アクティブマトリクス基板 100B が、実施形態 1 におけるアクティブマトリクス基板 100A と異なる点を中心に説明を行う（以降の実施形態でも同様である）。

[0086] アクティブマトリクス基板 100B のゲート絶縁層 12 は、酸化シリコン (SiO_x) 層 12a および窒化シリコン (SiN_x) 層 12b を含む積層構造を有する。また、アクティブマトリクス基板 100B の無機絶縁層 20 は、酸化シリコン (SiO_x) 層 20a および窒化シリコン (SiN_x) 層 20b を含む積層構造を有する。

[0087] 本実施形態では、図12に示すように、無機絶縁層20が、酸化シリコン層20aとおよび窒化シリコン層20bとの間に設けられた中間層20cをさらに含む。中間層20cは、酸化シリコン層20aの屈折率 n_A よりも高く、且つ、窒化シリコン層20bの屈折率 n_B よりも低い屈折率 n_C を有する。

[0088] 無機絶縁層20が、上述したような中間層20cを含んでいることにより、無機絶縁層20の積層構造に起因する光学干渉が発生しにくくなる。そのため、色味のばらつきが抑制される。

[0089] 中間層20cとしては、ゲート絶縁層12の中間層12cについて説明したのと同様の理由から、窒化酸化シリコン(SiO_xN_y : $x \geq y$ であってもよいし、 $x < y$ であってもよい)層を好適に用いることができる。また、色味のばらつきを抑制する効果を十分に得るためには、酸化シリコン層20aの屈折率 n_A 、窒化シリコン層20bの屈折率 n_B および中間層20cの屈折率 n_C は、 $1.13 \cdot n_A \leq n_C \leq 0.93 \cdot n_B$ の関係を満足することが好ましい。

[0090] (実施形態3)

図13を参照しながら、本実施形態におけるアクティブマトリクス基板100Cを説明する。図13は、アクティブマトリクス基板100Cを模式的に示す断面図である。

[0091] アクティブマトリクス基板100Cのゲート絶縁層12は、酸化シリコン(SiO_x)層12aおよび窒化シリコン(SiN_x)層12bを含む積層構造を有する。また、アクティブマトリクス基板100Cの無機絶縁層20は、酸化シリコン(SiO_x)層20aおよび窒化シリコン(SiN_x)層20bを含む積層構造を有する。

[0092] 本実施形態では、図13に示すように、ゲート絶縁層12は、酸化シリコン層12aと窒化シリコン層12bとの間に設けられた中間層12cをさらに含む。中間層12cは、酸化シリコン層12aの屈折率 n_A よりも高く、且つ、窒化シリコン層12bの屈折率 n_B よりも低い屈折率 n_C を有する。また、無機絶縁層20は、酸化シリコン層20aとおよび窒化シリコン層20b

との間に設けられた中間層 20c をさらに含む。中間層 20c は、酸化シリコン層 20a の屈折率 n_A よりも高く、且つ、窒化シリコン層 20b の屈折率 n_B よりも低い屈折率 n_C を有する。

[0093] このように、本実施形態では、ゲート絶縁層 12 および無機絶縁層 20 の両方が、中間層 12c、20c を含む積層構造を有する。そのため、ゲート絶縁層 12 の積層構造に起因する光学干渉および無機絶縁層 20 の積層構造に起因する光学干渉が発生しにくくなる。そのため、色味のばらつきが抑えられる。

[0094] (実施形態 4)

図 14 を参照しながら、本実施形態におけるアクティブマトリクス基板 100D を説明する。図 14 は、アクティブマトリクス基板 100D を模式的に示す断面図である。

[0095] アクティブマトリクス基板 100D のゲート絶縁層 12 は、図 14 に示すように、第 1 層 12d と、第 2 層 12e とを含む積層構造を有する積層絶縁層である。第 1 層 12d は、酸化シリコン (SiO_x) 層である。第 2 層 12e は、第 1 層 12d の屈折率 n_D と異なる屈折率 n_E を有する。図 14 に示す例では、第 2 層 12e が下層として配置され、第 1 層 12d が上層として (つまり酸化物半導体層 13 と第 2 層 12e との間に) 配置されている。

[0096] 本実施形態では、第 1 層 12d の屈折率 n_D と第 2 層 12e の屈折率 n_E との差が 0.33 以下である。これにより、ゲート絶縁層 12 の積層構造に起因する光学干渉が発生しにくくなるので、色味のばらつきが抑制される。

[0097] 図 15 (a) に、本実施形態のアクティブマトリクス基板 100D における積層構造を模式的に示し、図 15 (b) に、比較例のアクティブマトリクス基板 900 における積層構造を模式的に示す。図 15 (a) および (b) 中には、各絶縁層の屈折率の例が併せて示されている。

[0098] 図 15 (a) に示す例では、アクティブマトリクス基板 100D のゲート絶縁層 12 は、屈折率 n_D が 1.41 の第 1 層 (酸化シリコン層) 12d と屈折率 n_E が 1.69 の第 2 層 12e とを含んでいる。これに対し、図 15 (b)

）に示す例では、比較例のアクティブマトリクス基板 900 のゲート絶縁層 12 は、屈折率 n_A が 1.41 の酸化シリコン層 12a と屈折率 n_B が 1.87 の窒化シリコン層 12b とを含んでいる。なお、図 15 (a) および (b) のいずれの例についても、無機絶縁層 20 の酸化シリコン層 20a、窒化シリコン層 20b および有機絶縁層 21 の屈折率 n は、それぞれ 1.41、1.87 および 1.55 である。

[0099] 各絶縁層の屈折率を、図 15 (a) に示した例のように設定したマザー基板（実施例 2）と、図 15 (b) に示した例のように設定したマザー基板（比較例）とについて、マザー基板の面内における白均一性（WU）を比較した結果を図 16 に示す。図 16 には、比較例および実施例 2 について、色味のばらつき (du' v') を相対比（比較例を 1.00 とする）で示している。なお、比較例と実施例 2 とで、各絶縁層の厚さは同じとした（実施例 2 のゲート絶縁層 12 の第 1 層 12d および第 2 層 12e の厚さは、それぞれ比較例のゲート絶縁層 12 の酸化シリコン層 12a および窒化シリコン層 12b の厚さと同じとした）。

[0100] 図 16 から、実施例 2 では、比較例に比べ、白均一性が約 2 倍に向上（色味のばらつきが約半分に低減）していることがわかる。

[0101] 第 2 層 12e としては、例えば、窒化酸化シリコン (SiO_xN_y : $x \geq y$ であってもよいし、 $x < y$ であってもよい) 層を好適に用いることができる。窒化酸化シリコンの屈折率は、酸素含有率が高くなるほど低くなり（つまり酸化シリコンの屈折率に近くなり）、窒素含有率が高くなるほど高くなる（つまり窒化シリコンの屈折率に近くなる）。そのため、第 2 層 12e して窒化酸化シリコン層を用いることにより、第 1 層 12d の屈折率 n_D との差が 0.33 以下の所望の屈折率 n_E を容易に実現することができる。また、第 2 層 12e として窒化酸化シリコン層を用いることにより、第 2 層 12e の形成が容易となる。なお、第 2 層 12e として、窒化酸化シリコン層以外の絶縁層を用いてもよい。

[0102] 色味のばらつきをいっそう抑制する観点からは、第 1 層 12d の屈折率 n_D

と第2層12eの屈折率 n_E との差が0.28以下であることがより好ましい。

[0103] 図14に示す例では、第2層12eが下層として配置され、第1層12dが上層として（つまり酸化物半導体層13と第2層12eとの間に）配置されている。酸化物半導体層13と接する上層側に第1層（酸化シリコン層）12dが配置されることにより、酸化物半導体層13の酸素欠損を低減する効果が得られる。

[0104] （実施形態5）

図17を参照しながら、本実施形態におけるアクティブマトリクス基板100Eを説明する。図17は、アクティブマトリクス基板100Eを模式的に示す断面図である。

[0105] アクティブマトリクス基板100Eの無機絶縁層20は、図17に示すように、第1層20dと、第2層20eとを含む積層構造を有する積層絶縁層である。第1層20dは、酸化シリコン（ SiO_x ）層である。第2層20eは、第1層20dの屈折率 n_D と異なる屈折率 n_E を有する。図17に示す例では、第2層20eが上層として配置され、第1層20dが下層として（つまり酸化物半導体層13と第2層20eとの間に）配置されている。

[0106] 本実施形態では、第1層20dの屈折率 n_D と第2層20eの屈折率 n_E との差が0.33以下である。これにより、無機絶縁層20の積層構造に起因する光学干渉が発生しにくくなるので、色味のばらつきが抑制される。

[0107] 第2層20eとしては、ゲート絶縁層12の第2層12eについて説明したのと同様の理由から、窒化酸化シリコン（ SiO_xN_y ： $x \geq y$ であってもよいし、 $x < y$ であってもよい）層を好適に用いることができる。また、色味のばらつきをいっそう抑制する観点からは、第1層20dの屈折率 n_D と第2層20eの屈折率 n_E との差が0.28以下であることがより好ましい。

[0108] （実施形態6）

図18を参照しながら、本実施形態におけるアクティブマトリクス基板100Fを説明する。図18は、アクティブマトリクス基板100Fを模式的

に示す断面図である。

[0109] アクティブマトリクス基板 100F のゲート絶縁層 12 は、図 18 に示すように、第 1 層 12d と、第 2 層 12e とを含む積層構造を有する積層絶縁層である。第 1 層 12d は、酸化シリコン (SiO_x) 層である。第 2 層 12e は、第 1 層 12d の屈折率 n_D と異なる屈折率 n_E を有する。図 18 に示す例では、第 2 層 12e が下層として配置され、第 1 層 12d が上層として（つまり酸化物半導体層 13 と第 2 層 12e との間に）配置されている。

[0110] また、アクティブマトリクス基板 100F の無機絶縁層 20 は、図 18 に示すように、第 1 層 20d と、第 2 層 20e とを含む積層構造を有する積層絶縁層である。第 1 層 20d は、酸化シリコン (SiO_x) 層である。第 2 層 20e は、第 1 層 20d の屈折率 n_D と異なる屈折率 n_E を有する。図 18 に示す例では、第 2 層 20e が上層として配置され、第 1 層 20d が下層として（つまり酸化物半導体層 13 と第 2 層 20e との間に）配置されている。

[0111] 本実施形態では、ゲート絶縁層 12 の第 1 層 12d の屈折率 n_D と第 2 層 12e の屈折率 n_E との差が 0.33 以下であり、無機絶縁層 20 の第 1 層 20d の屈折率 n_D と第 2 層 20e の屈折率 n_E との差が 0.33 以下である。そのため、ゲート絶縁層 12 の積層構造に起因する光学干渉および無機絶縁層 20 の積層構造に起因する光学干渉が発生しにくくなるので、色味のばらつきが抑えられる。

[0112] 図 19 (a) に、本実施形態のアクティブマトリクス基板 100F における積層構造を模式的に示し、図 19 (b) に、比較例のアクティブマトリクス基板 900 における積層構造を模式的に示す。図 19 (a) および (b) 中には、各絶縁層の屈折率の例が併せて示されている。

[0113] 図 19 (a) に示す例では、アクティブマトリクス基板 100F のゲート絶縁層 12 は、屈折率 n_D が 1.41 の第 1 層（酸化シリコン層）12d と屈折率 n_E が 1.69 の第 2 層 12e とを含んでいる。これに対し、図 19 (b) に示す例では、比較例のアクティブマトリクス基板 900 のゲート絶縁層

12は、屈折率 n_A が1.41の酸化シリコン層12aと屈折率 n_B が1.87の窒化シリコン層12bとを含んでいる。

[0114] また、図19(a)に示す例では、アクティブマトリクス基板100Fの無機絶縁層20は、屈折率 n_D が1.41の第1層(酸化シリコン層)20dと屈折率 n_E が1.69の第2層20eとを含んでいる。これに対し、図19(b)に示す例では、比較例のアクティブマトリクス基板900の無機絶縁層20は、屈折率 n が1.41の酸化シリコン層20aと屈折率 n が1.87の窒化シリコン層20bとを含んでいる。

[0115] なお、図19(a)および(b)のいずれの例についても、有機絶縁層21の屈折率 n は、1.55である。

[0116] 各絶縁層の屈折率を、図19(a)に示した例のように設定したマザー基板(実施例3)と、図19(b)に示した例のように設定したマザー基板(比較例)とについて、マザー基板の面内における白均一性(WU)を比較した結果を図20に示す。図20には、比較例および実施例3について、色味のばらつき(du' v')を相対比(比較例を1.00とする)で示している。なお、比較例と実施例3とで、各絶縁層の厚さは同じとした。実施例3のゲート絶縁層12の第1層12dおよび第2層12eの厚さは、それぞれ比較例のゲート絶縁層12の酸化シリコン層12aおよび窒化シリコン層12bの厚さと同じとし、実施例3の無機絶縁層20の第1層20dおよび第2層20eの厚さは、それぞれ比較例の無機絶縁層20の酸化シリコン層20aおよび窒化シリコン層20bの厚さと同じとした。

[0117] 図20から、実施例3では、比較例に比べ、白均一性が約2倍に向上(色味のばらつきが約半分に低減)していることがわかる。

[0118] なお、上記実施形態1~6では、ボトムゲート構造のTF-T10を例示したが、本発明の実施形態は、トップゲート構造のTF-Tを備えたアクティブマトリクス基板にも好適に用いることができる。

[0119] [酸化物半導体について]

酸化物半導体層13に含まれる酸化物半導体は、アモルファス酸化物半導

体であってもよいし、結晶質部分を有する結晶質酸化物半導体であってもよい。結晶質酸化物半導体としては、多結晶酸化物半導体、微結晶酸化物半導体、c軸が層面に概ね垂直に配向した結晶質酸化物半導体などが挙げられる。

[0120] 酸化物半導体層13は、2層以上の積層構造を有していてもよい。酸化物半導体層13が積層構造を有する場合には、酸化物半導体層13は、非晶質酸化物半導体層と結晶質酸化物半導体層とを含んでいてもよい。あるいは、結晶構造の異なる複数の結晶質酸化物半導体層を含んでいてもよい。また、複数の非晶質酸化物半導体層を含んでいてもよい。酸化物半導体層13が上層と下層とを含む2層構造を有する場合、上層に含まれる酸化物半導体のエネルギーギャップは、下層に含まれる酸化物半導体のエネルギーギャップよりも大きいことが好ましい。ただし、これらの層のエネルギーギャップの差が比較的小さい場合には、下層の酸化物半導体のエネルギーギャップが上層の酸化物半導体のエネルギーギャップよりも大きくてもよい。

[0121] 非晶質酸化物半導体および上記の各結晶質酸化物半導体の材料、構造、成膜方法、積層構造を有する酸化物半導体層の構成などは、例えば特開2014-007399号公報に記載されている。参考のために、特開2014-007399号公報の開示内容の全てを本明細書に援用する。

[0122] 酸化物半導体層13は、例えば、In、GaおよびZnのうち少なくとも1種の金属元素を含んでもよい。本実施形態では、酸化物半導体層13は、例えば、In-Ga-Zn-O系の半導体（例えば酸化インジウムガリウム亜鉛）を含む。ここで、In-Ga-Zn-O系の半導体は、In（インジウム）、Ga（ガリウム）、Zn（亜鉛）の三元系酸化物であって、In、GaおよびZnの割合（組成比）は特に限定されず、例えばIn:Ga:Zn=2:2:1、In:Ga:Zn=1:1:1、In:Ga:Zn=1:1:2等を含む。このような酸化物半導体層13は、In-Ga-Zn-O系の半導体を含む酸化物半導体膜から形成され得る。

[0123] In-Ga-Zn-O系の半導体は、アモルファスでもよいし、結晶質で

も（結晶質部分を含んでも）よい。結晶質 In-Ga-Zn-O 系の半導体としては、 c 軸が層面に概ね垂直に配向した結晶質 In-Ga-Zn-O 系の半導体が好ましい。

[0124] なお、結晶質 In-Ga-Zn-O 系の半導体の結晶構造は、例えば、上述した特開 2014-007399 号公報、特開 2012-134475 号公報、特開 2014-209727 号公報などに開示されている。参考のために、特開 2012-134475 号公報および特開 2014-209727 号公報の開示内容の全てを本明細書に援用する。 In-Ga-Zn-O 系半導体層を有する TFT は、高い移動度（ a-SiTFT に比べ 20 倍超）および低いリーク電流（ a-SiTFT に比べ 100 分の 1 未満）を有しているので、駆動 TFT（例えば、複数の画素を含む表示領域の周辺に、表示領域と同じ基板上に設けられる駆動回路に含まれる TFT）および画素 TFT（画素に設けられる TFT）として好適に用いられる。

[0125] 酸化物半導体層 13 は、 In-Ga-Zn-O 系半導体の代わりに、他の酸化物半導体を含んでいてもよい。例えば In-Sn-Zn-O 系半導体（例えば $\text{In}_2\text{O}_3\text{-SnO}_2\text{-ZnO}$; InSnZnO ）を含んでもよい。 In-Sn-Zn-O 系半導体は、 In （インジウム）、 Sn （スズ）および Zn （亜鉛）の三元系酸化物である。あるいは、酸化物半導体層 13 は、 In-Al-Zn-O 系半導体、 In-Al-Sn-Zn-O 系半導体、 Zn-O 系半導体、 In-Zn-O 系半導体、 Zn-Ti-O 系半導体、 Cd-Ge-O 系半導体、 Cd-Pb-O 系半導体、 CdO （酸化カドミウム）、 Mg-Zn-O 系半導体、 In-Ga-Sn-O 系半導体、 In-Ga-O 系半導体、 Zr-In-Zn-O 系半導体、 Hf-In-Zn-O 系半導体、 Al-Ga-Zn-O 系半導体、 Ga-Zn-O 系半導体などを含んでいてもよい。

[0126] （実施形態 7）

以下、図面を参照しながら、本実施形態のアクティブマトリクス基板を説明する。本実施形態のアクティブマトリクス基板は、同一基板上に形成され

た酸化物半導体TFTと結晶質シリコンTFTとを備える。

[0127] アクティブマトリクス基板は、画素毎にTFT（画素用TFT）を備えている。画素用TFTとしては、例えばIn-Ga-Zn-O系の半導体膜を活性層とする酸化物半導体TFTが用いられる。

[0128] 画素用TFTと同一基板上に、周辺駆動回路の一部または全体を一体的に形成することもある。このようなアクティブマトリクス基板は、ドライバモノリシックのアクティブマトリクス基板と呼ばれる。ドライバモノリシックのアクティブマトリクス基板では、周辺駆動回路は、複数の画素を含む領域（表示領域）以外の領域（非表示領域または額縁領域）に設けられる。周辺駆動回路を構成するTFT（回路用TFT）は、例えば、多結晶シリコン膜を活性層とした結晶質シリコンTFTが用いられる。このように、画素用TFTとして酸化物半導体TFTを用い、回路用TFTとして結晶質シリコンTFTを用いると、表示領域では消費電力を低くすることが可能となり、さらに、額縁領域を小さくすることが可能となる。

[0129] 画素用TFTとして、図1を参照しながら上述したTFTを適用することが可能である。この点については後述する。

[0130] 次に、本実施形態のアクティブマトリクス基板のより具体的な構成を、図面を用いて説明する。

[0131] 図21は、本実施形態のアクティブマトリクス基板700の平面構造の一例を示す模式的な平面図、図22は、アクティブマトリクス基板700における結晶質シリコンTFT（以下、「第1薄膜トランジスタ」と称する。）710Aおよび酸化物半導体TFT（以下、「第2薄膜トランジスタ」と称する。）710Bの断面構造を示す断面図である。

[0132] 図21に示すように、アクティブマトリクス基板700は、複数の画素を含む表示領域702と、表示領域702以外の領域（非表示領域）とを有している。非表示領域は、駆動回路が設けられる駆動回路形成領域701を含んでいる。駆動回路形成領域701には、例えばゲートドライバ回路740、検査回路770などが設けられている。表示領域702には、行方向に延

びる複数のゲートバスライン（図示せず）と、列方向に延びる複数のソースバスラインSとが形成されている。図示していないが、各画素は、例えばゲートバスラインおよびソースバスラインSで規定されている。ゲートバスラインは、それぞれ、ゲートドライバ回路の各端子に接続されている。ソースバスラインSは、それぞれ、アクティブマトリクス基板700に実装されるドライバIC750の各端子に接続されている。

[0133] 図22に示すように、アクティブマトリクス基板700において、表示領域702の各画素には画素用TFETとして第2薄膜トランジスタ710Bが形成され、駆動回路形成領域701には回路用TFETとして第1薄膜トランジスタ710Aが形成されている。

[0134] アクティブマトリクス基板700は、基板711と、基板711の表面に形成された下地膜712と、下地膜712上に形成された第1薄膜トランジスタ710Aと、下地膜712上に形成された第2薄膜トランジスタ710Bとを備えている。第1薄膜トランジスタ710Aは、結晶質シリコンを主として含む活性領域を有する結晶質シリコンTFETである。第2薄膜トランジスタ710Bは、酸化物半導体を主として含む活性領域を有する酸化物半導体TFETである。第1薄膜トランジスタ710Aおよび第2薄膜トランジスタ710Bは、基板711に一体的に作り込まれている。ここでいう「活性領域」とは、TFETの活性層となる半導体層のうちチャネルが形成される領域を指すものとする。

[0135] 第1薄膜トランジスタ710Aは、下地膜712上に形成された結晶質シリコン半導体層（例えば低温ポリシリコン層）713と、結晶質シリコン半導体層713を覆う第1の絶縁層714と、第1の絶縁層714上に設けられたゲート電極715Aとを有している。第1の絶縁層714のうち結晶質シリコン半導体層713とゲート電極715Aとの間に位置する部分は、第1薄膜トランジスタ710Aのゲート絶縁膜として機能する。結晶質シリコン半導体層713は、チャネルが形成される領域（活性領域）713cと、活性領域の両側にそれぞれ位置するソース領域713sおよびドレイン領域

713dとを有している。この例では、結晶質シリコン半導体層713のうち、第1の絶縁層714を介してゲート電極715Aと重なる部分が活性領域713cとなる。第1薄膜トランジスタ710Aは、また、ソース領域713sおよびドレイン領域713dにそれぞれ接続されたソース電極718sAおよびドレイン電極718dAを有している。ソースおよびドレイン電極718sA、718dAは、ゲート電極715Aおよび結晶質シリコン半導体層713を覆う層間絶縁膜（ここでは、第2の絶縁層716）上に設けられ、層間絶縁膜に形成されたコンタクトホール内で結晶質シリコン半導体層713と接続されていてもよい。

[0136] 第2薄膜トランジスタ710Bは、下地膜712上に設けられたゲート電極715Bと、ゲート電極715Bを覆う第2の絶縁層716と、第2の絶縁層716上に配置された酸化物半導体層717とを有している。図示するように、第1薄膜トランジスタ710Aのゲート絶縁膜である第1の絶縁層714が、第2薄膜トランジスタ710Bを形成しようとする領域まで延設されていてもよい。この場合には、酸化物半導体層717は、第1の絶縁層714上に形成されていてもよい。第2の絶縁層716のうちゲート電極715Bと酸化物半導体層717との間に位置する部分は、第2薄膜トランジスタ710Bのゲート絶縁膜として機能する。酸化物半導体層717は、チャネルが形成される領域（活性領域）717cと、活性領域の両側にそれぞれ位置するソースコンタクト領域717sおよびドレインコンタクト領域717dを有している。この例では、酸化物半導体層717のうち、第2の絶縁層716を介してゲート電極715Bと重なる部分が活性領域717cとなる。また、第2薄膜トランジスタ710Bは、ソースコンタクト領域717sおよびドレインコンタクト領域717dにそれぞれ接続されたソース電極718sBおよびドレイン電極718dBをさらに有している。尚、基板711上に下地膜712を設けない構成も可能である。

[0137] 薄膜トランジスタ710A、710Bは、パッシベーション膜719および平坦化膜720で覆われている。画素用TFTとして機能する第2薄膜ト

ランジスタ 710B では、ゲート電極 715B はゲートバスライン（図示せず）、ソース電極 718sB はソースバスライン（図示せず）、ドレイン電極 718dB は画素電極 723 に接続されている。この例では、ドレイン電極 718dB は、パッシベーション膜 719 および平坦化膜 720 に形成された開口部内で、対応する画素電極 723 と接続されている。ソース電極 718sB にはソースバスラインを介してビデオ信号が供給され、ゲートバスラインからのゲート信号に基づいて画素電極 723 に必要な電荷が書き込まれる。

[0138] なお、図示するように、平坦化膜 720 上にコモン電極として透明導電層 721 が形成され、透明導電層（コモン電極）721 と画素電極 723 との間に第3の絶縁層 722 が形成されていてもよい。この場合、画素電極 723 にスリット状の開口が設けられていてもよい。このようなアクティブマトリクス基板 700 は、例えば FFS モードの表示装置に適用され得る。FFS モードは、一方の基板に一对の電極を設けて、液晶分子に、基板面に平行な方向（横方向）に電界を印加する横方向電界方式のモードである。この例では、画素電極 723 から出て液晶層（図示せず）を通り、さらに画素電極 723 のスリット状の開口を通してコモン電極 721 に出る電気力線で表される電界が生成される。この電界は、液晶層に対して横方向の成分を有している。その結果、横方向の電界を液晶層に印加することができる。横方向電界方式では、基板から液晶分子が立ち上がらないため、縦方向電界方式よりも広視野角を実現できるという利点がある。

[0139] 本実施形態の第2薄膜トランジスタ 710B として、図1を参照しながら説明した実施形態1における TFT10 を用いることができる。図1の TFT10 を適用する場合、TFT10 におけるゲート電極 11、ゲート絶縁層 12、酸化物半導体層 13、ソース電極 14 およびドレイン電極 15 が、それぞれ、図22に示すゲート電極 715B、第2の絶縁層（ゲート絶縁層）716、酸化物半導体層 717、ソース電極 718sB およびドレイン電極 718dB に対応する。また、図1のアクティブマトリクス基板 100A に

おける無機絶縁層 20、有機絶縁層 21、共通電極 22、誘電体層 23 および画素電極 24 が、図 22 に示すパッシベーション膜 719、平坦化膜 720、透明導電層 721、第 3 の絶縁層 722 および画素電極 723 に対応する。

[0140] また、図 21 に示す検査回路 770 を構成する T F T（検査用 T F T）として、酸化物半導体 T F T である薄膜トランジスタ 710B を用いてもよい。

[0141] なお、図示していないが、検査 T F T および検査回路は、例えば、図 21 に示すドライバ I C 750 が実装される領域に形成されてもよい。この場合、検査用 T F T は、ドライバ I C 750 と基板 711 との間に配置される。

[0142] 図示する例では、第 1 薄膜トランジスタ 710A は、ゲート電極 715A と基板 711（下地膜 712）との間に結晶質シリコン半導体層 713 が配置されたトップゲート構造を有している。一方、第 2 薄膜トランジスタ 710B は、酸化物半導体層 717 と基板 711（下地膜 712）との間にゲート電極 715B が配置されたボトムゲート構造を有している。このような構造を採用することにより、同一基板 711 上に、2 種類の薄膜トランジスタ 710A、710B を一体的に形成する際に、製造工程数や製造コストの増加をより効果的に抑えることが可能である。

[0143] 第 1 薄膜トランジスタ 710A および第 2 薄膜トランジスタ 710B の T F T 構造は上記に限定されない。例えば、これらの薄膜トランジスタ 710A、710B は同じ T F T 構造（ボトムゲート構造）を有していてもよい。また、ボトムゲート構造の場合、薄膜トランジスタ 710B のようにチャネルエッチ型でもよいし、エッチストップ型でもよい。また、ソース電極およびドレイン電極が半導体層の下方に位置するボトムコンタクト型でもよい。

[0144] 第 2 薄膜トランジスタ 710B のゲート絶縁膜である第 2 の絶縁層 716 は、第 1 薄膜トランジスタ 710A が形成される領域まで延設され、第 1 薄膜トランジスタ 710A のゲート電極 715A および結晶質シリコン半導体層 713 を覆う層間絶縁膜として機能してもよい。

[0145] 第1薄膜トランジスタ710Aのゲート電極715Aと、第2薄膜トランジスタ710Bのゲート電極715Bとは、同一層内に形成されていてもよい。また、第1薄膜トランジスタ710Aのソースおよびドレイン電極718sA、718dAと、第2薄膜トランジスタ710Bのソースおよびドレイン電極718sB、718dBとは、同一の層内に形成されていてもよい。「同一層内に形成されている」とは、同一の膜（導電膜）を用いて形成されていることをいう。これにより、製造工程数および製造コストの増加を抑制できる。

産業上の利用可能性

[0146] 本発明の実施形態によると、酸化物半導体TFTと積層構造を有するゲート絶縁層および／または無機絶縁層とを備えたアクティブマトリクス基板を含む液晶表示パネルを製造する際の色味のばらつきを抑制することができる。

符号の説明

- [0147]
- 1 基板
 - 10 TFT（薄膜トランジスタ）
 - 11 ゲート電極
 - 12 ゲート絶縁層
 - 12a 酸化シリコン層
 - 12b 窒化シリコン層
 - 12c 中間層
 - 12d 第1層
 - 12e 第2層
 - 13 酸化物半導体層
 - 14 ソース電極
 - 15 ドレイン電極
 - 20 無機絶縁層（パッシベーション膜）
 - 20a 酸化シリコン層

20b	窒化シリコン層	
20c	中間層	
20d	第1層	
20e	第2層	
21	有機絶縁層（平坦化膜）	
22	共通電極	
23	誘電体層	
24	画素電極	
80	液晶層	
100A、100B、100C	アクティブマトリクス基板	
100D、100E、100F	アクティブマトリクス基板	
100M	第1マザー基板	
200	対向基板	
200M	第2マザー基板	
300	液晶表示パネル	
300M	マザーパネル	
CH	コンタクトホール	

請求の範囲

- [請求項1] 基板と、
前記基板に支持された複数の薄膜トランジスタと、
前記複数の薄膜トランジスタを覆う無機絶縁層と、を備えたアクティブマトリクス基板であって、
前記複数の薄膜トランジスタのそれぞれは、
ゲート電極と、
前記ゲート電極に対向する酸化物半導体層と、
前記ゲート電極および前記酸化物半導体層の間に位置するゲート絶縁層と、
前記酸化物半導体層に電氣的に接続されたソース電極およびドレイン電極と、を有し、
前記ゲート絶縁層および前記無機絶縁層のうちの少なくとも一方は、
酸化シリコン層および窒化シリコン層を含む積層構造を有する積層絶縁層であり、
前記積層絶縁層は、
前記酸化シリコン層と前記窒化シリコン層との間に設けられた中間層であって、前記酸化シリコン層の屈折率 n_A よりも高く、且つ、前記窒化シリコン層の屈折率 n_B よりも低い屈折率 n_C を有する中間層をさらに含む、アクティブマトリクス基板。
- [請求項2] 前記中間層は、窒化酸化シリコン層である、請求項1に記載のアクティブマトリクス基板。
- [請求項3] 前記酸化シリコン層の屈折率 n_A 、前記窒化シリコン層の屈折率 n_B および前記中間層の屈折率 n_C は、 $1.13 \cdot n_A \leq n_C \leq 0.93 \cdot n_B$ の関係を満足する、請求項1または2に記載のアクティブマトリクス基板。
- [請求項4] 前記酸化シリコン層は、前記酸化物半導体層と前記中間層との間に位置する、請求項1から3のいずれかに記載のアクティブマトリクス

基板。

[請求項5] 前記ゲート絶縁層および前記無機絶縁層のうちの前記ゲート絶縁層が、前記中間層を含む前記積層絶縁層である、請求項1から4のいずれかに記載のアクティブマトリクス基板。

[請求項6] 前記ゲート絶縁層および前記無機絶縁層のうちの前記無機絶縁層が、前記中間層を含む前記積層絶縁層である、請求項1から4のいずれかに記載のアクティブマトリクス基板。

[請求項7] 前記ゲート絶縁層および前記無機絶縁層のそれぞれが、前記中間層を含む前記積層絶縁層である、請求項1から4のいずれかに記載のアクティブマトリクス基板。

[請求項8] 基板と、
前記基板に支持された複数の薄膜トランジスタと、
前記複数の薄膜トランジスタを覆う無機絶縁層と、を備えたアクティブマトリクス基板であって、
前記複数の薄膜トランジスタのそれぞれは、
ゲート電極と、
前記ゲート電極に対向する酸化物半導体層と、
前記ゲート電極および前記酸化物半導体層の間に位置するゲート絶縁層と、
前記酸化物半導体層に電氣的に接続されたソース電極およびドレイン電極と、を有し、
前記ゲート絶縁層および前記無機絶縁層のうちの少なくとも一方は、酸化シリコン層である第1層と、前記第1層の屈折率 n_D と異なる屈折率 n_E を有する第2層とを含む積層構造を有する積層絶縁層であり、
前記第1層の屈折率 n_D と前記第2層の屈折率 n_E との差が0.3以下である、アクティブマトリクス基板。

[請求項9] 前記第2層は、窒化酸化シリコン層である、請求項8に記載のアク

ティブマトリクス基板。

[請求項10] 前記第1層は、前記酸化物半導体層と前記第2層との間に位置する、請求項8または9に記載のアクティブマトリクス基板。

[請求項11] 前記ゲート絶縁層および前記無機絶縁層のうちの前記ゲート絶縁層が、前記積層絶縁層である、請求項8から10のいずれかに記載のアクティブマトリクス基板。

[請求項12] 前記ゲート絶縁層および前記無機絶縁層のうちの前記無機絶縁層が、前記積層絶縁層である、請求項8から10のいずれかに記載のアクティブマトリクス基板。

[請求項13] 前記ゲート絶縁層および前記無機絶縁層のそれぞれが、前記積層絶縁層である、請求項8から10のいずれかに記載のアクティブマトリクス基板。

[請求項14] 前記酸化物半導体層は、 In-Ga-Zn-O 系半導体を含む請求項1から13のいずれかに記載のアクティブマトリクス基板。

[請求項15] 前記 In-Ga-Zn-O 系半導体は、結晶質部分を含む請求項14に記載のアクティブマトリクス基板。

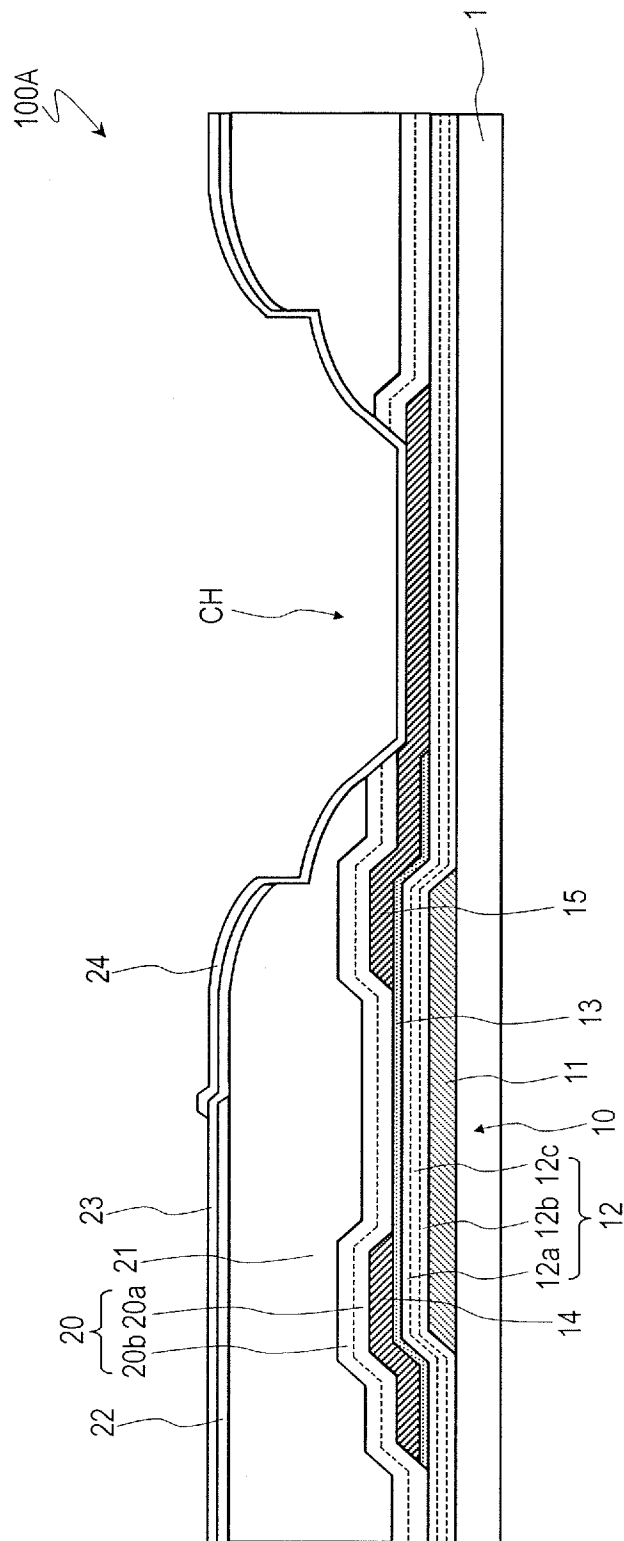
[請求項16] 請求項1から15のいずれかに記載のアクティブマトリクス基板と、

前記アクティブマトリクス基板に対向する対向基板と、

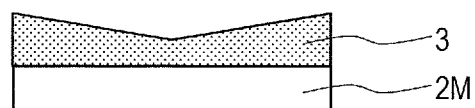
前記アクティブマトリクス基板および前記対向基板の間に設けられた液晶層と、

を備えた液晶表示パネル。

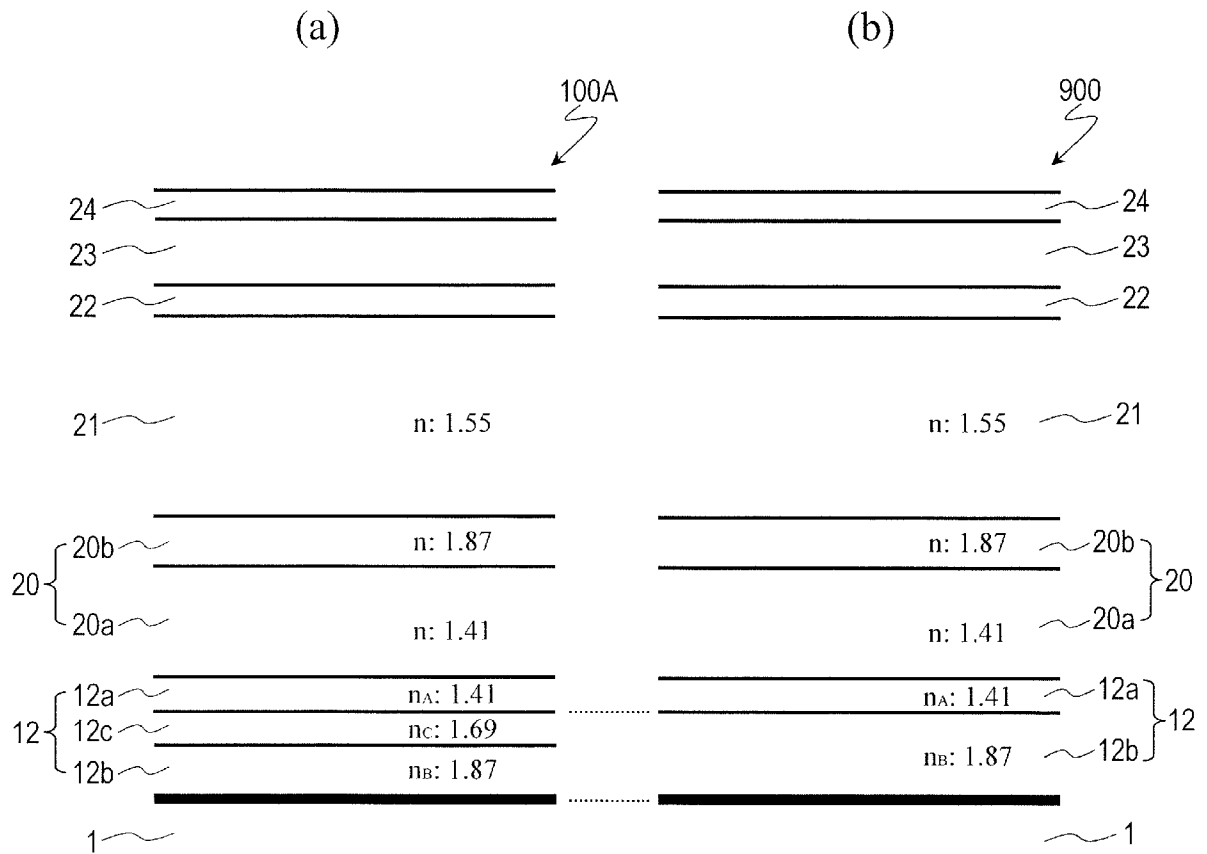
[図1]



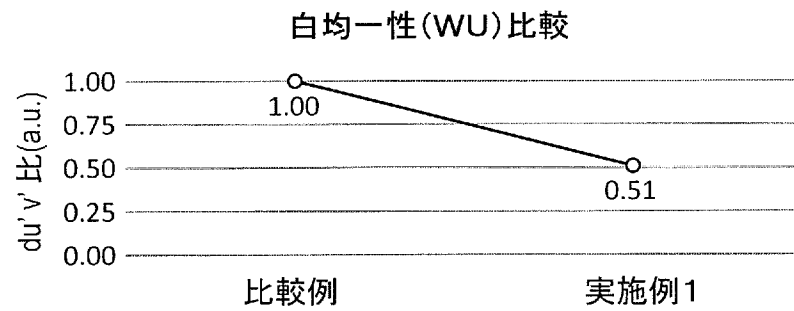
[図2]



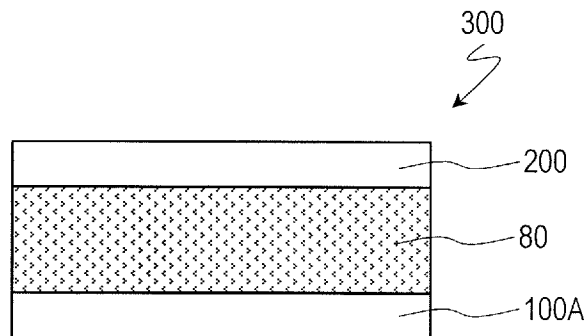
[図3]



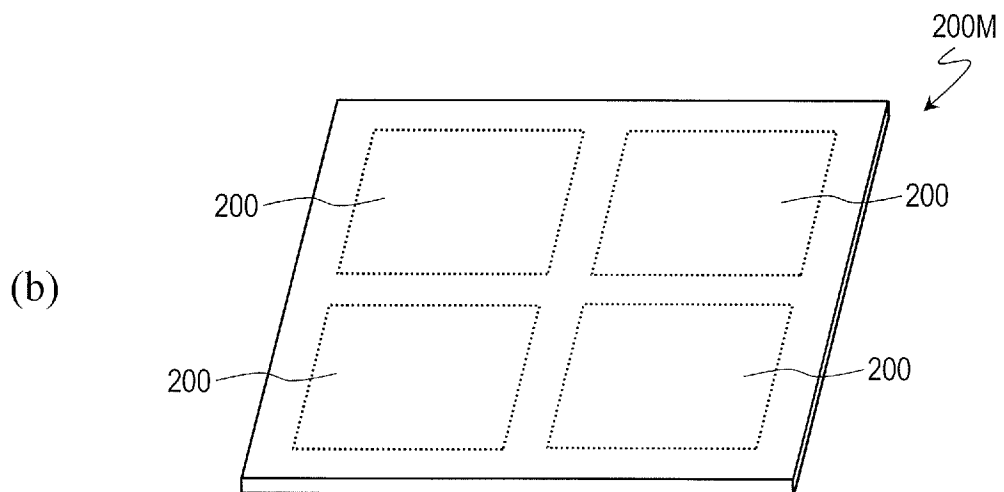
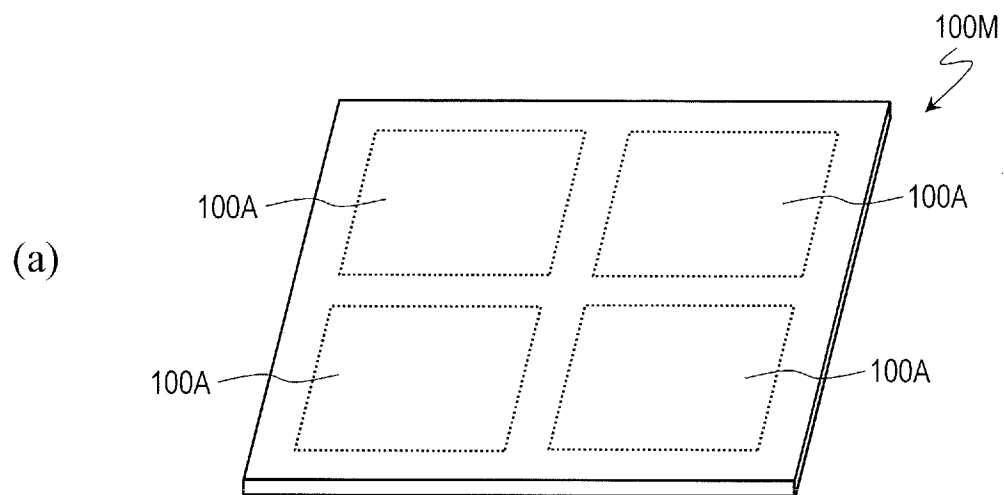
[図4]



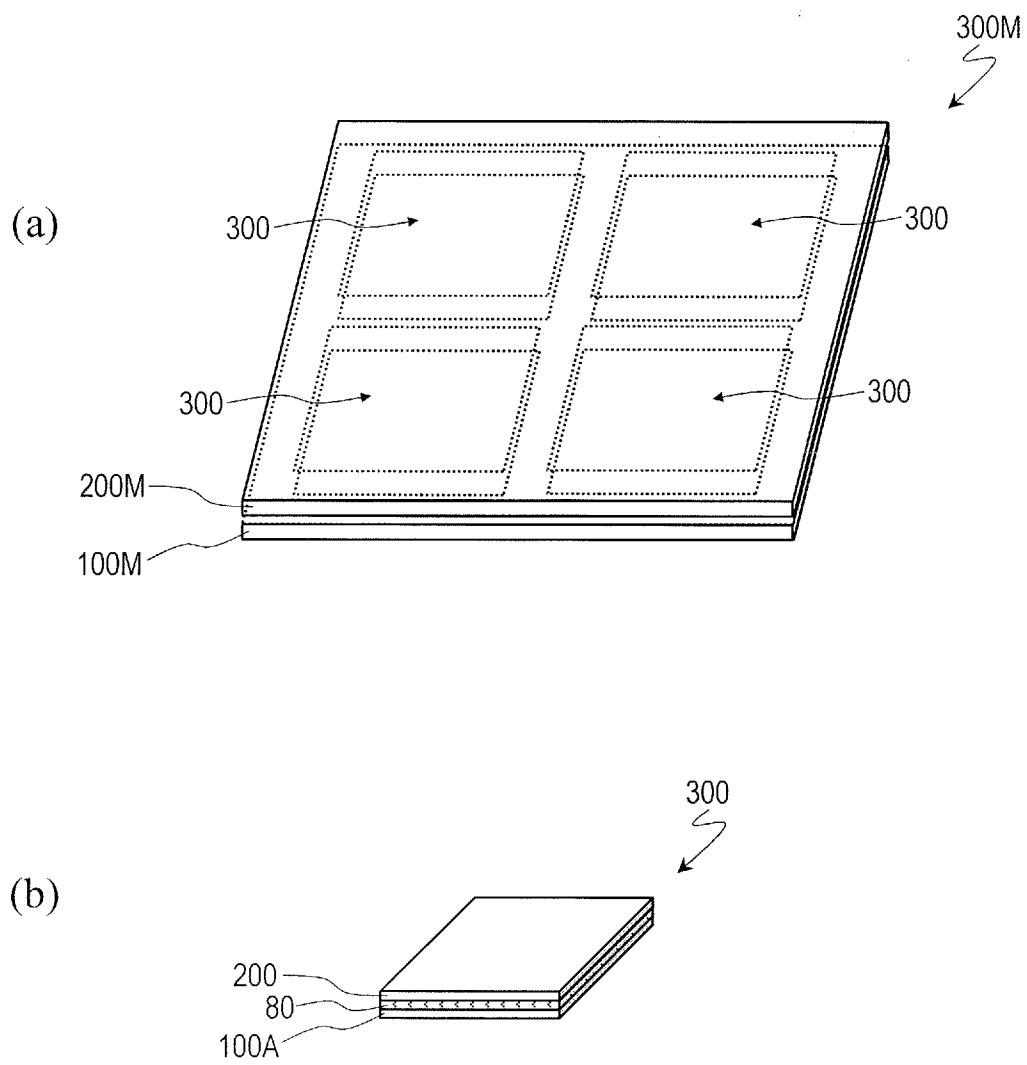
[図5]



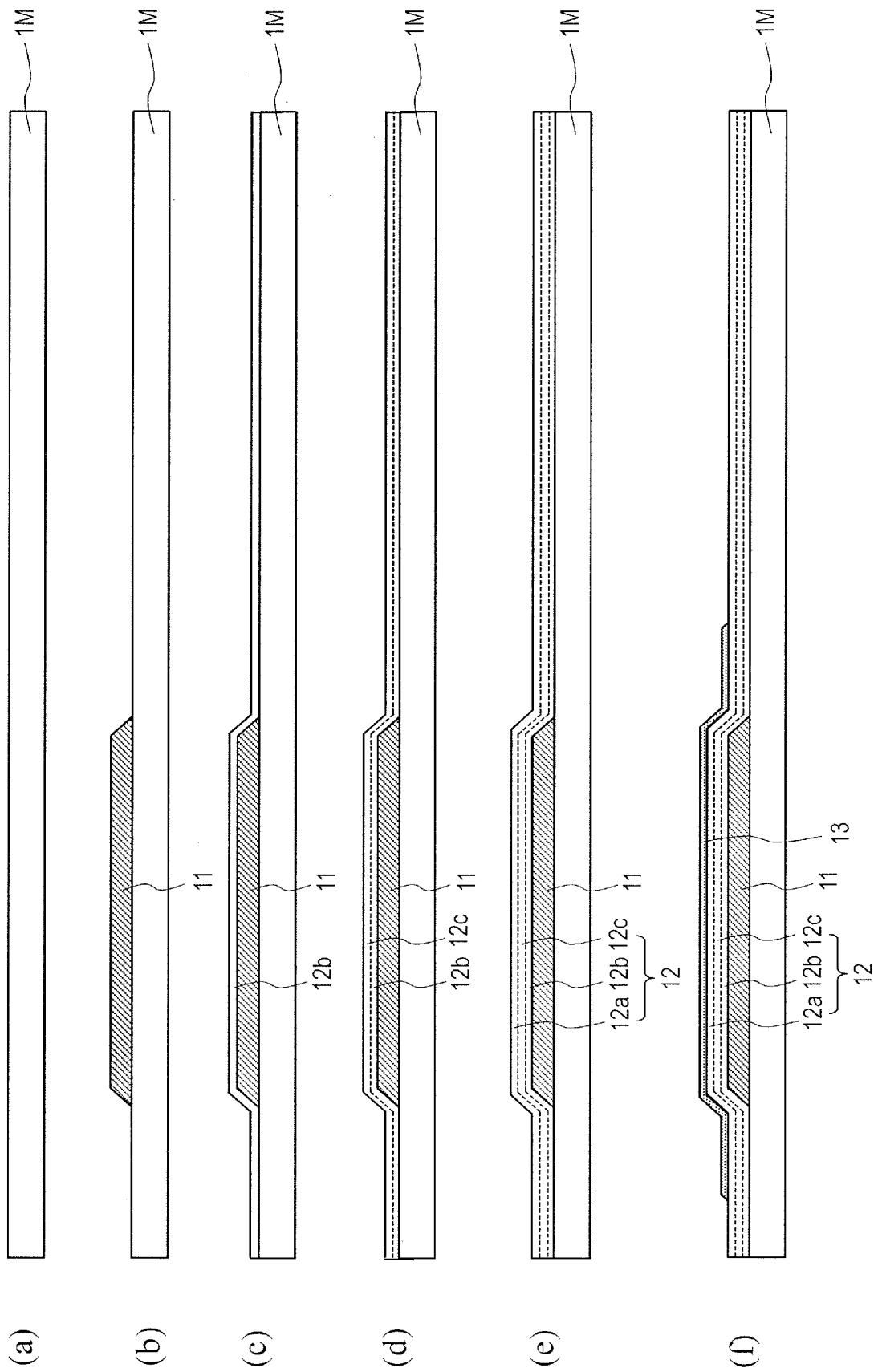
[図6]



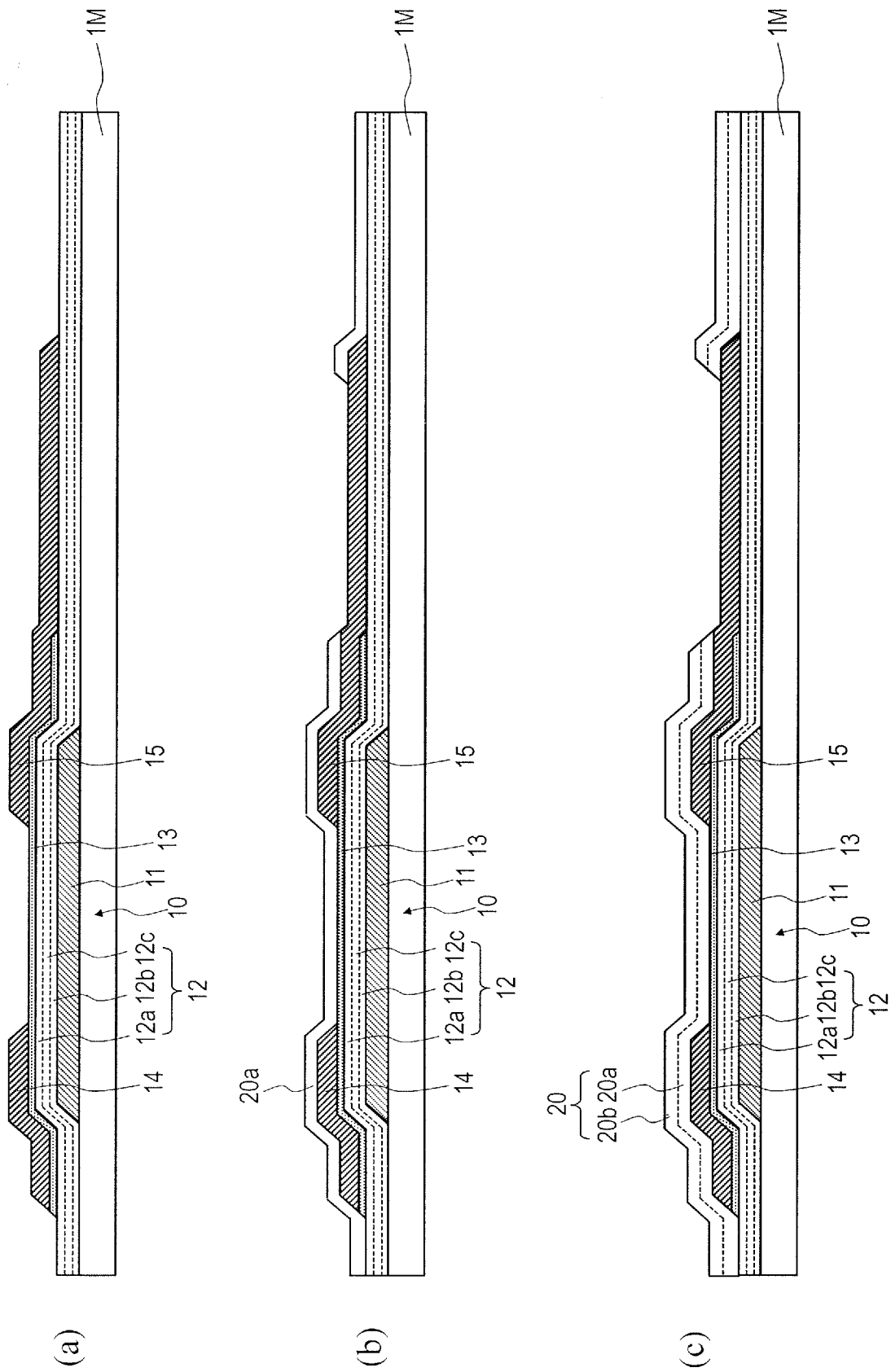
[図7]



[図8]



[図9]

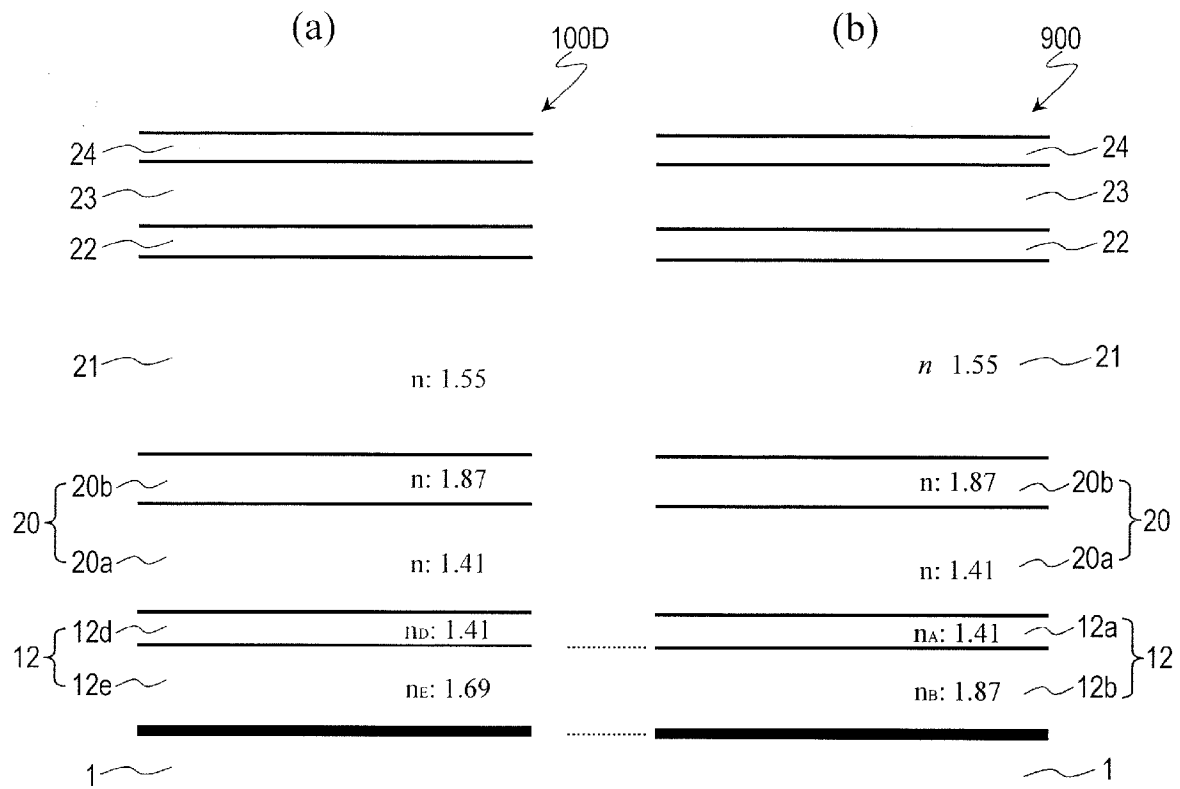


(b)

This cross-sectional view shows a semiconductor device with a substrate 1M. A gate stack 10 is formed on the substrate, consisting of a gate oxide 11, a gate electrode 12, and a gate spacer 13. The gate electrode 12 is divided into three regions: 12a, 12b, and 12c. A source/drain region 14 is formed on the substrate, and a source/drain contact 15 is formed on the source/drain region. A source/drain electrode 16 is formed on the source/drain contact. A source/drain spacer 17 is formed on the source/drain contact. A source/drain oxide 18 is formed on the source/drain contact. A source/drain nitride 19 is formed on the source/drain contact. A source/drain polysilicon 20 is formed on the source/drain contact. The source/drain polysilicon 20 is divided into three regions: 20a, 20b, and 20c. A source/drain polysilicon 21 is formed on the source/drain contact. A source/drain polysilicon 22 is formed on the source/drain contact.

The figure consists of two cross-sectional views, (a) and (b), of a semiconductor device. Both views show a substrate 10 with a gate stack 12 on top. The gate stack 12 includes a gate dielectric layer 11, a gate conductive layer 13, and a gate insulating layer 14. A channel region 15 is formed in the substrate 10 beneath the gate stack 12. A source/drain region 16 is formed in the substrate 10 adjacent to the channel region 15. A contact pad 17 is formed on top of the source/drain region 16. In view (a), the contact pad 17 is connected to a wiring layer 18. In view (b), the contact pad 17 is connected to a wiring layer 19. The labels 1M and 100A are present in the original image.

[図15]



[図16]

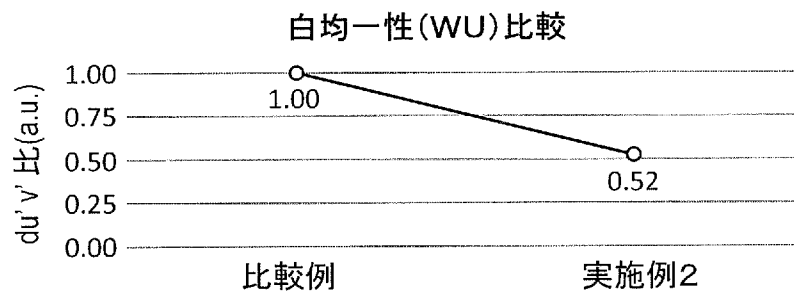
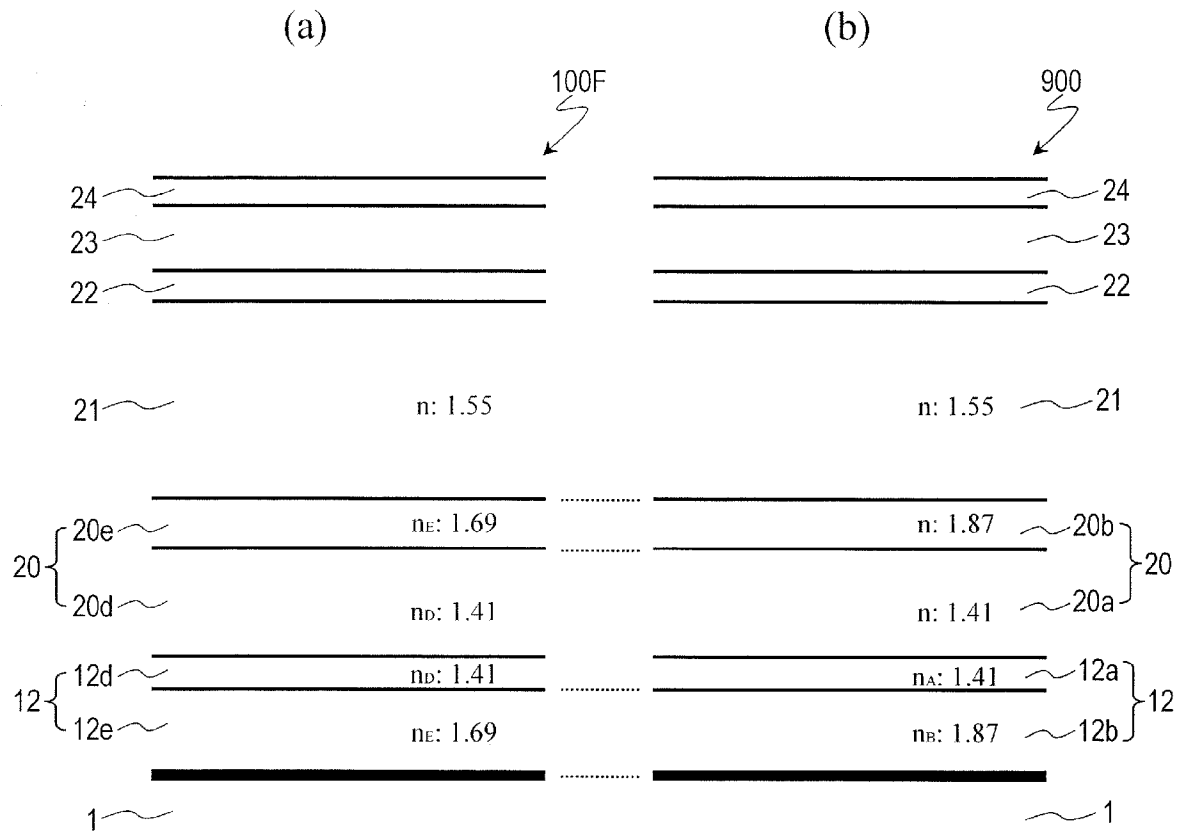
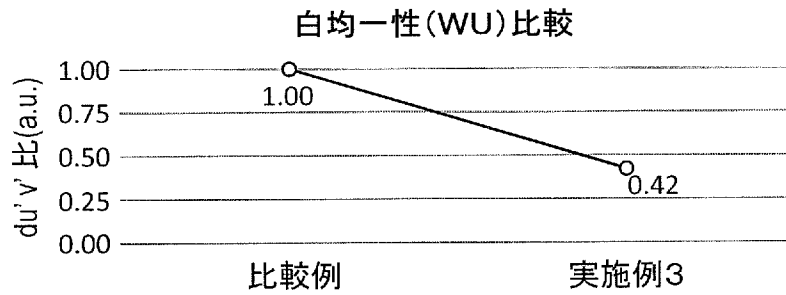


Figure 100E is a cross-sectional view of a semiconductor device. It shows a substrate 1 with a series of layers: 10, 11, 12, 13, 14, 15, and 16. A gate stack 20 is formed on the substrate, consisting of a gate oxide 21, a gate dielectric 22, and a gate electrode 23. The gate electrode 23 is patterned to form gate fingers 24. A channel layer 12 is located beneath the gate oxide 21. A source/drain region 14 is formed in the substrate 1, and a source/drain contact 15 is formed on top of it. A source/drain electrode 16 is formed on top of the source/drain contact 15. The device is labeled 100E.

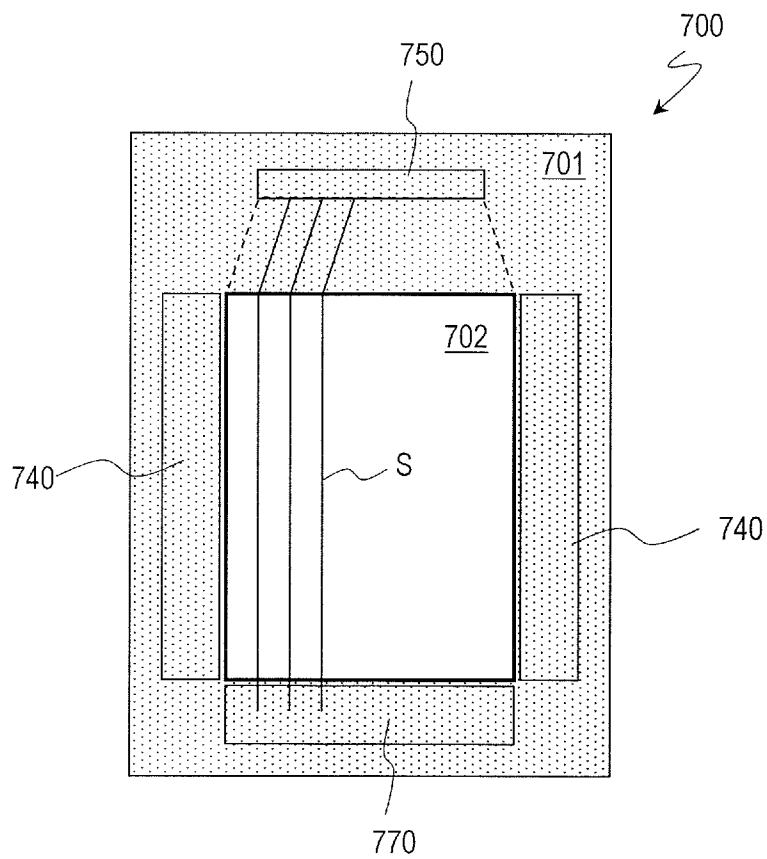
[図19]



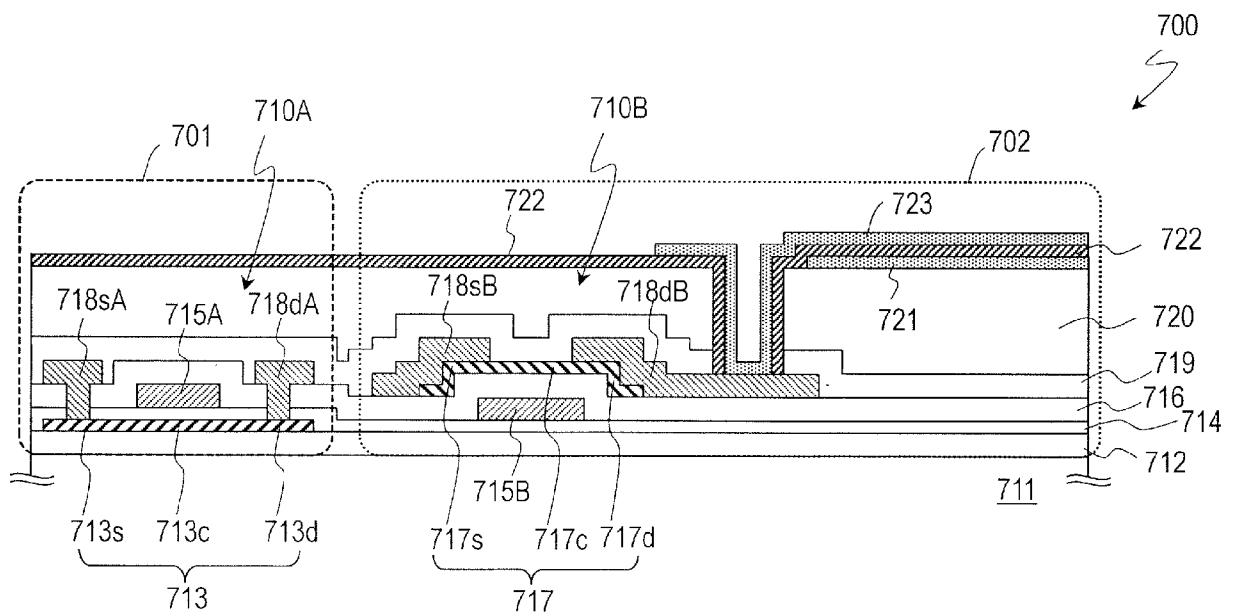
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/011652

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G02F1/1368 (2006.01) i, G09F9/30 (2006.01) i, H01L21/336 (2006.01) i, H01L29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G02F1/1368, G09F9/30, H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2014-131022 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 10 July 2014, paragraphs [0129]-[0145] & US 2014/0151685 A1, fig. 1 & DE 102013224333 A & CN 103855224 A & KR 10-2014-0070411 A & TW 201427016 A	1-16
A	WO 2017/026372 A1 (SHARP CORP.) 16 February 2017, entire text, all drawings (Family: none)	1-16
A	JP 8-254713 A (TOSHIBA CORP.) 01 October 1996, entire text, all drawings (Family: none)	1-16
A	JP 2003-172950 A (SEIKO EPSON CORP.) 20 June 2003, entire text, all drawings & US 2003/0201508 A1 & KR 10-2002-0042506 A	1-16
A	US 2017/0084457 A1 (AU OPTRONICS CORPORATION) 23 March 2017, entire text, all drawings & TW 201712805 A & CN 105448999 A	1-16

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 June 2018 (05.06.2018)

Date of mailing of the international search report
19 June 2018 (19.06.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G02F1/1368(2006.01)i, G09F9/30(2006.01)i, H01L21/336(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G02F1/1368, G09F9/30, H01L21/336, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2014-131022 A (株式会社半導体エネルギー研究所) 2014. 07. 10, [0129]-[0145] & US 2014/0151685 A1, 図 1 & DE 102013224333 A & CN 103855224 A & KR 10-2014-0070411 A & TW 201427016 A	1-16

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

05. 06. 2018

国際調査報告の発送日

19. 06. 2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小濱 健太

2 L

4 0 0 9

電話番号 03-3581-1101 内線 3295

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2017/026372 A1 (シャープ株式会社) 2017. 02. 16, 全文全図 (ファミリーなし)	1-16
A	JP 8-254713 A (株式会社東芝) 1996. 10. 01, 全文全図 (ファミリーなし)	1-16
A	JP 2003-172950 A (セイコーエプソン株式会社) 2003. 06. 20, 全文全図 & US 2003/0201508 A1 & KR 10-2002-0042506 A	1-16
A	US 2017/0084457 A1 (AU OPTRONICS CORPORATION) 2017. 03. 23, 全文全図 & TW 201712805 A & CN 105448999 A	1-16